



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월07일
(11) 등록번호 10-1724362
(24) 등록일자 2017년04월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/02 (2006.01) H01L 21/768 (2006.01)
H01L 21/8234 (2006.01) H01L 27/088 (2006.01)
H01L 27/118 (2006.01)
(52) CPC특허분류
H01L 27/0207 (2013.01)
H01L 21/76895 (2013.01)
(21) 출원번호 10-2016-7027270
(22) 출원일자(국제) 2015년02월19일
심사청구일자 2016년09월30일
(85) 번역문제출일자 2016년09월30일
(65) 공개번호 10-2016-0121589
(43) 공개일자 2016년10월19일
(86) 국제출원번호 PCT/US2015/016690
(87) 국제공개번호 WO 2015/134202
국제공개일자 2015년09월11일
(30) 우선권주장
14/195,525 2014년03월03일 미국(US)
(56) 선행기술조사문헌
US20040213029 A1
US20080283871 A1
US20090140437 A1

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
첸, 시양동
미국 92121 캘리포니아 샌 디에고 모어하우스 드라이브 5775
권, 오상
미국 92121 캘리포니아 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 14 항

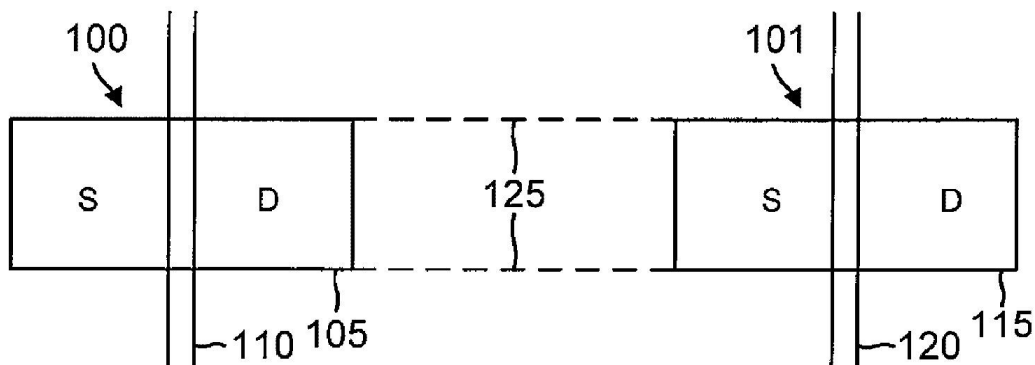
심사관 : 이우찬

(54) 발명의 명칭 고성능 표준 셀

(57) 요약

기관에 정의된 연속 OD(oxide definition) 영역; 제 1 더미 게이트(425)와 제 2 더미 게이트(430) 사이의 트랜지스터에 대한 게이트(450) - 트랜지스터에 대한 소스는 게이트와 제 1 더미 게이트 사이의 OD 영역의 제 1 부분에 정의되며, 트랜지스터에 대한 드레인은 게이트와 제 2 더미 게이트의 제 1 측 사이의 OD 영역의 제 2 부분에 정의됨 -; 제 1 게이트-지향 국부 인터커넥트(470) 및 제 1 확산-지향 국부 인터커넥트(440)를 포함하는 트랜지스터 셀이 제공되며, 제 1 게이트-지향 국부 인터커넥트(470) 및 제 1 확산-지향 국부 인터커넥트(440)는 제 2 더미 게이트 및 제 2 더미 게이트의 제 2 대향 측에 인접한 OD 영역의 제 3 부분을 커플링한다.

대표도



-종래 기술-

(52) CPC특허분류

H01L 21/823437 (2013.01)

H01L 21/823475 (2013.01)

H01L 27/088 (2013.01)

H01L 27/11807 (2013.01)

H01L 2027/11831 (2013.01)

H01L 2027/11861 (2013.01)

H01L 2027/11866 (2013.01)

(72) 발명자

방, 포우아

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

다타, 아니메쉬

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

라소리, 셰이드 하디

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

명세서

청구범위

청구항 1

개선된 연속 OD(oxide definition) 아키텍처를 갖는 셀로서,

기판에 정의된 연속 OD 영역;

제 1 더미 게이트(dummy gate)와 제 2 더미 게이트 사이의 트랜지스터에 대한 게이트 — 상기 트랜지스터에 대한 소스는 상기 게이트와 상기 제 1 더미 게이트 사이의 상기 연속 OD 영역의 제 1 부분에 정의되고, 그리고 상기 트랜지스터에 대한 드레인은 상기 게이트와 상기 게이트를 향하는 상기 제 2 더미 게이트의 제 1 측 사이의 상기 연속 OD 영역의 제 2 부분에 정의됨 —;

상기 제 1 측의 반대편에 있는 상기 제 2 더미 게이트의 제 2 측에 인접한, 상기 연속 OD 영역의 제 3 부분에 커플링된 제 1 게이트-지향 국부 인터커넥트(gate-directed local interconnect);

상기 제 2 더미 게이트에 상기 제 1 게이트-지향 국부 인터커넥트를 커플링하도록 구성된 제 1 확산-지향 국부 인터커넥트(diffusion-directed local interconnect); 및

상기 기판에 인접한 금속층의 소스 전압 인터커넥트에 상기 제 1 확산-지향 국부 인터커넥트를 커플링하도록 구성된 제 1 비아(via)를 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 2

제 1 항에 있어서,

상기 소스를 정의하는, 상기 연속 OD 영역의 상기 제 1 부분에 커플링하도록 구성된 제 2 게이트-지향 국부 인터커넥트; 및

상기 제 2 게이트-지향 국부 인터커넥트에 상기 제 1 더미 게이트를 커플링하도록 구성된 제 2 확산-지향 국부 인터커넥트를 더 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 3

제 2 항에 있어서,

상기 기판에 인접한 금속층의 소스 전압 인터커넥트에 상기 제 2 게이트-지향 국부 인터커넥트를 커플링하도록 구성된 제 2 비아를 더 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 4

제 2 항에 있어서,

상기 제 1 게이트-지향 국부 인터커넥트 및 상기 제 1 확산-지향 국부 인터커넥트는 각각 레벨 2 국부 인터커넥트들이고,

상기 셀은 상기 연속 OD 영역의 제 3 부분에 상기 제 1 레벨 2 게이트-지향 국부 인터커넥트를 커플링하도록 상기 제 1 레벨 2 게이트-지향 국부 인터커넥트와 상기 연속 OD 영역의 상기 제 3 부분 사이에 배열된 제 1 레벨 1 게이트-지향 국부 인터커넥트를 더 포함하고, 그리고

상기 제 1 비아는 레벨 3 국부 인터커넥트이고,

레벨 1은 상기 연속 OD 영역에 인접한 국부 인터커넥트들의 층을 정의하고, 레벨 3은 상기 금속층에 인접한 국부 인터커넥트들의 층을 정의하고, 그리고 레벨 2는 상기 레벨 1과 상기 레벨 3 사이를 커플링하는 로컬 인터커넥트들의 층을 정의하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 5

제 4 항에 있어서,

상기 제 1 레벨 1 게이트-지향 국부 인터커넥트, 상기 제 1 레벨 2 게이트-지향 국부 인터커넥트 및 상기 제 1 레벨 2 확산-지향 국부 인터커넥트는 모두 텅스텐(tungsten)을 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 6

제 4 항에 있어서,

상기 제 1 더미 게이트, 상기 게이트 및 상기 제 2 더미 게이트는 게이트 피치(pitch)에 따라 서로 분리되는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 7

제 6 항에 있어서,

상기 게이트는 복수의 게이트들을 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 8

제 1 항에 있어서,

상기 셀은 상기 연속 OD 영역을 가로질러 연장하는 셀들의 어레이에서 마지막 셀이고, 그리고 상기 연속 OD 영역은 제 1 단부로부터, 상기 연속 OD 영역의 상기 제 3 부분에 인접한 대향하는 제 2 단부로 연장하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 9

제 1 항에 있어서,

상기 셀은 상기 연속 OD 영역을 가로질러 연장하는 셀들의 어레이에서 첫번째 셀이고, 그리고 상기 연속 OD 영역은 상기 연속 OD 영역의 상기 제 3 부분에 인접한 제 1 단부로부터 대향하는 제 2 단부로 연장하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 10

제 1 항에 있어서,

추가 연속 OD 영역을 더 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 11

제 1 항에 있어서,

상기 셀은 복수의 트랜지스터들을 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 12

제 1 항에 있어서,

상기 연속 OD 영역은 PMOS 연속 OD 영역을 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 13

제 1 항에 있어서,

상기 연속 OD 영역은 NMOS 연속 OD 영역을 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀.

청구항 14

개선된 연속 OD(oxide definition) 아키텍처를 갖는 셀을 형성하기 위한 방법으로서,

기판에 정의된 연속 OD 영역을 형성하는 단계;

제 1 더미 게이트와 제 2 더미 게이트 사이에서 게이트 피치에 따라 배열된 트랜지스터에 대한 게이트를 형성하

는 단계 - 상기 트랜지스터에 대한 소스는 상기 게이트와 상기 제 1 더미 게이트 사이의 상기 연속 OD 영역의 부분에 정의되고, 그리고 상기 트랜지스터에 대한 드레인은 상기 게이트와 상기 게이트를 향하는 상기 제 2 더미 게이트의 제 1 측 사이의 상기 연속 OD 영역의 부분에 정의됨 -;

상기 제 1 측의 반대편에 있는 상기 제 2 더미 게이트의 제 2 측에 인접한, 상기 연속 OD 영역의 부분에 커플링된 제 1 게이트-지향 국부 인터커넥트를 형성하는 단계;

상기 제 2 더미 게이트에 상기 제 1 게이트-지향 국부 인터커넥트를 커플링하도록 구성된 제 1 확산-지향 국부 인터커넥트를 형성하는 단계; 및

소스 전압 공급에 상기 제 1 게이트-지향 국부 인터커넥트를 커플링하도록 구성된 비아를 형성하는 단계를 포함하는, 개선된 연속 OD 아키텍처를 갖는 셀을 형성하기 위한 방법.

발명의 설명

기술 분야

[0001] [0001] 본 출원은 2014년 3월 3일에 출원된 미국 특허 출원 일련번호 제14/195,525호의 출원일에 대한 우선권을 주장하며, 이에 의해 이 출원은 그 전체가 인용에 의해 통합된다.

[0002] [0002] 본 출원은 프로세서들, 특히 프로세서들에 대한 전력 최적화에 관한 것이다.

배경 기술

[0003] [0003] 반도체 기술이 딥 서브-마이크론 프로세스 노드(process node)들로 진보함에 따라, 짧은 채널 효과들은 성능을 심각하게 저하시킬 수 있다. 캐리어 속도(carrier velocity)는 이러한 짧은 채널들에서 포화 상태가 되는데, 이는 스위칭 속도를 느리게 하고 트랜지스터 강도를 감소시킨다. 충분한 트랜지스터 강도를 가지면서 고 밀도를 달성하기 위하여, 변형 엔지니어링 기술(strain engineering technique)들은 결정 격자가 소스와 드레인 확산 영역들(이들 확산 영역들은 전형적으로 트랜지스터 레이아웃 용어와 관련하여 OD(oxide definition)로 표시된다)에서 변형(strain)되도록 개발되어 왔다. OD는 원하는 트랜지스터 타입(NMOS 또는 PMOS)을 달성하도록 적절히 n-형 또는 p-형 도핑될 뿐만아니라 캐리어 속도 및 트랜지스터 강도를 증가시키도록 변형된다. 이와 관련하여, OD는 전체 기판을 변형시키는 것과 대조적으로 오직 국부적으로 변형된다.

[0004] [0004] 이러한 국부 변형(local strain)은 전체 기판에 걸친 전역 변형(global strain)보다 더 우수한 것으로 증명되었다. 변형의 타입은 트랜지스터 타입에 의존한다. PMOS 트랜지스터들에 대한 OD는 압축 변형되는데 반해, NMOS 트랜지스터들에 대한 OD는 인장 변형을 가진다. 예컨대, 압축 변형을 도입하기 위하여 p-형 OD에 SiGe의 막이 적용될 수 있는 반면에, 인장 변형을 도입하기 위하여 n-형 OD에 SiN 또는 SiC의 막이 적용될 수 있다. 결과적인 실리콘 변형 엔지니어링은 딥 서브-마이크론 프로세스 노드들에서 만족스러운 트랜지스터 강도를 달성하는데 있어서 매우 성공적인 것으로 증명되었다.

[0005] [0005] 변형 엔지니어링의 사용은 레이아웃 프로세스에 다수의 제약을 도입한다. 도 1은 트랜지스터들의 예시적인 쌍에 대한 레이아웃을 예시한다. 제 1 트랜지스터(100)는 제 1 OD 영역(105)에 의해 정의된 자신의 소스(S) 및 드레인(D)을 가진다. 폴리실리콘 게이트(110)는 소스 및 드레인 영역들을 분리한다. 다른 OD 영역(115)과 폴리실리콘 게이트(120)의 유사한 어레이지먼트(arrangement)는 다른 트랜지스터(101)를 정의한다. 진화된 프로세스 노드들에서, 도 1의 레이아웃은 드레인 및 소스 영역들을 형성하는 OD(115 및 110)가 둘다 비교적 짧기 때문에 비효율적일 것이다. OD에 대한 이러한 짧은 길이는 국부 변형 엔지니어링을 사용함에도 불구하고 OD의 결정 격자가 과도하게 느슨해지도록 한다. 따라서, 트랜지스터들(100 및 101)은 너무 약하게 될 것이다. 대조적으로, 만일 점선들(125)에 의해 도시된 바와같은 연속 OD를 형성하기 위하여 OD들(105 및 115)이 연장될 수 있으면, OD들(105 및 115)은 변형이 증가되어 양호한 성능을 달성할 수 있다. 그러나, OD들의 이러한 연장은 트랜지스터(100)의 드레인 대 트랜지스터(101)의 소스를 단락시킬 것이다.

[0006] [0006] 딥 서브-마이크론 프로세스 노드들에서 만족스러운 트랜지스터 성능을 달성하기 위하여, "연속 OD" 레이아웃들이 개발되어 왔다. 도 2는 연속 OD(200)에 대한 예시적인 레이아웃을 예시한다. 트랜지스터들(100 및 101)은 각각 폴리실리콘 게이트들(110 및 120)과 관련하여 여전히 정의된다. 그러나, OD(200)는 그 OD(200)가 만족스러운 트랜지스터 강도에 비해 충분한 격자 변형을 발생시킬 수 있도록 양 트랜지스터들에 대해 연속적이다. 더미(dummy) 폴리실리콘 게이트(205)는 소스 전압으로 충전되도록 구성됨으로써 트랜지스터들(100 및 101)을 전기적으로 절연시킨다. 예컨대, 만일 OD(200)가 p-형 도핑되면, 더미 게이트(205)는 전원 전압(VDD)에

결합(tie)될 것이다. 대안적으로, 만일 OD(200)가 n-형 도핑되면, 더미 게이트(205)는 접지에 결합될 것이다. 유사한 더미 게이트(210)는 연속 OD(200)에서 더미 게이트(210)의 좌측의 트랜지스터(예시안됨)로부터 트랜지스터(100)를 절연시킨다.

[0007] 비록 연속 OD(200)를 사용함으로써 인해 결정 격자가 충분히 변형될 수 있을지라도, 다수의 설계 문제들이 존재한다. 예컨대, 각각의 트랜지스터는 개별 "표준 셀"내에 상주하는 것으로 고려될 수 있다. 트랜지스터(100)를 형성하는 표준 셀(201)은 더미 게이트(210)를 따르는 가장자리 A로부터 더미 게이트(205)를 따르는 가장자리 B까지 연장된다. 각각의 더미 게이트는 소스 전압에 항상 결합되는데, PMOS 실시예에서는 소스 전압이 VDD인 반면에, NMOS 실시예에서는 소스 전압이 접지이다. 인터커넥트(215)는 트랜지스터(101)의 소스와 더미 게이트(205)사이를 커플링하는 소스 전압을 제공한다. 유사하게, 인터커넥트(220)는 트랜지스터(100)의 소스와 더미 게이트(210)사이를 커플링하는 소스 전압을 제공한다. 이러한 표준 셀 기술을 고려할 때, 표준 셀(201)에 대한 누설을 특징으로 하는 것과 관련하여 발생하는 문제들에 주목하라. 트랜지스터(100)에 대한 드레인으로부터의 누설에 대하여, 이 누설은 단지 트랜지스터(100)에 대한 소스로부터 게이트(110)를 가로지르는 누설과 관련한 셀 레벨로만 정의될 수 있다. 그러나, 트랜지스터(100)에 대한 소스로부터의 이러한 누설 전류는 차례로 더미 게이트(210)의 좌측의 확산 영역(225)에 대한 상태에 의존한다. 선험적으로, 표준 셀(201)이 다른 표준 셀 바로 옆에 예시되기 전에는 확산 영역(225)이 이러한 추가 표준 셀의 다른 트랜지스터에 대한 소스인지 또는 드레인인지의 여부가 알려지지 않을 수 있다. 이러한 불확실성은 트랜지스터(100)에 대한 누설 계산을 매우 복잡하게 만든다. 예컨대, 확산 영역(225)이 다른 트랜지스터 소스를 형성한다고 가정하면, 확산 영역(225)은 더미 게이트(210)를 가로질러 누설이 발생할 수 없도록 트랜지스터(100)에 대한 소스와 동일한 전압에 있을 것이다. 역으로, 만일 확산 영역(225)이 다른 트랜지스터 드레인을 형성한다면, 누설 전류는 트랜지스터(101)에 대한 소스로부터 확산 영역(225)으로 흐를 것이다. 우리는 트랜지스터(100)에 대한 드레인과 소스 사이의 게이트(110)를 가로질러 누설 전류가 항상 존재할 것이라는 것을 안다. 이러한 누설 전류는 확산 영역(225)이 드레인을 형성하는지 또는 소스를 형성하는지의 여부에 의존하는 "선택적인" 누설 전류로부터 자신을 구별하기 위하여 "항상-존재하는(always-present)" 누설 전류로 표시될 수 있다. 그래서, 셀(201)과 같은 표준 셀에 대하여 2가지 가능성, 즉 오직 항상-존재하는 누설 전류 또는 항상-존재하는 누설 전류와 선택적인 누설 전류의 합이 존재한다. 누설 전류의 특성화(characterization)는 설계에 있어서 매우 중요한 성능 특징이다. 그러나, 연속 OD(200)에 대하여 도 2에 도시된 종래의 표준 셀 아키텍처는 주어진 설계에 대한 누설 전류 결정을 매우 복잡하게 만든다.

[0008] 따라서, 개선된 표준 셀 연속 OD 아키텍처들에 대한 필요성이 당업계에서 요구된다.

발명의 내용

[0009] 연속 OD(oxide definition) 영역 프로세스들에 대한 일관된 누설 전류 특성화를 제공하는 셀 아키텍처(cell architecture)가 개시된다. 이와 관련하여, "셀"은 논리 게이트 또는 인버터와 같은 회로 빌딩 블록에 대한 레이아웃을 지칭한다. 이러한 회로 빌딩 블록은 전형적으로 여러 트랜지스터들을 포함하나, 본원에 개시된 실시예들은 또한 오직 하나의 트랜지스터만을 포함할 수 있다. 종래의 셀은 제 1 더미 게이트로부터 제 2 더미 게이트까지 가로질러 연장하는 것으로 간주될 수 있다. 더미 게이트 경계들 내에서는 트랜지스터들의 수에 따라 하나 이상의 게이트들이 존재할 수 있다. 유사하게, 하나 이상의 연속 OD 영역들이 셀을 가로질러 연장할 수 있다. 이들 연속 OD 영역들은 또한 연속하는 활성 영역들로 표시될 수 있다. 예컨대, 만일 셀이 NMOS 및 PMOS 트랜지스터들 둘다를 포함하면, 셀은 적어도 2개의 연속 OD 영역들, 즉 PMOS 트랜지스터들에 대한 적어도 하나의 도핑된 p-형 활성 영역과 NMOS 트랜지스터들에 대한 적어도 하나의 도핑된 n-형 활성 영역을 필요로 할 것이다. 종래의 셀에서는 셀 구조들이 더미 게이트 경계들에서 끝날 것이다. 그러나, 본원에 개시된 유리한 셀은 트랜지스터의 드레인에 인접한 더미 게이트를 초과하는 연장부를 요구한다. 이와 관련하여, 트랜지스터는 트랜지스터의 게이트에 의해 분리되도록 OD 영역에 각각 정의된 드레인 및 소스를 가진다. 따라서, 드레인은 게이트로부터 인접 더미 게이트의 제 1 측까지 뻗어 있는 OD 영역의 부분에 정의된다. 이러한 드레인에 인접한 더미 게이트는 또한 본원에서 드레인-측 더미 게이트로 표시될 수 있다. 따라서, 나머지 더미 게이트는 소스-측 더미 게이트로 표시될 수 있다.

[0010] 드레인-측 더미 게이트는 대향하는 제 2 측을 포함한다. 종래의 셀에서는 드레인-측 더미 게이트의 이러한 대향하는 제 2 측에 인접한, OD 영역의 부분으로 넘기는 구조가 존재하지 않는다. 그러나, 이하에서 추가로 설명되는 바와같이, 본원에서 논의되는 셀은 드레인-측 더미 게이트와 드레인-측 더미 게이트의 대향하는 제 2 측에 인접한 OD 영역의 부분을 소스 전압에 커플링하는 국부 인터커넥트 구조를 포함한다. 이는 셀에 대한

드레인이 소스 전압으로 충전되는 OD 영역의 부분으로부터 드레인-측 더미 게이트에 의해 항상 분리되도록 보장되기 때문에 매우 유리하다. 셀을 포함하는 OD 영역은 전형적으로 다수의 다른 셀들을 포함할 것이라는 것에 주목하라. 이들 셀들은 첫번째 셀로부터 마지막 셀까지 연장하는 것으로 간주될 수 있다. 그러나, 비록 드레인-측 더미 게이트의 제 2 측에 인접한, OD 영역의 부분에 정의된 추가 셀들이 존재하지 않도록 셀이 마지막 셀(또는 첫번째 셀)일지라도, OD 영역의 이러한 부분은 영역의 이러한 부분으로부터 드레인-측 더미 게이트를 가로질러 드레인으로 흐르는 누설 전류에 대하여 트랜지스터 소스와 다르지 않게 동작할 것이다. 다시 말해서, OD 영역의 이러한 부분에 정의된 셀이 존재할 수 있거나 또는 존재하지 않을 수 있다. 드레인-측 더미 게이트에 인접한 다른 셀이 존재하는지의 여부와 관계없이, 드레인-측 더미 게이트의 제 2 측에 인접한, OD 영역의 부분은 소스 전압으로 충전된다.

[0011] 이러한 셀 아키텍처가 주어진 경우에, 종래의 연속 OD 셀 누설과 관련하여 앞서 논의된 불확실성이 완화되었다. 결과적인 셀은 일관되고 예측가능한 누설을 항상 제공한다. 이와 관련하여, 셀은 소스-측 더미 게이트를 초과하여 소스-측 더미 게이트 외측에 있는 연속 OD 영역까지의 국부 인터커넥트 연장부를 필요로 하지 않는다는 것에 유의하라. 드레인을 갖기 위하여 연속 OD 영역의 이러한 부분에 추가 셀이 정의될 수도 있다. 누설 전류가 현재 셀의 소스로부터 이러한 추가 셀의 드레인으로 흐를 것이라는 것이 틀림없다. 그러나, 이러한 추가 누설 전류는 이러한 추가 셀이 동일한 구조를 가지고 따라서 이러한 누설 전류를 그 자체적으로 측정하기 때문에 셀 레벨에서 누설 전류 특성화를 잘못되게 하지 않는다. 역으로, 만일 이웃하는 셀이 그 자신의 소스와 인접하면, 소스-대-소스 어버트먼트(abutment)로 인해 이웃하는 셀들 사이에서 누설 전류가 존재하지 않는다.

도면의 간단한 설명

[0012] 도 1은 불연속 확산 영역들을 가진 트랜지스터의 종래 쌍을 예시한다.

[0013] 도 2는 연속 확산 영역의 트랜지스터들의 종래 쌍을 예시한다.

[0014] 도 3은 멀티-레벨 국부 인터커넥트들 및 연관된 구조들의 단면도이다.

[0015] 도 4a는 연속 확산 영역의 셀에 대한 레이아웃을 예시하며, 여기서 트랜지스터는 더미 게이트의 제 1 측에 인접한 드레인을 포함하며, 셀은 확산 영역의 부분과 더미 게이트를 소스 전압으로 충전하도록 구성된 국부 인터커넥트 구조를 포함한다.

[0016] 도 4b는 도 4a의 셀에 대해 미러-이미지 관계를 가진 셀을 예시한다.

[0017] 도 5a는 추가 더미 게이트가 부동적인, 도 4a의 셀 아키텍처의 변형을 예시한다.

[0018] 도 5b는 이웃하는 셀의 트랜지스터의 드레인과 인접하는 도 5a의 셀을 예시한다.

[0019] 도 6은 개시내용에 따른, 셀들의 예시적인 누설 전류 분석에 대한 흐름도이다.

[0020] 도 7은 도 4a 내지 도 5b의 셀들에 대한 예시적인 제조 방법에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 예측가능한 누설 전류들을 가진 연속 OD 표준 셀들에 대한 요구를 충족시키기 위하여, 알려진 누설 전류량을 제공하는 다양한 연속 OD 표준 셀 아키텍처들이 개시된다. 다시 말해서, 도 2에 도시된 종래의 레이아웃과 관련하여 앞서 논의된 불확실성이 제거된다. 이때, 이는 오직 설계가 통합한 다수의 표준 셀들로부터만 누설 전류를 확실하게 예측할 수 있기 때문에 현저하게 유리하다. 대조적으로, 도 2의 종래의 표준 셀(201)을 사용하여 구성된 회로로부터의 누설 전류는 그것이 다양한 드레인-소스 또는 소스-대-소스 셀 어버트먼트들에 의존할 것이기 때문에 시뮬레이션을 통해 결정되어야 한다. 극명한 대조로, 개시된 셀의 누설 전류 계산은 그 개시된 셀이 이웃하는 셀과 소스-대-소스 또는 소스-대-드레인 어버트먼트를 가지는지의 여부와 관계없이 변화하지 않는다. 이러한 유리한 특징들은 최신의 국부 인터커넥트들을 논의함으로써 쉽게 인식될 수 있다.

[0014] [0022] 도 2를 다시 참조하면, 국부 인터커넥트들(220 및 215)이 단순화된 형태로 도시된다는 것에 주목하라. 실제로는, 게이트 영역과 비-게이트 영역 사이를 커플링하기 위한 다양한 국부 인터커넥트 레이아웃들 또는 구조들이 알려져 있다. 이들 구조들은 (비아(via)들에 전용된 제 3 층을 가진) 2-층 국부 인터커넥트 토폴로지(two-layer local interconnect topology)와 관련하여 본원에서 개시된다. 비록 기관에 인접한 금속층들의 도선들이 또한 때때로 "국부 인터커넥트들"로 표시될지라도, 이러한 도선들은 본원에서 사용되는 "국부 인터커넥

트"의 정의로부터 배제된다. 기존의 프로세스 노드들에서, 제 1 금속층(및 상위 금속층들)의 인터커넥트들은 비아들을 통해 트랜지스터 게이트들 및/또는 드레인/소스 단자들에 커플링될 것이다. 그러나, 반도체 프로세싱 기술이 딥 서브-마이크론 영역으로 진보함에 따라, 제 1 금속층(또는 상위 층들)으로부터의 비아들은 2-층 국부 인터커넥트 구조를 통해 이들 반도체 구조들에 커플링된다. 따라서, 비아들은 국부 인터커넥트의 2개의 하위층들(레벨 1 및 2) 사이의 상위 제 3 층(레벨 3)에 있다.

[0015] [0023] 일부 예시적인 2-레벨 국부 인터커넥트들이 도 3에 도시된다. 이러한 도면에서 알 수 있는 바와같이, 범위가 레벨 1에서 레벨 3에 이르는 3개의 레벨들의 국부 인터커넥트들이 존재한다. 레벨 1은 연속 확산 영역(OD)(305)에 인접한 국부 인터커넥트들의 층을 정의한다. 레벨 3는 제 1 금속층(M1)에 인접한 국부 인터커넥트들의 층을 정의한다. 마지막으로, 레벨 2는 레벨 1 국부 인터커넥트와 레벨 3 국부 인터커넥트 사이를 커플링하는 국부 인터커넥트들의 층을 정의한다.

[0016] [0024] 레벨 1 국부 인터커넥트(310)는 LIc로서 표시된 국부 인터커넥트(LI) 타입을 포함한다. 레벨 2에는 2가지 타입의 국부 인터커넥트, 즉 LIa(315) 및 LIb(320)이 존재한다. 따라서, 레벨 1에서는 한가지 타입(LIc(310))이 존재하는 반면에, 레벨 2에서는 2가지 타입들(LIa(315) 및 LIb(320))이 존재한다. LIc(310)와 같은 레벨 1 국부 인터커넥트는 연속 확산 영역(305)에 직접 커플링된다. 따라서, 이러한 레벨 1 인터커넥트는 임의의 레벨 2 인터커넥트들을 형성하기 전에 연속 확산 영역(OD)(305)에 적절한 반도체 프로세싱 마스크를 통해 적용될 것이다. 레벨 1은 또한 게이트 층(300), 예컨대 폴리실리콘 층 또는 높은-K 금속층에 대한 레벨이다. 게이트 층(300)은 자신이 연속 확산 영역(305)에서 소스, 드레인 및 채널을 가진 트랜지스터에 대한 게이트를 형성하기 때문에 국부 인터커넥트의 형태가 아니다. LIa(315) 및 LIb(320)와 같은 레벨 2 인터커넥트들은 비아(V0)(325)와 같은 비아들을 통해 제 1 금속 층(M1)(또는 상위 금속층들)에 커플링된다. 비아들은 레벨 2와 제 1 금속층(M1) 사이에서 레벨 3에 배열된다.

[0017] [0025] 도 2를 다시 참조하면, 게이트 층들(110, 120 및 205)에 대한 풋프린트(footprint)들은 연속 확산 영역(200)에 대한 다각형 풋프린트에 대한 세로축에 직교하는 세로축을 가진 비교적 좁은 다각형들을 형성한다. 국부 인터커넥트들은 이러한 구성을 따르는데, 즉 주어진 타입의 국부 인터커넥트는 일반적으로 게이트 층 또는 연속 확산 영역과 평행한 세로축을 가진 다각형 형상을 가지도록 (즉, 게이트 층 또는 연속 확산 영역에 대한 다각형 풋프린트에 대한 세로축에 평행한 세로축을 가진 다각형 풋프린트를 가지도록) 그렇게 배열될 것이다. 레이아웃 목적으로 사용되는 다각형 형상의 세로축을 반복적으로 언급하는 것이 번거롭기 때문에, 국부 인터커넥트는 자신의 다각형 풋프린트가 게이트 층들의 다각형 풋프린트들에 대한 세로축에 평행한 세로축을 가지는 경우에 "게이트-지향 국부 인터커넥트(gate-directed local interconnect)"인 것으로 본원에서 정의된다. 역으로, 국부 인터커넥트는 자신의 다각형 풋프린트가 확산 영역들의 다각형 풋프린트들에 대한 세로축들에 평행한 세로축을 가지는 경우에 "확산-지향 국부 인터커넥트(diffusion-directed local interconnect)"인 것으로 본원에서 정의된다.

[0018] [0026] LIc(310)와 같은 레벨 1 인터커넥트는 확산 영역(305)상에 형성된다. 따라서, LIc(310)는 인터커넥트들의 상위 계층들에 대하여 확산 영역(305)에 전기적으로 집적 커플링하는 것으로 작용한다. 따라서, 우리는 레벨 1 국부 인터커넥트가 게이트-지향 국부 인터커넥트이어야 한다는 것을 바로 인식할 수 있는데, 왜냐하면 그렇지 않은 경우에 레벨 1 국부 인터페이스는 게이트 층(300)에 대한 레이아웃을 방해할 것이기 때문이며, 즉 LIc(310)은 확산-지향 국부 인터커넥트가 아닐 수 있거나 또는 게이트 층(300)에 단락되고 게이트 층(300)과 교차할 수 있다. 대조적으로, 레벨 2 국부 인터커넥트들은 게이트-지향 국부 인터커넥트들 또는 확산-지향 국부 인터커넥트들일 수 있다. 하나의 레벨 2 타입의 국부 인터커넥트는 LIa(315)와 같은 LIc(310)에 커플링하는데 필요하다. 따라서, LIa(315)는 게이트-지향 국부 인터커넥트이며, 레벨 3의 대응 비아(예시안됨)와 M1(또는 상위 금속층들)간을 커플링한다. 레벨 2 LIb(320)는 게이트 층(300)에 커플링되며, 정사각형 풋프린트(본원에서는 확산-지향인 것으로 간주됨)을 가지도록 또는 확산-지향인 다각형 풋프린트를 가지도록 배열된다. LIb(320)는 또한 본원에서 "MP"(320)로 표시될 수 있다. LIb(320)와 금속층(M1) 사이를 커플링하는 비아(V0)는 M1과 레벨 1 및 레벨 2 국부 인터커넥트들 사이의 레벨 3 인터커넥트들을 나타낸다. 제 1 금속 층(M1)은 레벨 3 위에 놓인다. LIa(315), LIb(320) 및 LIc(310)는 전형적으로 텅스텐을 포함하는데 반해, 비아(V0) 및 M1은 전형적으로 구리를 포함한다. 국부 인터커넥트 기술들에서 알려진 다른 재료들이 사용될 수 있다.

[0019] [0027] 이들 국부 인터커넥트 개념들을 고려하여, 예시적인 표준 셀(400)이 도 4a에 도시된다. (이 문제에 있어서 모든 다른 레이아웃 도면들에 대한 경우인) 이 도면은 평면도이라는 것에 주목하라. 다시 말해서, 도 3이 OD(305)를 포함한 기관의 단면도인 반면에, 도 4a는 표준 셀(400)을 지원하는 기관의 활성 표면의 평면도를 도시하고 있다. 이러한 레이아웃에서, 표준 셀(400)은 연속 OD(420)에 정의된 드레인(415) 및 소스(410)를 가진

트랜지스터(405)를 포함한다. OD(420)가 연속적이기 때문에, 표준 셀(400)은 제 1 더미 폴리실리콘 게이트(425)로부터 트랜지스터(405)에 대한 폴리실리콘 게이트(450)를 가로질러 제 2 더미 게이트(430)까지 연장된다. 셀(400)이 다른 트랜지스터들에 대한 게이트(450)와 같은 추가 폴리실리콘 게이트들을 포함할 수 있다는 것에 주목하라. 따라서, 예시를 명확하게 하기 위하여, 셀(400)은 오직 하나의 폴리실리콘 게이트(450)를 포함하는 것으로 도시되나, 이러한 추가 폴리실리콘 게이트들이 대안적인 실시예들에 포함될 수 있다는 것이 인식될 것이다. 유사하게, 셀(400)은 연속 OD(420) 외에 추가의 연속 OD 영역들을 포함할 수 있다. 레벨 2 MP 인터커넥트(435)는 제 1 더미 게이트(325)로부터 레벨 1 LIc 인터커넥트(455)를 통해 소스(410)에 커플링된다. 비아(460)는 소스 영역(410) 및 더미 게이트(425)가 적절한 소스 전압(각각 트랜지스터(405)가 PMOS 트랜지스터인지 또는 NMOS 트랜지스터인지의 여부에 따라 VDD 또는 접지)으로 충전되도록 레벨 2 인터커넥트 LIa 층(예시안됨)을 통해 M1 금속층(예시안됨)과 같은 금속층과 레벨 1 LIc 인터커넥트(455)사이를 커플링한다.

[0020]

[0028] 인터커넥트(435)와 유사한 방식으로, 레벨 2 MP 인터커넥트(440)는 제 2 더미 게이트(430)로부터 레벨 1 LIc 인터커넥트(465)를 통해 더미 게이트(430)의 우측의 OD(420)내의 확산 영역(445)으로 커플링된다. 더미 게이트(430)는 자신이 더미 게이트로서 기능을 하기 위하여 소스 전압에 결합되어야 하기 때문에, 비아(470)는 레벨 2 LIa 인터커넥트(예시안됨)를 통해 금속 층(예시안됨)의 소스 인터커넥트와 레벨 1 LIc 인터커넥트(465)사이를 커플링한다. 따라서, 확산 영역(445)은 또한 소스 전압으로 충전된다. 이전에 논의한 바와같이, LIc(465) 및 LIa 둘다는 게이트-지향 인터커넥트들이다. 이들 게이트-지향 인터커넥트들의 레벨 1/레벨2 스택(stack)에서, LIa 및 LIc 인터커넥트들의 조합은 MO_OD 층으로 지정될 수 있다. 예컨대, MO-OD 층(480)은 드레인(415)에 커플링된다.

[0021]

[0029] 셀(400)은 MP 인터커넥트(440), LIc 인터커넥트(465) 및 비아(470)를 포함하는데 반해 이들 구조들은 통상적으로 더미 게이트(425)상의 점선 A로부터 더미 게이트(430)상의 점선 B까지 연장되는 통상적인 셀 경계 외측에 존재한다는 것에 주목하라. 이들 추가 구조들은 매우 유리한데, 왜냐하면 이들 추가 구조들은 확산 영역(445)이 항상 소스 전압으로 충전되도록 하기 때문이다. 이후, 우리는 이러한 추가 "소스"(확산 영역(445))로부터 더미 게이트(430)를 가로질러 드레인(415)으로의 누설 전류를 계산할 수 있다. 이때, 이러한 누설 전류는 셀(400)의 각각의 복제물에 대하여 동일할 것이다. 따라서, 소스 또는 드레인이 더미 게이트(425) 좌측의 OD(420)내의 확산 영역(485)에 존재하는지의 여부에 대한 예측불허 변동은 중요치 않는데, 왜냐하면 셀 레벨에서, 누설 전류는 추가 "소스"(확산 영역(445))로부터 드레인(415)까지 항상 계산되기 때문이다. 만일 확산 영역(485)이 다른 셀에 대한 소스(예시안됨)를 포함한다면, 소스/확산 영역(485)과 소스(410) 사이에서 더미 게이트(425)를 가로질러 추가적인 누설 전류가 존재하지 않을 수 있는데, 왜냐하면 이들 노드들은 동일한 전위로 충전되기 때문이다. 역으로, 만일 확산 영역(485)이 다른 셀에 대한 드레인(예시안됨)을 포함한다면, 소스(410)로부터 확산 영역(485)으로의 누설 전류는 이러한 추가 셀에 대한 드레인에서 셀 레벨로 캡처(capture)될 것이다. 이때, 이는 누설 전류가 셀 레벨로 특징지워질 수 있다는 점에서 매우 유리한데 반해, 이는 앞서 논의된 바와같이 종래 셀(201)에 대해서는 문제가 되었다. 이것이 얼마나 유리한지에 주목하라. 즉, 파운드리 프로세스(foundry process) 및 셀 치수들에 따라, 우리는 다양한 예상된 프로세스 코너(process corner)들, 공급 전압들 및 온도들에 대하여, 이러한 정의된 누설 전류에 대한 범위를 항상 정할 수 있다. 이러한 범위가 무엇이든지, 이때, 우리는 누설 전류를 특징지우기 위하여 단순히 이 범위에 셀들(400)의 수를 곱할 필요가 있다. 대조적으로, 우리는 도 2의 셀(201)에 대한 누설 전류에 대해서는 그러한 준비된 솔루션을 가지고 있지 않다. 특히, (앞서 논의된 바와같이, 앞서 논의된 2-레벨 국부 인터커넥트 구조를 고려하지 않은 단순화된 형태로 도시된) 인터커넥트(215)는 셀(201)의 부분이 아니다. 그래서, 셀(201)은 알려진 누설 전류량을 제공하는 것과 관련한 확실한 셀(400)을 제공하지 않는다.

[0022]

[0030] 셀(400)과 종래의 셀(201) 사이에 개별적인 물리적인 차이가 존재한다는 것에 주목하라. 예컨대, 셀(201)이 트랜지스터 어레이의 예지에 있었다고 가정하라. 다시 말해서, 게이트들(110 및 101)(뿐만아니라 더미 게이트들(210 및 205))와 같은 게이트들이 게이트 피치에 따라 레이아웃된다고 알려져 있다. 이러한 피치는 인접한 게이트 구조들 사이의 규칙적인 간격을 정의한다. 따라서, OD(200)와 같은 OD 확산 영역은 다양한 셀들에 대한 다수의 게이트들에 걸쳐 연장된다. 따라서, 게이트들은 OD 확산 영역의 한 단부로부터 OD 확산 영역의 나머지 단부까지 연속적인 OD 확산 영역의 범위에 걸쳐 배열된다. 게이트들은 OD 확산 영역에 걸친 게이트 피치에 따라 자신들의 어레이지먼트에 대하여 초기 게이트로부터 마지막 게이트까지 배열되는 것으로 간주될 수 있다. 유사하게, 게이트들에 대응하는 트랜지스터들은 또한 임의의 주어진 연속 OD 확산 영역에 대하여 시작 트랜지스터로부터 마지막 트랜지스터까지 배열되는 것으로 간주될 수 있다. 이와 관련하여, 도 2의 트랜지스터(100)가 연속 OD 확산 영역(200)상의 마지막 트랜지스터였다고 가정한다. 이후, 트랜지스터(100)의 우측에는 트랜지스터(101)가 존재하지 않는다. 인터커넥트(215)가 트랜지스터(101)에 대한 셀의 부분이기 때문에, 이에

따라 인터커넥트(215)는 트랜지스터(100)가 연속 OD 확산 영역(200)상의 마지막 트랜지스터인 경우에 존재하지 않을 것이다. 따라서, 더미 게이트(205)는 이러한 종래의 경우에 부동(float)적일 것이다. 그러나, 셀(400)은 매우 상이한데, 인터커넥트(400), 인터커넥트(465) 및 비아(470)가 셀(400)내에 포함되기 때문에 셀(400)이 연속 CD 확산 영역(420)상의 마지막 셀인지의 여부는 중요치 않다. 따라서, 게이트(430)는 셀(400)이 마지막 셀인지 또는 초기 셀인지의 여부에 관계없이 소스 전압 뿐만 아니라 확산 영역(445)으로 항상 충전된다.

[0023] [0031] 일 실시예에서, 확산-지향 국부 인터커넥트(440) 및 게이트-지향 국부 인터커넥트(465)의 국부 인터커넥트 구조는 더미 게이트(430) 및 확산 영역(445)을 소스 전압에 커플링하기 위한 수단을 포함하는 것으로 간주될 수 있다.

[0024] [0032] 본원에서 정의되는 바와같이, OD-정렬 구조(OD-aligned structure)들에 대한 세로축은 "확산-지향" 방향으로 연장하는 것으로 간주될 수 있는 반면에, 게이트-정렬 구조(gate-aligned structure)들은 확산-지향 방향에 직교하는 "게이트-정렬" 방향으로 연장하는 것으로 간주될 수 있다. 셀(400)을 다시 참조하면, MP 국부 인터커넥트들(435 및 440)은 확산-지향 방향으로 연장하는 것으로 간주될 수 있다. 예컨대, 인터커넥트(440)는 더미 게이트(430)로부터 레벨 1 LIc 인터커넥트(465)까지 확산-지향 방향으로 연장된다. 대조적으로, 레벨 1 LIc 인터커넥트(465)는 그것이 더미 게이트(430)의 부분과 평행하기 때문에 게이트-지향 방향으로 명백하게 연장된다.

[0025] [0033] 도 4a에 도시된 셀 아키텍처는 트랜지스터(495)를 포함하는 셀(401)에 대해 도 4b에 도시된 바와같이 180도 만큼 용이하게 "플립(flip)"될 수 있다. 다시 말해서, 셀(400)이 게이트(450)의 좌측에서 자신의 소스(410)를 그리고 게이트(450)의 우측에서 자신의 드레인을 가지는 반면에, 셀(401)에 대한 소스(410)는 게이트(450)의 우측에 있다. 유사하게, 드레인(415)은 셀(401)에서 게이트(450)의 좌측에 있다. 따라서, 셀(400) 및 셀(401)은 서로 미러 이미지들이다. 셀(401)에서 나머지 구조들은 이러한 미러-이미지 관계를 따르며, 그 외에는 셀(400)과 관련하여 논의된 바와같다. 예컨대, 인터커넥트(470)가 셀(400)에서 게이트(450)의 우측에 있었던 반면에, 인터커넥트(470)는 셀(401)에서 게이트(450)의 좌측에 있다. 따라서, 우리는 셀(401)이 다른 셀(401)에 또는 경계 A 또는 B에 있는 셀(400)에 인접할 수 있다는 것을 인식할 수 있다. 유사하게, 셀(400)은 경계들 A 및 B에 있는 다른 셀들(400) 또는 셀들(401)에 인접할 수 있다. 어버트먼트와 관계없이, 셀들(400 및 401)에 대한 누설 전류는 항상 셀 레벨로 유리하게 특징지워질 수 있다. 셀(400)과 관련하여 논의된 바와같이, 셀(401)은 오직 하나의 폴리실리콘 게이트(450) 및 하나의 연속 OD(445)를 포함하나, 대안적인 셀 아키텍처들이 다수의 게이트들 및 연속 OD 영역들을 포함할 수 있다는 것이 인식될 것이다.

[0026] [0034] 도 5a에서는 셀(500)에 대한 대안적인 셀 아키텍처가 도시된다. 셀(500)과 셀(400) 사이의 차이점은 MP 인터커넥트(435)가 없다는 점이다. 그 외에는 셀(500)의 구조들이 셀(400)과 관련하여 논의된 바와 같다. 결과는 더미 게이트(425)가 부동적이라는 점이다. 그러나, 이는 더미 게이트(425)가 다른 셀과의 어버트먼트한 이후에 적절하게 충전될 것이기 때문에 중요치 않다. 예컨대, 만일 셀(500)과 동일한 구조를 가진 셀(비록 이 셀이 가변수의 폴리실리콘 게이트들 및 연속 OD 영역들을 가질 수 있을지라도)의 다른 트랜지스터(예시되지 않음)가 도 5b에 도시된 바와같이 더미 게이트(425)에 인접한 자신의 드레인(515)을 가지면, 이러한 추가 트랜지스터는 오직 셀(500)이 레벨 1 게이트-지향 인터커넥트(465)에 커플링하기 위한 레벨 2 확산-지향 인터커넥트(440)를 필요로 하기 때문에 레벨 1 게이트-지향 인터커넥트(455)에 더미 게이트(425)를 커플링하는 레벨 2 확산-지향 인터커넥트(510)를 추가하는 것을 필요로 한다. 인터커넥트(440)의 목적은 제 2 더미 게이트(430)가 트랜지스터(505)의 드레인에 인접하기 때문에 제 2 더미 게이트(430)에 인접한 OD 부분(445)이 소스 전압에 결합되도록 보장하는 것이라는 것에 주목하라. 이러한 방식에서, 셀(500)에 대한 누설 전류는 드레인(515)이 소스를 대신하였는지의 여부에 관계 없이 특징지워질 수 있다. 이후, 소스(410)로부터 드레인(515)으로의 누설은 드레인(515)을 포함하는 트랜지스터에 대한 셀(예시안됨)에서 캡처될 것이다. 만일 드레인(515)이 도시된 경우에 이러한 추가 셀이 소스를 대신 가졌다면, 소스(410)와 이와 다른 소스 사이에서 누설이 발생하지 않을 것이다. 따라서, 우리는 셀(500)(그리고 또한 셀들(400 및 401))에 대한 셀 레벨에서의 누설이 인접 셀 어버트먼트(소스 또는 드레인)와 관계 없이 동일하다는 것을 인식할 수 있다. 예시적인 제조 방법은 이들 유리한 셀 구조들과 관련하여 지금 논의될 것이다.

[0027] 예시적인 누설 전류 분석 및 제조 방법

[0028] [0035] 앞서 논의된 바와같이, 회로 설계 및 분석은 본원에 개시된 혁신적인 셀 설계들로 상당히 단순화된다. 종래의 셀 아키텍처들과 유사하게, 이들 셀 설계들은 더미 게이트들을 사용하여 자신들의 트랜지스터들을 절연시킨다. 특히, 셀은 제 1 더미 게이트의 제 1 측에 인접한 드레인을 포함한다. 유사하게, 셀은 제 2 더미 게

이트에 인접한 소스를 포함한다. 셀의 게이트는 드레인과 소스 사이에 놓인다. 이러한 구조들은 종래기술이다. 그러나, 종래 기술이 아닌 것은 제 1 더미 게이트와 제 1 더미 게이트의 제 2 대향 측에 인접한 OD 영역의 부분 둘다가 소스 전압으로 충전되도록 셀이 제 1 더미 게이트로부터 연장되는 국부 인터커넥트 구조를 포함한다는 점이다. 이는 모든 각각의 셀에 대해 예측가능한 누설 전류를 보장하며, 즉, 단일 OD 영역에 대하여, 누설 전류는 OD 영역의 이러한 소스-충전 부분으로부터 그 OD 영역을 가로질러 셀의 드레인으로의 누설 전류이다. 따라서, 셀을 가로질러 연장하는 OD 영역들의 수에 따라, 우리는 누설 전류를 예측할 수 있다. 이러한 보장이 주어지면, 소스 또는 드레인이 셀 드레인에 인접하는지의 여부에 대해서는 중요치 않다. 만일 추가 셀의 소스가 셀의 소스에 인접하면, 추가 누설 전류가 발생하지 않는다. 만일 추가 셀의 드레인이 셀의 소스와 인접하면, 이러한 이웃하는 추가 셀은 셀로부터 추가 셀의 드레인으로 흐르는 누설 전류를 "캡처"할 것이다. 이러한 방식에서, 회로 설계자는 단순히 어떤 누설 전류가 셀의 특정 예시화(instantiation)를 위한 것인지 계산할 필요가 있다. 이러한 계산은 당업계에 공지된 일상적인 계산이며, 트랜지스터 치수들 및 예상된 반도체 코너에 따를 것이다. 제조 이후 때까지 정확한 프로세스 코너가 알려질 수 없기 때문에 이러한 계산에서는 약간의 허용오차가 물론 존재할 것이다. 그러나, 이러한 허용오차는 모든 셀들에 대하여 동일하다. 따라서, 누설 계산은 비교적 용이하게 되는데, 즉 우리는 단지 주어진 OD 영역에 걸쳐 연장되는 셀들을 계수하고 결과적인 수에 예상된 셀 누설을 곱할 필요가 있다.

[0029] [0036] 도 6의 흐름도는 이러한 유리한 누설 전류 분석 방법을 요약한다. 분석은 프로세서(예시되지 않음)를 사용하여 수행될 수 있다. 방법은 연속 OD 영역을 가로질러 연장하는 복수의 셀들을 포함하는 회로를 설계하는 단계(600)와 함께 시작하며, 각각의 셀은 제 1 더미 게이트의 제 1 측에 인접한 드레인, 및 제 1 더미 게이트와 제 1 더미 게이트의 제 2 대향 측에 인접한, OD 영역의 제 1 부분을 소스 전압에 커플링하도록 구성된 국부 인터커넥트 구조를 포함한다. 방법은, 프로세서에서, OD 영역의 제 1 부분과 드레인 사이의 셀 누설 전류를 계산하는 동작(605)을 포함한다. 최종적으로, 분석은, 프로세서에서, 복수의 셀들에서 셀들의 수를 계수하고 복수의 셀들에 대한 전체 누설 전류를 획득하기 위하여 그 수를 셀 누설 전류로 곱하는 동작(610)을 포함한다.

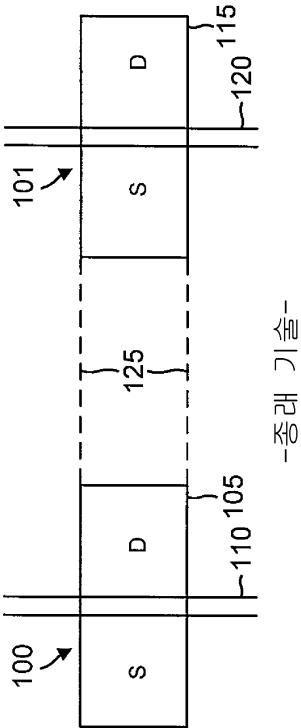
[0030] [0037] 추가 단계(예시안됨)에서, 복수의 셀들 및 대응하는 OD 영역은 제조를 완료하기 위하여 반도체 기판에 형성될 수 있다. 그러나, 누설 전류 분석은 그것이 단순히 셀들을 계수하고 계수를 셀 누설 전류로 곱하는 것을 필요로 한다는 점에서 매우 단순화된다는 것에 주목하라. 그러나, 이는 종래의 셀의 드레인 대 다른 종래의 셀의 드레인 또는 소스의 알려지지 않은 어버트먼트 때문에 종래의 셀들의 경우가 아니다. 따라서, 개시된 셀 아키텍처는 회로 설계 및 분석을 현저히 단순화한다.

[0031] [0038] 개시내용에 따른 예시적인 셀 제조 방법이 도 7에 제공된다. 초기 단계(700)에서, 연속 OD(oxide definition) 영역이 기판에 정의된다. 단계(705)는 제 1 더미 게이트와 제 2 더미 게이트 사이에 트랜지스터에 대한 게이트를 형성하는 단계를 포함하며, 트랜지스터에 대한 소스는 게이트와 제 1 더미 게이트 사이의 OD 영역의 부분에 정의되며, 트랜지스터에 대한 드레인은 게이트와 제 2 더미 게이트의 제 1 측 사이의 OD 영역의 부분에 정의된다. 단계(710)는 제 2 더미 게이트의 제 2 대향 측에 인접한, OD 영역의 부분에 커플링된 제 1 게이트-지향 국부 인터커넥트를 형성하는 단계를 포함한다. 최종적으로, 단계(715)는 제 1 게이트-지향 인터커넥트와 제 2 더미 게이트 사이에 커플링된 제 1 확산-지향 국부 인터커넥트를 형성하는 단계를 포함한다. 셀들(400, 401, 및 500)의 나머지 구조를 생성하기 위하여 유사한 형성 단계들이 수행될 수 있다는 것이 인식될 것이다.

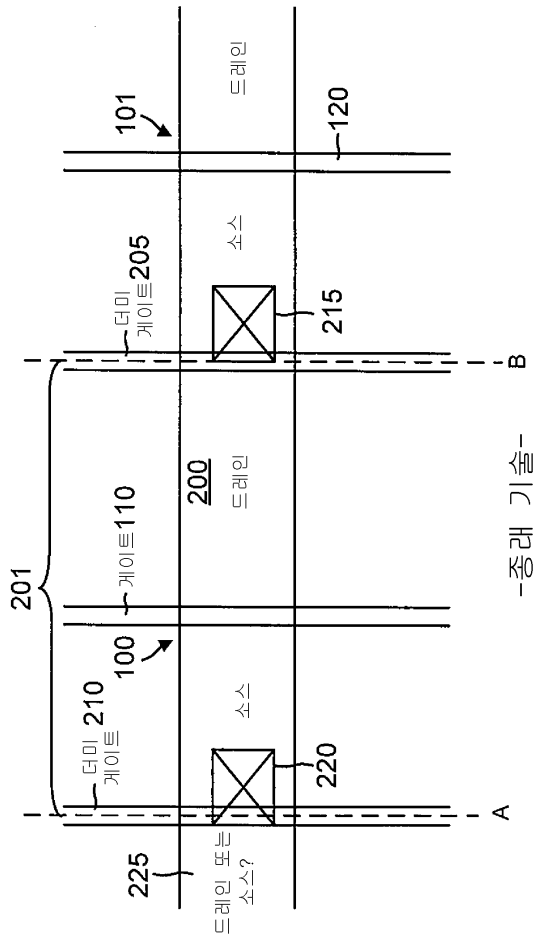
[0032] [0039] 당업자가 이제 인식하는 바와같이, 장래의 특정 응용에 따라, 본 개시내용의 사상 및 범위로부터 벗어나지 않고 본 개시내용의 재료들, 장치, 구성들 및 디바이스 이용 방법들에 대해 많은 수정들, 대체들 및 변형들이 이루어질 수 있다. 이를 고려하여, 본 개시내용의 범위는 본원에서 예시되고 설명된 특정 실시예들이 단순히 본 개시내용의 일부 예들을 대신하기 때문에 그 특정 실시예들의 범위로 제한되는 것 보다 오히려 이하에 첨부된 청구항들 및 이들의 기능적 균등물들의 범위와 완전히 상응해야 한다.

도면

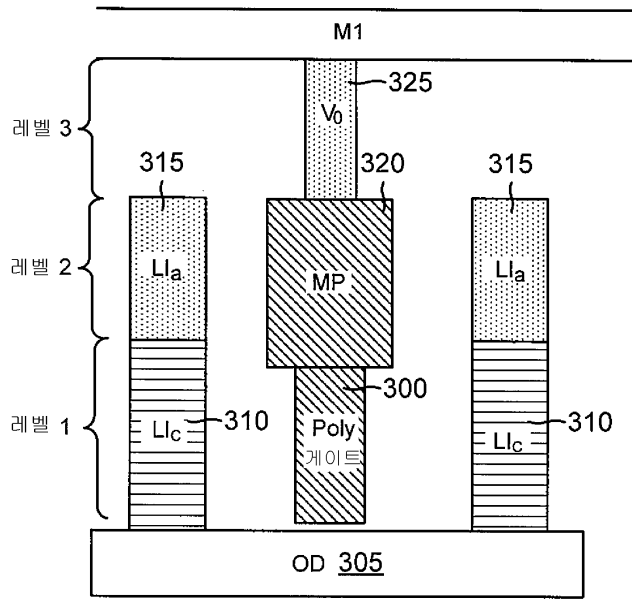
도면1



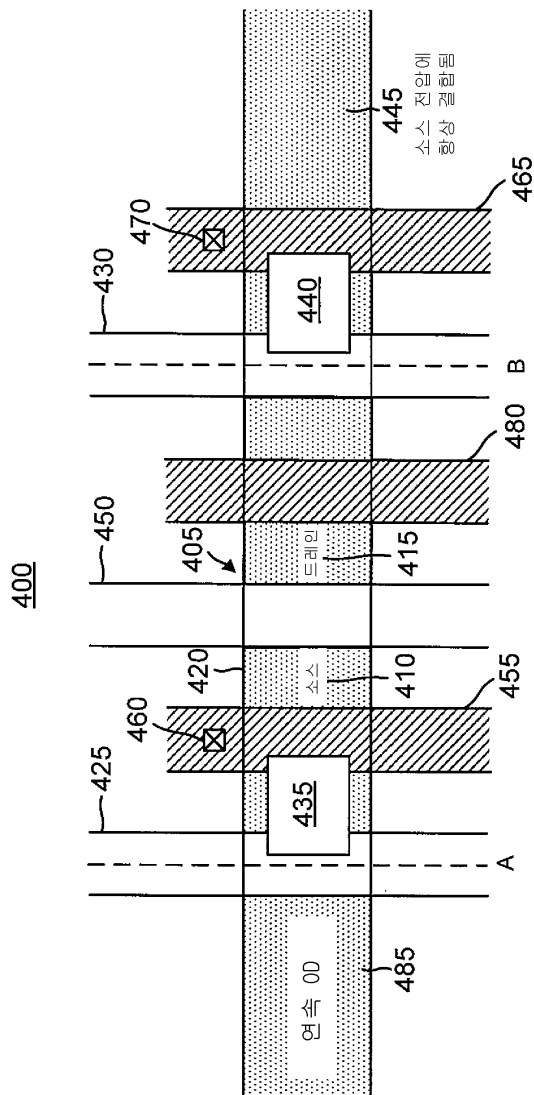
도면2



도면3

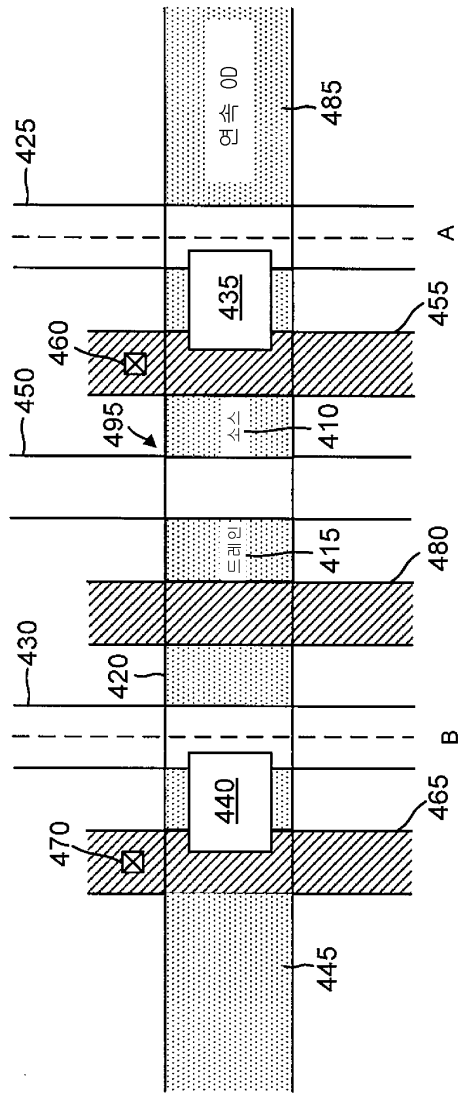


도면4a

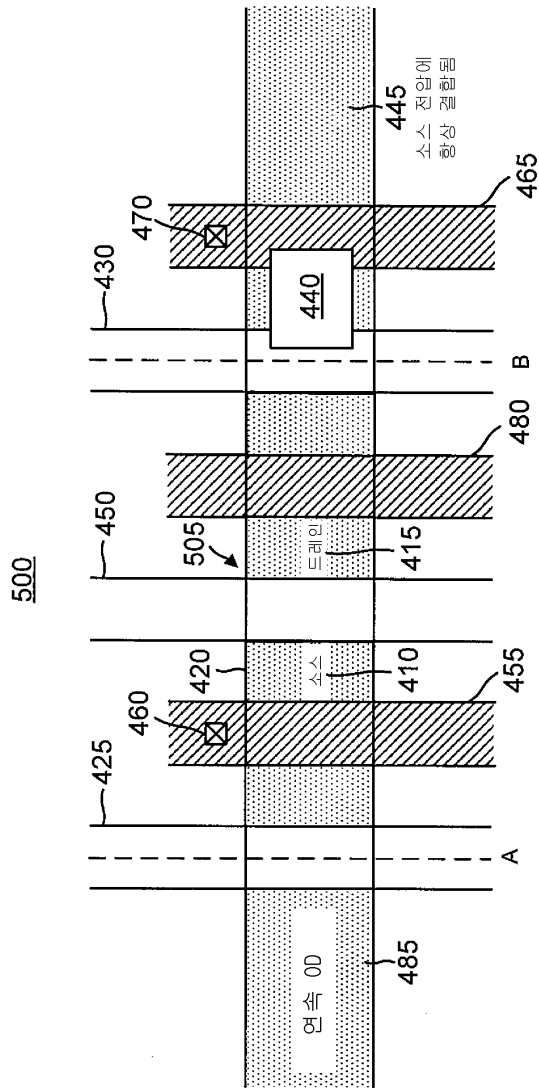


도면4b

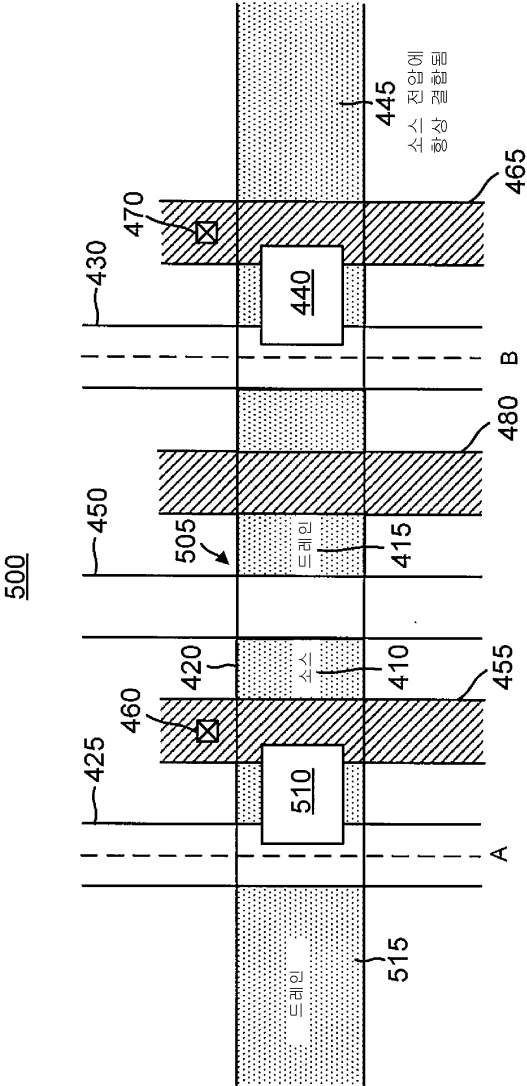
401



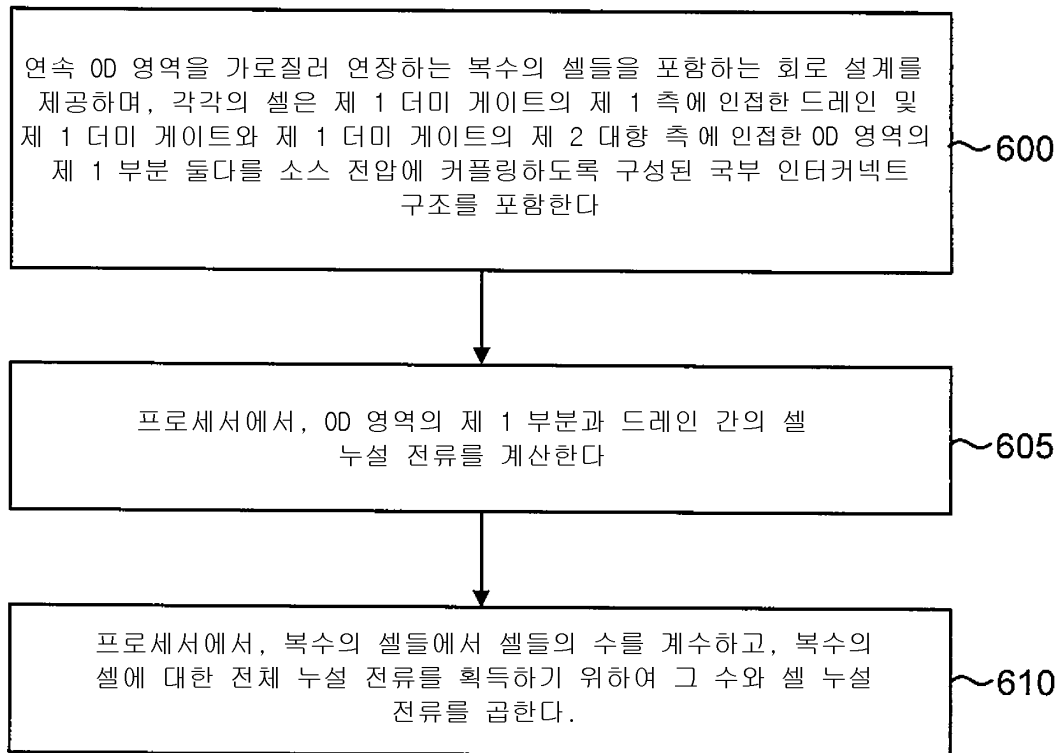
도면5a



도면5b



도면6



도면7

