

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-113679

(P2018-113679A)

(43) 公開日 平成30年7月19日(2018.7.19)

(51) Int.Cl.

F

### テーマコード（参考）

НОЗН 3/02

(2006, 01)

HO3H 3/02

3 / 02

C

5 J 108

НОЗН 9/05

(2006.01)

HO3H 9/05

9 / 05

審査請求 未請求 請求項の数 31 O.L. 外国語出願 (全 37 頁)

(21) 出願番号	特願2017-231535 (P2017-231535)
(22) 出願日	平成29年12月1日 (2017. 12. 1)
(31) 優先権主張番号	62/429, 179
(32) 優先日	平成28年12月2日 (2016. 12. 2)
(33) 優先権主張国	米国 (US)
(31) 優先権主張番号	62/429, 218
(32) 優先日	平成28年12月2日 (2016. 12. 2)
(33) 優先権主張国	米国 (US)
(31) 優先権主張番号	62/429, 223
(32) 優先日	平成28年12月2日 (2016. 12. 2)
(33) 優先権主張国	米国 (US)
(31) 優先権主張番号	62/429, 226
(32) 優先日	平成28年12月2日 (2016. 12. 2)
(33) 優先権主張国	米国 (US)

(71) 出願人 503031330  
スカイワークス ソリューションズ, イン  
コーポレイテッド  
SKYWORKS SOLUTIONS,  
INC.  
アメリカ合衆国、01801 マサachu-  
セツツ州、ウォバーン、シルバン・ロード  
、20  
(74) 代理人 100083806  
弁理士 三好 秀和  
(74) 代理人 100095500  
弁理士 伊藤 正和  
(74) 代理人 100111235  
弁理士 原 裕子

最終頁に続く

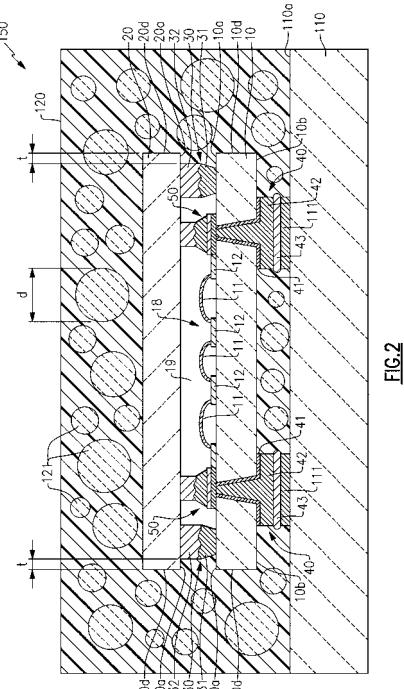
(54) [発明の名称] 基板間のキャビティ内に形成されてピアを含む電子デバイスを製造する方法

(57) 【要約】 (修正有)

【課題】スルーホール形成プロセス中のオーバーエッチング等による欠陥を防止する。

【解決手段】底面 10 a 及び頂面 10 b を有する第 1 基板 10において、当該底面 10 a に配置された電子回路 18を取り囲むべく所定高さの第 1 側壁を当該底面 10 a に形成することと、当該底面 10 a 及び当該頂面 10 b 間を連通させるピア 42 を形成することと、第 2 基板 20 の頂面 20 a の周縁に沿って所定高さの第 2 側壁を形成することとを含む。ピア 42 を形成することは、ピア 42 に対応する第 1 基板 10 の底面 10 a の一部分に第 1 ストップ層及び第 2 ストップ層を順に積層することと、当該ピア 42 に対応するスルーホールを形成するべく第 1 基板 10 をエッチングすることとを含む。第 1 基板 10 をエッチングする速度は、第 1 ストップ層をエッチングする速度よりも大きく、第 1 ストップ層をエッチングする速度は、第 2 ストップ層をエッチングする速度よりも大きい。

### 【選択図】図2



**【特許請求の範囲】****【請求項 1】**

電子デバイスを製造する方法であって、  
第1基板の底面の周縁に沿って第1側壁を形成して前記第1基板の底面に配置された電子回路を取り囲むことと、  
前記第1基板の底面と前記第1基板の頂面とに連通するビアを形成することと、  
第2基板の頂面の周縁に沿って第2側壁を形成することと、  
前記第1基板の底面、前記第2基板の頂面、前記第1側壁、及び前記第2側壁により内部にキャビティを画定するべく前記第1側壁と前記第2側壁とを位置決めして接合することと  
10  
を含み、  
前記ビアを形成することは、  
前記ビアに対応する前記第1基板の底面の一部分に第1ストップ層及び第2ストップ層を順に積層することと、  
前記ビアに対応するスルーホールを形成するべく前記第1基板をエッチングすることとを含み、  
前記第1基板のエッチング速度は前記第1ストップ層のエッチング速度よりも大きく、前記第1ストップ層のエッチング速度は前記第2ストップ層のエッチング速度よりも大きい方法。

**【請求項 2】**

前記第1基板は圧電体を含む請求項1の方法。

**【請求項 3】**

前記電子回路は、圧電薄膜共振器、バルク弹性波素子、音響多層膜共振器及び弹性表面波素子の少なくとも一つを含む請求項1の方法。

**【請求項 4】**

前記第1基板のエッチングはドライエッチングにより行われる請求項1の方法。

**【請求項 5】**

前記第1ストップ層はチタン及びクロムの少なくとも一方を含む請求項1の方法。

**【請求項 6】**

前記第2ストップ層は金を含む請求項1の方法。

**【請求項 7】**

前記第2ストップ層の厚さは前記第1ストップ層の厚さよりも大きい請求項1の方法。

**【請求項 8】**

前記電子回路は配線パッドを含み、

前記第1ストップ層及び前記第2ストップ層は前記配線パッドの上まで拡張されるように形成される請求項1の方法。

**【請求項 9】**

前記電子回路は配線パッドを含み、

前記第1ストップ層及び前記第2ストップ層は前記配線パッドを形成する請求項1の方法。  
40

**【請求項 10】**

前記第1側壁及び前記第2側壁を加熱することをさらに含み、

液相拡散接合により第1合金層が形成され、液相拡散接合により第2合金層が形成される請求項1の方法。

**【請求項 11】**

前記第1側壁及び前記第2側壁を真空下で加熱することをさらに含む請求項10の方法。

**【請求項 12】**

前記第1側壁は第1金属の第1金属層を含み、

前記第2側壁は、順に積層された第2金属の第2金属層及び第3金属の第3金属層を含み、  
50

前記第3金属層は、第1金属層及び前記第2金属層それぞれと前記第1合金層及び前記第2合金層を形成するべく溶融される請求項1-1の方法。

【請求項1-3】

前記第2側壁を形成することは、

前記第2金属層を前記第2基板の頂面に成膜することと、

前記第3金属層を第2金属層に成膜することと

を含み、

前記第3金属層の厚さは前記第2金属層の厚さよりも小さい請求項1-2の方法。

【請求項1-4】

前記第1側壁を形成することと前記第2側壁を形成することとは、前記第1側壁の幅が前記第2側壁の幅未満となるように形成することを含む請求項1の方法。 10

【請求項1-5】

前記第1側壁を形成することと前記第2側壁を形成することとは、前記第1側壁及び第2側壁を、前記第1基板の周縁及び前記第2基板の周縁から内側に後退した所定位置に形成することを含む請求項1のいずれかの方法。

【請求項1-6】

スパッタ膜を前記第1基板の頂面に成膜することをさらに含む請求項1のいずれかの方法。

【請求項1-7】

前記ビアに電気的に接続された外部電極を、前記スルーホールの上にある前記スパッタ膜に形成することをさらに含む請求項1-6の方法。 20

【請求項1-8】

前記第1基板の頂面が前記第1基板の底面よりも粗面化される請求項1の方法。

【請求項1-9】

前記スルーホールの側面が前記第1基板の底面よりも粗面化される請求項1の方法。

【請求項2-0】

スパッタ膜を前記スルーホールの側面に成膜することをさらに含む請求項1-9の方法。

【請求項2-1】

前記電子回路が配置された前記第1基板の一部分が、前記第1側壁が形成された前記第1基板の一部分よりも厚く形成される請求項1の方法。 30

【請求項2-2】

前記スルーホールを形成するべく前記第1基板をエッチングすることは、前記第1ストップ層を貫通するようにエッチングすることを含む請求項1の方法。

【請求項2-3】

前記ビアの下において前記第1基板の底面と前記第2基板の頂面との間に柱を形成することをさらに含む請求項1の方法。

【請求項2-4】

前記柱を形成することは、前記柱の直径が前記ビアの直径よりも大きくなるように形成することを含む請求項2-3の方法。

【請求項2-5】

前記柱を形成することは、金と錫及びインジウムの一方とを含む第1合金層を、銅と錫及びインジウムの一方とを含む第2合金層に積層することにより、前記柱を形成することを含む請求項2-3の方法。 40

【請求項2-6】

前記第1合金層を断面がテーパー状となるように形成することをさらに含む請求項2-5の方法。

【請求項2-7】

前記第1ストップ層及び前記第2ストップ層を、前記第1基板の底面と前記柱との間に介在させることをさらに含む請求項2-3の方法。

【請求項2-8】

10

20

30

40

50

前記第1基板は第1ウェハであり、

前記第2基板は第2ウェハであり、

前記方法は、

前記第1ウェハの底面の周縁まわりに第1封止壁を形成することと、

前記第2ウェハの頂面の周縁まわりに第2封止壁を形成することと、

前記第1封止壁と前記第2封止壁とを位置合わせすることと、

前記第1ウェハと前記第2ウェハとの間にウェハ封止部を形成するべく前記第1封止壁と前記第2封止壁とを接合することと

を含む請求項1の方法。

**【請求項29】**

前記第1封止壁と前記第2封止壁とを接合することは、

液相拡散接合により前記第1封止壁を接合することと、

液相拡散接合により前記第2封止壁を接合することと

を含む請求項28の方法。

**【請求項30】**

前記第1ウェハ及び前記第2ウェハの一方の周縁をトリミングすることをさらに含み、

前記第1ウェハ及び前記第2ウェハの一方の周縁をトリミングすることにより、前記第1ウェハ及び前記第2ウェハの前記一方の周縁においてウェハ封止部が露出する請求項28の方法。

**【請求項31】**

前記第1封止壁と前記第2封止壁とを接合することは、前記第1側壁と前記第2側壁とを接合することと同時に行われる請求項29の方法。

**【発明の詳細な説明】**

**【背景技術】**

**【0001】**

従来、携帯電話機等の通信デバイスにおいては、送信信号及び受信信号のような異なる帯域の信号を分離するためのフィルタデバイスが使用されている。圧電薄膜共振器(Film Bulk Acoustic Resonator(FBAR))及び音響多層膜共振器(Solidly Mounted Resonator(SMR))のようなバルク弾性波(Bulk Acoustic Resonator(BAW))共振器を含む電子デバイスが、フィルタデバイスとして使用されている。かかる電子デバイスには、電子回路が配置されたデバイス基板、及びキャップ基板が含まれ得る。かかる電子デバイスは、以下のように製造される。すなわち、デバイス基板及びキャップ基板間の接合部分が、金又は銅のような同種の金属で形成され、当該金属部分が高温高圧で共有接合され、その後、デバイス基板及びキャップ基板が一緒に接合される。

**【0002】**

F BAR フィルタ及び弾性表面波(Surface Acoustic Wave(SAW)) フィルタを記載する背景資料には、非特許文献1が含まれる。

**【先行技術文献】**

**【非特許文献】**

**【0003】**

**【非特許文献1】** F BAR フィルタの開発： SAW フィルタとの比較，電子情報通信学会技術研究報告，ED，電子デバイス103(728)，9-14，2004-03-09

**【発明の概要】**

**【0004】**

ここに開示される側面及び実施形態は、基板間のキャビティに形成されてピアを含むフィルタのような電子デバイスとその製造方法に関する。

**【0005】**

電子デバイスを作製するいくつかの従来型の方法には、高温高圧のプロセスを必要とし

10

20

30

40

50

得る金と金との接合、又は銅と銅との接合が含まれるので、デバイス基板、キャップ基板等の破損が生じたり、製造歩留まりが低下したりすることがある。これらの従来型のプロセスには、常温常圧ステップと高温高圧ステップとの間の繰り返しが含まれるので、サイクルタイムが不必要に長くなることがある。なおもさらに、これらの従来型のプロセスでは、スルーホールの形成プロセスにおけるオーバーエッティングに起因する欠陥が生じ得るので、製造の歩留まりが低下する。

#### 【0006】

本開示の複数の側面により、歩留まりを向上させ、サイクルタイムを短縮し、スルーホール形成プロセス中のオーバーエッティング又は上述のすべてによる欠陥を防止するべく使用可能な電子デバイス及び当該電子デバイスの製造方法が得られる。

10

#### 【0007】

所定の実施形態に係る電子デバイスを製造する方法は、底面の周縁に沿って形成された所定高さの、当該底面に配置された電子回路を取り囲む第1側壁を有する第1基板を与えることであって、第1側壁は第1金属からなる第1金属層により形成されることと、頂面の周縁に沿って形成された所定高さの第2側壁を有する第2基板を与えることであって、第2側壁は第2金属からなる第2金属層と第3金属からなる第3金属層とが順に積層されて形成されることと、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁によって内部にキャビティが画定されるように第1基板と第2基板とを位置合わせすることであって、第1側壁は第2側壁に対向かつ接触することと、第1側壁と第2側壁とを互いに接合するべく第1基板及び第2基板を加熱することであって、第1金属層、第2金属層及び第3金属層が液相拡散接合による合金層を形成するべく加熱されることとを含んでよい。第1基板は圧電体からなってよい。電子回路は、圧電薄膜共振器、バルク弾性波素子及び弹性表面波素子の少なくとも一つを含んでよい。

20

#### 【0008】

第3金属の融点は第2金属の融点より低くてよい。第3金属は第2金属とは異なってよい。第1基板及び第2基板を加熱することは、第3金属層を溶融させて第1金属層及び第2金属層それぞれと第1合金層及び第2合金層を形成させることを含んでよい。第1合金層及び第2合金層が形成されるときに第3金属層が消費されてよい。

#### 【0009】

第2側壁の高さは、第1側壁の高さよりも大きくてよい。第3金属層と第2金属層との間で合金の形成が開始される温度は、第3金属層と第1金属層との間で合金の形成が開始される温度よりも低くてよい。液相拡散接合の間に、第1金属、第2金属及び第3金属が一緒に溶融する状態が存在しなくともよい。第1基板の厚さは、第2基板の厚さと異なってよい。

30

#### 【0010】

第1金属は金(Au)を含んでよい。第2金属は銅(Cu)を含んでよい。第3金属は、錫(Sn)及びインジウム(In)の少なくとも一方を含んでよい。

#### 【0011】

所定の実施形態によれば、電子デバイスを製造する方法はさらに、プリント基板を与えることを含み、第1側壁及び第2側壁を介して互いに接合された第1基板及び第2基板がプリント基板の頂面に取り付けられ、第1基板及び第2基板が取り付けられたプリント基板の頂面は、所定径のフィラーを含む樹脂で覆われかつ封止され、第1側壁及び第2側壁はそれぞれ、第1基板第2基板の周縁から内側に、当該フィラーの平均径の半分以下である所定距離だけ後退して形成される。

40

#### 【0012】

所定の実施形態によれば、電子デバイスは、底面の周縁に沿って形成された所定高さの、当該底面に配置された電子回路を取り囲む第1側壁を有する第1基板と、頂面の周縁に沿って形成された所定高さの第2側壁を有する第2基板とを含み、第2側壁は、第1側壁が第2側壁に対向かつ接触して第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により画定されたキャビティが内部に形成されるように、第1側壁に位置合わせされて

50

接合され、第1側壁は、液相拡散接合により第2側壁と接合されてよい。

【0013】

所定の実施形態によれば、電子デバイスは、底面及び頂面を有する第1基板と、当該底面に配置された電子回路を取り囲むべく当該底面の周縁に沿って形成された所定高さの第1側壁と、当該頂面に形成された外部電極と、頂面の周縁に沿って形成された所定高さの第2側壁を有する第2基板とを含み、当該外部電極は、当該底面に連通するビアを介して当該電子回路に接続され、第2側壁は、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により画定されたキャビティを内部に形成するべく、第1側壁に位置合わせされて接合されてよい。

【0014】

外部電極は、ビアの直上に配置されてよい。第1基板の厚さは、第2基板の厚さよりも小さくてよい。第1基板の頂面の表面粗さは、第1基板の底面の表面粗さよりも大きくてよい。ビアの側面の表面粗さは、第1基板の頂面の表面粗さよりも大きくてよい。第1基板は、キャビティを画定する一部分の厚さが周縁部の厚さよりも大きくてよい。

【0015】

所定の実施形態によれば、電子デバイスを製造する方法は、底面及び頂面を有する第1基板の底面の周縁に沿って、当該底面に配置された電子回路を取り囲むべく所定高さの第1側壁を形成することと、当該底面及び当該頂面間を連通させるビアを形成することと、第2基板の頂面の周縁に沿って所定高さの第2側壁を形成することと、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁によりキャビティを内部に画定するべく第1側壁及び第2側壁を位置合わせして接合することとを含み、当該ビアを形成することは、当該ビアに対応する第1基板の底面の一部分に第1ストップ層及び第2ストップ層を順に積層することと、当該ビアに対応するスルーホールを形成するべく第1基板をエッチングすることとを含み、第1基板をエッチングする速度は第1ストップ層をエッチングする速度よりも大きく、第1ストップ層をエッチングする速度は第2ストップ層をエッチングする速度よりも大きくてよい。

【0016】

第1基板の頂面に、ビアに接続された外部電極を配置してよい。第1基板のエッチングは、ドライエッチングにより行われてよい。第1ストップ層はチタン(Ti)及びクロム(Cr)の少なくとも一方を含んでよく、第2ストップ層は金(Au)を含んでよい。第2ストップ層の厚さは、第1ストップ層の厚さよりも大きくてよい。電子回路は配線パッド及び第1ストップ層を含んでよく、第2ストップ層は、配線パッドの上まで拡張されるように形成されてよい。

【0017】

所定の実施形態によれば、電子デバイスを製造する方法は、底面及び頂面を有する第1基板を与えることであって、所定高さの第1側壁が第1基板の底面の周縁に沿って形成されて当該底面に配置された電子回路を取り囲み、当該底面及び当該頂面間を連通させるビアが形成され、当該底面において当該ビアの直下には当該ビアよりも直径が大きい所定高さの第1柱が配置され、第1側壁及び第1柱は第1金属からなる第1金属層により形成されることと、頂面を有する第2基板を与えることであって、所定高さの第2側壁が第2基板の頂面の周縁に沿って形成され、第1基板の底面に形成された第1柱に対応する位置において所定高さの第2柱が当該頂面に形成され、第2側壁及び第2柱は、第2金属からなる第2金属層と第3金属からなる第3金属層とが順に積層されることにより形成されることと、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁によりキャビティを内部に画定するべく第1側壁が第2側壁に対向かつ接触し、第1柱が第2柱に対向かつ接触するように第1側壁を第2側壁に位置合わせすることと、第1柱及び第2柱が溶融して互いに接合されるように第1基板及び第2基板を加熱することであって、第1金属層、第2金属層及び第3金属層が加熱されて液相拡散接合により合金層を形成することとを含んでよい。

【0018】

10

20

30

40

50

所定の実施形態において、電子デバイスは、底面及び頂面を有する第1基板と、頂面を有する第2基板とを含み、当該底面に配置された電子回路を取り囲むように第1基板の底面の周縁に沿って所定高さの第1側壁が形成され、当該底面及び当該頂面間を連通させるようにビアが形成され、当該ビアよりも直径が大きい所定高さの第1柱が当該底面において当該ビアの直下に配置され、所定高さの第2側壁が第2基板の頂面の周縁に沿って形成され、第1基板の底面に形成された第1柱に対応する位置において当該頂面に所定高さの第2柱が形成され、第2側壁及び第2柱が、第1側壁が第2側壁に対向かつ接触して第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により画定されたキャビティが内部に形成されるように、第1側壁及び第1柱に位置合わせされて接合され、第1側壁及び第1柱は、液相拡散接合により第2側壁及び第2柱それぞれと接合されてよい。

10

## 【0019】

圧電体は、タンタル酸リチウム及びニオブ酸リチウムの少なくとも一方を含んでよい。ビアは、ドライエッチングにより形成されたスルーホールを含んでよい。第1基板の頂面には、ビアに接続された外部電極がさらに配置されてよい。第1柱の直径は、第2柱の直径よりも大きくてよい。第2基板の頂面には他の電子回路が配置されてよく、第2側壁は当該他の電子回路を取り囲むように形成されてよい。第2基板は圧電体からなってよい。第2基板の頂面に配置された電子回路は、圧電薄膜共振器、バルク弾性波素子及び弾性表面波素子の少なくとも一つを含んでよい。

## 【0020】

所定の実施形態によれば、電子デバイスは、底面の周縁に沿って形成された所定高さの、当該底面に配置された電子回路を取り囲む第1側壁を有する第1基板と、頂面の周縁に沿って形成された所定高さの第2側壁を有する第2基板とを含み、第2側壁は、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁によりキャビティを内部に画定するべく、第1側壁に位置合わせされて接合され、当該キャビティは、1気圧よりも低い圧力の雰囲気を含んでよい。

20

## 【0021】

所定の実施形態において、電子デバイスを製造する方法は、底面の周縁に沿って形成された所定高さの、当該底面に配置された電子回路を取り囲む第1側壁を有する第1基板を与えることと、所定高さの第2側壁を有して平坦な頂面の周縁に沿って形成された第2基板を与えることと、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により内部にキャビティを画定するよう第1基板と第2基板とを位置合わせすることであって、第1側壁は第2側壁に対向かつ接触することと、第1側壁と第2側壁とを互いに接合するべく第1基板及び第2基板を加熱することであって、当該加熱は真空下で行われることを含んでよい。

30

## 【0022】

加熱における真密度は、コントロールバルブによって制御されてよい。第1基板及び第2基板は、加熱の前に大気圧下かつ温度100℃以下で予備加熱されてよい。

## 【0023】

所定の実施形態によれば、電子デバイスを製造する方法は、底面及び頂面を有する第1基板の当該底面の周縁に沿って所定高さの第1側壁を形成し、当該底面に配置された電子回路を取り囲むことと、当該底面及び当該頂面間を連通させるビアと当該頂面の外部電極とを形成することと、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により内部にキャビティを画定するべく第1側壁及び第2側壁を位置合わせして接合することとを含み、当該ビア及び当該外部電極を形成することは、第1基板において当該ビアに対応するスルーホールを形成することと、第1基板の頂面にスパッタ膜を形成することと、当該外部電極に対応するパターンをフォトリソグラフィーにより当該スパッタ膜上に形成することと、金属をメッキして当該スルーホール内に充填することにより当該ビア及び当該外部電極を同時に形成することとを含んでよい。フォトリソグラフィーには、ネガ型液体レジストを使用してよい。

40

## 【0024】

50

所定の実施形態によれば、電子デバイスを製造する方法が与えられ、当該電子デバイスは、底面に配置された電子回路を取り囲むように周縁に沿って形成された所定高さの第1側壁を有する第1基板と、頂面の周縁に沿って形成された所定高さの第2側壁を有する第2基板とを含み、第1側壁は、第1基板の底面として第1ウェハの底面に形成され、所定高さの第1封止部が当該周縁に沿って形成され、第2側壁は、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁によりキャビティを内部に画定するべく、第1側壁に位置合わせされて接合されてよい。方法は、第1基板の底面としての第1ウェハの底面に第1側壁を形成するとともに周縁に沿って所定高さを有する第1封止部を形成することと、第2基板の頂面としての第2ウェハの頂面に第2側壁を形成するとともに当該周縁に沿って所定高さの第2封止部を形成することと、第1ウェハの底面、第2ウェハの頂面、第1封止部、及び第2封止部により内部にキャビティを画定するべく第1ウェハと第2ウェハとを互いに位置合わせして接合することとを含み、第1封止部及び第1側壁はそれぞれが、液相拡散接合により第2封止部及び第2側壁と接合されてよい。

10

#### 【0025】

第1ウェハ及び第2ウェハはそれぞれが、実質的に円板形状を有してよい。方法はさらに、第1ウェハ及び第2ウェハにおいて、第1封止部及び第2封止部の外側エッジをトリミングすることを含んでよい。トリミングすることは、第1封止部及び／又は第2封止部を、第1ウェハ及び第2ウェハの周縁に露出させてよい。トリミングすることは、第1ウェハ及び第2ウェハにおいて、第1ウェハの底面又は第2ウェハの頂面に対して所定角度をなす封止部を形成してよい。第1ウェハの頂面及び第2ウェハの底面それを、所定深さまで研磨してよい。電子デバイスは、第1ウェハ及び第2ウェハをダイシングにより個片化して形成してよい。第1側壁及び第2側壁並びに第1封止部及び第2封止部は、液相拡散接合により接合された第1合金層及び第2合金層を含んでよい。

20

#### 【0026】

所定の実施形態によれば、電子デバイスを製造する方法が与えられ、当該電子デバイスは、底面に配置された電子回路を取り囲む周縁に沿って形成された所定高さの第1側壁を有する第1基板と、頂面の周縁に沿って形成された所定高さの第2側壁を有する第2基板とを含み、第2側壁は、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により内部にキャビティを画定するべく、液相拡散接合により第1側壁と位置合わせされて接合されてよい。方法は、第1基板の底面としての第1ウェハの底面に第1側壁を形成するとともに周縁に沿って所定高さの第1封止部を形成することと、第2基板の頂面としての第2ウェハの頂面に第2側壁を形成することと、周縁に沿って所定高さの第2封止部を形成し、第1ウェハの底面、第2ウェハの頂面、第1封止部、及び第2封止部により内部にキャビティを画定するべく、第1ウェハと第2ウェハとを互いに位置合わせして接合することと、第1封止部と第2封止部とを接合することにより、第1ウェハ及び第2ウェハの周縁に沿って第1ウェハの底面と第2ウェハの頂面との間に封止部を形成することと、当該封止部により画定された内部領域において第1ウェハ及び第2ウェハをプラズマにより適切に切り離して個片化することとを含んでよい。封止部は、リング形状を有してよい。

30

#### 【0027】

ここに記載される複数の側面及び実施形態によれば、液相拡散接合を使用することにより、電子デバイスのデバイス基板とキャップ基板とを、高温高圧プロセスを必要とするこなく接合することができる。ひいては、電子デバイスを製造するサイクルタイムを低減することができる。さらに、スルーホールを形成するプロセスにおけるオーバーエッティングゆえに生じる欠陥を防止し、ひいては歩留まりを向上させることができる。

40

#### 【0028】

所定の実施形態によれば、電子デバイスを製造する方法は、底面の周縁に沿って形成された第1側壁を有する第1基板を与えることであって、第1側壁は第1基板の底面に配置された電子回路を取り囲み、第1側壁は第1金属からなる第1金属層から形成されることと、頂面の周縁に沿って形成された第2側壁を有する第2基板を与えることであって、第2側壁は、第2金属からなる第2金属層と第3金属層とが順に積層され

50

ることにより形成され、第2金属及び第3金属は互いに異なりかつ第1金属と異なることと、第1基板の底面、第2基板の頂面、第1側壁、及び第1側壁により内部にキャビティを画定するべく、第1基板と第2基板とを位置合わせすることであって、第1側壁は第2側壁に対向かつ接触することと、液相拡散接合により第1側壁と第2側壁とを互いに接合させるべく第1基板及び第2基板を加熱することであって、第3金属層が溶融されて第1金属層及び第2金属層それぞれと第1合金層及び第2合金層を形成することとを含んでよい。

#### 【0029】

所定の実施形態によれば、電子デバイスを製造する方法は、第1基板の底面の周縁に沿って第1側壁を形成して第1基板の底面に配置された電子回路を取り囲むことと、第1基板の底面と第1基板の頂面とを連通させるビアを形成することと、第2基板の頂面において周縁に沿って第2側壁を形成することと、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により内部にキャビティを画定するべく第1側壁と第2側壁とを位置決めて接合することとを含み、当該ビアを形成することは、当該ビアに対応する第1基板の底面の一部分に第1ストップ層及び第2ストップ層を順に積層することと、当該ビアに対応するスルーホールを形成するべく第1基板をエッチングすることとを含み、第1基板をエッチングする速度は第1ストップ層をエッチングする速度よりも大きく、第1ストップ層をエッチングする速度は第2ストップ層をエッチングする速度よりも大きくてよい。

10

#### 【0030】

所定の実施形態によれば、底面に配置された電子回路を取り囲むように周縁に沿って形成された第1側壁を有する第1基板と、頂面において周縁に沿って形成された第2側壁を有する第2基板とを含む電子デバイスであって、第2側壁は、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により内部にキャビティを画定するべく、第1側壁と位置合わせされて接合される電子デバイスを製造する方法は、第1基板の底面としての第1ウェハの底面に第1側壁を形成するとともに第1ウェハの底面の周縁まわりに第1封止部を形成することと、第2基板の頂面としての第2ウェハの頂面に第2側壁を形成するとともに第2ウェハの頂面の周縁まわりに第2封止部を形成することと、第1ウェハの底面、第2ウェハの頂面、第1封止部、及び第2封止部により内部にキャビティを画定するべく、第1ウェハと第2ウェハとを互いに位置合わせして接合することとを含み、第1封止部及び第1側壁はそれぞれが、液相拡散接合により第2封止部及び第2側壁と接合されてよい。

20

30

#### 【0031】

所定の実施形態によれば、電子デバイスは、第1基板、外部電極及び第2基板を含み、第1基板は、第1基板の底面の周縁に沿って形成された第1側壁であって、第1基板の底面に配置された電子回路を取り囲む第1側壁を有し、当該外部電極は第1基板の頂面に形成され、当該外部電極は、第1基板の底面と連通するビアを介して当該電子回路に接続され、第2基板は、第2基板の頂面の周縁にそって形成された第2側壁を有し、第2側壁は、第1基板の底面、第2基板の頂面、第1側壁、及び第2側壁により内部にキャビティを画定するべく、第1側壁と位置合わせされて接合され、第1側壁は第1金属と第3金属との第1合金を含み、第2側壁は第2金属と第3金属との第2合金を含み、第1金属は、第2金属と異なりかつ第3金属とも異なってよい。

40

#### 【図面の簡単な説明】

#### 【0032】

少なくとも一つの実施形態の様々な側面が、縮尺どおりであることを意図しない添付図面を参照して以下に説明される。図面は、様々な側面及び実施形態の例示及びさらなる理解を与えるべく含められ、本明細書に組み入れられかつその一部を構成するが、本発明の限界を定めることは意図しない。図面において、様々な図面に例示される同一又はほぼ同一の構成要素はそれぞれが、同じ番号で表される。明確性を目的として、すべての図面においてすべての構成要素が標識されているわけではない。

#### 【0033】

50

【図1】一実施形態に係る電子デバイスの模式的構成を示す断面図である。

【図2】ここに記載の実施形態に係る電子デバイスがプリント基板に実装された一構造を示す断面図である。

【図3】第1基板と第2基板との位置合わせを示す断面図である。

【図4】図4A～4Cは、液相拡散接合を説明する断面図である。

【図5A】金及び錫(Au-Sn)の状態図である。

【図5B】銅及び錫(Cu-Sn)の状態図である。

【図6A】金及びインジウム(Au-In)の状態図である。

【図6B】銅及びインジウム(Cu-In)の状態図である。

【図7】一実施形態に係るビアのトップ層を説明する一部拡大断面図である。 10

【図8】図8A～8Cは、従来型のビアを説明する一部拡大断面図である。

【図9】一実施形態に係るビア及び外部電極を形成するプロセスのフローチャートである。  
。

【図10】従来型のビア及び外部電極の一構造を説明する一部拡大断面図である。

【図11】従来型のビア及び外部電極を形成するプロセスのフローチャートである。

【図12】図12A及び12Bは、ここに記載の実施形態に係る電子デバイスを製造する方法を説明する。

【図13】図13A及び13Bは、エッジがトリミングされた第1ウェハ及び第2ウェハを示す断面図である。 20

【図14】図14A及び14Bは、ここに記載の実施形態に係る電子デバイスを製造する方法を説明する。

【図15-1】図15A～15Iは、電子デバイスを製造する方法の一連のステップを説明する第1セットの模式図である。

【図15-2】図15A～15Iは、電子デバイスを製造する方法の一連のステップを説明する第1セットの模式図である。

【図16】図16A～16Eは、電子デバイスを製造する方法一連のステップを説明する第2セットの模式図である。

【図17】図17A～17Eは、電子デバイスを製造する方法の一連のステップを説明する第3セットの模式図である。

【図18-1】図18A～18Gは、電子デバイスを製造する方法の一連のステップを説明する第4セットの模式図である。 30

【図18-2】図18A～18Gは、電子デバイスを製造する方法の一連のステップを説明する第4セットの模式図である。

【図19】図19A～19Dは、電子デバイスを製造する方法の一連のステップを説明する第5セットの模式図である。

【図20】本開示の複数の側面に係る電子デバイスの第1変形例の模式的構成を示す断面図である。

【図21】第1変形例の電子デバイスがプリント基板に実装された一構造を示す断面図である。

【図22】第1変形例に係る第1基板と第2基板との位置合わせを示す断面図である。

【図23】本開示の複数の側面に係る電子デバイスの第2変形例の模式的構成を示す断面図である。

【図24】様々な実施形態に係るフィルタ回路群を含むパッケージモジュールの一例のブロック図である。

【図25】所定の実施形態に係るフィルタ回路群の複数の例を使用して実装されたアンテナデュプレクサを含むフロントエンドモジュールの一例のブロック図である。

【図26】フィルタ回路群の複数の例が様々な実施形態により使用可能な無線デバイスの一例のブロック図である。

【発明を実施するための形態】

【0034】

理解するべきことだが、ここで述べられた方法及び装置の実施形態は、以下の明細書に記載され又は添付図面に例示された構成要素の構造及び配列の詳細への適用に限られない。方法及び装置は、他の実施形態で実装し、様々な態様で実施又は実行することができる。特定の実装例は、例示のみを目的としてここに与えられ、限定されることを意図しない。また、ここで使用される表現及び用語は、説明目的であって、限定としてみなすべきではない。ここでの「含む」、「備える」、「有する」、「包含する」及びこれらの変形の使用は、以降に列挙される項目及びその均等物並びに付加項目の包括を意味する。「又は（若しくは）」の言及は、「又は（若しくは）」を使用して記載される任意の用語が、当該記載の用語の一つの、一つを超える、及びすべてのものを示すように解釈され得る。前後左右、頂底上下、及び横縦への言及はいずれも、記載の便宜を意図しており、本システム及び方法又はこれらの構成要素がいずれか一つの位置的又は空間的配向に限られるものではない。

10

### 【0035】

以下、本開示の複数の側面に係る電子デバイス及びその製造方法について図面を参照して詳細に説明する。図1は、一実施形態に係る電子デバイスの模式的構成を示す断面図である。図2は、一実施形態に係る電子デバイスがプリント基板に実装された一構造を示す断面図である。

### 【0036】

図1に示すように、一実施形態によれば、電子デバイス100は、所定厚さを有する第1基板10と、所定厚さを有して第1基板10と所定間隔で対向する第2基板20とを含む。第1基板10はデバイス基板と称してよい。第1基板10の底面10aは第2基板20に対向し、圧電薄膜共振器(FBAR)11を含む電子回路18が設けられる。第2基板20はキャップ基板と称してよい。第2基板20の頂面20aと第1基板10の底面10aとの間には側壁30が形成されて所定間隔が画定される。第1基板10の底面10a、第2基板20の頂面20a、及び側壁30により、第1基板10の底面10aに配置された電子回路18が内部に含まれるキャビティ19が画定される。

20

### 【0037】

電子デバイス100がプリント基板110に実装された構造150を示す図2を参照すると、図1の電子デバイス100が、ここでは上下を反転させてプリント基板110の頂面110aに配置される。プリント基板110の頂面110aには、電子デバイス100を覆う樹脂層120が配置される。この構造150において、第2基板20は、電子デバイス100の上にある樹脂層120を支持してキャビティ19を保護するキャップの役割を果たす。

30

### 【0038】

詳しくは、第1基板10は、窒化アルミニウム(AlN)及び酸化亜鉛(ZnO)のような圧電体からなる。第1基板10の底面10aには、圧電体の薄膜により複数の圧電薄膜共振器11が形成される。圧電薄膜共振器11は配線パッド12により互いに適切に接続され、フィルタ及びフィルタデバイスのような電子回路18を形成する。なお、電子回路18が圧電薄膜共振器11を含むにもかかわらず、圧電薄膜共振器11とともに、又は圧電薄膜共振器11に代えて、弹性表面波(SAW)素子、又は音響多層膜共振器(SMR)のようなバルク弹性波(BAW)素子を使用することもできる。

40

### 【0039】

第2基板20は、例えシリコン又は同様の材料からなる。第2基板20は、第1基板10の底面10aと第2基板20の頂面20aとが所定間隔を介して離間されるように、第1基板10上の側壁30によって支持される。側壁30は、第1基板10の底面10aに配置された電子回路18を取り囲むように、かつ、第1基板10の周縁10d及び第2基板20の周縁20dに沿って延びるように形成される。側壁30は、第1基板10の底面10aと第2基板20の頂面20aとの間に、金(Au)及び錫(Sn)の合金からなる第1合金層31と、錫(Sn)及び銅(Cu)の合金からなり第1合金層31に積層された第2合金層32とを含む。

50

## 【0040】

図3は、第1基板10と第2基板20との位置合わせを示す断面図である。この断面図は、第1基板10と第2基板20とが側壁30によって接合される前の状態を示す。第1基板10の底面10aにはその周縁10dに沿って第1側壁33が形成され、第2基板20の頂面20aにはその周縁20dに沿って第2側壁34が形成される。第1側壁33は、所定高さを有し、第1基板10の周縁10dから内側に所定距離だけ後退して配置される。第1側壁33は、第1厚さを有して第1金属としての金(Au)からなる第1金属層36により形成される。第2側壁34は、所定高さを有し、第2基板20の周縁20dから内側に所定距離だけ後退して配置される。第2側壁34は、第2厚さを有して第2金属としての銅(Cu)からなる第2金属層37と、第3厚さを有して第3金属としての錫(Sn)からなる第3金属層38とにより形成され、第3金属層38が第2金属層37上に積層される。ここで、第1側壁33の幅は、第2側壁34の幅よりも小さい。

10

## 【0041】

第1基板10は、第1基板10の底面10a、第2基板20の頂面20a、第1側壁33、及び第2側壁34が内部にキャビティ19を画定するように、及び第1側壁33が第2側壁34に対向かつ接触するように、第2基板20に位置合わせされる。すなわち、第1側壁33の底面が第2側壁34の頂面に当接する。本開示の一側面によれば、第1基板10及び第2基板20は、位置合わせされた状態が維持されて加熱され、第1側壁33及び第2側壁34が互いに液相拡散(TLP)接合により接合されて单一の側壁30が形成される。

20

## 【0042】

図4A～4Cは、TLP接合を説明する一部拡大断面図である。図4A～4Cは特に、図3に示した第1基板10及び第2基板20において、第1側壁33及び第2側壁34を含む一部分を示す。図4Aは、位置合わせ前の第1基板10及び第2基板20を示す。第1基板10の底面10aには、第1厚さを有して第1金属としての金(Au)からなる第1金属層36が配置されて第1側壁33が形成される。第2基板20の頂面20aには、第2厚さを有して第2金属としての銅(Cu)からなる第2金属層37が配置され、第2金属層37には、第3厚さを有して第3金属としての錫(Sn)からなる第3金属層38が積層され、第2金属層37と第3金属層38とにより第2側壁34が形成される。

30

## 【0043】

図4Bは、第1基板10及び第2基板20が互いに位置決めされ、第1側壁33の底面と第2側壁34の頂面とが対向かつ接触することを示す。すなわち、第1側壁33の底面が第2側壁34の頂面に当接する。

## 【0044】

本開示の一側面によれば、第1側壁33及び第2側壁34が、図4Bに示すように、第1側壁33の底面と第2側壁34の頂面とが接触した状態で加熱され、ひいてはTLP接合により互いに接合され、第1合金層31及び第2合金層32からなる側壁30が形成される。この加熱プロセスは、第1基板10及び第2基板20を240から260の温度範囲で5分から10分にわたり低圧の雰囲気に維持している間に行われる。このプロセスにより、第1側壁33の第1金属層36の第1金属としての金と、第2側壁34の第3金属層38の第3金属としての錫とに由来する金及び錫の第1合金からなる第1合金層31がもたらされる。このプロセスにより、第2金属層37の第2金属としての銅と、第2側壁34の第3金属層38の第3金属としての錫とに由来する銅及び錫の第2合金からなる第2合金層32も、もたらされる。

40

## 【0045】

図4Cは、第1側壁33及び第2側壁34がTLP接合によって互いに接合された状態を示す。第1側壁33及び第2側壁34はTLP接合によって接合され、第1基板10の底面10aと第2基板20の頂面20aとの間に第1合金層31及び第2合金層32が順に積層される。第1合金層31は、第1金属層36の第1金属としての金と、第3金属層38の第3金属としての錫とに由来する金及び錫の第1合金からなる。第2合金層32は

50

、第2金属層37の第2金属としての銅と、第3金属層38の第3金属としての錫とに由来する銅及び錫の第2合金からなる。

#### 【0046】

本開示の一側面によれば、第2側壁34を形成する第3金属層38の第3金属の融点は、第2金属層37の第2金属の融点よりも低い。実際のところ、第3金属としての錫の融点は、第2金属としての銅の融点よりも低い。このように、第3金属の融点を第2金属の融点よりも低くすることにより、第1側壁33と第2側壁34とを低温かつ短時間で接合することができる。ここで、低温で接合することにより、第1基板10及び第2基板20の内部に累積される加工歪み等が、望ましくない程度に高くなることが回避されるので、接合を安定して行うことができる。さらに、接合が短時間で行うことができるので、生産性が向上する。

10

#### 【0047】

加えて、本開示によれば、第2側壁34において、第2金属層37の第2金属と第3金属層38の第3金属とが異なる。第2金属は銅でよく、第3金属は錫でよい。すなわち、第2側壁34が異なる金属からなるように構成され、第2金属層37及び第3金属層38がそれぞれ第2金属及び第3金属からなるので、合金形成開始温度及び合金形成速度が第2金属層37と第3金属層38とで異なる。したがって、第3金属層38の第3金属が、第2金属層37の第2金属よりも融点が低いことに起因して流れ出すことを抑制することができる。

20

#### 【0048】

さらに、本開示の複数の側面によれば、図4A及び4Bに示すように、第1金属としての金の第1金属層36により形成された第1側壁33の幅は、第2金属としての銅の第2金属層37と、第3金属としての錫の第3金属層38とにより形成された第2側壁34の幅よりも小さくなるように構成される。これにより、第1側壁33の第1金属層36において使用され得る第1金属としての高価な金の使用量が少なくなるとともに、第2側壁34の大きな幅により側壁30の強度を確保することができる。

30

#### 【0049】

図5A及び5Bは、金及び錫(Au-Sn)、並びに銅及び錫(Cu-Sn)それぞれの状態図である。これらの状態図からわかるように、第1金属としての金、第2金属としての銅、及び第3金属としての錫は融点が異なり、第3金属としての錫の融点が当該3つの金属中、最も低い。したがって、加熱により周囲温度が上昇すると、第3金属としての錫が溶融を開始し、第1金属としての金と金-錫の第1合金を形成し、その後、第2金属としての銅と銅-錫の第2合金を形成する。

30

#### 【0050】

図5Aに示す温度T1、及び図5Bに示す温度T2は、加熱の工程で予測される温度の上限を示す。これらの温度T1及びT2を上限とする領域では、所定の構成成分を有する合金の融点が一意に決まるので、合金の形成を容易に管理することができる。さらに、図5A及び5Bからわかるように、合金の形成開始温度、又は合金形成温度が、金及び錫(Au-Sn)の第1合金と、銅及び錫(Cu-Sn)の第2合金とでは異なる。したがって、3元系の溶融状態ではなく、実質的に2元系の溶融状態が重なった状態となり、合金の形成を容易に管理することができる。

40

#### 【0051】

図4Cに示すように、TLP接合により形成された側壁30は、第1合金層31及び第2合金層32を含むので、第3金属としての錫からなる第3金属層38は消費されて第1合金層31及び第2合金層32に組み入れられている。ここで、融点が低い第3金属としての錫を含まない側壁30は、300°Cを超える再溶融温度を有している。したがって、側壁30を含む電子デバイス100は、リフロー及び実装時に求められる耐熱基準を満たすことができる。

#### 【0052】

図3、4A又は4Bに示すように、第2側壁34の高さは、第1側壁33の高さよりも

50

大きくなるように構成される。すなわち、第2側壁34に含まれる第2金属層37の第2厚さと第3金属層38の第3厚さとの合計が、第1側壁33に含まれる第1金属層36の第1厚さよりも大きくなるように構成される。さらに、合金形成が開始されるときの温度について、第3金属としての錫の融点は銅又は金よりも低く、第2側壁34を形成する第2金属層37の第2金属としての銅の融点は、第1側壁33を形成する第1金属層36の第1金属としての金よりも高い。したがって、第3金属層38の、融点が低い第3金属としての錫は、当該融点に到達する前に、厚さが大きく第2側壁34を形成する第2金属層37の第2金属としての銅との合金形成を開始する。加えて、第3金属層38の厚さが小さくなるように構成することで、第3金属層38の、接合中に溶融して側方に流れる第3金属としての錫の量を、第3金属としての錫が融点に到達するときの適切な温度プロファイルに従って制御することができる。10

#### 【0053】

図6A及び6Bは、金及びインジウム(Au-In)、並びに銅及びインジウム(Cu-In)それぞれの状態図である。図1~5に示す実施形態において、第2側壁34を形成する第3金属層の第3金属として錫が例示されるが、インジウム(In)も第3金属として代替的に使用することができる。図6A及び6Bの状態図からわかるように、インジウムが第3金属として使用される場合、第1金属としての金、第2金属としての銅、及び第3金属としてのインジウムの融点は異なり、第3金属としてのインジウムの融点が最も低い。したがって、加熱により周囲温度が上昇すると、第3金属としてのインジウムが溶融し、第1金属としての金と金-インジウムの第1合金を形成し、その後、第2金属としての銅と銅-インジウムの第2合金を形成する。20

#### 【0054】

インジウムが第3金属として使用される場合、加熱プロセスは、第1基板10及び第2基板20が、170℃から200℃の温度範囲で5分から10分にわたり低圧の雰囲気に維持されている間に行われる。図6Aに示す温度T3、及び図6Bに示す温度T4は、加熱の工程で予測される温度の上限を示す。加熱された周囲温度等を除き、インジウムが第3金属層38の第3金属として使用される場合も、錫が第3金属層38の第3金属として使用された実施形態と同様である。

#### 【0055】

本開示の一側面によれば、第1基板10の厚さは、第2基板20の厚さと異なる。例えば、第1基板10の厚さは第2基板20の厚さよりも大きくてよく、さらには第1基板10の厚さは第2基板20の厚さよりも小さくてよい。第1基板10の厚さは第2基板20の厚さと異なるので、図3に示すように第1側壁33及び第2側壁34が互いに位置決めされて接触した場合、第3金属層38に接触する第1金属層36の温度は、熱伝導の差に起因して、第3金属層38が積層された第2金属層37の温度とは異なる。本開示の一側面によれば、第3金属層38の第3金属としての錫は、第1金属層36の第1金属としての金、及び第2金属層37の第2金属としての銅それぞれとの合金形成の開始温度が異なるので、当該開始温度の差は、第1基板10と第2基板20との厚さの差に由来する温度の差よりも大きい。したがって、第1基板10と第2基板20との厚さの差の影響を受けることなく接合を行うことができる。30

#### 【0056】

図2に示すように電子デバイス100がプリント基板110に実装された構造150において、樹脂層120は、それぞれが所定の直径を有するフィラー121を含む。ここで、樹脂層120は、例えば、エポキシ樹脂からなり、フィラー121はシリカからなる。本開示の一側面によれば、第1基板10の周縁10d及び第2基板20の周縁20dから内部に後退した側壁30により画定される距離tと、フィラー121の粒径dとの間には以下の関係が存在する。40

$$t = (d \text{ の平均}) / 2$$

#### 【0057】

すなわち、第1基板10の周縁10d及び第2基板20の周縁20dから内部に後退し50

た側壁 3 0 が画定する距離  $t$  は、樹脂層 1 2 0 に含まれるフィラー 1 2 1 の粒径の平均の半分以下である。

#### 【 0 0 5 8 】

本開示の一側面によれば、第 1 基板 1 0 の周縁 1 0 d 及び第 2 基板 2 0 の周縁 2 0 d から内部に後退した側壁 3 0 が画定する距離  $t$  が、上述したフィラー 1 2 1 の粒径  $d$  との関係を満たす場合、フィラー 1 2 1 は、第 1 基板 1 0 の底面 1 0 a と第 2 基板 2 0 の頂面 2 0 a との間に画定された間隙内に侵入することが防止される。したがって、この間隙は、弾性率の高いフィラー 1 2 1 ではなく、弾性率の低い樹脂層 1 2 0 によって充填されるので、電子デバイス 1 0 0 がプリント基板 1 1 0 に実装された構造 1 5 0 の耐ヒートサイクル性を向上させることができる。さらに、本開示によれば、側壁 3 0 が第 1 基板 1 0 の周縁 1 0 d 及び第 2 基板 2 0 の周縁 2 0 d から所定距離  $t$  だけ内部に後退しているので、ウェハから第 1 基板 1 0 及び第 2 基板 2 0 を個片化するダイシングプロセスにおいて金属からなる側壁 3 0 を切断する必要がなく、当該ダイシングプロセスを容易に行うことができる。例えば、ウェハ切断用のダイシングブレードは、金属側壁 3 0 を切断する必要がないので、厚さを大きく構成する必要がない。

10

#### 【 0 0 5 9 】

図 1 に示すように、本開示によれば、外部電極 4 0 が、電子デバイス 1 0 0 におけるデバイス基板として構成された第 1 基板 1 0 の頂面 1 0 b に形成される。外部電極 4 0 は、ビア 4 2 を介して第 1 基板 1 0 の底面 1 0 a に配置された電子回路 1 8 の配線パッド 1 2 に接続される。ビア 4 2 は、頂面 1 0 b 及び底面 1 0 a 間で第 1 基板 1 0 を貫通するスルーホール 1 0 c ( 図 7 参照 ) に形成される。外部電極 4 0 は、ビア 4 2 と、ビア 4 2 の頂面に配置された外部電極層 4 3 とを含む。本開示の一側面によれば、ビア 4 2 は、スルーホール 1 0 c に充填される金属のみで形成されるわけではなく、頂面 1 0 b においてスルーホール 1 0 c まわりの所定領域に所定厚さを有するように形成された金属層とも一体となって形成される。ここで、ビア 4 2 は銅メッキにより形成され、外部電極層 4 3 は半田メッキにより形成される。ビア 4 2 の一部分は、下地処理を目的として成膜されたスパッタ膜 4 1 の上に形成される。

20

#### 【 0 0 6 0 】

一実施形態によれば、外部電極 4 0 は、電子回路 1 8 が配置されるデバイス基板として構成された第 1 基板 1 0 に配置される。さらに、外部電極 4 0 は、頂面 1 0 b のレベルにおいてスルーホール 1 0 c ( 図 7 参照 ) の直上に配置される。したがって、電子回路 1 8 から外部電極 4 0 まで延びる配線の距離が短くなるように構成されるので、接続点数を減らすことができる。ひいては、フィルタ特性の挿入損失のような電子デバイスの特性を向上させることができる。

30

#### 【 0 0 6 1 】

さらに、図 2 に示すように電子デバイス 1 0 0 がプリント基板 1 1 0 に実装された構造 1 5 0 において、電子デバイス 1 0 0 は、デバイス基板として構成された第 1 基板 1 0 の頂面 1 0 b に配置された外部電極 4 0 を介して電極 1 1 1 に接続される。この電極 1 1 1 は、プリント基板 1 1 0 の頂面 1 1 0 a に配置される。したがって、プリント基板 1 1 0 及び第 1 基板 1 0 間の距離、すなわちプリント基板 1 1 0 の頂面 1 1 0 a と第 1 基板 1 0 の頂面 1 0 b との間の距離を最小限にすることができるので、プリント基板 1 1 0 と第 1 基板 1 0 又はキャップ基板として構成された第 2 基板 2 0 との線膨張係数の差に起因して作用する応力を低減することができる。ひいては、信頼性試験における周波数変動を低減することができる。

40

#### 【 0 0 6 2 】

さらに、本開示に係る電子デバイスは、第 1 基板 1 0 を第 2 基板 2 0 よりも薄く構成することができる。一実施形態によれば、電子回路 1 8 は、スルーホール 1 0 c 及び外部電極 4 0 を含むデバイス基板として構成された第 1 基板の底面 1 0 a に配置されるので、図 2 に示すように実装された後の第 1 基板 1 0 における応力を低減することができる。その結果、第 1 基板 1 0 の厚さを低減するように構成することができる。第 1 基板 1 0 の厚さ

50

が小さくなればなるほど、スルーホール 10c のアスペクト比も小さくなる。したがって、スルーホール 10c に充填したビア 42 の金属と第 1 基板 10 との線膨張係数の差に由来する応力を低減し、ひいては耐ヒートサイクル性を向上させることができる。

#### 【0063】

図 1 に示す実施形態の電子デバイス 100において、外部電極 40 が配置される第 1 基板 10 の頂面 10b は、電子回路 18 が配置される底面 10a よりも粗くなるように構成される。さらに、外部電極 40 と第 1 基板 10 の頂面 10b との密着性を確保するために、スパッタ膜 41 が配置される。このため、第 1 基板 10 の頂面 10b が粗く構成されるので、スパッタ膜 41 との接触面積が増えて密着強度が向上される。

#### 【0064】

さらに、本開示の電子デバイス 100において、第 1 基板 10 に形成されたスルーホール 10c の側面の粗さは、電子回路 18 が配置された第 1 基板の底面 10a の粗さよりも大きい。スルーホール 10c にはビア 42 を形成する金属が充填されるが、スルーホール 10c の側面が斜行するように構成されるので、成膜エネルギーが分散されて密着強度が低下することがある。本開示によれば、スルーホール 10c の粗い側面にスパッタ膜 41 が成膜されるので、スパッタ膜 41 とスルーホール 10c の側面との密着強度が、スパッタ膜 41 と頂面 10b との密着強度と同様に確保される。

#### 【0065】

図 1 に示す実施形態の電子デバイス 100において、第 1 基板 10 の厚さは、電子回路 18 を含んでキャビティ 19 を画定する部分が、第 1 基板 10 の底面 10a と第 2 基板 20 の頂面 20a とが側壁 30 により接続される部分よりも厚くなるように勾配がつけられてよい。勾配のついた厚さにより、第 1 基板 10 の電子回路 18 を含んでキャビティ 19 を画定する部分が、プリント基板 110 が実装された構造 150 において、基板撓み試験等で生じる引っ張り応力に耐えることができる。

#### 【0066】

図 7 は、ビアのストップ層を説明する一部拡大断面図である。図 1 に示すように、電子デバイス 100において、第 1 基板 10 の底面 10a には、ビア 42 の直下に第 1 ストップ層 16 及び第 2 ストップ層 17 が順に積層される。第 1 基板 10、第 1 ストップ層 16 及び第 2 ストップ層間でエッチング速度が異なる。特に、第 1 基板 10 のエッチング速度が第 1 ストップ層 16 のエッチング速度よりも大きい一方、第 1 ストップ層 16 のエッチング速度は第 2 ストップ層 17 のエッチング速度よりも大きい。

#### 【0067】

本開示の電子デバイス 100 は、第 1 基板 10 においてビア 42 の直下に第 1 ストップ層 16 及び第 2 ストップ層 17 が順に積層されるように構成されるとともに、第 1 基板 10 のエッチング速度が第 1 ストップ層 16 のエッチング速度よりも大きく、かつ、第 1 ストップ層 16 のエッチング速度が第 2 ストップ層 17 のエッチング速度よりも大きくなるように構成される。その結果、ビア 42 の底部において、すなわち、スルーホール 10c の側面が第 1 基板 10 の底面 10a と交差する部分において、スルーホール 10c の形成時にオーバーエッチングによるノッチの発生を抑制することができる。これにより、ビア 42 の形成時に欠陥を有することなくスルーホール 10c に金属を充填することができるので、製品の歩留まり及び信頼性を向上させることができる。

#### 【0068】

ここに開示の実施形態によれば、第 1 基板 10 のスルーホール 10c は、ドライエッチングプロセスにより形成することができる。第 1 基板 10 のエッチング速度を第 1 ストップ層 16 のエッチング速度よりも大きくなるように構成し、かつ、第 1 ストップ層 16 のエッチング速度を第 2 ストップ層 17 のエッチング速度よりも大きくなるように構成することにより、材料の広範な選択肢によるドライエッチングが可能となる。対照的に、スルーホール 10c がウェットエッチングプロセスにより形成される場合、第 1 基板 10 のエッチング速度を第 1 ストップ層 16 のエッチング速度よりも大きくし、かつ、第 1 ストップ層 16 のエッチング速度を第 2 ストップ層 17 のエッチング速度よりも大きくするよう

10

20

30

40

50

な材料の選択は困難となる。

【0069】

本開示によれば、第1ストップ層16のためにチタン(Ti)、クロム(Cr)等が使用され、第2ストップ層17のために金(Au)等が使用される。これらの種類の金属を使用すると、第1基板10のエッティング速度が第1ストップ層16のエッティング速度よりも大きく、かつ、第1ストップ層16のエッティング速度が第2ストップ層17のエッティング速度よりも大きい関係を達成することができるので、ビア42の底部におけるノッチ発生を抑制することができる。

【0070】

本開示の一側面によれば、チタン又はクロムからなる第1ストップ層16が与えられるので、第2ストップ層17を密着させるための密着層が不要となる。かかる密着層は通常、当該面と蒸着又はスパッタリングで成膜された膜との密着を目的として使用されてきたが、チタン又はクロムからなる第1ストップ層16は、密着層として機能することができる。

10

【0071】

本開示の一側面によれば、第1ストップ層16は第2ストップ層17よりも薄い。第1ストップ層16の厚さを低減することにより、第1ストップ層16をエッティングするときのエッティング速度の低下に起因する面内でのエッティング状態のばらつきを防止することができる。すなわち、第1ストップ層16がエッティングによりスルーホール10cの底面から完全に除去されることを保証することができるので、第1ストップ層16が部分的に残存することがなくなる。さらに、第2ストップ層17の厚さを大きくすることにより、エッティング後に第2ストップ層17の強度を確保することができる。エッティングが完了すると、スルーホール10cの底面には、薄くなつた第2ストップ層17が残存する。

20

【0072】

図1及び7に示すように、第1ストップ層16及び第2ストップ層17が第1基板10の底面10aにおいてビア42の直下に配置されるが、第1ストップ層16及び第2ストップ層17は、第1基板10の底面10aに配置された電子回路18の配線パッド12を覆うように拡張されてよい。さらに、第1ストップ層16及び第2ストップ層17は、電子回路18の配線パッド12の代替として、使用することができる。第1ストップ層16及び第2ストップ層17は、配線パッド12よりも厚さが大きいので、配線抵抗を下げることができる。したがって、第1ストップ層16及び第2ストップ層17を配線パッド12の上まで拡張したり配線パッド12のために使用することができるので、電子デバイス100の挿入損失を低減することができる。

30

【0073】

図8A～8Cは、比較例として、底にストップ層が存在しない従来型のビアを説明する一部拡大断面図である。図8Aに示すように、電子回路18の配線パッド12は、ビア42の直下の位置まで延ばされ、ストップ層の介在なしにビア42に接続される。図8Bに示すこのような従来型の構成によれば、エッティングにより第1基板10にスルーホール10cが形成されると、スルーホール10cの側面が底面10aと交差する部分において、オーバーエッティングによりノッチ10dが発生することがある。図8Cに示すように、底部に生じたノッチ10dを含むスルーホール10cに金属を充填してビア42を形成すると、金属がノッチ10dの部分に入らずに不十分な金属の欠陥がもたらされる場合があり、ひいては電子デバイス100の歩留まりが低下することがある。

40

【0074】

図1に示す実施形態の電子デバイス100は、第1基板10の底面10aと第2基板20の頂面20aとの間ににおいてビア42の直下に形成された柱50を含む。柱50の直径は、ビア42の直径よりも大きくなるように構成される。第1基板10の底面10aと柱50との間には、第1ストップ層16及び第2ストップ層17が介在される。側壁30と同様、柱50も、金・錫の合金からなる第1合金層51と、錫・銅の合金からなる第2合金層52とが順に積層されることにより形成される。

50

## 【0075】

図3に示すように第1基板10及び第2基板20が位置合わせされると、第1基板10の底面10aにはビア42の直下に第1柱53が配置され、第1基板10の頂面20aには第1柱53に対応する箇所に第2柱54が配置される。第1柱53は、第1金属としての金からなる第1厚さを有する第1金属層56によって形成される。第2柱54は、第2金属層57及び第3金属層58が順に積層されることによって形成される。第2金属層57は、第2金属としての銅からなり、第2厚さを有する。第3金属層58は、第3金属としての錫からなり、第3厚さを有する。ここで、第1柱53の直径は、第2柱54の直径よりも大きい。

## 【0076】

10

図3に示すように、第1基板10及び第2基板20が互いに位置合わせされ、第1基板10の底面10a、第2基板20の頂面20a、第2側壁34、及び第1側壁33が内部にキャビティ19を画定する。第1側壁33及び第2側壁34が互いに対向かつ接触する一方、第1柱53及び第2柱54が互いに対向かつ接触する。すなわち、第1柱53の底面と第2柱54の頂面とが当接する。本開示の一側面によれば、第1基板10及び第2基板20は、位置合わせされかつ加熱された状態に維持され、液相拡散(TLP)接合により第1側壁33及び第2側壁34が互いに接合されて単一の側壁30となり、第1柱53及び第2柱54もTLP接合により互いに接合されて単一の柱50となる。第1柱53及び第2柱54に適用されるTLP接合プロセスは、図4に示す第1側壁33及び第2側壁34のTLP接合プロセスと同様である。

20

## 【0077】

図2に示すように電子デバイス100がプリント基板110に実装された構造150によれば、プリント基板110の頂面110aと電子デバイス100との間に樹脂層120が介在される。構造150に対してヒートサイクル試験が行われると、プリント基板110と電子デバイス100との間に介在する樹脂層120が膨張及び収縮することによりビア42に対する引っ張り応力が発生する。本開示によれば、ビア42よりも直径が大きい柱50が、ビア42の直下に配置される。したがって、かかる引っ張り応力及びヒートサイクルによりもたらされるビア42への影響に耐える強度が確保され、信頼性を向上させることができる。例えば、ビア42と第1ストップ層16、第2ストップ層17又は配線パッド12との間の金属疲労による断線を防止することができる。

30

## 【0078】

さらに、本開示によれば、第1金属としての金からなる第1金属層56により形成された第1柱53の直径は、第2金属としての銅からなる第2金属層57と、第3金属としての錫からなる第3金属層58とにより形成された第2柱54の直径よりも大きい。TLP接合により、融点の低い第3金属層58の第3金属としての錫が、第1金属層56の第1金属としての金の側に濡れ広がり、金・錫合金からなる第1合金層51の断面が、なだらかなテーパー状になる。したがって、第1基板10の底面10aと柱50とが交差する部分における応力集中を回避することができるので、さらに信頼性を向上させることができる。

40

## 【0079】

さらに、本開示の複数の側面によれば、スルーホール10cは、レーザによって第1基板10に形成することができる。図1に示すように、一実施形態によれば、柱50は、第1ストップ層16及び第2ストップ層17が介在されてスルーホール10cの底部に配置される。したがって、スルーホール10cがレーザにより形成されるときに第1ストップ層16及び第2ストップ層17がスルーホール10cの底部から加熱されても、第1ストップ層16及び第2ストップ層17の直下に接続された柱50によって熱が速やかに散逸されるので、第1ストップ層16及び第2ストップ層17は熱から保護される。したがって、スルーホール10cを形成するときにウェットエッチング又はドライエッチングによっては加工が困難なタンタル酸リチウム、ニオブ酸リチウム、サファイア、ガラス等も、レーザにより加工される第1基板10の材料として使用することができる。

50

## 【0080】

図1に示すように、電子デバイス100は、第1基板10の底面10a、第2基板20の頂面20a、及び側壁30により内部に画定されたキャビティ19を有する。本開示の一側面によれば、キャビティ19は、窒素又は空気が充填されて1気圧よりも低い圧力の雰囲気に維持される。キャビティ19を1気圧よりも低い圧力の雰囲気に維持することにより、電子回路18の圧電薄膜共振器11がキャビティ19内で振動するときに作用する空気抵抗を低減することができるので、Q値を確保して良好な特性を実現することができる。

## 【0081】

本開示の一側面によれば、第1基板10及び第2基板20が図3に示すように位置合わせされた状態のまま、第1側壁33及び第2側壁34は、真空下でTLP接合により接合される。したがって、TLP接合プロセス中に第1側壁33及び第2側壁34が加熱されても、第1側壁33を形成する第1金属層36の第1金属としての金、並びに第2側壁34を形成する第2金属層37の第2金属としての銅、及び第3金属層38の第3金属としてのインジウムの、酸化及び窒化を防止することができる。酸化防止が本開示のTLP接合にとって有利なのは、第2金属層37の第2金属としての銅が酸化されると、図1に示す側壁30の第2合金層32に、銅及び錫からなる第2合金が形成できなくなるからである。

10

## 【0082】

なおもさらに、本開示の複数の側面によれば、図3に示すように位置合わせされた第1基板10及び第2基板20は、低圧コントロールバルブにより適切な真空度に維持され得る適切なチャンバに格納してもよい。これにより、電子デバイス100のキャビティ19の内部を、適切な真空度に設定することができ、ひいては第1基板10と第2基板20とのTLP接合を確実に実現することができる。またなおもさらに、図3Aに示す位置合わせ状態にある第1基板10と第2基板20とのTLP接合に先立って、100以下での温度で予備加熱プロセスが行われる。予備加熱プロセスは、予備加熱温度が100以下に設定されるので、第2側壁34を形成する第3金属層38の第3金属としての低融点のインジウムでさえ溶融させることができない。加えて、第2側壁34における第2金属層37の第2金属としての銅もまた、酸化が防止され得る。したがって、図1に示す側壁30の第2合金層32の銅・錫からなる第2合金の形成が阻害されることはない。

20

## 【0083】

図1に示すように、電子デバイス100は、互いに一体に形成された外部電極40及びビア42を有する。ビア42は、第1基板10の頂面10b及び底面10a間を貫通するスルーホール10cに充填された金属によるのみでなく、スルーホール10cまわりの所定領域において頂面10bに所定厚さを有するように形成された金属層によっても一体に形成される。外部電極層43はビア42上に配置される。

30

## 【0084】

図9は、本開示に係るビア及び外部電極を形成する一連のステップを示すフローチャートである。ステップ905において、第1基板10の底面10a及び頂面10b間を貫通するようにスルーホール10cが形成される。スルーホール10cの形成は、例えば、レーザ、ドライエッチング、又はウェットエッチングによってもよい。ステップ910において、第1基板10の頂面10b及びスルーホール10cの側面にスパッタ膜41が形成される。ここで、スパッタ膜41は、メッキによる金属の密着を可能にする。ステップ915において、ネガ型液体レジストが使用されて外部電極40のレジストパターンが形成される。

40

## 【0085】

ステップ920において、スパッタ膜41に銅がメッキされる。これにより、銅が、スルーホール10cの中に充填されるとともに、第1基板10の頂面10bにおけるスルーホール10cまわりの所定領域に金属層としてもメッキされ、ビア42が形成される。さらに、ビア42の頂面には、外部電極層43が半田メッキにより所定厚さを有するよう

50

形成される。ビア 4 2 及び外部電極層 4 3 によって外部電極 4 0 が構成される。ステップ 9 2 5において、ステップ 9 1 5で形成されたレジストが除去される。ステップ 9 3 0において、外部電極 4 0 が形成された領域を除き、第 1 基板 1 0 の頂面 1 0 b からスパッタ膜 4 1 が除去される。

#### 【0 0 8 6】

一実施形態によれば、第 1 基板 1 0 のスルーホール 1 0 c に充填された金属と、外部電極層 4 3 を支持するべく第 1 基板 1 0 の頂面 1 0 b でスルーホール 1 0 c まわりの所定領域に形成された金属層とが一体となってビア 4 2 を形成する。したがって、ビア 4 2 が、第 1 基板 1 0 の頂面 1 0 b に配置された外部電極 4 0 の外部電極層 4 3 と、第 1 基板 1 0 の底面 1 0 a に配置された第 1 ストップ層 1 6 、第 2 ストップ層 1 7 又は配線パッド 1 2 とを直接的に接続するので、電子デバイスの接続抵抗ひいては挿入損失を低下させることができる。  
10

#### 【0 0 8 7】

さらに、本開示の一側面によれば、ネガ型液体レジストを使用して外部電極 4 0 のパターンが形成される。したがって、スルーホール 1 0 c の中へのレジストの流れ込みを防止することにより、外部電極 4 0 をパターニングすることができる。この防止は、スルーホール 1 0 の直径及び深さ、すなわちビア 4 2 の体積、レジストの粘度、並びにノ又はレジストのプリベーク時間を制御することによって達成することができる。

#### 【0 0 8 8】

図 1 0 は、比較例としての従来型のビア及び外部電極の一構造を説明する一部拡大断面図である。従来型のビアは、第 1 スパッタ膜 4 1 a が介在されて第 1 基板 1 0 のスルーホール 1 0 c に形成された金属充填部 4 2 a を含む。従来型の外部電極 4 0 は、外部電極支持層 4 2 b 及び外部電極層 4 3 を含む。第 1 基板 1 0 の頂面 1 0 b には、第 2 スパッタ膜 4 1 b が介在されて外部電極支持層 4 2 b が形成される。外部電極支持層 4 2 b には外部電極層 4 3 が形成される。従来型のビアの金属充填部 4 2 a と、外部電極 4 0 の外部電極支持層 4 2 b とは、既に述べた実施形態にかかる外部電極 4 0 のビア 4 2 と同様に銅メッキによって形成されるが、金属充填部 4 2 a と外部電極支持層 4 2 bとの間に第 2 スパッタ膜 4 1 b が介在される点が異なる。  
20

#### 【0 0 8 9】

図 1 1 は、従来型のビア及び外部電極を形成する一連のステップを示すフローチャートである。ステップ 1 1 0 5 において、第 1 基板 1 0 にスルーホール 1 0 c が形成される。ステップ 1 1 1 0 において、1回目のスパッタリングにより、スルーホール 1 0 c の側面を含む領域を覆うように第 1 スパッタ膜 4 1 a が形成される。ステップ 1 1 1 5 において、スルーホール 1 0 c の第 1 スパッタ膜 4 1 a には、銅メッキにより金属充填部 4 2 a が形成される。ステップ 1 1 2 0 において、第 1 基板 1 0 の頂面 1 0 b が研磨され、頂面 1 0 b に形成された銅メッキ部分及び第 1 スパッタ膜 4 1 a が除去される。  
30

#### 【0 0 9 0】

ステップ 1 1 2 5 において、2回目のスパッタリングにより、金属充填部 4 2 a を含む第 1 基板 1 0 の頂面 1 0 b に第 2 スパッタ膜 4 1 b が形成される。ステップ 1 1 3 0 において、フォトリソグラフィーにより外部電極 4 0 のレジストパターンが形成される。ステップ 1 1 3 5 において、銅メッキにより外部電極支持層 4 2 b が形成され、半田メッキにより外部電極層 4 3 が形成される。ステップ 1 1 4 0 において、レジストが除去される。ステップ 1 1 4 5 において、外部電極 4 0 が形成された部分を除き、第 1 基板 1 0 の頂面 1 0 b から第 2 スパッタ膜 4 1 b が除去される。  
40

#### 【0 0 9 1】

図 1 0 に示す従来型のビア及び外部電極 4 0 、並びに図 1 1 に示す従来型のビア及び外部電極 4 0 を製造する方法によれば、金属充填部 4 2 a 及び外部電極支持層 4 2 b が別個のステップにより形成されるので、金属充填部 4 2 a と外部電極支持層 4 2 b との間に第 2 スパッタ膜 4 1 b が介在される。このため、工数が増加するとともに、第 2 スパッタ膜 4 1 b が介在することにより金属充填部 4 2 a と外部電極層 4 3 との間の接続抵抗が増加  
50

する。

#### 【0092】

図1及び2への参照、並びに図13A及び13Bへの参照に引き続き、図12A及び12Bは、本開示に係る電子デバイスを製造する方法を例示する。図12Aは、電子デバイス100を形成するべく配列された複数の第1基板10を有する第1ウェハ210と、同じ電子デバイス100を形成するべく配列された複数の第2基板20を有する第2ウェハ220とを含む構造200を示し、第1ウェハ210と第2ウェハ220とは互いに位置合わせされてTLP接合により接合される。換言すれば、図12Aは、図1に示す電子デバイス100が、第1ウェハ210及び第2ウェハ220から未だ個片化されておらず、複数の電子デバイス100が互いに結合されている状態を示す。

10

#### 【0093】

図12Bは、実質的に円形状の第1ウェハ210及び第2ウェハ220を含む構造200を示す図12Aにおけるボックス領域Rの一部拡大図である。図12A及び12Bに示すように、電子デバイス100の構成が形成された部分が有効エリア201に対応する。有効エリア201から外側において周縁205に沿って所定幅の無効エリア202、リング状の封止部203、及びメッキ給電部204が順に形成される。

#### 【0094】

本開示によれば、封止部203は、第1基板10の底面10aに配置された第1側壁33、及び第2基板20の頂面20aに配置された第2側壁34と同様に構成される。すなわち、第1ウェハの底面210には周縁205に沿って第1封止部が形成され、第2ウェハの頂面220において第1封止部に対応する部分には第2封止部が形成される。第1封止部は、第1金属としての金からなり第1厚さを有する第1金属層を含む。第2封止部は、第2金属としての銅からなり第2厚さを有する第2金属層と、第3金属としての錫からなり第3厚さを有する第3金属層とが、順に積層されて構成される。

20

#### 【0095】

第1ウェハ210と第2ウェハ220とを互いに位置合わせてTLP接合により接合するとき、図3に示すように第1基板10及び第2基板20が位置合わせされる場合と同様、第1側壁33及び第2側壁34が互いに対向かつ接触するように位置合わせされる一方、第1封止部及び第2封止部は互いに対向かつ接触するように位置合わせされ、第1ウェハ210に形成された第1側壁33と第2ウェハ220に形成された第2側壁34によりキャビティ19が内部に画定される。すなわち、第1封止部の底面と第2封止部の頂面とが当接する。第1ウェハ210及び第2ウェハ220はその後、位置合わせされた状態で加熱されると、第1側壁33及び第2側壁34がTLP接合により接合されて单一の側壁30を形成する一方、第1封止部及び第2封止部がTLP接合により接合されて单一の封止部203を形成する。第1封止部及び第2封止部のTLP接合プロセスは、図4A～4Cに示す第1側壁33及び第2側壁34のTLP接合プロセスと同様である。

30

#### 【0096】

図13Aは、第1ウェハ210及び第2ウェハ220が互いに接合された構造00にエッジトリミングが施された状態を説明する断面図である。図13Aに示すように、第1ウェハ210及び第2ウェハ220が互いに接合された構造200は、周縁205から、リング状の封止部203が形成された位置まで研削される。ここで、封止部203は、第1ウェハの底面210又は第2ウェハの頂面220に沿って、例えば $150\mu m$ の長さw1が確保されるように加工される。研削により加工された斜面251は、第1ウェハの底面210又は第2ウェハの頂面220に対して、例えば60度の角度をなす。さらに、エッジトリミングによる斜面251は、第2ウェハの頂面220から深さd3まで形成され、深さd3を超えるフランジ部255は残される。深さd3は、例えば $210\mu m$ である。

40

#### 【0097】

図13Aに示すように、第1ウェハ210及び第2ウェハ220が接合されて構造200となるが、構成200がエッジトリミングされて斜面251が形成された後、第1ウェ

50

ハ210は、厚さd1が達成されるまで頂面から研磨される。厚さd1は、例えば70μmである。第2ウェハ220は、厚さd2が達成されるまで底面から研磨される。厚さd2は、例えば110μmである。この研磨加工の間にフランジ部255は、研削されて除去される。

#### 【0098】

上述した製造方法により、第1ウェハ210及び第2ウェハ220が互いに接合された構造200は、周縁205からリング状の封止部203まで研削によりエッジトリミングされる。第1ウェハ210及び第2ウェハ220は封止部203により支持されるので、第1ウェハ210及び第2ウェハ220が薄くなるように研磨されるときでも、第1ウェハ210及び第2ウェハ220が破壊されることがない。10

#### 【0099】

さらに、上述した製造方法によれば、第1ウェハ210及び第2ウェハ220が互いに接合された構造200は、エッジトリミングにより形成されて、第1ウェハの底面210又は第2ウェハの頂面220に対し、例えば60度の角度 $\theta$ を有する斜面251を含む。封止部203が斜面251で露出するので、メッキ用のシード層を、斜面251に沿って周縁205から第1ウェハ210及び第2ウェハ220の中心まで連続して、低抵抗で成膜することができる。

#### 【0100】

ここで、角度 $\theta$ を90度未満に構成することにより、斜面251上の封止部203の露出面積が大きくなるので、当該低抵抗に寄与し得る。しかしながら、角度 $\theta$ が小さくなりすぎると、封止部203がウェハの中に入り込むので有効エリア201が狭まり、結果的に、第1ウェハ210及び第2ウェハ220からダイシングして取り出せる電子デバイスの数が減少し得る。したがって、ダイシングして取り出せる電子デバイスの数の低下を防止し、かつ、メッキ用のシード層の低抵抗を確保するべく、角度 $\theta$ は60±20度又は60±10度とすることができます。20

#### 【0101】

さらに、上述した製造方法によれば、エッジトリミングにより形成された斜面251は、封止部203を含む。したがって、第1ウェハ210及び第2ウェハ220が薄くなるように研磨するか又はウェットプロセスに投入するとき、封止部203は、第1ウェハの底面210と第2ウェハの頂面220とにより画定されるキャビティへの水の侵入を阻止することができる。なおもさらに、第2ウェハの底面220が研磨されるとき、第2ウェハ220の周縁205に沿って形成されたフランジ部255を、同時に研削して除去することができる。30

#### 【0102】

図13Bは、比較例として、第1ウェハ210及び第2ウェハ220が互いに接合された構造200が、従来型の製造方法によりエッジトリミングが施された状態を説明する断面図である。従来型の製造方法では、第1ウェハ210はエッジトリミングにより研削され、第1ウェハの底面210又は第2ウェハの頂面220に対して90度をなす垂直面253が形成される。第1ウェハ210及び第2ウェハ220が互いに接合されてエッジトリミングされた構造200は、第1ウェハの底面210と第2ウェハの頂面220との間に封止部203を含まない。このため、第1ウェハ210及び第2ウェハ220が互いに接合された構造では、第1ウェハの頂面210又は第2ウェハの底面220を研磨するか又はウェットプロセスに投入するとき、第1ウェハの底面210と第2ウェハの頂面220との間のギャップに水が浸入することがある。40

#### 【0103】

図14A及び14Bは、本開示のさらなる側面に係る電子デバイスを製造する方法を説明する。図14Aに示すように、第1ウェハ210及び第2ウェハ220が位置合わせされて接合された構造200は、裏面研削保護テープ250に貼り付けられて固定される。ここで、構造200は図12Aに示すようになる。詳しくは、電子デバイス100を形成するべく配列された複数の第1基板10を有する第1ウェハ210と、同じ電子デバイス

10

20

30

40

50

100を形成するべく配列された複数の第2基板20を有する第2ウェハ220とが、互いに位置合わせされて接合される。第1ウェハ210及び第2ウェハ220は、周縁205に沿ってリング状の封止部203により接合される。この接合はTLP接合により行われるが、適切な接合を達成するべく他のオプションを使用することもできる。例えば、有機樹脂による接着を使用することができる。

#### 【0104】

本開示によれば、第1ウェハ210及び第2ウェハ220が封止部203で接合された構造200が、プラズマダイシングビフォアグラインディング(Dicing - Before Grinding(DBG))技術を使用してダイシングされ、別個の電子デバイス100のチップに個片化される。詳しくは、第1ウェハ210及び第2ウェハ220が封止部203で接合された構造200に電子デバイス100の複数のチップが形成された有効エリア201が、第1ウェハの頂面210から適切な深さまで、プラズマによりダイシングされる。その後、裏面研削保護テープ250が剥離され、他の裏面研削保護テープが第1ウェハの頂面210に貼り付けられる。引き続き、第2ウェハの底面220が適切な深さまで研磨されて別個のチップが形成される。当該頂面から裏面研削保護テープが剥離されて構造200が分離されて個片化されることにより、最終製品としての電子デバイス100を得ることができる。10

#### 【0105】

本開示の一側面によれば、第2ウェハの底面220が研磨された後であっても、リング状の封止部203の剛性ゆえに、第1ウェハ210及び第2ウェハ220の形状を維持することができる。したがって、研磨プロセス中にチップが研磨抵抗を受けて動くことが防止されるので、互いに隣接して配列されたチップが、チッピングを引き起こすことがなくなり、ひいては損傷なく電子デバイス100を分離することができる。したがって、ダイシングされる隣接チップ同士間の幅を狭くすることができるので、有効エリア201内で得られるチップの数を最大化することができる。20

#### 【0106】

図14Bは、比較例として、従来型のダイシングプロセスを説明する。従来、周縁205に沿って封止部203を固定することなく第1ウェハ210及び第2ウェハ220を含む構造200は、裏面研削保護テープ250に接着され、電子デバイス100の複数のチップが有効エリア201から切り出されていた。ウェハは、ダイヤモンド砥石を使用したメカニカルな研磨及びダイシング技術によって薄膜化されていた。かかる従来型のメカニカルな研磨及びダイシング技術は、チッピング、チップ割れ及びウェア割れを引き起こし、歩留まり及び生産性が低下し得る。30

#### 【0107】

図15A～15Iは、本開示の複数の側面に係る電子デバイスを製造する方法の一連のステップを説明する。図15Aに示すように、第2ウェハ220が用意され、第2ウェハ220の頂面220aにスパッタ膜311が形成される。図15Bに示すように、第2ウェハ220上に形成されたスパッタ膜311に、スピノーティングによりレジスト313が塗布される。図15Cに示すように、レジスト313が塗布された第2ウェハ220は、露光されて所定パターンが転写される。図15Dに示すように、露光された第2ウェハ220に露光後ベーク(PEB)及び現像が施される。これにより、レジスト313から所定部分が除去され、凹部315が形成される。図15Eに示すように、凹部315には銅メッキ317が形成される。図15Fに示すように、レジスト313及び銅メッキ317が研磨されて表面が平坦にされる。図15Gに示すように、銅メッキ317の上には錫メッキ319が施される。図15Hに示すように、レジスト313が除去される。図15Iに示すように、さらにスパッタ膜311が除去される。図15Iからわかるように、第2金属としての銅からなる第2金属層と、第3金属としての錫からなる第3金属層とが順に、第2ウェハ220の頂面220aに積層される。40

#### 【0108】

図16A～16Eは、図15A～15Iのステップに引き続いての、本開示の複数の側50

面に係る電子デバイスを製造する方法の一連のステップを説明する。図16Aに示すように、圧電薄膜共振器325と、ストッパ層323と、及び底面210aに適切に形成された第1金属としての金からなる第1金属層36(図3及び4を参照)とを含む第1ウェハ210が、図15Iに示す第2ウェハ220と位置合わせされる。その後、第2ウェハ220の頂面220aに順に積層された第2金属層及び第3金属層と、第1ウェハ210の底面210aに形成された第1金属層とが、TLP接合により接合される。この接合により、金-錫の合金からなる第1合金層321と、銅-錫の合金からなる第2合金層322とが、第1ウェハ210の底面210aと第2ウェハ220の頂面220aとの間に順に積層される。図16Bに示すように、第1ウェハ210がその周縁に沿って研削され、第1合金層321及び第2合金層322が露出する斜面327が形成される。図16Cに示すように、第2ウェハ220の底面220bには裏面研削保護テープ329が貼り付けられる。図16Dに示すように、第1ウェハ210が所定厚さになるよう、第1ウェハ210が頂面210bから研磨される。図16Eに示すように、第2ウェハ220の底面220bから裏面研削保護テープ329が剥離される。

10

## 【0109】

図17A～17Eは、図16A～16Eのステップに引き続いての、本開示の複数の側面に係る電子デバイスを製造する方法の一連のステップを説明する。図17Aに示すように、第1ウェハ210の頂面210bにはスピノコーティングによりレジスト337が塗布される。図17Bに示すように、レジスト337が塗布された第1ウェハ210は、露光されて所定パターンが転写される。図17Cに示すように、露光された第1ウェハ210にPEB及び現像が施される。これにより、レジスト337から所定部分が除去され、凹部339が形成される。図17Dに示すように、第1ウェハ210が加工されるように凹部339を介するドライエッチングが行われ、頂面210bが底面210aと連通し、スルーホール341が、底面210aに形成されたストッパ層323に到達するようになる。図17Eに示すように、レジスト337が除去される。

20

## 【0110】

図18A～18Gは、図17A～17Eのステップに引き続いての、本開示の一側面に係る電子デバイスを製造する方法の一連のステップを説明する。図18Aに示すように、第1ウェハ210の頂面210bと、スルーホール341の側面及び底面とが覆われるようスパッタ膜345が形成される。図18Bに示すように、第1ウェハ210の頂面210bには、スピノコーティングによりレジスト347が、スパッタ膜345が介在されて塗布される。図18Cに示すように、露光、PEB及び現像により、スルーホール341の頂部のレジスト347が除去され、凹部349が形成される。図18Dに示すように、スルーホール341及び凹部349に銅メッキ351が形成される。図18Eに示すように、銅メッキ351に半田メッキ353が施される。図18Fに示すように、レジスト347が除去される。図18Gに示すように、スパッタ膜345が除去される。

30

## 【0111】

図19A～19Dは、図18A～18Gのステップに引き続いての、本開示の一側面に係る電子デバイスを製造する方法の一連のステップを説明する。図19Aに示すように、第1ウェハ210及び第2ウェハ220が上下に反転され、ここで下側になった第1ウェハ210の頂面210bに裏面研削保護テープ357が貼り付けられる。図19Bに示すように、ここで上側になった第2ウェハ220の底面220bが、第2ウェハ220所定厚さを有するまで研磨される。図19Cに示すように、ここで下側になった第1ウェハ210の頂面210bから、裏面研削保護テープ357が剥離される。図19Dに示すように、構造200はプラズマDBGによりダイシングされて電子デバイス100の別個のチップに個片化される。すなわち、構造200は、第1ウェハ210の頂面210bから適切な深さまでプラズマによりダイシングされ、切目359が形成される。引き続き、第1ウェハ210の頂面210bに裏面研削保護テープが貼り付けられ、第2ウェハ220の底面220bが研磨されて電子デバイス100の複数のチップが分離され、個片化される。

40

50

## 【0112】

図20は、本開示のさらなる側面に係る電子デバイスの第1変形例を示す断面図である。図21は、電子デバイスの第1変形例がプリント基板に実装された一構造を示す断面図である。第2基板20の底面20bに外部電極40が配置された第1変形例は、図1に示すように第1基板10の頂面10bに外部電極40が配置された既に述べた実施形態の電子デバイスとは異なる。第1変形例の他の構成は、既に述べた実施形態の電子デバイスのものと同様である。

## 【0113】

図22は、第1変形例に係る電子デバイスの第1基板と第2基板との位置合わせを示す断面図である。第1変形例においてはまた、図3に示す電子デバイスと同様、第1基板10の底面10a、第2基板20の頂面20a、第1側壁33及び第2側壁34により内部にキャビティ19が画定されて第1側壁33が第2側壁34に対向かつ接触するように、第1基板10と第2基板20とが位置合わせされる。第1基板10及び第2基板20が、位置合わせされた状態で維持されて加熱され、第1側壁33及び第2側壁34は互いにTLP接合により接合されて单一の側壁30となる。

10

## 【0114】

圧電薄膜共振器11を含む図1及び図2に例示される電子回路18は、第1基板10に配置されるが、第1変形例の電子デバイスにおいて外部電極40は第2基板20に配置される。これにより、電子回路18を第1基板10に配置するプロセスを、外部電極40を第2基板20に配置するプロセスから分離することができる、各基板を個別に加工することができる。したがって、第1基板10及び第2基板20について各プロセスの工数を低減するとともに、当該プロセスを容易に行うことができる。

20

## 【0115】

図23は、本開示のなおさらなる側面に係る電子デバイスの第2変形例を示す断面図である。図1に示す電子デバイス100と比べると、第2変形例においては、第2基板20の頂面20aにも圧電薄膜共振器21を含む電子回路28が配置される。電子回路28は、配線パッド22により互いに適切に接続された圧電薄膜共振器21を有し、第1基板10の底面10aに配置された電子回路18とともにフィルタ、フィルタデバイス等を形成する。第2変形例によれば、第2基板20にも電子回路28が配置されるので、電子デバイス100における集積度を向上させて電子デバイス100の小型化とともに高機能化を図ることができる。

30

## 【0116】

フィルタ回路群18の複数の実施形態は、例えば無線通信デバイスのような電子デバイスにおいて究極的に使用されるモジュールに組み入れられて当該モジュールとしてパッケージ化され得る。図24は、フィルタ回路群18を含むモジュール2400の一例を説明するブロック図である。フィルタ回路群18は、一以上の接続パッド、例えば図1に示す外部電極40、を含む一以上のダイ100に実装することができる。例えば、フィルタ回路群18は、フィルタ回路群18の入力接觸部に対応する接続パッド40と、フィルタ回路群18の出力接觸部に対応する他の接続パッド40とを含んでよい。パッケージ状モジュール2400は、例えば、図2に示すプリント基板110のような、ダイ100を含む複数の構成要素を受容するように構成されたパッケージ基板を含む。例えば、図2に示す電極111のような複数の接続パッドを、パッケージ基板110に配置することができ、様々なフィルタ回路群18の様々な接続パッド40を、当該フィルタ回路群18への及びフィルタ回路群18からの様々な信号を通過させるべく、パッケージ基板110上の電極111に接続することができる。図24には、接続パッド40及び電極111が重なるように例示される。モジュール2400はさらに、オプションとして、ここでの開示に鑑みて半導体製作の当業者に知られているような、例えば一以上の付加フィルタ、増幅器、前置フィルタ、変調器、復調器、ダウンコンバータ等のような、他の回路群ダイ2410を含む。いくつかの実施形態において、モジュール2400はまた、例えば、モジュール2400の保護を与えてその取り扱いを容易にする一以上のパッケージ構造を含み得る。か

40

50

かるパッケージ構造は、パッケージ基板 110 を覆うように形成されてその上に様々な回路及び構成要素を実質的にカプセル化する寸法とされたオーバーモールドを含み得る。オーバーモールドは、例えば、図 2 に示す樹脂 120 を含み得る。

#### 【0117】

上述したように、フィルタ回路群 18 の様々な例及び実施形態を、多様な電子デバイスに使用することができる。例えば、フィルタ回路群 18 は、アンテナデュプレクサにおいて使用することができる。アンテナデュプレクサは、それ自体が、RF フロントエンドモジュール及び通信デバイスのような様々な電子デバイスに組み入れ可能である。

#### 【0118】

図 25 を参照すると、例えば、無線通信デバイス（例えば携帯電話機）のような電子デバイスにおいて使用され得るフロントエンドモジュール 2500 の一例のブロック図が示される。フロントエンドモジュール 2500 は、共通ノード 2502、入力ノード 2504 及び出力ノード 2506 を有するアンテナデュプレクサ 2510 を含む。共通ノード 2502 にはアンテナ 2610 が接続される。

#### 【0119】

アンテナデュプレクサ 2510 は、入力ノード 2504 及び共通ノード 2502 間に接続された一以上の送信フィルタ 2512 と、共通ノード 2502 及び出力ノード 2506 間に接続された一以上の受信フィルタ 2514 とを含んでよい。送信フィルタの通過帯域は、受信フィルタの通過帯域とは異なる。フィルタ回路 18 の実施形態は、一以上の送信フィルタ 2512 又は一以上の受信フィルタ 2514 に含まれ得る。インダクタ又は他の整合要素 2520 を共通ノード 2502 に接続することができる。

#### 【0120】

フロントエンドモジュール 2500 はさらに、デュプレクサ 2510 の入力ノード 2504 に接続された送信器回路 2532 と、デュプレクサ 2510 の出力ノード 2506 に接続された受信器回路 2534 とを含む。送信器回路 2532 は、アンテナ 2610 を介して送信される信号を生成し、受信器回路 2534 は、アンテナ 2610 を介して信号を受信して処理することができる。いくつかの実施形態において、受信器回路及び送信器回路は、図 25 に示すように別個の構成要素として実装されるが、他の実施形態において、これらの構成要素は共通の送受信器回路又はモジュールに組み入れることができる。当業者にわざることだが、フロントエンドモジュール 2500 は、図 25 に示されないスイッチ、電磁カプラ、増幅器、プロセッサ等を含むがこれらに限られない他の構成要素も含み得る。

#### 【0121】

図 26 は、図 25 に示すアンテナデュプレクサ 2510 を含む無線デバイス 2600 の一例のブロック図である。無線デバイス 2600 は、音声又はデータ通信のために構成されたセルラー電話機、スマートフォン、タブレット、モ뎀、通信ネットワーク、又は任意の他のポータブル若しくは非ポータブルデバイスであってよい。無線デバイス 2600 は、アンテナ 2610 から信号を送受信することができる。無線デバイスは、図 25 を参考して上述したものと同様にフロントエンドモジュール 2500 の一実施形態を含む。フロントエンドモジュール 2500 は、上述したように、デュプレクサ 2510 を含む。図 26 に示される例において、フロントエンドモジュール 2500 はさらに、アンテナスイッチ 2540 を含む。これは、例えば送信モード及び受信モードのような異なる周波数帯域又はモードで切り替わるように構成することができる。図 26 に示される例において、アンテナスイッチ 2540 は、デュプレクサ 2510 及びアンテナ 2610 間に位置決めされる。しかしながら、他例において、デュプレクサ 2510 は、アンテナスイッチ 2540 及びアンテナ 2610 間に位置決めされてよい。他例において、アンテナスイッチ 2540 及びデュプレクサ 2510 は単一の構成要素に統合することができる。

#### 【0122】

フロントエンドモジュール 2500 は、送信用の信号を生成し、又は受信された信号を処理するように構成された送受信器 2530 を含む。送受信器 2530 は、図 25 の例に

10

20

30

40

50

示すように、デュプレクサ 2510 の入力ノード 2504 に接続することができる送信器回路 2532 と、デュプレクサ 2510 の出力ノード 2506 に接続することができる受信器回路 2534 とを含み得る。

#### 【0123】

送信器回路 2532 による送信のために生成された信号が、電力増幅器（P A）モジュール 2550 によって受信される。P A モジュール 2550 は、送受信器 2530 の送信器回路 2532 からの生成信号を増幅する。電力増幅器モジュール 2550 は一以上の電力増幅器を含み得る。電力増幅器モジュール 2550 は、多様な R F 又は他の周波数帯域の送信信号を増幅するべく使用することができる。例えば、電力増幅器モジュール 2550 は、無線ローカルエリアネットワーク（W L A N）信号又は任意の他の適切なパルス信号を送信する補助となるように、電力増幅器の出力をパルス化するべく使用可能なイネーブル信号を受信することができる。電力増幅器モジュール 2550 は、例えば、G S M（G l o b a l S y s t e m f o r M o b i l e）（登録商標）信号、符号分割多元接続（C D M A）信号、広帯域符号分割多元接続（W - C D M A）信号、ロングタームエボリューション（L T E）信号又はE D G E 信号を含む様々なタイプの信号のいずれかを増幅するよう構成することができる。所定の実施形態において、スイッチ等を含む電力増幅器モジュール 2550 及び関連構成要素は、例えば高電子移動度トランジスタ（p H E M T）若しくは絶縁ゲートバイポーラトランジスタ（B i F E T）を使用してガリウム砒素（G a A s）基板に、又は相補型金属酸化物半導体（C M O S）電界効果トランジスタを使用してシリコン基板に作製することができる。10

#### 【0124】

なおも図 26 を参照すると、フロントエンドモジュール 2500 はさらに、アンテナ 2610 からの受信信号を増幅して当該増幅信号を送受信器 2530 の受信回路 2534 に与える低雑音増幅器モジュール 2560 を含む。20

#### 【0125】

図 26 の無線デバイス 2600 はさらに、送受信器 2530 に接続されて無線デバイス 2600 の動作のための電力を管理する電力管理サブシステム 2620 を含む。電力管理システム 2620 はまた、ベース帯域サブシステム 2630、及び無線デバイス 2600 の様々な他の構成要素の動作を制御することができる。電力管理システム 2620 はまた、無線デバイス 2600 の様々な構成要素のために電力を供給する電池（図示せず）を含み又は当該電池に接続されてよい。電力管理システム 2620 はさらに、例えば信号の送信を制御することができる一以上のプロセッサ又はコントローラを含み得る。一実施形態において、ベース帯域サブシステム 2630 は、ユーザとの間でやりとりされる音声又はデータの様々な入力及び出力を容易にするべくユーザインターフェイス 2640 に接続される。ベース帯域サブシステム 2630 はまた、無線デバイスの動作を容易にし及び／又はユーザのための情報を格納するべく、データ及び／又は命令を格納するように構成されたメモリ 2650 に接続することができる。30

#### 【0126】

少なくとも一つの実施形態のいくつかの側面を上述したが、様々な改変、修正及び改善が当業者にとって容易に想起されることを理解されたい。かかる改変、修正及び改善は、本開示の一部となることが意図され、かつ、本発明の範囲内にあることが意図される。理解するべきことだが、ここで述べられた方法及び装置の実施形態は、本明細書に記載され又は添付図面に例示された構成要素の構造及び配列の詳細への適用に限られない。方法及び装置は、他の実施形態で実装し、様々な態様で実施又は実行することができる。特定の実装例は、例示のみを目的としてここに与えられ、限定されることを意図しない。また、ここで使用される表現及び用語は、説明目的であって、限定としてみなすべきではない。ここでの「含む」、「備える」、「有する」、「包含する」及びこれらの変形の使用は、以降に列挙される項目及びその均等物並びに付加項目の包括を意味する。「又は（若しくは）」の言及は、「又は（若しくは）」を使用して記載される任意の用語が、当該記載の用語の一つの、一つを超える、及びすべてのものを示すように解釈され得る。前後左右、40

頂底上下、及び横縦への言及はいずれも、記載の便宜を意図しており、本システム及び方法又はこれらの構成要素がいずれか一つの位置的又は空間的配向に限られるものではない。したがって、上記説明及び図面は例示にすぎず、本発明の範囲は、添付の特許請求の範囲の適切な構造及びその均等物から決定されるべきである。

【図1】

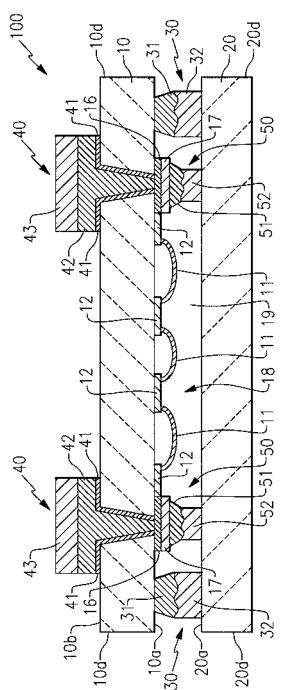


FIG. 1

【 図 2 】

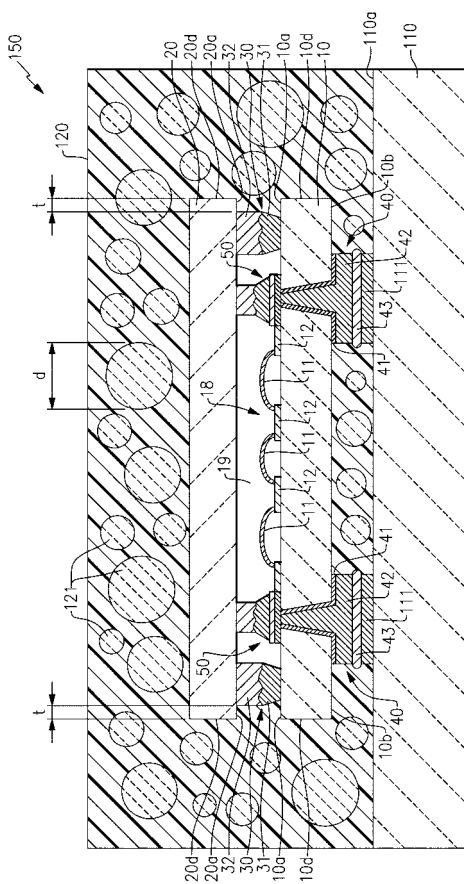


FIG. 2

【図3】

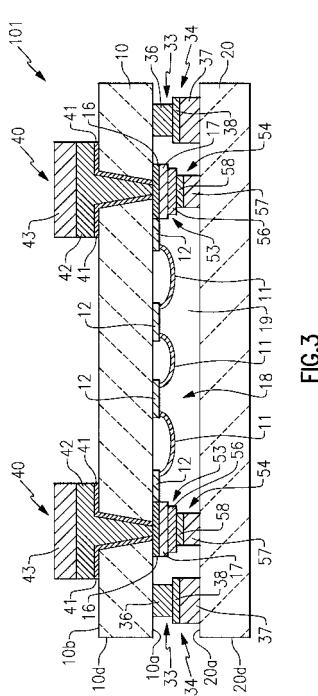


FIG. 3

【 図 4 】

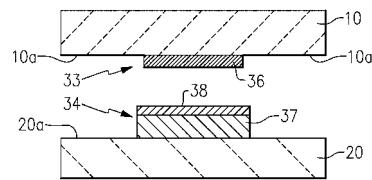


FIG.4A

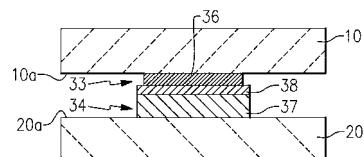


FIG.4B

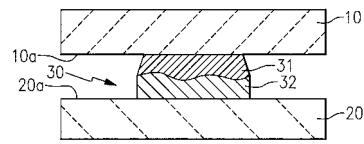
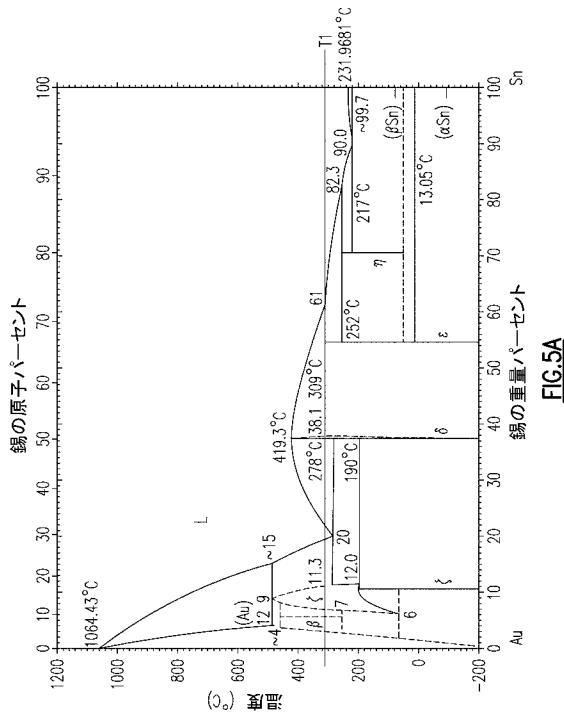


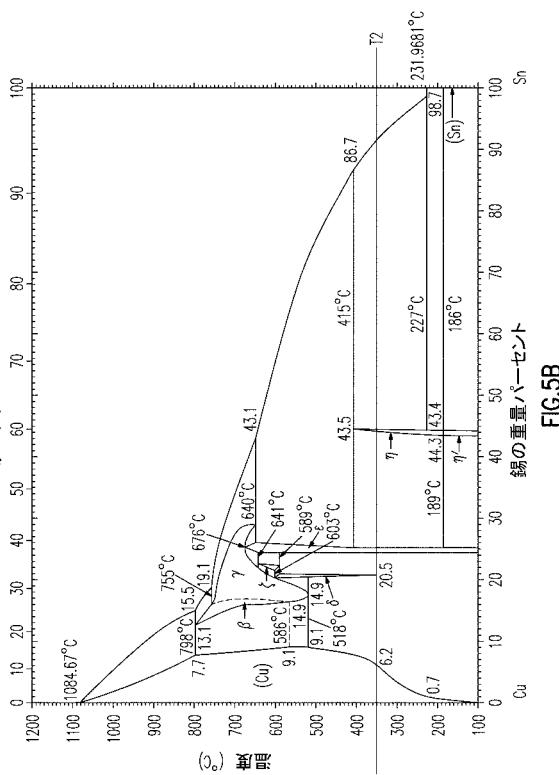
FIG.4C

【図5A】



**FIG. 5A**

【図5B】



【図 6 A】

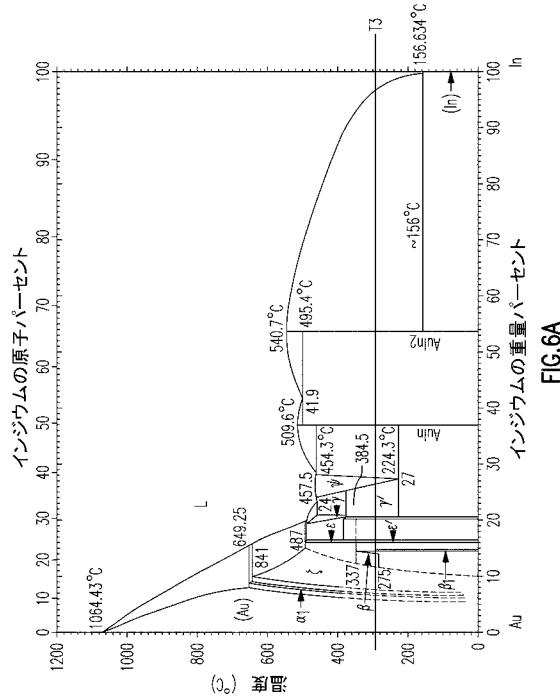


FIG.6A

【図 6 B】

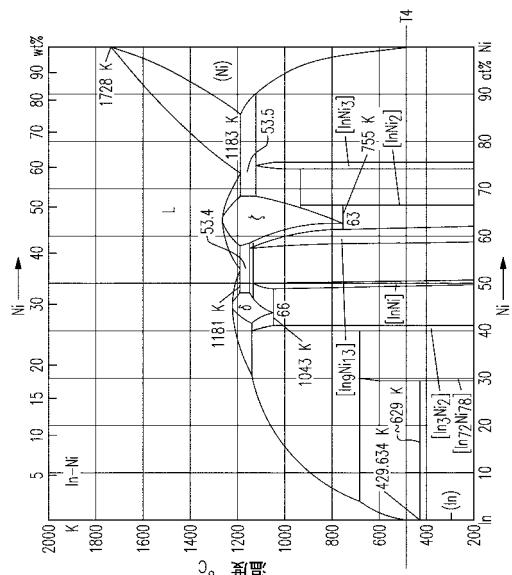


FIG.6B

【図 7】

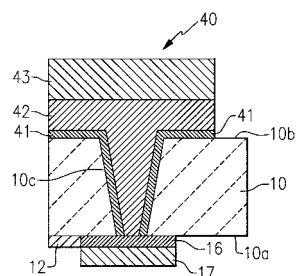


FIG.7

【図 8】

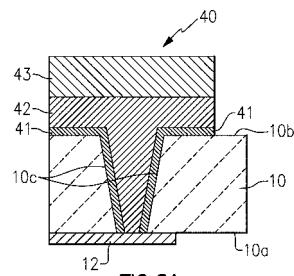


FIG.8A

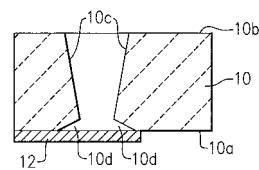


FIG.8B

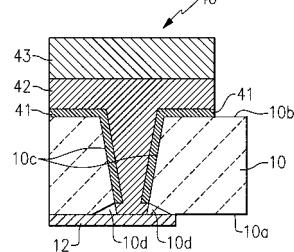


FIG.8C

【図9】

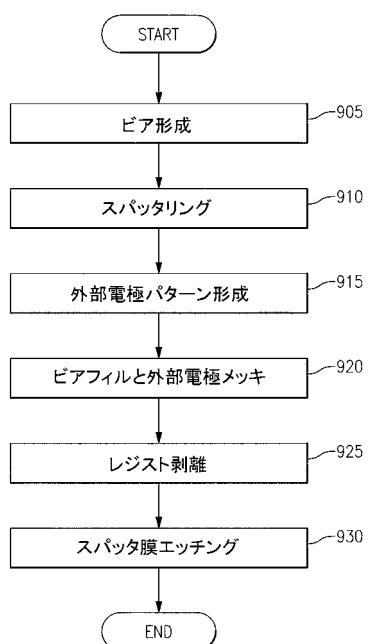


FIG.9

【図10】

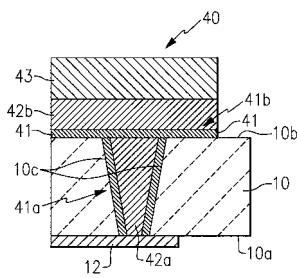


FIG.10

【図11】

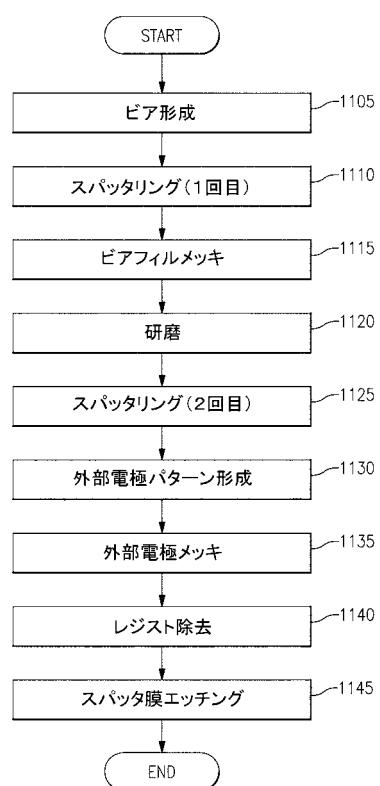


FIG.11

【図12】

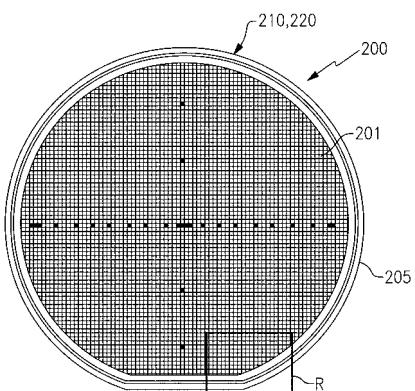


FIG.12A

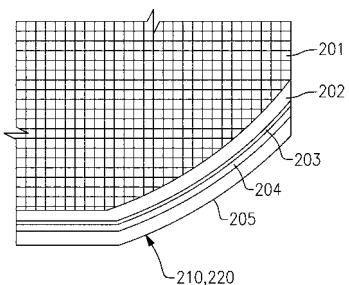


FIG.12B

【図 1 3】

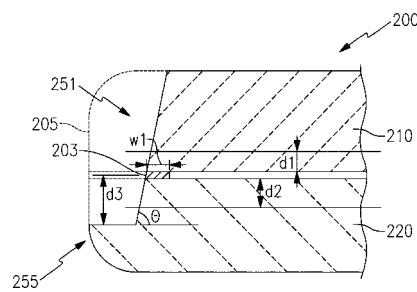


FIG.13A

【図 1 4】

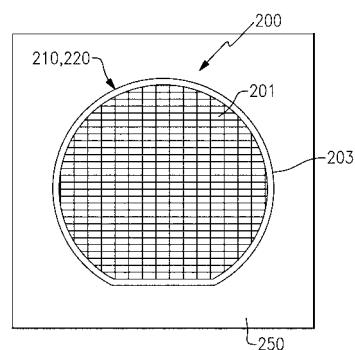


FIG.14A

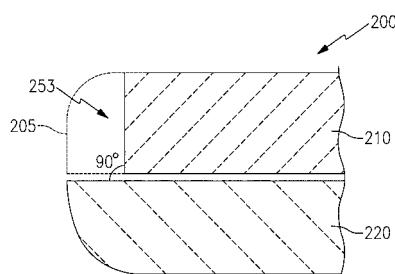


FIG.13B

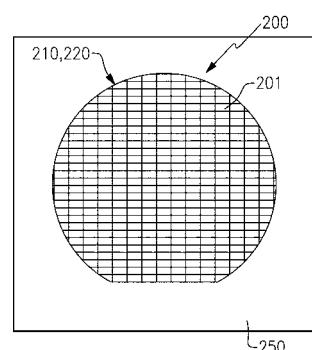


FIG.14B

【図 1 5 - 1】

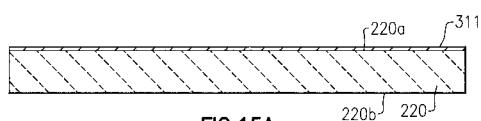


FIG.15A

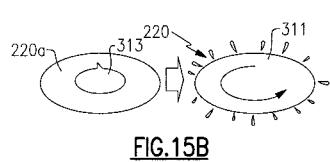


FIG.15B

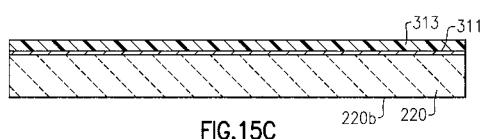


FIG.15C

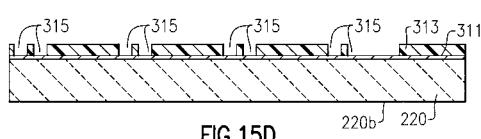


FIG.15D

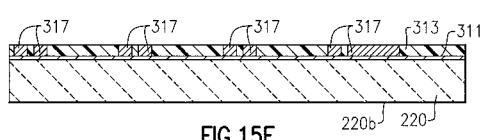


FIG.15E

【図 1 5 - 2】

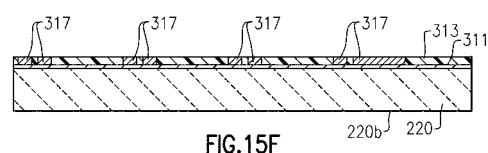


FIG.15F

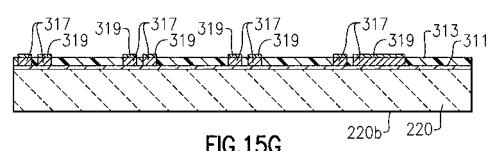


FIG.15G

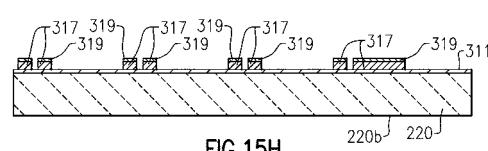


FIG.15H

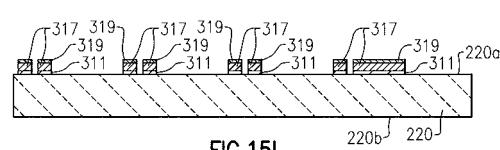


FIG.15I

【図16】

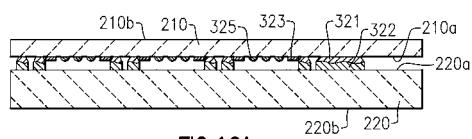


FIG.16A

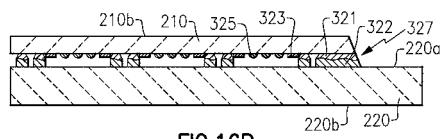


FIG.16B

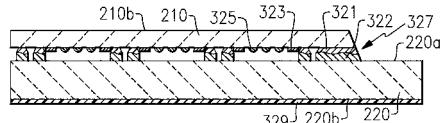


FIG.16C

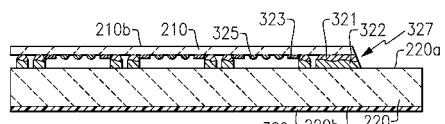


FIG.16D

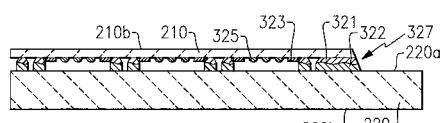


FIG.16E

【図17】



FIG.17A

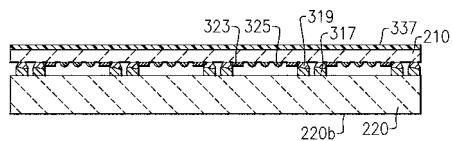


FIG.17B

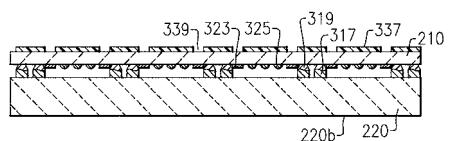


FIG.17C

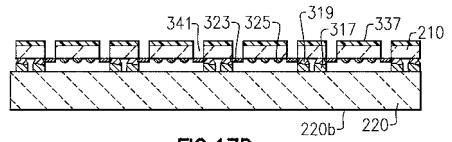


FIG.17D

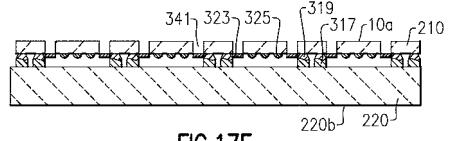


FIG.17E

【図18-1】

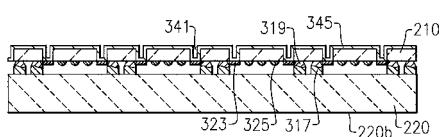


FIG.18A

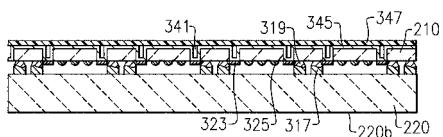


FIG.18B

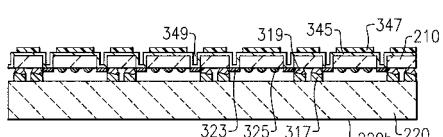


FIG.18C

【図18-2】

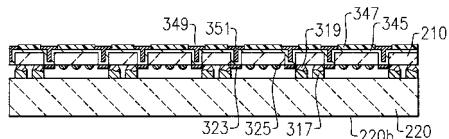


FIG.18D

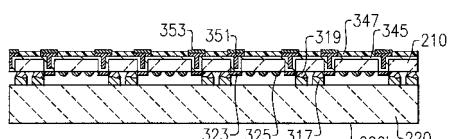


FIG.18E

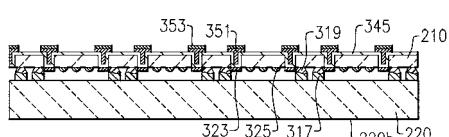


FIG.18F

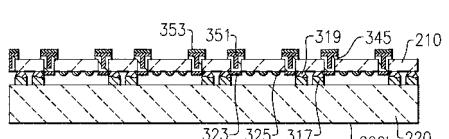


FIG.18G

【図19】

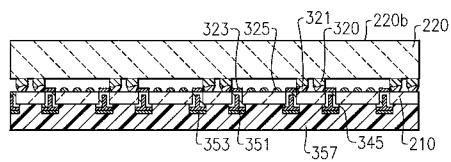


FIG.19A

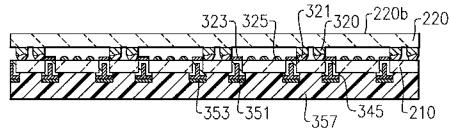


FIG.19B

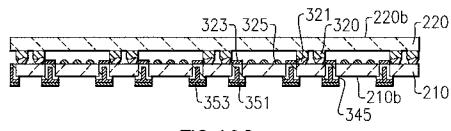


FIG.19C

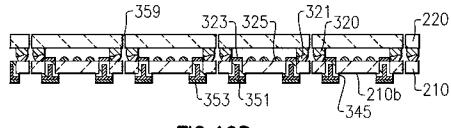
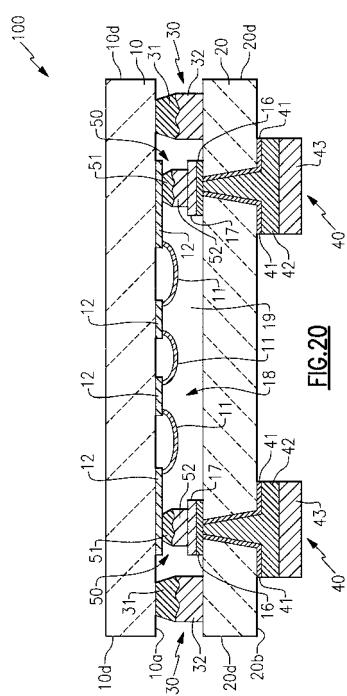


FIG.19D

【図20】



【図 2 3】

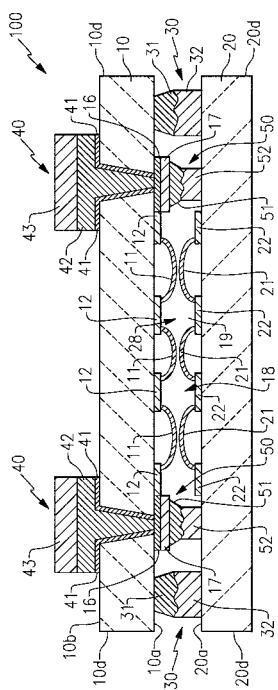


FIG.23

【図 2 4】

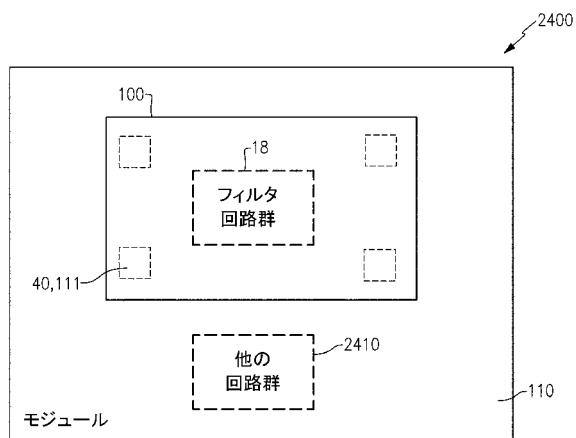


FIG.24

【図 2 5】

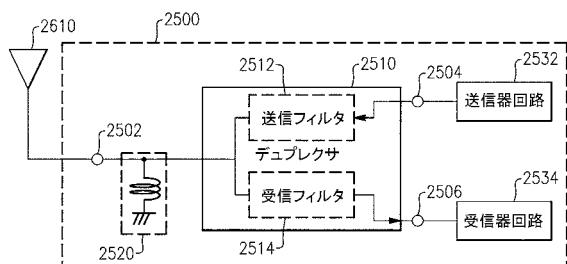


FIG.25

【図 2 6】

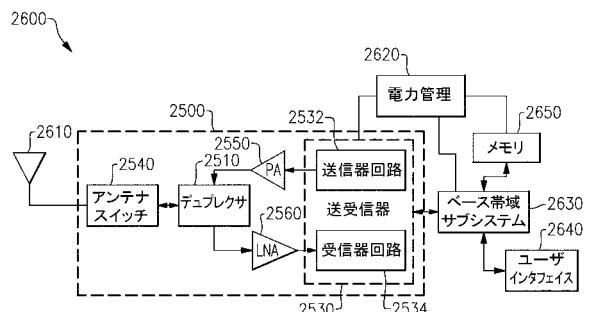


FIG.26

---

フロントページの続き

(31) 優先権主張番号 62/429,183  
(32) 優先日 平成28年12月2日(2016.12.2)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/429,186  
(32) 優先日 平成28年12月2日(2016.12.2)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/429,188  
(32) 優先日 平成28年12月2日(2016.12.2)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/429,190  
(32) 優先日 平成28年12月2日(2016.12.2)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/539,863  
(32) 優先日 平成29年8月1日(2017.8.1)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/539,861  
(32) 優先日 平成29年8月1日(2017.8.1)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/539,871  
(32) 優先日 平成29年8月1日(2017.8.1)  
(33) 優先権主張国 米国(US)  
(31) 優先権主張番号 62/539,873  
(32) 優先日 平成29年8月1日(2017.8.1)  
(33) 優先権主張国 米国(US)

(72) 発明者 鷹野 敦

大阪府門真市大字門真1006番地 スカイワークスフィルターソリューションズジャパン株式会  
社内

F ターク(参考) 5J108 AA07 BB07 BB08 DD06 EE03 HH05 KK03 KK04 MM01 MM04

【外国語明細書】

2018113679000001.pdf