(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0154569
(43) 공개일자 2023년11월09일

(51) 국제특허분류(Int. Cl.)
H02M 3/335 (2006.01)
(52) CPC특허분류
H02M 3/33592 (2013.01)
H02M 3/33569 (2023.05)
(21) 출원번호 10-2022-0054140
(22) 출원일자 2022년05월02일
심사청구일자 2022년05월02일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
김재국
인천광역시 남동구 아암대로1503번길 21, 1005동 1704호(논현동, 에코메트로 10블록 한화 꿈에그린 아파트)
이정배
인천광역시 연수구 청량로164번길 51,102호(옥련동,삼성아트빌)
이승훈
대구광역시 달서구 학산로2길 24,102동 1301호(월성동,월성청구아파트)
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 10 항

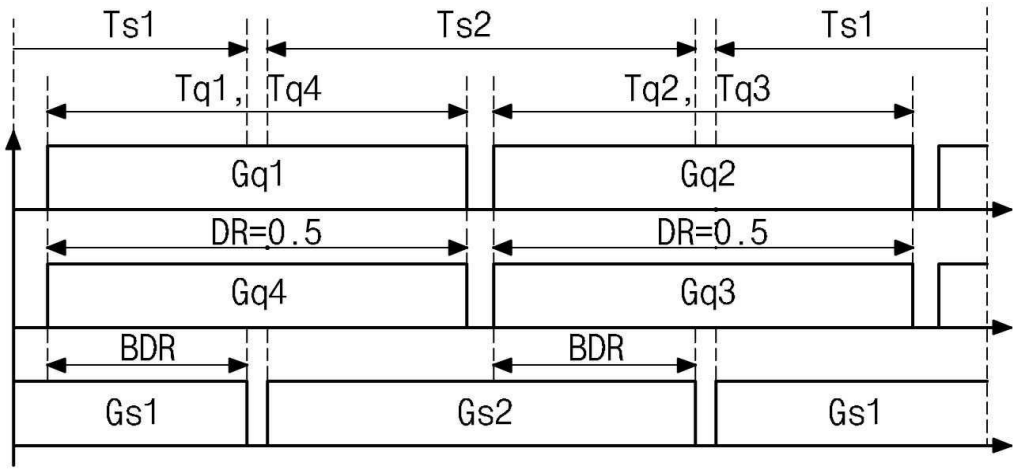
(54) 발명의 명칭 **위상천이 풀브리지 컨버터 및 그 구동방법**

(57) 요 약

본 발명은, 입력전압의 고전위단자 및 저전위단자 사이에 직렬로 연결되는 제1 및 제2입력스위치와; 상기 입력전압의 상기 고전위단자 및 상기 저전위단자 사이에 직렬로 연결되는 제3 및 제4입력스위치와; 상기 제1 내지 제4 입력스위치에 연결되는 제1변압기와; 상기 제1변압기의 1차측에 연결되는 자화인덕터와; 상기 제1변압기의 2차측

(뒷면에 계속)

대 표 도 - 도2



에 연결되는 제1 및 제2다이오드와; 상기 제1 및 제2다이오드에 연결되는 제2변압기와; 상기 제2변압기의 1차측 및 2차측에 각각 연결되는 제1 및 제2출력인덕터와; 상기 제2변압기의 상기 1차측 및 상기 2차측 사이에 직렬로 연결되는 제1 및 제2출력스위치와; 상기 제1 및 제2출력스위치에 병렬로 연결되는 출력커패시터 및 출력저항을 포함하고, 상기 제1입력스위치가 턴-온 되는 제1입력구간과 상기 제4입력스위치가 턴-온 되는 제4입력구간은 서로 동일하고, 상기 제2입력스위치가 턴-온 되고 제2입력구간과 상기 제3입력스위치가 턴-온 되는 제3입력구간은 서로 동일하고, 상기 제1출력스위치가 턴-온 되는 제1출력구간은 상기 제1 및 제2입력구간과 중첩하고, 상기 제2출력스위치가 턴-온 되는 제2출력구간은 상기 제1 및 제2입력구간과 중첩하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터를 제공한다.

(52) CPC특허분류
H02M 3/33576 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711139703
과제번호	66000-1
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구
연구과제명	[Ezbaro] 연속적인 전압제어를 위한 고분해능 디지털 비자성체 전력변환장치 연구
기 여 율	1/1
과제수행기관명	인하대학교
연구기간	2021.09.01 ~ 2022.02.28

명 세 서

청구범위

청구항 1

입력전압의 고전위단자 및 저전위단자 사이에 직렬로 연결되는 제1 및 제2입력스위치와;

상기 입력전압의 상기 고전위단자 및 상기 저전위단자 사이에 직렬로 연결되는 제3 및 제4입력스위치와;

상기 제1 내지 제4입력스위치에 연결되는 제1변압기와;

상기 제1변압기의 1차측에 연결되는 자화인덕터와;

상기 제1변압기의 2차측에 연결되는 제1 및 제2다이오드와;

상기 제1 및 제2다이오드에 연결되는 제2변압기와;

상기 제2변압기의 1차측 및 2차측에 각각 연결되는 제1 및 제2출력인덕터와;

상기 제2변압기의 상기 1차측 및 상기 2차측 사이에 직렬로 연결되는 제1 및 제2출력스위치와;

상기 제1 및 제2출력스위치에 병렬로 연결되는 출력커패시터 및 출력저항

을 포함하고,

상기 제1입력스위치가 턴-온 되는 제1입력구간과 상기 제4입력스위치가 턴-온 되는 제4입력구간은 서로 동일하고,

상기 제2입력스위치가 턴-온 되고 제2입력구간과 상기 제3입력스위치가 턴-온 되는 제3입력구간은 서로 동일하고,

상기 제1출력스위치가 턴-온 되는 제1출력구간은 상기 제1 및 제2입력구간과 중첩하고,

상기 제2출력스위치가 턴-온 되는 제2출력구간은 상기 제1 및 제2입력구간과 중첩하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2출력구간의 합에 대한 상기 제2 및 제3입력구간과 제2출력구간이 중첩되는 제1부스트구간 또는 상기 제1 및 제4입력구간이 중첩되는 제2부스트구간의 비율인 부스트 듀티비는 0 내지 0.3인 결합 인덕터 정류기 위상천이 풀브리지 컨버터.

청구항 3

제 2 항에 있어서,

상기 입력전압이 200V 내지 300V인 경우 상기 부스트 듀티비는 0.3 내지 0.1이고,

상기 입력전압이 300V 내지 400V인 경우 상기 부스트 듀티비는 0.1 내지 0인 결합 인덕터 정류기 위상천이 풀브리지 컨버터.

청구항 4

제 1 항에 있어서,

상기 제1 및 제2입력구간의 합 또는 상기 제3 및 제4입력구간의 합에 대한 상기 제1 및 제4입력구간의 중첩구간 또는 상기 제2 및 제3입력구간의 중첩구간의 비율인 듀티비는 0.5인 결합 인덕터 정류기 위상천이 풀브리지 컨버터.

청구항 5

제 1 항에 있어서,

상기 제1입력구간 동안 상기 제1입력스위치는 턴-온 되고 상기 제2입력스위치는 턴-오프 되고,

상기 제2입력구간 동안 상기 제1입력스위치는 턴-오프 되고 상기 제2입력스위치는 턴-온 되고,

상기 제3입력구간 동안 상기 제3입력스위치는 턴-온 되고 상기 제4입력스위치는 턴-오프 되고,

상기 제4입력구간 동안 상기 제3입력스위치는 턴-오프 되고 상기 제4입력스위치는 턴-온 되고,

상기 제1출력구간 동안 상기 제1출력스위치는 턴-온 되고 상기 제2출력스위치는 턴-오프 되고,

상기 제2출력구간 동안 상기 제1출력스위치는 턴-오프 되고 상기 제2출력스위치는 턴-온 되는 결합 인덕터 정류기 위상천이 풀브리지 컨버터.

청구항 6

제 1 항에 있어서,

상기 제1다이오드의 양극은 상기 제1변압기의 상기 2차측의 제1단자, 상기 제2다이오드의 음극에 연결되고, 상기 제1다이오드의 음극은 상기 제2변압기의 상기 1차측의 제1단자, 상기 제1출력인덕터의 제1단자에 연결되고,

상기 제2다이오드의 양극은 상기 제2변압기의 상기 2차측의 제1단자, 상기 제2출력인덕터의 제1단자에 연결되고, 상기 제2다이오드의 음극은 상기 제1변압기의 상기 2차측의 상기 제1단자, 상기 제1다이오드의 상기 양극에 연결되는 결합 인덕터 정류기 위상천이 풀브리지 컨버터.

청구항 7

제1 내지 제4입력스위치, 제1 및 제2변압기, 자화인덕터, 제1 및 제2다이오드, 제1 및 제2출력인덕터, 제1 및 제2출력스위치, 출력커패시터, 출력저항을 포함하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법에 있어서,

제1입력구간 동안 상기 제1입력스위치를 턴-온 하는 단계와;

상기 제1입력구간으로부터 이격되는 제2입력구간 동안 상기 제2입력스위치를 턴-온 하는 단계와;

상기 제2입력구간과 동일한 제3입력구간 동안 상기 제3입력스위치를 턴-온 하는 단계와;

상기 제3입력구간으로부터 이격되고 상기 제1입력구간과 동일한 제4입력구간 동안 상기 제4입력스위치를 턴-온 하는 단계와;

상기 제1 내지 제4입력구간에 중첩되는 제1출력구간 동안 상기 제1출력스위치를 턴-온 하는 단계와;

상기 제1출력구간으로부터 이격되고 상기 제1 내지 제4입력구간에 중첩되는 제2출력구간 동안 상기 제2출력스위치를 턴-온 하는 단계

를 포함하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2출력구간의 합에 대한 상기 제2 및 제3입력구간과 제2출력구간이 중첩되는 제1부스트구간 또는 상기 제1 및 제4입력구간이 중첩되는 제2부스트구간의 비율인 부스트 듀티비는 0 내지 0.3인 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법.

청구항 9

제 7 항에 있어서,

상기 제1 및 제2입력구간의 합 또는 상기 제3 및 제4입력구간의 합에 대한 상기 제1 및 제4입력구간의 중첩구간 또는 상기 제2 및 제3입력구간의 중첩구간의 비율인 듀티비는 0.5인 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법.

청구항 10

제 7 항에 있어서,

상기 제1입력구간 동안 상기 제1입력스위치는 턴-온 되고 상기 제2입력스위치는 턴-오프 되고,

상기 제2입력구간 동안 상기 제1입력스위치는 턴-오프 되고 상기 제2입력스위치는 턴-온 되고,

상기 제3입력구간 동안 상기 제3입력스위치는 턴-온 되고 상기 제4입력스위치는 턴-오프 되고,

상기 제4입력구간 동안 상기 제3입력스위치는 턴-오프 되고 상기 제4입력스위치는 턴-온 되고,

상기 제1출력구간 동안 상기 제1출력스위치는 턴-온 되고 상기 제2출력스위치는 턴-오프 되고,

상기 제2출력구간 동안 상기 제1출력스위치는 턴-오프 되고 상기 제2출력스위치는 턴-온 되는 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 위상천이 풀브리지 컨버터에 관한 것으로, 특히 변압기의 2차측을 부스트 구동함으로써, 변압기의 2차측 다이오드의 전압 스트레스가 감소되는 위상천이 풀브리지 컨버터 및 그 구동방법에 관한 것이다.

배 경 기 술

[0002] 위상천이 풀브리지 컨버터(phase shift full bridge converter)는 네트워크와 전기통신서버를 위한 서버 파워 서플라이, 전기차 충전을 위한 충전기, 발광 다이오드 구동을 위한 드라이버 등 다양한 응용분야에 사용되고 있다.

[0003] 이러한 위상천이 풀브리지 컨버터 중에서 결합 인덕터 정류기 (coupled inductor rectifier) 위상천이 풀브리지 컨버터는, 낮은 순환 전류로 인한 높은 효율을 가지며, 정류기 측의 2개의 스위치가 낮은 전압 스트레스(stress)를 가지는 장점을 갖는다.

[0004] 그러나, 결합 인덕터 정류기 위상천이 풀브리지 컨버터는, 넓은 입력전압 범위에서 정류기 측의 나머지 2개의 스위치가 높은 전압 스트레스를 갖는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은, 상기한 문제점을 해결하고자 안출된 것으로, 변압기의 2차측을 부스트 구동함으로써, 변압기의 2차측의 다이오드의 전압 스트레스가 감소되어 효율이 향상되고 제조비용이 절감되는 위상천이 풀브리지 컨버터 및 그 구동방법을 제공하는 것을 목적으로 한다.

[0006] 그리고, 본 발명은, 변압기의 2차측의 스위치가 부스트 듀티비를 갖도록 함으로써, 변압기의 2차측의 스위치의 전압 스트레스가 출력 전압으로 고정(clamping)됨과 동시에 변압기의 2차측의 다이오드의 전압 스트레스가 감소되는 위상천이 풀브리지 컨버터 및 그 구동방법을 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명은, 입력전압의 고전위단자 및 저전위단자 사이에 직렬로 연결되는 제1 및 제2입력스위치와; 상기 입력전압의 상기 고전위단자 및 상기 저전위단자 사이에 직렬로 연결되는 제3 및 제4 입력스위치와; 상기 제1 내지 제4입력스위치에 연결되는 제1변압기와; 상기 제1변압기의 1차측에 연결되는 자화 인덕터와; 상기 제1변압기의 2차측에 연결되는 제1 및 제2다이오드와; 상기 제1 및 제2다이오드에 연결되는 제2 변압기와; 상기 제2변압기의 1차측 및 2차측에 각각 연결되는 제1 및 제2출력인덕터와; 상기 제2변압기의 상기 1차측 및 상기 2차측 사이에 직렬로 연결되는 제1 및 제2출력스위치와; 상기 제1 및 제2출력스위치에 병렬로 연결되는 출력커패시터 및 출력저항을 포함하고, 상기 제1입력스위치가 턴-온 되는 제1입력구간과 상기 제4입력스위치가 턴-온 되는 제4입력구간은 서로 동일하고, 상기 제2입력스위치가 턴-온 되고 제2입력구간과 상기 제3입력스위치가 턴-온 되는 제3입력구간은 서로 동일하고, 상기 제1출력스위치가 턴-온 되는 제1출력구간은 상기 제1 및 제2입력구간과 중첩하고, 상기 제2출력스위치가 턴-온 되는 제2출력구간은 상기 제1 및 제2입력구간과 중첩하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터를 제공한다.

[0008] 그리고, 상기 제1 및 제2출력구간의 합에 대한 상기 제2 및 제3입력구간과 제2출력구간이 중첩되는 제1부스트구간 또는 상기 제1 및 제4입력구간이 중첩되는 제2부스트구간의 비율인 부스트 듀티비는 0 내지 0.3 일 수 있다.

[0009] 또한, 상기 입력전압이 200V 내지 300V인 경우 상기 부스트 듀티비는 0.3 내지 0.1이고, 상기 입력전압이 300V 내지 400V인 경우 상기 부스트 듀티비는 0.1 내지 0 일 수 있다.

[0010] 그리고, 상기 제1 및 제2입력구간의 합 또는 상기 제3 및 제4입력구간의 합에 대한 상기 제1 및 제4입력구간의 중첩구간 또는 상기 제2 및 제3입력구간의 중첩구간의 비율인 듀티비는 0.5 일 수 있다.

[0011] 또한, 상기 제1입력구간 동안 상기 제1입력스위치는 턴-온 되고 상기 제2입력스위치는 턴-오프 되고, 상기 제2입력구간 동안 상기 제1입력스위치는 턴-오프 되고 상기 제2입력스위치는 턴-온 되고, 상기 제3입력구간 동안 상기 제3입력스위치는 턴-온 되고 상기 제4입력스위치는 턴-오프 되고, 상기 제4입력구간 동안 상기 제3입력스위치는 턴-오프 되고 상기 제4입력스위치는 턴-온 되고, 상기 제1출력구간 동안 상기 제1출력스위치는 턴-온 되고 상기 제2출력스위치는 턴-오프 되고, 상기 제2출력구간 동안 상기 제1출력스위치는 턴-오프 되고 상기 제2출력스위치는 턴-온 될 수 있다.

[0012] 그리고, 상기 제1다이오드의 양극은 상기 제1변압기의 상기 2차측의 제1단자, 상기 제2다이오드의 음극에 연결되고, 상기 제1다이오드의 음극은 상기 제2변압기의 상기 1차측의 제1단자, 상기 제1출력인덕터의 제1단자에 연결되고, 상기 제2다이오드의 양극은 상기 제2변압기의 상기 2차측의 제1단자, 상기 제2출력인덕터의 제1단자에 연결되고, 상기 제2다이오드의 음극은 상기 제1변압기의 상기 2차측의 상기 제1단자, 상기 제1다이오드의 상기 양극에 연결될 수 있다.

[0013] 한편, 본 발명은, 제1 내지 제4입력스위치, 제1 및 제2변압기, 자화인덕터, 제1 및 제2다이오드, 제1 및 제2출력인덕터, 제1 및 제2출력스위치, 출력커패시터, 출력저항을 포함하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법에 있어서, 제1입력구간 동안 상기 제1입력스위치를 턴-온 하는 단계와; 상기 제1입력구간으로부터 이격되는 제2입력구간 동안 상기 제2입력스위치를 턴-온 하는 단계와; 상기 제2입력구간과 동일한 제3입력구간 동안 상기 제3입력스위치를 턴-온 하는 단계와; 상기 제3입력구간으로부터 이격되고 상기 제1입력구간과 동일한 제4입력구간 동안 상기 제4입력스위치를 턴-온 하는 단계와; 상기 제1 내지 제4입력구간에 중첩되는 제1출력구간 동안 상기 제1출력스위치를 턴-온 하는 단계와; 상기 제1출력구간으로부터 이격되고 상기 제1 내지 제4입력구간에 중첩되는 제2출력구간 동안 상기 제2출력스위치를 턴-온 하는 단계를 포함하는 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 구동방법을 제공한다.

[0014] 그리고, 상기 제1 및 제2출력구간의 합에 대한 상기 제2 및 제3입력구간과 제2출력구간이 중첩되는 제1부스트구간 또는 상기 제1 및 제4입력구간이 중첩되는 제2부스트구간의 비율인 부스트 듀티비는 0 내지 0.3 일 수 있다.

[0015] 또한, 상기 제1 및 제2입력구간의 합 또는 상기 제3 및 제4입력구간의 합에 대한 상기 제1 및 제4입력구간의 중첩구간 또는 상기 제2 및 제3입력구간의 중첩구간의 비율인 듀티비는 0.5 일 수 있다.

[0016] 그리고, 상기 제1입력구간 동안 상기 제1입력스위치는 턴-온 되고 상기 제2입력스위치는 턴-오프 되고, 상기 제

2입력구간 동안 상기 제1입력스위치는 턴-오프 되고 상기 제2입력스위치는 턴-온 되고, 상기 제3입력구간 동안 상기 제3입력스위치는 턴-온 되고 상기 제4입력스위치는 턴-오프 되고, 상기 제4입력구간 동안 상기 제3입력스위치는 턴-오프 되고 상기 제4입력스위치는 턴-온 되고, 상기 제1출력구간 동안 상기 제1출력스위치는 턴-온 되고 상기 제2출력스위치는 턴-오프 되고, 상기 제2출력구간 동안 상기 제1출력스위치는 턴-오프 되고 상기 제2출력스위치는 턴-온 될 수 있다.

발명의 효과

[0017] 본 발명은, 변압기의 2차측을 부스트 구동함으로써, 변압기의 2차측의 다이오드의 전압 스트레스가 감소되어 효율이 향상되고 제조비용이 절감되는 효과를 갖는다.

[0018] 그리고, 본 발명은, 변압기의 2차측의 스위치가 부스트 듀티비를 갖도록 함으로써, 변압기의 2차측의 스위치의 전압 스트레스가 출력 전압으로 고정(clamping)됨과 동시에 변압기의 2차측의 다이오드의 전압 스트레스가 감소되는 효과를 갖는다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터를 도시한 회로도.

도 2는 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 게이트신호를 도시한 파형도.

도 3a 및 도 3b는 각각 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 빌드업 상태 및 파워링 상태를 도시한 도면.

도 4는 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 게이트신호를 도시한 파형도.

도 5a, 도 5b 및 도 5c는 각각 약 200V, 약 300V 및 약 400V의 입력전압에 대한 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다수의 파형을 도시한 도면.

도 6a, 도 6b 및 도 6c는 각각 약 200V, 약 300V 및 약 400V의 입력전압에 대한 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다수의 파형을 도시한 도면.

도 7은 본 발명의 실시예 및 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다이오드 전압 스트레스를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 구체적인 내용을 첨부된 도면을 참조하여 상세하게 설명한다.

[0021] 도 1은 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터를 도시한 회로도이다.

[0022] 도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는 입력전압(Vi)을 이용하여 출력전압(Vo)을 생성한다.

[0023] 이를 위하여 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는, 제1 내지 제4입력스위치(Q1 내지 Q4), 자화(magnetization)인덕터(Lm), 제1 및 제2변압기(T1, T2), 제1 및 제2다이오드(D1, D2), 제1 및 제2출력인덕터(Lo1, Lo2), 제1 및 제2출력스위치(S1, S2), 출력커패시터(Co), 출력저항(Ro)을 포함하는데, 제1 내지 제4입력스위치(Q1 내지 Q4), 자화인덕터(Lm)는 제1변압기(T1)의 1차측을 구성하고, 제1 및 제2다이오드(D1, D2), 제1 및 제2출력인덕터(Lo1, Lo2), 제1 및 제2출력스위치(S1, S2), 출력커패시터(Co), 출력저항(Ro)은 제1변압기(T1)의 2차측을 구성한다.

[0024] 제1 내지 제4입력스위치(Q1 내지 Q4)와 제1 및 제2출력스위치(S1, S2)는 트랜지스터(transistor) 일 수 있다.

[0025] 제1 및 제2입력스위치(Q1, Q2)는 입력전압(Vi)의 고전위단자 및 저전위단자 사이에 직렬로 연결되고, 제3 및 제4입력스위치(Q3, Q4)는 입력전압(Vi)의 고전위단자 및 저전위단자 사이에 직렬로 연결되고, 제1 및 제2입력스위치(Q1, Q2)와 제3 및 제4입력스위치(Q3, Q4)는 입력전압(Vi)의 고전위단자 및 저전위단자 사이에 병렬로 연결된다.

[0026] 예를 들어, 제1 내지 제4입력스위치(Q1 내지 Q4)는 네거티브(n) 타입 트랜지스터 일 수 있다.

[0027] 제1입력스위치(Q1)의 게이트는 제1입력게이트전압(Gq1)에 연결되고, 제1입력스위치(Q1)의 드레인은 입력전압

(Vi)의 고전위단자, 제3입력스위치(Q3)의 드레인에 연결되고, 제1입력스위치(Q1)의 소스는 제2입력스위치(Q2)의 드레인, 자화인덕터(Lm)의 제1단자, 제1변압기(T1)의 1차측의 제1단자에 연결될 수 있다.

[0028] 제2입력스위치(Q2)의 게이트는 제2입력게이트전압(Gq2)에 연결되고, 제2입력스위치(Q2)의 드레인은 제1입력스위치(Q1)의 소스, 자화인덕터(Lm)의 제1단자, 제1변압기(T1)의 1차측의 제1단자에 연결되고, 제2입력스위치(Q2)의 소스는 입력전압(Vi)의 저전위단자, 제4입력스위치(Q4)의 소스에 연결될 수 있다.

[0029] 제3입력스위치(Q3)의 게이트는 제3입력게이트전압(Gq3)에 연결되고, 제3입력스위치(Q1)의 드레인은 입력전압(Vi)의 고전위단자, 제1입력스위치(Q1)의 드레인에 연결되고, 제3입력스위치(Q3)의 소스는 제4입력스위치(Q4)의 드레인, 자화인덕터(Lm)의 제2단자, 제1변압기(T1)의 1차측의 제2단자에 연결될 수 있다.

[0030] 제4입력스위치(Q4)의 게이트는 제4입력게이트전압(Gq4)에 연결되고, 제4입력스위치(Q4)의 드레인은 제3입력스위치(Q3)의 소스, 자화인덕터(Lm)의 제2단자, 제1변압기(T1)의 1차측의 제2단자에 연결되고, 제4입력스위치(Q4)의 소스는 입력전압(Vi)의 저전위단자, 제2입력스위치(Q2)의 소스에 연결될 수 있다.

[0031] 자화인덕터(Lm)는 제1변압기(T1)의 1차측의 제1 및 제2단자 사이에 연결되어 제1변압기(T1)의 상호자속에 따른 자화에너지를 저장하거나 출력하고, 자화인덕터(Lm)에는 자화전류(Im)가 흐른다.

[0032] 예를 들어, 자화인덕터(Lm)의 제1단자는 제1입력스위치(Q1)의 소스, 제2입력스위치(Q2)의 드레인, 제1변압기(T1)의 1차측의 제1단자에 연결되고, 자화인덕터(Lm)의 제2단자는 제3입력스위치(Q3)의 소스, 제4입력스위치(Q4)의 드레인, 제1변압기(T1)의 1차측의 제2단자에 연결될 수 있다.

[0033] 제1변압기(T1)는 제1 내지 제4입력스위치(Q1 내지 Q4)와 제1 및 제2다이오드(D1, D2) 사이에 연결되고, 자화인덕터(Lm)에 저장된 자화에너지를 변압기전압으로 변환하여 출력하고, 제1변압기(T1)의 1차측에는 누설전류(It)가 흐른다.

[0034] 예를 들어, 제1변압기(T1)의 1차측의 제1단자는 제1입력스위치(Q1)의 소스, 제2입력스위치(Q2)의 드레인, 자화인덕터(Lm)의 제1단자에 연결되고, 제1변압기(T1)의 1차측의 제2단자는 제3입력스위치(Q3)의 소스, 제4입력스위치(Q4)의 드레인, 자화인덕터(Lm)의 제2단자에 연결될 수 있다.

[0035] 제1변압기(T1)의 2차측의 제1단자는 제1다이오드(D1)의 양극, 제2다이오드(D2)의 음극에 연결되고, 제1변압기(T1)의 2차측의 제2단자는 제1출력스위치(S1)의 소스, 제2출력스위치(S2)의 드레인에 연결될 수 있다.

[0036] 제1 및 제2다이오드(D1, D2)는 제2변압기(T2)의 1차측의 제1단자와 제2변압기(T2)의 2차측의 제1단자 사이에 직렬로 연결되고, 제1 및 제2다이오드(D1, D2)에는 각각 제1 및 제2다이오드전압(Vd1, Vd2)이 인가되고 각각 제1 및 제2다이오드전류(Id1, Id2)가 흐른다.

[0037] 예를 들어, 제1다이오드(D1)의 양극은 제1변압기(T1)의 2차측의 제1단자, 제2다이오드(D2)의 음극에 연결되고, 제1다이오드(D1)의 음극은 제2변압기(T2)의 1차측의 제1단자, 제1출력인덕터(Lo1)의 제1단자에 연결되고, 제2다이오드(D2)의 양극은 제2변압기(T2)의 2차측의 제1단자, 제2출력인덕터(Lo2)의 제1단자에 연결되고, 제2다이오드(D2)의 음극은 제1변압기(T1)의 2차측의 제1단자, 제1다이오드(D1)의 양극에 연결될 수 있다.

[0038] 제1출력인덕터(Lo1)는 제2변압기(T2)의 1차측의 제1 및 제2단자 사이에 연결되고, 제2출력인덕터(Lo2)는 제2변압기(T2)의 2차측의 제1 및 제2단자 사이에 연결되고, 제1 및 제2출력인덕터(Lo1, Lo2)에는 각각 제1 및 제2인덕터전류(Io1, Io2)가 흐른다.

[0039] 예를 들어, 제1출력인덕터(Lo1)의 제1단자는 제1다이오드(D1)의 음극, 제2변압기(T2)의 1차측의 제1단자에 연결되고, 제1출력인덕터(Lo1)의 제2단자는 제2변압기(T2)의 1차측의 제2단자, 제1출력스위치(S1)의 드레인, 출력커패시터(Co)의 제1단자, 출력저항(Ro)의 제1단자에 연결될 수 있다.

[0040] 제2출력인덕터(Lo2)의 제1단자는 제2다이오드(D2)의 양극, 제2변압기(T2)의 2차측의 제1단자에 연결되고, 제2출력인덕터(Lo2)의 제2단자는 제2변압기(T2)의 2차측의 제2단자, 제2출력스위치(S2)의 소스, 출력커패시터(Co)의 제2단자, 출력저항(Ro)의 제2단자에 연결될 수 있다.

[0041] 제1 및 제2출력스위치(S1, S2)는 제2변압기(T2)의 1차측의 제2단자와 제2변압기(T2)의 2차측의 제2단자 사이에 직렬로 연결되고, 제1 및 제2출력스위치(S1, S2)에는 각각 제1 및 제2스위치전압(Vs1, Vs2)이 인가된다.

[0042] 예를 들어, 제1 및 제2출력스위치(S1, S2)는 네거티브(n) 타입 트랜지스터 일 수 있다.

[0043] 제1출력스위치(S1)의 게이트는 제1출력게이트전압(Gs1)에 연결되고, 제1출력스위치(S1)의 드레인은 제2변압기

(T2)의 1차측의 제2단자, 제1출력인덕터(Lo1)의 제2단자, 출력커패시터(Co)의 제1단자, 출력저항(Ro)의 제1단자에 연결되고, 제1출력스위치(S1)의 소스는 제1변압기(T1)의 2차측의 제2단자, 제2출력스위치(S2)의 드레인에 연결될 수 있다.

[0044] 제2출력스위치(S2)의 게이트는 제2출력게이트전압(Gs2)에 연결되고, 제2출력스위치(S2)의 드레인은 제1변압기(T1)의 2차측의 제2단자, 제1출력스위치(S1)의 소스에 연결되고, 제2출력스위치(S2)의 소스는 제2변압기(T2)의 2차측의 제2단자, 제2출력인덕터(Lo2)의 제2단자, 출력커패시터(Co)의 제2단자, 출력저항(Ro)의 제2단자에 연결될 수 있다.

[0045] 출력커패시터(Co) 및 출력저항(Ro)은 제2변압기(T2)의 1차측의 제2단자와 제2변압기(T2)의 2차측의 제2단자 사이에 병렬로 연결되고, 출력커패시터(Co) 및 출력저항(Ro)으로부터 출력전압(Vo)이 출력된다.

[0046] 예를 들어, 출력커패시터(Co)의 제1단자와 출력저항(Ro)의 제1단자는 제2변압기(T2)의 1차측의 제2단자, 제1출력인덕터(Lo1)의 제2단자, 제1출력스위치(S1)의 드레인에 연결되고, 출력커패시터(Co)의 제2단자와 출력저항(Ro)의 제2단자는 제2변압기(T2)의 2차측의 제2단자, 제2출력인덕터(Lo2)의 제2단자, 제2출력스위치(S2)의 소스에 연결될 수 있다.

[0047] 이러한 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서는, 제1 및 제2입력스위치(Q1, Q2)가 교대로 턴-온(turn-on) 및 턴-오프(turn-off) 되고, 제3 및 제4입력스위치(Q3, Q4)가 교대로 턴-온 및 턴-오프 되고, 제1 및 제2출력스위치(S1, S2)가 교대로 턴-온 및 턴-오프 되어 출력전압(Vo)을 제어하는데, 이를 도면을 참조하여 설명한다.

[0048] 도 2는 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 게이트신호를 도시한 파형도이고, 도 3a 및 도 3b는 각각 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 빌드업 상태 및 파워링 상태를 도시한 도면이고, 도 4는 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 게이트신호를 도시한 파형도로서, 도 1을 함께 참조하여 설명한다.

[0049] 도 2에 도시한 바와 같이, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서는, 제1입력구간(Tq1) 동안, 제1입력스위치(Q1)의 게이트에 하이레벨의 제1입력게이트전압(Gq1)이 인가되고 제2입력스위치(Q2)의 게이트에 로우레벨의 제2입력게이트전압(Gq2)이 인가되어 제1입력스위치(Q1)는 턴-온 되고 제2입력스위치(Q2)는 턴-오프 된다.

[0050] 제1입력구간(Tq1)으로부터 이격되는 제2입력구간(Tq2) 동안, 제1입력스위치(Q1)의 게이트에 로우레벨의 제1입력게이트전압(Gq1)이 인가되고 제2입력스위치(Q2)의 게이트에 하이레벨의 제2입력게이트전압(Gq2)이 인가되어 제1입력스위치(Q1)는 턴-오프 되고 제2입력스위치(Q2)는 턴-온 된다.

[0051] 제2입력구간(Tq2)과 동일한 제3입력구간(Tq3) 동안, 제3입력스위치(Q1)의 게이트에 하이레벨의 제3입력게이트전압(Gq3)이 인가되고 제4입력스위치(Q4)의 게이트에 로우레벨의 제4입력게이트전압(Gq4)이 인가되어 제3입력스위치(Q3)는 턴-온 되고 제4입력스위치(Q4)는 턴-오프 된다.

[0052] 제3입력구간(Tq3)으로부터 이격되고 제1입력구간(Tq1)과 동일한 제4입력구간(Tq4) 동안, 제3입력스위치(Q3)의 게이트에 로우레벨의 제3입력게이트전압(Gq3)이 인가되고 제4입력스위치(Q4)의 게이트에 하이레벨의 제4입력게이트전압(Gq4)이 인가되어 제3입력스위치(Q3)는 턴-오프 되고 제4입력스위치(Q4)는 턴-온 된다.

[0053] 제1 내지 제4입력구간(Tq1 내지 Tq4)에 부분적으로 중첩되는 제1출력구간(Ts1) 동안, 제1출력스위치(S1)의 게이트에 하이레벨의 제1출력게이트전압(Gs1)이 인가되고 제2출력스위치(S2)의 게이트에 로우레벨의 제2출력게이트전압(Gs2)이 인가되어 제1출력스위치(S1)는 턴-온 되고 제2출력스위치(S2)는 턴-오프 된다.

[0054] 제1출력구간(Ts1)으로부터 이격되고 제1 내지 제4입력구간(Tq1 내지 Tq4)에 부분적으로 중첩되는 제2출력구간(Ts2) 동안, 제1출력스위치(S1)의 게이트에 로우레벨의 제1출력게이트전압(Gs1)이 인가되고 제2출력스위치(S2)의 게이트에 하이레벨의 제2출력게이트전압(Gs2)이 인가되어 제1출력스위치(S1)는 턴-오프 되고 제2출력스위치(S2)는 턴-온 된다.

[0055] 여기서, 제1 및 제2입력구간(Tq1, Tq2)의 합(1주기) 또는 제3 및 제4입력구간(Tq3, Tq4)의 합(1주기)에 대한 제1 및 제4입력구간(Tq1, Tq4)의 중첩구간 또는 제2 및 제3입력구간(Tq2, Tq3)의 중첩구간의 비율이 듀티비(duty ratio: DR)로 정의되는데, 듀티비(DR)는 약 0.5일 수 있다.

[0056] 이에 따라, 제1 및 제4입력구간(Tq1, Tq4) 동안 제1 및 제4입력스위치(Q1, Q4)는 턴-온 되고 제2 및 제3입력스

위치(Q2, Q3)는 턴-오프 되고, 제2 및 제3입력구간(Tq2, Tq3) 동안 제1 및 제4입력스위치(Q1, Q4)는 턴-오프 되고 제2 및 제3입력스위치(Q2, Q3)는 턴-온 된다.

[0057] 그리고, 제1 및 제2출력구간(Ts1, Ts2)의 합에 대한 제1 및 제4입력구간(Tq1, Tq4)과 제1출력구간(Ts1)의 중첩구간의 비율과 제1 및 제2출력구간(Ts1, Ts2)의 합에 대한 제2 및 제3입력구간(Tq2, Tq3)과 제2출력구간(Ts2)의 중첩구간의 비율은 각각 부스트 듀티비(boost duty ratio: BDR)로 정의되는데, 부스트 듀티비(BDR)는 약 0 내지 약 0.3 일 수 있다.

[0058] 이에 따라, 제1출력구간(Ts1) 동안 제1출력스위치(S1)는 턴-온 되고 제2출력스위치(S2)는 턴-오프 되고, 제2출력구간(Ts2) 동안 제1출력스위치(S1)는 턴-오프 되고 제2출력스위치(S2)는 턴-온 되는데, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4) 동안 제1출력스위치(S1)는 턴-온 상태에서 턴-오프 상태로 변경되고 제2출력스위치(S2)는 턴-오프 상태에서 턴-온 상태로 변경되어, 제1출력스위치(S1)의 턴-온 상태를 제1다이오드(D1)에 대한 부스트 동작으로 활용할 수 있다.

[0059] 그리고, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3) 동안 제2출력스위치(S2)는 턴-온 상태에서 턴-오프 상태로 변경되고 제1출력스위치(S1)는 턴-오프 상태에서 턴-온 상태로 변경되어, 제2출력스위치(S2)의 턴-온 상태를 제2다이오드(D2)에 대한 부스트 동작으로 활용할 수 있다.

[0060] 도 3a에 도시한 바와 같이, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서, 제1 및 제4입력구간(Tq1, Tq4)과 중첩하는 제1출력구간(Ts1) 동안 제1출력스위치(S1)는 턴-온 되고 제2출력스위치(S2)는 턴-오프 되고, 제1변압기(T1)의 2차측의 제1입력전압(Vi1), 제1다이오드(D1), 제1출력인덕터(Lo1), 제1스위치(S1)가 폐루프 회로를 구성하여 제1다이오드(D1)를 충전하는 빌드업 상태(build-up state)가 된다.

[0061] 도 3b에 도시한 바와 같이, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서, 제1 및 제4입력구간(Tq1, Tq4)과 중첩하는 제2출력구간(Ts2) 동안 제1출력스위치(S1)는 턴-오프 되고 제2출력스위치(S2)는 턴-온 되고, 제1변압기(T1)의 2차측의 제1입력전압(Vi1), 제1다이오드(D1), 제1출력인덕터(Lo1), 출력커패시터(Co) 및 출력저항(Ro), 제2스위치(S2)가 폐루프 회로를 구성하여 출력전압(Vo)을 출력하는 파워링 상태(powering state)가 된다.

[0062] 도시하지는 않았지만, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서, 제2 및 제3입력구간(Tq2, Tq3)과 중첩하는 제2출력구간(Ts2) 동안 제1출력스위치(S1)는 턴-오프 되고 제2출력스위치(S2)는 턴-온 되고, 제1변압기(T1)의 2차측의 제1입력전압(Vi1), 제2스위치(S2), 제2출력인덕터(Lo2), 제1다이오드(D1)가 폐루프 회로를 구성하여 제2다이오드(D2)를 충전하는 빌드업 상태가 된다.

[0063] 그리고, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서, 제2 및 제3입력구간(Tq2, Tq3)과 중첩하는 제1출력구간(Ts1) 동안 제1출력스위치(S1)는 턴-온 되고 제2출력스위치(S2)는 턴-오프 되고, 제1변압기(T1)의 2차측의 제1입력전압(Vi1), 제1스위치(S1), 출력커패시터(Co) 및 출력저항(Ro), 제2출력인덕터(Lo2), 제2다이오드(D2)가 폐루프 회로를 구성하여 출력전압(Vo)을 출력하는 파워링 상태가 된다.

[0064] 반면에, 도 4에 도시한 바와 같이, 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터에서는, 제1입력구간(Tq1) 동안, 제1입력스위치(Q1)의 게이트에 하이레벨의 제1입력게이트전압(Gq1)이 인가되고 제2입력스위치(Q2)의 게이트에 로우레벨의 제2입력게이트전압(Gq2)이 인가되어 제1입력스위치(Q1)는 턴-온 되고 제2입력스위치(Q2)는 턴-오프 된다.

[0065] 제1입력구간(Tq1)으로부터 이격되는 제2입력구간(Tq2) 동안, 제1입력스위치(Q1)의 게이트에 로우레벨의 제1입력게이트전압(Gq1)이 인가되고 제2입력스위치(Q2)의 게이트에 하이레벨의 제2입력게이트전압(Gq2)이 인가되어 제1입력스위치(Q1)는 턴-오프 되고 제2입력스위치(Q2)는 턴-온 된다.

[0066] 제1 및 제2입력구간(Tq1, Tq2)에 부분적으로 중첩되는 제3입력구간(Tq3) 동안, 제3입력스위치(Q1)의 게이트에 하이레벨의 제3입력게이트전압(Gq3)이 인가되고 제4입력스위치(Q4)의 게이트에 로우레벨의 제4입력게이트전압(Gq4)이 인가되어 제3입력스위치(Q3)는 턴-온 되고 제4입력스위치(Q4)는 턴-오프 된다.

[0067] 제3입력구간(Tq3)으로부터 이격되고 제1 및 제2입력구간(Tq1, Tq2)에 부분적으로 중첩되는 제4입력구간(Tq4) 동안, 제3입력스위치(Q3)의 게이트에 로우레벨의 제3입력게이트전압(Gq3)이 인가되고 제4입력스위치(Q4)의 게이트에 하이레벨의 제4입력게이트전압(Gq4)이 인가되어 제3입력스위치(Q3)는 턴-오프 되고 제4입력스위치(Q4)는 턴-온 된다.

[0068] 제2 및 제3입력구간(Tq2, Tq3)의 중첩구간과 동일한 제1출력구간(Ts1) 동안, 제1출력스위치(S1)의 게이트에 하

이레벨의 제1출력게이트전압(Gs1)이 인가되고 제2출력스위치(S2)의 게이트에 로우레벨의 제2출력게이트전압(Gs2)이 인가되어 제1출력스위치(S1)는 턴-온 되고 제2출력스위치(S2)는 턴-오프 된다.

[0069] 제1출력구간(Ts1)으로부터 이격되고 제1 및 제4입력구간(Tq1, Tq4)의 중첩구간과 동일한 제2출력구간(Ts2) 동안, 제1출력스위치(S1)의 게이트에 로우레벨의 제1출력게이트전압(Gs1)이 인가되고 제2출력스위치(S2)의 게이트에 하이레벨의 제2출력게이트전압(Gs2)이 인가되어 제1출력스위치(S1)는 턴-오프 되고 제2출력스위치(S2)는 턴-온 된다.

[0070] 여기서, 제1 및 제2입력구간(Tq1, Tq2)의 합 또는 제3 및 제4입력구간(Tq3, Tq4)의 합에 대한 제1 및 제4입력구간(Tq1, Tq4)의 중첩구간 또는 제2 및 제3입력구간(Tq2, Tq3)의 중첩구간의 비율인 듀티비(DR)는 약 0 내지 약 0.5일 수 있다.

[0071] 이에 따라, 제1 및 제4입력구간(Tq1, Tq4)의 중첩구간은 제2출력구간(Ts2)과 동일하고, 제2 및 제3입력구간(Tq2, Tq3)의 중첩구간은 제1출력구간(Ts1)과 동일하다.

[0072] 그리고, 제1 및 제2출력구간(Ts1, Ts2)의 합에 대한 제1 및 제4입력구간(Tq1, Tq4)과 제1출력구간(Ts1)의 중첩구간의 비율과 제1 및 제2출력구간(Ts1, Ts2)의 합에 대한 제2 및 제3입력구간(Tq2, Tq3)과 제2출력구간(Ts2)의 중첩구간의 비율인 부스트 듀티비(BDR)는 약 0 일 수 있다.

[0073] 이에 따라, 제1출력구간(Ts1) 동안 제1출력스위치(S1)는 턴-온 되고 제2출력스위치(S2)는 턴-오프 되고, 제2출력구간(Ts2) 동안 제1출력스위치(S1)는 턴-오프 되고 제2출력스위치(S2)는 턴-온 되는데, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4) 동안 제1 및 제2출력스위치(S1, S2)는 각각 턴-오프 상태 및 턴-온 상태로 유지되어, 제1변압기(T1)의 2차측의 제1입력전압(Vi1), 제1다이오드(D1), 제1출력인덕터(Lo1), 출력커패시터(Co) 및 출력저항(Ro), 제2스위치(S2)가 폐루프 회로를 구성하여 출력전압(Vo)을 출력한다.

[0074] 그리고, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3) 동안 제1 및 제2출력스위치(S1, S2)는 각각 턴-온 상태 및 턴-오프 상태로 유지되어, 제1변압기(T1)의 2차측의 제1입력전압(Vi1), 제1스위치(S1), 출력커패시터(Co) 및 출력저항(Ro), 제2출력인덕터(Lo2), 제2다이오드(D2)가 폐루프 회로를 구성하여 출력전압(Vo)을 출력한다.

[0075] 이상과 같이, 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터는 부스트 듀티비(BDR)는 약 0으로 고정하고 듀티비(DR)를 조절하여 입력전압(Vi)으로부터 출력전압(Vo)을 생성하는데, 제1 및 제2출력스위치(S1, S2)는 각각 출력전압(Vo)에 대응되는 상대적으로 낮은 전압 스트레스를 갖지만, 제1 및 제2다이오드(D1, D2)는 각각 상대적으로 넓은 입력전압(Vi)의 범위에서 상대적으로 높은 전압 스트레스를 갖는다.

[0076] 반면에, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는 듀티비(DR)는 약 0.5로 고정하고 부스트 듀티비(BDR)를 조절하여 입력전압(Vi)으로부터 출력전압(Vo)을 생성하는데, 제1 및 제2출력스위치(S1, S2)는 각각 출력전압(Vo)에 대응되는 상대적으로 낮은 전압 스트레스를 갖고, 동시에 부스트 동작에 의하여 상대적으로 높은 이득(gain) 및 높은 권선비(turns ratio)를 갖고 그 결과 제1 및 제2다이오드(D1, D2)는 각각 상대적으로 넓은 입력전압(Vi)의 범위에서 상대적으로 낮은 전압 스트레스를 갖는다. 이에 따라, 효율이 향상되고, 상대적으로 낮은 정격의 다이오드를 사용할 수 있어서 제조비용이 절감된다.

[0077] 이러한 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)와 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다수의 파형을 도면을 참조하여 설명한다.

[0078] 도 5a, 도 5b 및 도 5c는 각각 약 200V, 약 300V 및 약 400V의 입력전압에 대한 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다수의 파형을 도시한 도면이고, 도 6a, 도 6b 및 도 6c는 각각 약 200V, 약 300V 및 약 400V의 입력전압에 대한 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다수의 파형을 도시한 도면이고, 도 7은 본 발명의 실시예 및 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터의 다이오드 전압 스트레스를 도시한 도면으로, 도 1 내지 도 4를 함께 참조하여 설명한다.

[0079] 도 5a, 도 5b 및 도 5c에서, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는, 약 100kHz의 스위칭 주파수, 약 56V의 출력전압(Vo), 약 0.5의 듀티비(DR), 약 600㎌의 자화인덕터(Lm), 약 30㎌의 제1출력인덕터(Lo1), 약 30㎌의 제2출력인덕터(Lo2), 약 350㎌의 출력커패시터(Co), 약 6.42:1의 제1변압기(T1)의 권선비를 갖는다.

[0080] 도 5a에 도시한 바와 같이, 약 200V의 입력전압(Vi), 약 0.29의 부스트 듀티비(BDR)를 갖는 경우, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3)과 제2출력스위치(S2)가 턴-온 되는 제2출력구간

(Ts2)이 중첩되는 제1부스트구간(Tb1)에서 제1다이오드(D1)의 양극 및 음극에 약 112V의 제1다이오드전압(Vd1)이 인가되어 제1다이오드(D1)가 약 112V의 전압 스트레스를 갖고, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4)과 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)이 중첩되는 제2부스트구간(Tb2)에서 제2다이오드(D2)의 양극 및 음극에 약 112V의 제2다이오드전압(Vd2)이 인가되어 제2다이오드(D2)가 약 112V의 전압 스트레스를 갖는다.

[0081] 그리고, 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)에서 제2출력스위치(S2)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제2스위치전압(Vs2)이 인가되어 제2출력스위치(S2)가 약 56V의 전압 스트레스를 갖고, 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)에서 제1출력스위치(S1)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제1스위치전압(Vs1)이 인가되어 제1출력스위치(S1)가 약 56V의 전압 스트레스를 갖는다.

[0082] 도 5b에 도시한 바와 같이, 약 300V의 입력전압(Vi), 약 0.13의 부스트 듀티비(BDR)를 갖는 경우, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3)과 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)이 중첩되는 제1부스트구간(Tb1)에서 제1다이오드(D1)의 양극 및 음극에 약 141V의 제1다이오드전압(Vd1)이 인가되어 제1다이오드(D1)가 약 141V의 전압 스트레스를 갖고, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4)과 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)이 중첩되는 제2부스트구간(Tb2)에서 제2다이오드(D2)의 양극 및 음극에 약 141V의 제2다이오드전압(Vd2)이 인가되어 제2다이오드(D2)가 약 141V의 전압 스트레스를 갖는다.

[0083] 그리고, 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)에서 제2출력스위치(S2)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제2스위치전압(Vs2)이 인가되어 제2출력스위치(S2)가 약 56V의 전압 스트레스를 갖고, 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)에서 제1출력스위치(S1)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제1스위치전압(Vs1)이 인가되어 제1출력스위치(S1)가 약 56V의 전압 스트레스를 갖는다.

[0084] 도 5c에 도시한 바와 같이, 약 400V의 입력전압(Vi), 약 0의 부스트 듀티비(BDR)를 갖는 경우, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3)과 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)이 중첩되는 제1듀티구간(Td1)에서 제1다이오드(D1)의 양극 및 음극에 약 61.5V의 제1다이오드전압(Vd1)이 인가되어 제1다이오드(D1)가 약 61.5V의 전압 스트레스를 갖고, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4)과 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)이 중첩되는 제2듀티구간(Td2)에서 제2다이오드(D2)의 양극 및 음극에 약 61.5V의 제2다이오드전압(Vd2)이 인가되어 제2다이오드(D2)가 약 61.5V의 전압 스트레스를 갖는다.

[0085] 그리고, 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)에서 제2출력스위치(S2)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제2스위치전압(Vs2)이 인가되어 제2출력스위치(S2)가 약 56V의 전압 스트레스를 갖고, 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)에서 제1출력스위치(S1)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제1스위치전압(Vs1)이 인가되어 제1출력스위치(S1)가 약 56V의 전압 스트레스를 갖는다.

[0086] 반면에, 도 6a, 도 6b 및 도 6c에서, 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터는, 약 100kHz의 스위칭 주파수, 약 56V의 출력전압(Vo), 약 0의 부스트 듀티비(BDR), 약 600㎕H의 자화인덕터(Lm), 약 30㎕H의 제1출력인덕터(Lo1), 약 30㎕H의 제2출력인덕터(Lo2), 약 350㎕F의 출력커패시터(Co), 약 2.57:1의 제1변압기(T1)의 권선비를 갖는다.

[0087] 도 6a에 도시한 바와 같이, 약 200V의 입력전압(Vi), 약 0.5의 듀티비(DR)를 갖는 경우, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3)과 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)이 중첩되는 제1듀티구간(Td1)에서 제1다이오드(D1)의 양극 및 음극에 약 83V의 제1다이오드전압(Vd1)이 인가되어 제1다이오드(D1)가 약 83V의 전압 스트레스를 갖고, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4)과 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)이 중첩되는 제2듀티구간(Td2)에서 제2다이오드(D2)의 양극 및 음극에 약 83V의 제2다이오드전압(Vd2)이 인가되어 제2다이오드(D2)가 약 83V의 전압 스트레스를 갖는다.

[0088] 그리고, 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)에서 제2출력스위치(S2)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제2스위치전압(Vs2)이 인가되어 제2출력스위치(S2)가

약 56V의 전압 스트레스를 갖고, 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)에서 제1출력스위치(S1)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제1스위치전압(Vs1)이 인가되어 제1출력스위치(S1)가 약 56V의 전압 스트레스를 갖는다.

[0089] 도 6b에 도시한 바와 같이, 약 300V의 입력전압(Vi), 약 0.265의 듀티비(DR)를 갖는 경우, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3)과 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)이 중첩되는 제1듀티구간(Td1)에서 제1다이오드(D1)의 양극 및 음극에 약 143V의 제1다이오드전압(Vd1)이 인가되어 제1다이오드(D1)가 약 143V의 전압 스트레스를 갖고, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4)과 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)이 중첩되는 제2듀티구간(Td2)에서 제2다이오드(D2)의 양극 및 음극에 약 143V의 제2다이오드전압(Vd2)이 인가되어 제2다이오드(D2)가 약 143V의 전압 스트레스를 갖는다.

[0090] 그리고, 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)에서 제2출력스위치(S2)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제2스위치전압(Vs2)이 인가되어 제2출력스위치(S2)가 약 56V의 전압 스트레스를 갖고, 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)에서 제1출력스위치(S1)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제1스위치전압(Vs1)이 인가되어 제1출력스위치(S1)가 약 56V의 전압 스트레스를 갖는다.

[0091] 도 6c에 도시한 바와 같이, 약 400V의 입력전압(Vi), 약 0.185의 듀티비(BDR)를 갖는 경우, 제2 및 제3입력스위치(Q2, Q3)가 턴-온 되는 제2 및 제3입력구간(Tq2, Tq3)과 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)이 중첩되는 제1듀티구간(Td1)에서 제1다이오드(D1)의 양극 및 음극에 약 204V의 제1다이오드전압(Vd1)이 인가되어 제1다이오드(D1)가 약 204V의 전압 스트레스를 갖고, 제1 및 제4입력스위치(Q1, Q4)가 턴-온 되는 제1 및 제4입력구간(Tq1, Tq4)과 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)이 중첩되는 제2듀티구간(Td2)에서 제2다이오드(D2)의 양극 및 음극에 약 204V의 제2다이오드전압(Vd2)이 인가되어 제2다이오드(D2)가 약 204V의 전압 스트레스를 갖는다.

[0092] 그리고, 제1출력스위치(S1)가 턴-온 되는 제1출력구간(Ts1)에서 제2출력스위치(S2)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제2스위치전압(Vs2)이 인가되어 제2출력스위치(S2)가 약 56V의 전압 스트레스를 갖고, 제2출력스위치(S2)가 턴-온 되는 제2출력구간(Ts2)에서 제1출력스위치(S1)의 드레인 및 소스에 제1변압기(T1)의 2차측의 제1입력전압(Vi1)에 대응되는 약 56V의 제1스위치전압(Vs1)이 인가되어 제1출력스위치(S1)가 약 56V의 전압 스트레스를 갖는다.

[0093] 도 7에 도시한 바와 같이, 약 2.57:1의 제1변압기(T1)의 권선비를 갖는 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터는, 약 200V, 약 300V, 약 400V의 입력전압(Vi)에 대하여 각각 약 0.5, 약 0.265, 약 0.185의 듀티비(DR)를 갖고 각각 약 83V, 약 143V, 약 204V의 다이오드 전압 스트레스(Vd1, Vd2)를 가지므로, 약 200V 내지 약 400V의 입력전압(Vi) 범위에서 약 83V 내지 약 204V의 다이오드 전압 스트레스(Vd1, Vd2)를 갖고, 정격 전압 약 250V의 다이오드를 제1 및 제2다이오드(D1, D2)로 사용할 수 있다.

[0094] 반면에, 약 6.42:1의 제1변압기(T1)의 권선비를 갖는 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는, 약 200V, 약 300V, 약 400V의 입력전압(Vi)에 대하여 각각 약 0.29, 약 0.13, 약 0의 부스트 듀티비(BDR)를 갖고 각각 약 112V, 약 141V, 약 61.5V의 다이오드 전압 스트레스(Vd1, Vd2)를 가지므로, 약 200V 내지 약 400V의 입력전압(Vi) 범위에서 약 61.5V 내지 약 112V의 다이오드 전압 스트레스(Vd1, Vd2)를 갖고, 정격 전압 약 200V의 다이오드를 제1 및 제2다이오드(D1, D2)로 사용할 수 있다.

[0095] 여기서, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는, 약 200V 내지 약 400V의 입력전압(Vi)에 대하여 약 0.3으로부터 약 0으로 선형적으로 감소하는 부스트 듀티비(BDR)로 약 56V의 출력전압(Vo)을 출력할 수 있는데, 예를 들어, 약 200V 내지 약 300V의 입력전압(Vi)에 대하여 약 0.3 내지 약 0.1의 부스트 듀티비(BDR)로 약 56V의 출력전압(Vo)을 출력하고, 약 300V 내지 약 400V의 입력전압(Vi)에 대하여 약 0.1 내지 약 0의 부스트 듀티비(BDR)로 약 56V의 출력전압(Vo)을 출력할 수 있다.

[0096] 즉, 듀티비(DR)를 0.5로 고정하고 부스트 듀티비(BDR)를 조절하는 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)는, 듀티비(DR)를 조절하고 부스트 듀티비(BDR)를 0으로 고정하는 비교예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터에 비하여, 전체 입력전압(Vi) 범위(예를 들어, 약 200V 내지 약 400V)에서 상대적으로 높은 권선비(예를 들어, 약 6.42:1)를 갖고 상대적으로 낮은 다이오드 전압 스트레스(예를 들어, 약 61.5V 내지 약 112V)를 갖고, 그 결과 상대적으로 낮은 정격 전압의 다이오드(예를 들어, 약 200

V)를 사용할 수 있고 제조비용을 절감할 수 있다.

[0097] 이와 같이, 본 발명의 실시예에 따른 결합 인덕터 정류기 위상천이 풀브리지 컨버터(110)에서는, 제1 및 제4입력구간(Tq1, Tq4)을 동일하게 설정하고 제2 및 제3입력구간(Tq2, Tq3)을 동일하게 설정하고 듀티비(DR)를 0.5로 고정하고 권선비를 상대적으로 높은 값으로 설정한 상태에서 부스트 듀티비(BDR)를 조절하여 출력전압(Vo)을 출력함으로써, 스위치 전압 스트레스가 출력전압(Vo)으로 고정되고 다이오드 전압 스트레스가 감소되어 효율이 향상되고 제조비용이 절감된다.

[0098] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0099] 110: 결합 인덕터 정류기 위상천이 풀브리지 컨버터

Vi: 입력전압 Q1 내지 Q4: 제1 내지 제4입력스위치

Lm: 자화인덕터 T1, T2: 제1 및 제2변압기

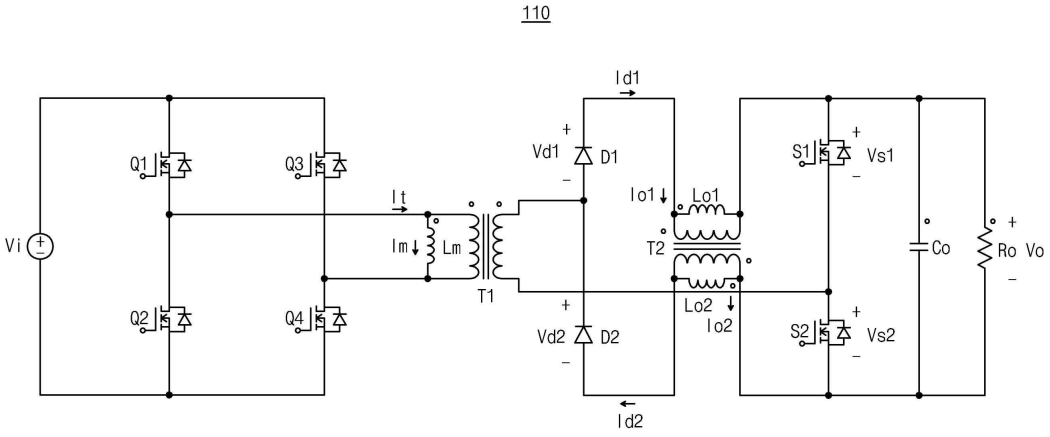
D1, D2: 제1 및 제2다이오드 Lo1, Lo2: 제1 및 제2출력인덕터

S1, S2: 제1 및 제2출력스위치 Co: 출력커패시터

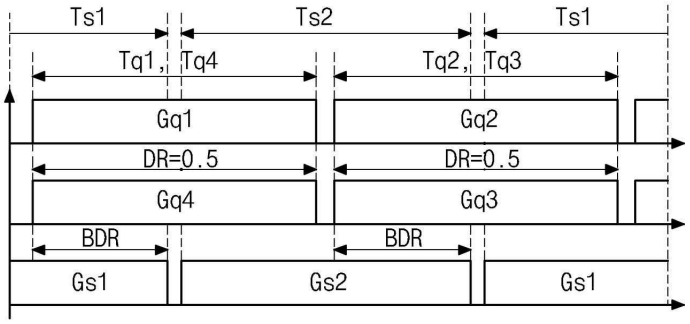
Ro: 출력저항 Vo: 출력전압

도면

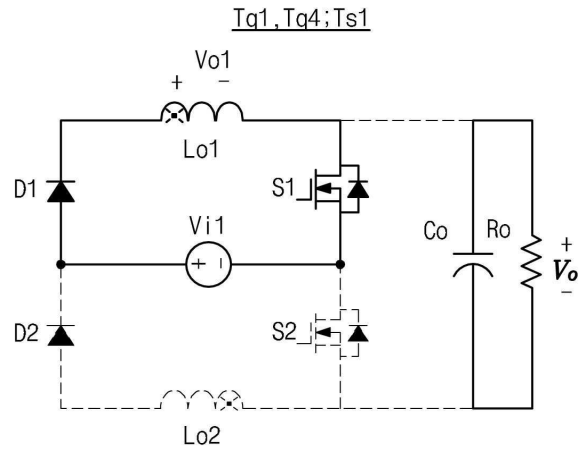
도면1



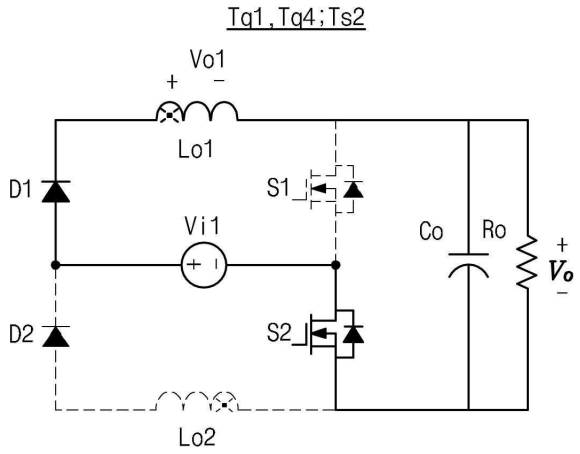
도면2



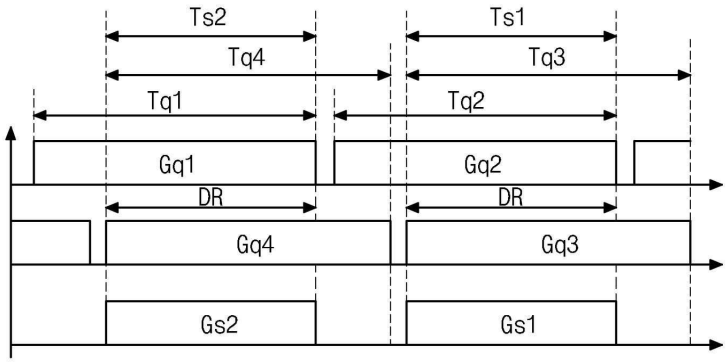
도면3a



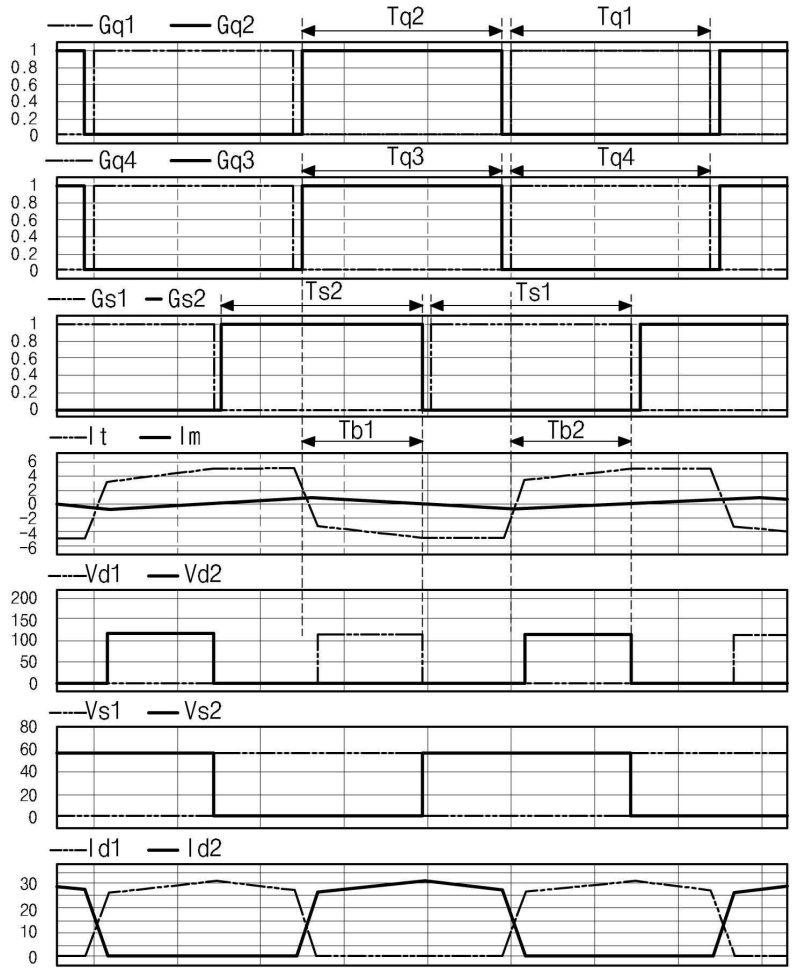
도면3b



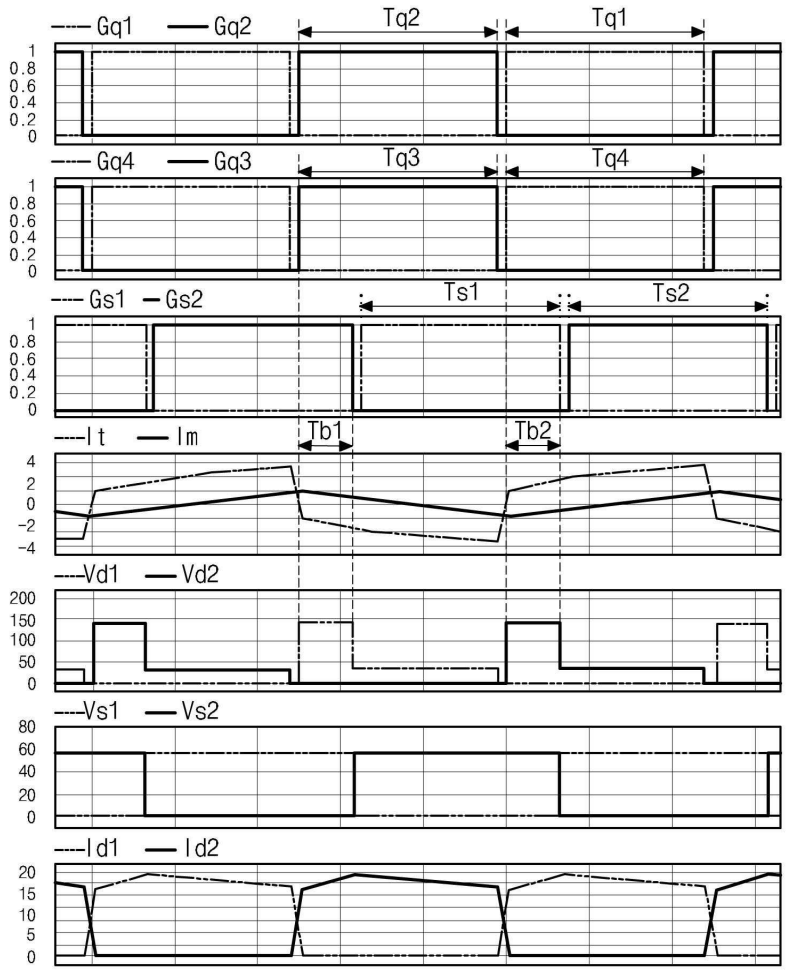
도면4



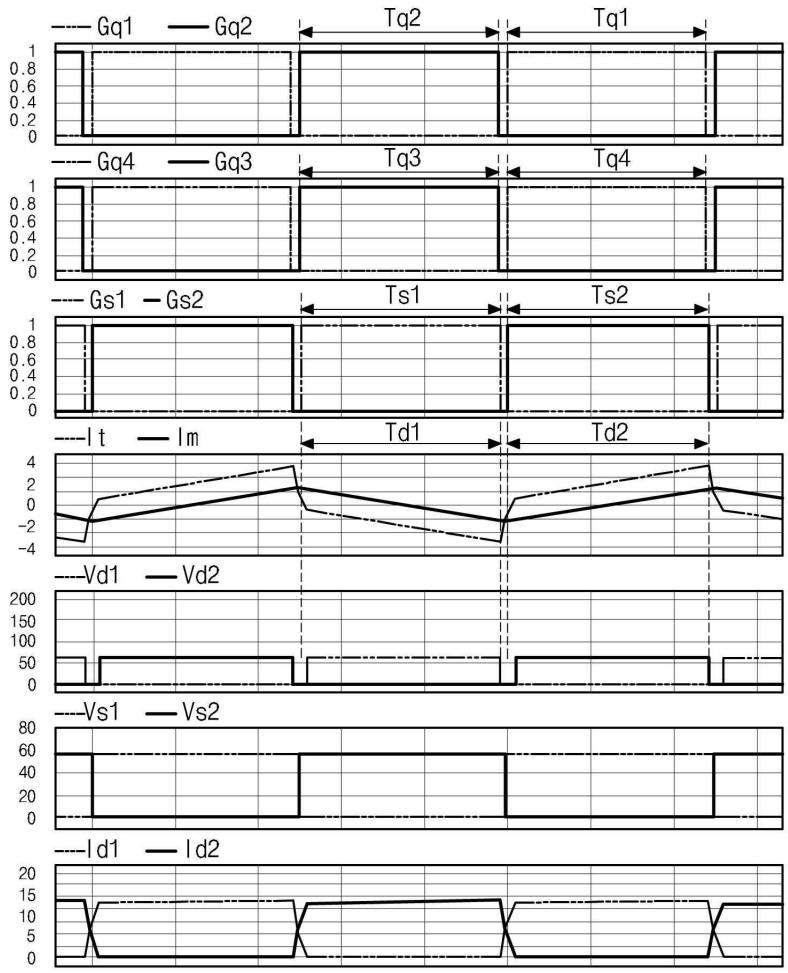
도면5a


Gq1
Gq2
Tq2
Tq1
1
0.8
0.6
0.4
0.2
0
Gq4
Gq3
Tq3
Tq4
1
0.8
0.6
0.4
0.2
0
Gs1
Gs2
Ts2
Ts1
1
0.8
0.6
0.4
0.2
0
It
Im
Tb1
Tb2
6
4
2
0
-2
-4
-6
Vd1
Vd2
200
150
100
50
0
Vs1
Vs2
80
60
40
20
0
Id1
Id2
30
20
10
0

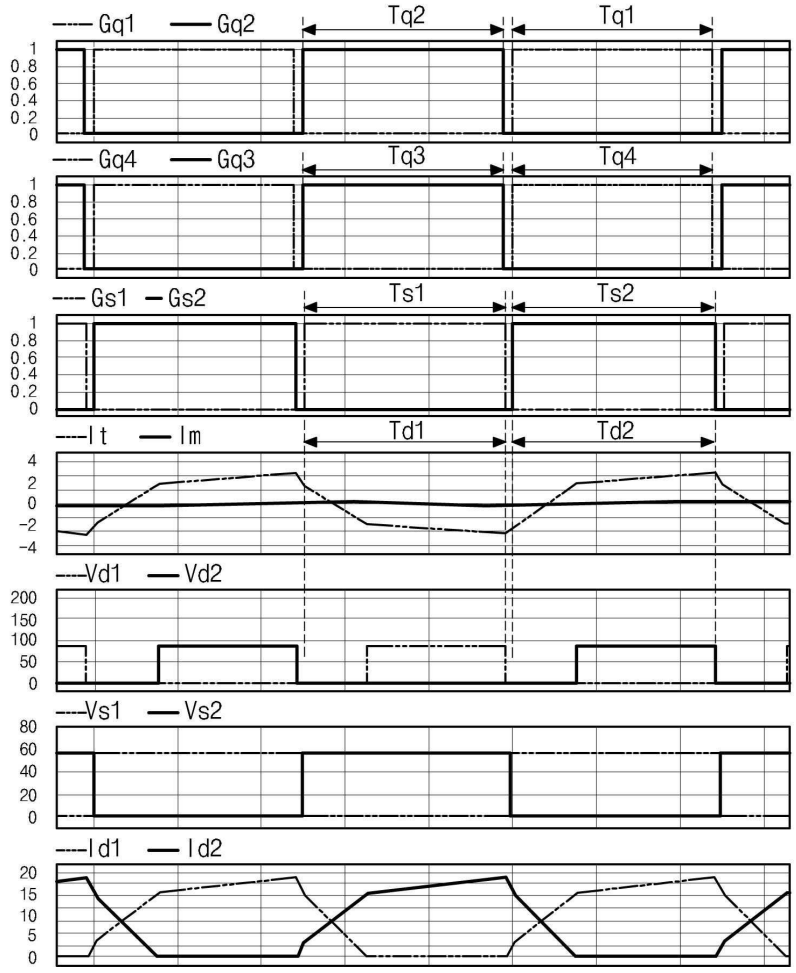
도면5b


Gq1
Gq2
Tq2
Tq1
Gq4
Gq3
Tq3
Tq4
Gs1
Gs2
Ts1
Ts2
It
Im
Tb1
Tb2
Vd1
Vd2
Vs1
Vs2
Id1
Id2

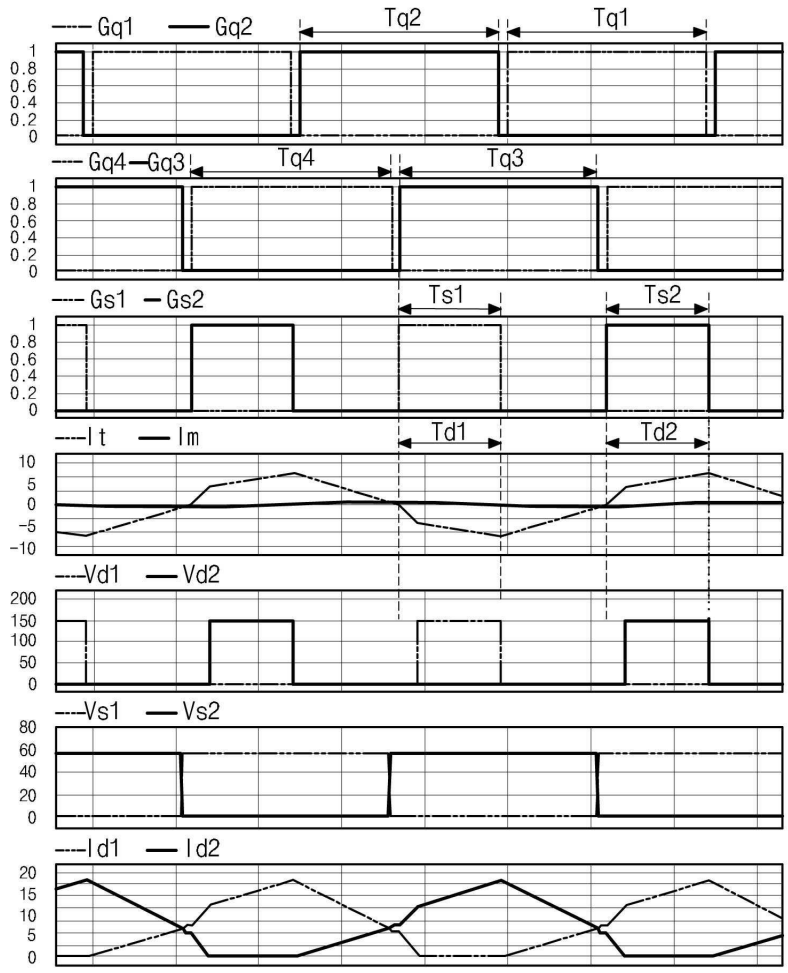
도면5c


Gq1
Gq2
Tq2
Tq1
1
0.8
0.6
0.4
0.2
0
Gq4
Gq3
Tq3
Tq4
Gs1
Gs2
Ts1
Ts2
It
Im
Td1
Td2
4
2
0
-2
-4
Vd1
Vd2
200
150
100
50
Vs1
Vs2
80
60
40
20
Id1
Id2
15
10
5

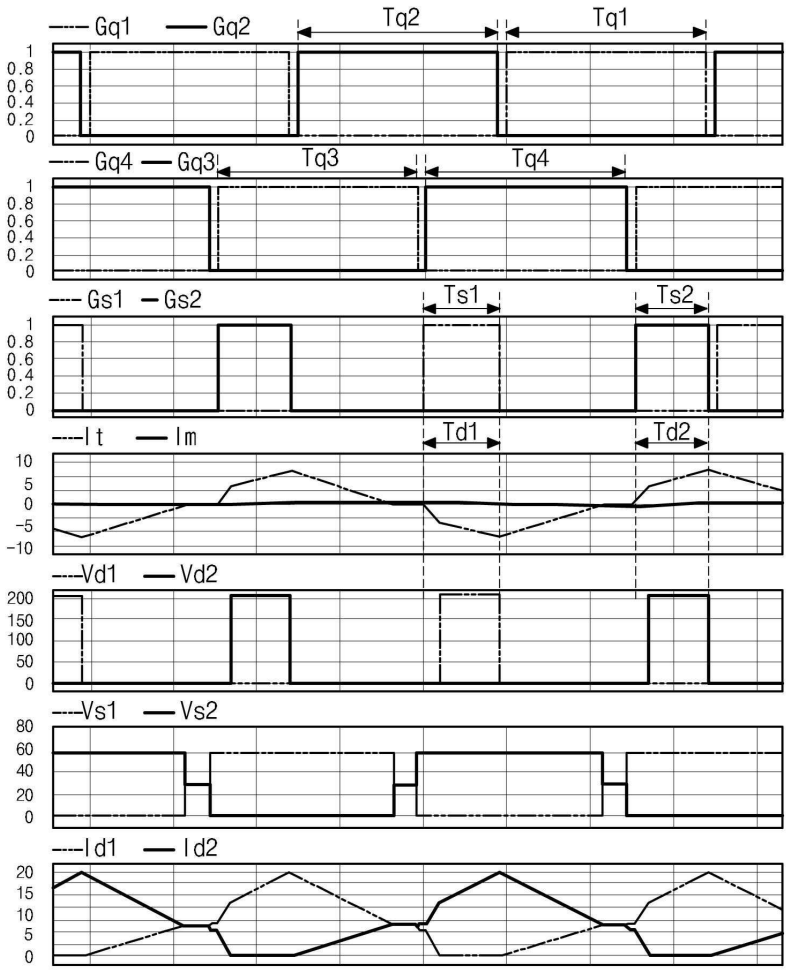
도면6a


Gq1
Gq2
Tq2
Tq1
1
0.8
0.6
0.4
0.2
0
Gq4
Gq3
Tq3
Tq4
Gs1
Gs2
Ts1
Ts2
It
Im
Td1
Td2
4
2
0
-2
-4
Vd1
Vd2
200
150
100
50
Vs1
Vs2
80
60
40
20
Id1
Id2
15
10
5

도면6b


Gq1
Gq2
Tq2
Tq1
1
0.8
0.6
0.4
0.2
0
Gq4
Gq3
Tq4
Tq3
Gs1
Gs2
Ts1
Ts2
It
Im
Td1
Td2
10
5
0
-5
-10
Vd1
Vd2
200
150
100
50
Vs1
Vs2
80
60
40
20
Id1
Id2
15

도면6c



도면7

Vin	다이오드 전압 스트레스(Vd1,Vd2)	
	실시예	비교예
200 V	112 V	83V
300 V	141 V	143V
400 V	61.5 V	204V