

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/48

H01L 23/28 H01L 21/50

H01L 25/00



[12] 发明专利申请公开说明书

[21] 申请号 200310118852.2

[43] 公开日 2004年9月29日

[11] 公开号 CN 1532924A

[22] 申请日 2003.11.28

[21] 申请号 200310118852.2

[30] 优先权

[32] 2003.3.25 [33] KR [31] 18446/2003

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金亨燮 郑泰敬

[74] 专利代理机构 北京市柳沈律师事务所

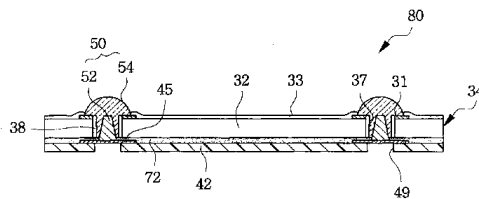
代理人 葛青 李晓舒

权利要求书5页 说明书9页 附图19页

[54] 发明名称 晶片级封装、多封装叠层、及其制造方法

[57] 摘要

一种半导体芯片封装，包括：半导体芯片，该芯片具有从有源第一表面到无源第二表面的贯穿其中的通孔。第一导电焊盘在所述半导体芯片的有源第一表面上至少部分地围绕所述通孔。该封装还包括印刷电路板，其具有一个连接到所述半导体芯片的无源第二表面上的第一表面以及与所述半导体芯片的通孔对齐的第二导电焊盘。导电材料充满所述通孔，并接触所述第一和第二导电焊盘。



ISSN 1008-4274

- 1、一种半导体芯片封装，包括：
5 半导体芯片，其包括从有源第一表面到无源第二表面的贯穿其中的通孔；
第一导电焊盘，其在所述半导体芯片的有源第一表面上至少部分地围绕所述通孔；
印刷电路板，其包括连接到所述半导体芯片的无源第二表面上的第一表面，其还包括与所述半导体芯片的通孔对齐的第二导电焊盘；以及
10 导电材料，其充满所述通孔，并接触所述第一和第二导电焊盘。
- 2、如权利要求1所述的半导体芯片封装，其中所述导电材料包括焊料。
- 3、如权利要求2所述的半导体芯片封装，其中所述焊料在所述半导体芯片的有源第一表面上形成焊料凸起。
- 4、如权利要求1所述的半导体芯片封装，其中所述导电材料包括从所
15 述印刷电路板第二导电焊盘伸入所述通孔中的金属塞以及围绕金属塞的焊料。
- 5、如权利要求4所述的半导体芯片封装，其中所述焊料在所述半导体芯片有源第一表面上形成焊料凸起。
- 6、如权利要求1所述的半导体芯片封装，其中所述印刷电路板包括孔，
20 该孔在所述第二导电焊盘之下与所述通孔相对并对齐。
- 7、如权利要求4所述的半导体芯片封装，进一步包括电极，其与所述第二导电焊盘电连接，并且穿过所述印刷电路板中的所述孔伸出。
- 8、如权利要求7所述的半导体芯片封装，其中所述电极是焊球。
- 9、如权利要求1所述的半导体芯片封装，进一步包括电极，其与所述
25 第二导电焊盘电连接，并且被安装在与所述印刷电路板第一表面相对的印刷电路板的第二表面上。
- 10、如权利要求9所述的半导体芯片封装，其中所述电极是焊球。
- 11、如权利要求1所述的半导体芯片封装，进一步包括位于所述半导体芯片的通孔侧壁上的绝缘层。
- 30 12、如权利要求1所述的半导体芯片封装，进一步包括置于所述半导体芯片无源第二表面与所述印刷电路板第一表面之间的粘结剂层。

13、如权利要求 1 所述的半导体芯片封装，进一步包括置于所述半导体芯片无源第二表面与所述印刷电路板第一表面之间的各向异性导电薄膜。

14、如权利要求 1 所述的半导体芯片封装，进一步包括覆盖所述半导体芯片的有源第一表面的保护层。

15、一种半导体多封装叠层，包括：

多个叠置的半导体芯片封装，每个芯片封装包括 (a) 半导体芯片，其包括从有源第一表面到无源第二表面的贯穿其中的通孔，(b) 第一导电焊盘，其在所述半导体芯片的有源第一表面上至少部分地围绕所述通孔，(c) 印刷电路板，其包括连接到所述半导体芯片的无源第二表面上的第一表面以及与所述半导体芯片的通孔对齐的第二导电焊盘，以及 (d) 导电材料，其充满所述通孔，并接触所述第一和第二导电焊盘。

16、如权利要求 15 所述的半导体多封装叠层，其中所述半导体芯片封装叠置，从而下面的芯片封装的导电材料与相邻的上面芯片封装的印刷电路板相接触。

17、如权利要求 16 所述的半导体多封装叠层，其中每个半导体芯片封装的导电材料包括焊料。

18、如权利要求 17 所述的半导体多封装叠层，其中所述焊料在每个半导体芯片封装的半导体芯片有源第一表面上形成焊料凸起。

19、如权利要求 18 所述的半导体多封装叠层，其中所述每个半导体芯片封装的导电材料包括从所述印刷电路板第二导电焊盘伸入所述通孔中的金属塞以及围绕金属塞的焊料。

20、如权利要求 19 所述的半导体多封装叠层，其中所述焊料在每个半导体芯片封装的所述半导体芯片有源第一表面上形成焊料凸起。

21、如权利要求 16 所述的半导体多封装叠层，其中所述每个半导体芯片封装的印刷电路板包括孔，该孔在所述第二导电焊盘之下与所述通孔相对并对齐，并且下面芯片封装的导电材料通过相邻的上面芯片封装的孔与相邻的上面芯片封装的印刷电路板的第二导电焊盘相接触。

22、如权利要求 16 所述的半导体多封装叠层，进一步包括电极，其与最底层的半导体芯片封装的第二导电焊盘电连接，并且穿过所述最底层半导体芯片封装的印刷电路板中的所述孔伸出。

- 23、如权利要求 16 所述的半导体多封装叠层，其中所述电极是焊球。
- 24、如权利要求 16 所述的半导体多封装叠层，进一步包括电极，其与最底层半导体芯片封装的第二导电焊盘电连接，并且被安装在与所述印刷电路板第一表面相对的印刷电路板的第二表面上。
- 5 25、如权利要求 24 所述的半导体多封装叠层，其中所述电极是焊球。
- 26、如权利要求 16 所述的半导体多封装叠层，进一步包括位于每个半导体芯片封装的半导体芯片的所述通孔侧壁上的绝缘层。
- 27、如权利要求 16 所述的半导体多封装叠层，进一步包括置于每个半导体芯片封装的所述半导体芯片无源第二表面与所述印刷电路板第一表面
10 之间的粘结剂层。
- 28、如权利要求 16 所述的半导体多封装叠层，进一步包括置于每个半导体芯片封装的所述半导体芯片无源第二表面与所述印刷电路板第一表面之间的各向异性导电薄膜。
- 29、如权利要求 16 所述的半导体多封装叠层，进一步包括一层覆盖最
15 上层半导体芯片封装的半导体芯片的有源第一表面的保护层。
- 30、如权利要求 15 所述的半导体多封装叠层，其中半导体芯片封装叠置，从而上面的芯片封装的导电材料与相邻的下面的芯片封装的印刷电路板相接触。
- 31、如权利要求 30 所述的半导体多封装叠层，进一步包括外部印刷电
20 路板，该外部印刷电路板具有形成于第一表面上的第一导电焊盘和形成于相对的第二表面上的第二导电焊盘，并还具有连接到所述第二导电焊盘上的外部电极，其中最底层半导体芯片封装的导电材料连接到所述外部印刷电路板的第一导电焊盘上，并且所述外部印刷电路板的第一和第二导电焊盘电连接。
- 25 32、如权利要求 31 所述的半导体多封装叠层，其中所述外部电极是焊球。
- 33、一种制造半导体芯片封装的方法，所述方法包括：
形成穿过半导体芯片的通孔，所述通孔从该半导体芯片的有源第一表面延伸至所述半导体芯片的相对的无源第二表面，其中在所述半导体芯片
30 第一表面上，第一导电焊盘至少部分地围绕所述通孔；
将印刷电路板的第一表面连接到所述芯片的第二表面，从而所述印刷

电路板的第二导电焊盘与所述半导体芯片的通孔对齐；以及

用导电材料填满所述通孔，从而所述导电材料接触所述第一和第二导电焊盘。

5 34、如权利要求 33 所述的方法，还包括形成从所述第二导电焊盘伸出的金属塞，并在将所述印刷电路板第一表面连接到所述半导体芯片第二表面上时，将所述金属塞插入所述半导体芯片的所述通孔中。

35、如权利要求 33 所述的方法，其中在形成所述通孔之前，所述第一导电焊盘形成于所述芯片的有源第一表面上，并且通孔穿过所述第一导电焊盘而形成，从而所述第一导电焊盘的剩余部分至少部分地围绕着所述通孔。

36、如权利要求 33 所述的方法，其中所述通孔的所述形成过程包括：在所述半导体芯片第一表面上形成槽；将一层绝缘层至少沉积在所述槽的侧壁上；以及除去所述半导体芯片第二表面的表面部分以便露出所述槽。

15 37、如权利要求 36 所述的方法，其中所述半导体芯片第二表面的所述表面部分通过机械研磨而除去。

38、如权利要求 36 所述的方法，其中所述半导体芯片第二表面的所述表面部分通过化学机械抛光而除去。

20 39、如权利要求 33 所述的方法，其中利用粘结剂将所述印刷电路板第一表面连接到所述半导体芯片第二表面上。

40、如权利要求 33 所述的方法，其中利用各向异性的导电薄膜将所述印刷电路板第一表面连接到所述半导体芯片第二表面上。

41、如权利要求 33 所述的方法，其中所述导电材料通过所述各向异性导电薄膜与所述第二导电焊盘电连接。

25 42、一种制造半导体芯片封装的方法，所述方法包括：

形成多个穿过包含在晶片中的相应的多个半导体芯片的通孔，所述通孔从所述晶片的有源第一表面延伸至该晶片的相对的无源第二表面，其中在所述晶片的第一表面上，第一导电焊盘至少部分地围绕每个通孔；

在印刷电路板的第一表面上形成多个第二导电焊盘；

30 将印刷电路板的所述第一表面连接到所述晶片的第二表面上，从而所述多个第二导电焊盘分别与所述多个通孔对齐；以及

用一种导电材料填满所述多个通孔，从而所述导电材料接触每个通孔的所述第一和第二导电焊盘。

43、如权利要求 42 所述的方法，还包括将所述印刷电路板固定于其上的所述晶片切成多个半导体芯片封装。

5 44、如权利要求 42 所述的方法，其中所述通孔的所述形成包括：

在所述晶片的每个半导体芯片的第一表面上形成槽；

将一层绝缘层至少沉积在所述晶片的每个半导体芯片的所述槽的侧壁上；以及

10 除去所述晶片第二表面的表面部分以便露出所述晶片的每个半导体芯片的所述槽。

45、如权利要求 44 所述的方法，其中所述晶片第二表面的所述表面部分通过机械研磨而除去。

46、如权利要求 44 所述的方法，其中所述晶片第二表面的所述表面部分通过化学机械抛光而除去。

15 47、如权利要求 42 所述的方法，其中利用一种粘结剂将所述印刷电路板第一表面连接到所述晶片的第二表面上。

48、如权利要求 42 所述的方法，其中利用各向异性的导电薄膜将所述印刷电路板第一表面连接到所述晶片第二表面上。

晶片级封装、多封装叠层、及其制造方法

5 技术领域

本发明总的来说涉及半导体芯片(semiconductor chips)的封装。更具体地说,本发明涉及一种晶片级封装(wafer level packages)、晶片级封装的多封装叠层(multi-package stacks)、以及制造晶片级封装和多封装叠层的方法。

10 背景技术

电子器件的微型化导致用于将半导体集成电路(IC)芯片包含在越来越小的封装中的技术的发展。电子设备工程联合委员会(JEDEC)已提出用名称“芯片尺寸封装(CSP)”来表示一种几乎与半导体芯片本身一样小的半导体芯片封装。具体地说,JEDEC将CSP定义为一种外形为包含在该封装中的半导体芯片外形的1.2倍或更小的封装。CSP技术适于封装用在电子产品,如数字摄像放像机(digital camcorders)、笔记本式计算机、存储卡,中的IC。具体地说,CSP技术的主要应用包括数字信号处理器(DSP)、微处理器、专用集成电路(ASIC)、动态随机存取存储器(DRAM)、以及快闪存储器(flash memories)。

20 然而,CSP技术的一个缺点是这种封装的制造相对较昂贵,特别是与更为传统的和常用的塑料封装,如球栅阵列(BGA)封装和薄小外形封装(TSOP),相比尤其如此。

在努力降低成本的过程中,已经推出了晶片级封装(WLP)技术。晶片级封装形成为晶片级(于是降低了成本),然后被切成单个器件。该封装本身的特征在于外部端子,如金属焊料凸起或焊球,在该封装底面上分布成二维阵列。这减小了半导体芯片至封装I/O位置(location)的信号通路,借此提高了该器件的运算速度。此外,与其他的具有从该封装的侧面延伸的周边引线的芯片包装不同,WLP占有印刷电路板(PCB)表面的面积粗略地说不多于该芯片本身的尺寸。

30 图1是表示传统WLP 20的一部分的平面图,图2是沿图1的I-I'线剖开的横截面视图。在半导体基板(semiconductor substrate)12上,半导体集

成电路芯片 14 包括多个芯片焊盘 (chip pad) 11 和一层钝化层 13。钝化层 13 由二氧化硅、氮化硅或其组合层。芯片焊盘 11 由铝形成。聚酰亚胺第一介电层 22 形成于半导体芯片 14 上。多个金属迹线图案 (metal trace pattern) 21 形成于第一介电层 22 之上。每个金属迹线图案 21 与相应的一个芯片焊盘 11 相接触。在金属迹线图案 21 和第一介电层 22 上形成第二介电层 24。金属迹线图案 21、第一介电层 22 和第二介电层 24 构成了重选路径层 (rerouting layer) 21'。多个焊球 28 置于金属迹线图案 21 的另一端。随后, 制得的结构经受回流处理 (reflow process), 以便将焊球 28 连接到金属迹线图案 21 上。

10 然而, 不幸地, 焊球接点往往不可靠。其主要原因在于由 WLP20 和外部印刷电路板 (PCB) 的热膨胀系数 (CTE) 不同而产生的应力。也就是说, 一般, WLP 安装在 PCB 上, 从而 WLP 的焊球连接于 WLP 和 PCB 之间。当工作期间电力耗散时, 半导体芯片 14 变热, 并且接着在不工作时冷却下来。连接在焊球相对侧的 WLP 和 PCB 之间膨胀率的不同在焊球内产生了机械应力, 有时导致裂缝或其它缺陷。

15 同时, 近来的建议方案包括叠置多个晶片级封装以便形成一个用于安装在单个印刷电路板上的多封装叠层。

例如, 美国专利号 6,429,096 即指向一种传统的形成如图 3 所示的多封装叠层 10 的方法。在晶片级, 孔穿过半导体晶片而形成, 并且这些孔用导电塞 (conductive plug) 2 充满。然后, 将半导体晶片切成小块并分成多个封装 1。至少两个封装 1 通过使用连接在相邻封装的塞 2 之间的凸起 (bump) 3 而被叠置, 借此形成多封装叠层 10。通过利用在最底层封装 1a 上的凸起 3a, 多封装叠层 10 被安装在外部 PCB4 的放置盘 (landing pad) 5 上。

25 然而, 最底层封装 1a 和外部印刷电路板 (PCB) 的热膨胀系数 (CTE) 又有差异。结果, 由焊球 3a 形成的接点也不可靠并易于损坏。

发明内容

30 根据本发明的一个方面, 提供一种包括一个半导体芯片的半导体芯片封装, 该半导体芯片具有从有源 (active) 第一表面到无源 (inactive) 第二表面的贯穿其中的通孔。第一导电焊盘在所述半导体芯片的有源第一表面上至少部分地围绕所述通孔。该封装还包括一个印刷电路板, 其具有连接到

所述半导体芯片无源第二表面上的第一表面，以及与所述半导体芯片的通孔对齐的第二导电焊盘。导电材料充满所述通孔，并接触第一和第二导电焊盘。

5 根据本发明的另一个方面，提供一种半导体多封装叠层，其包括多个叠置的半导体芯片封装。每个芯片封装包括一个半导体芯片，该芯片具有从有源第一表面到无源第二表面的贯穿其中的通孔。第一导电焊盘在每个半导体芯片的有源第一表面上至少部分地围绕所述通孔。每个封装还包括一个印刷电路板，该印刷电路板具有连接到所述半导体芯片无源第二表面上的第一表面以及与所述半导体芯片的通孔对齐的第二导电焊盘。导电材料充满了每个半导体芯片的通孔，并接触第一和第二导电焊盘。

10 根据本发明的又一个方面，提供一种制造半导体芯片封装的方法，该方法包括形成穿过一个半导体芯片的通孔，从而所述通孔从该半导体芯片的有源第一表面延伸至所述半导体芯片的相对的无源第二表面，并且在所述半导体芯片的第一表面上，第一导电焊盘至少部分地围绕所述通孔。然后将一个印刷电路板的第一表面连接到所述芯片的第二表面，从而所述印刷电路板的第二导电焊盘与所述半导体芯片的通孔对齐。然后，用导电材料填满所述通孔，从而所述导电材料接触所述第一和第二导电焊盘。

20 根据本发明再一个方面，提供一种制造半导体芯片封装的方法，该方法包括形成多个穿过包含在一个晶片中的相应多个半导体芯片的通孔。所述通孔从所述晶片的有源第一表面延伸至该晶片的相对的无源第二表面，并且在所述晶片的第一表面上，第一导电焊盘至少部分地围绕每个通孔。在印刷电路板的第一表面上形成多个第二导电焊盘，并将印刷电路板的第一表面连接到所述晶片的第二表面上，从而所述多个第二导电焊盘分别与所述晶片的多个通孔对齐。然后，用导电材料填满所述多个通孔，从而所述导电材料接触每个通孔的所述第一和第二导电焊盘。

附图说明

通过以下参照附图的详细描述，本发明的各个方面和特征将变得显然，其中：

- 30 图 1 是表示传统晶片级封装的一部分的平面图；
图 2 是沿图 1 的 I-I' 线剖开的示意性横截面视图；

图 3 是传统的多封装叠层的示意性横截面视图；
图 4 是根据本发明的一个实施例的晶片级封装的示意性横截面视图；
图 5 至 16 是用来解释形成图 4 的晶片级封装的连续工序的图；
图 17 是表示根据本发明的一个实施例的多封装叠层的示意性横截面视
5 图；

图 18 是表示根据本发明的另一个实施例的晶片级封装的示意性横截面
视图；

图 19 至 21 是用来解释形成图 18 的晶片级封装的连续工序的图；

图 22 是表示根据本发明的另一个实施例的多封装叠层的示意性横截面
10 视图；

图 23 至 26 是表示根据本发明的另一个实施例的晶片级封装和多封装
叠层的示意性横截面视图；

图 27 至 30 是表示根据本发明的另一个实施例的晶片级封装和多封装
叠层的示意性横截面视图；以及

15 图 31 是表示根据本发明另一个实施例的多封装叠层的示意性横截面视
图；

具体实施方式

下面将通过几个非限制性的优选实施例来详细描述本发明。

20 图 4 是根据本发明的一个实施例的晶片级封装 (WLP) 80 的横截面视
图。WLP80 包括一个通常由一个半导体基板 32 形成的半导体芯片 34，在
半导体基板 32 的有源上表面上有一层钝化层 33。钝化层 33 的例子包括二
氧化硅、氮化硅以及它们的组合物。

25 至少一个通孔 37 从芯片 34 有源上表面穿过芯片 34 到达无源底面。并
且，在半导体芯片 34 的有源第一表面上，导电芯片焊盘 31 至少部分地围
绕着每个通孔 37。举例来说，导电芯片焊盘 31 可以由铝形成。

WLP80 还包括一个上表面连接到半导体芯片 34 的无源底面上的印刷
电路板 (PCB) 42。例如，PCB42 可以通过粘结剂 72 附着在芯片 34 上。
另外，PCB42 包括至少一个与半导体芯片 34 的各个通孔 37 相对准的导电
30 PCB 焊盘 45。

导电塞 50 填满每个通孔 37，并与导电焊盘 31 和 45 相接触。如此，在

芯片 34 的芯片焊盘 31 与 PCB42 的导电 PCB 焊盘 45 之间建立了电接触。并且，绝缘层 38 可以形成于通孔 37 的侧壁上，以便使导电塞 50 与基板 32 绝缘。

优选地，导电塞 50 由焊料制成。更为优选地，如图 4 所示，导电塞 50 由从 PCB42 的导电焊盘 45 伸入通孔中的金属 PCB 凸起 52 和围绕 PCB 凸起 52 的焊料 54 的组合来形成。

印刷电路板 42 优选包括在与每个通孔相对一侧上在每个导电焊盘之下的对齐的孔 49。孔 49 露出导电焊盘 45 的底面，并如后面的实施例所述，可用于叠置 WLP80 和/或用于将 WLP80 连接到外部印刷电路板上。例如，焊球(用于外部连接)可以连接到导电 PCB 焊盘 45 的底面上，从而从 PCB42 的下表面通过孔 49 向下伸出。然而，可替换地，在没有设置孔 49 的情况，焊球可以形成在 PCB42 的下表面上并且通过 PCB42 与 PCB 焊盘 45 电连接。

现在将参考图 5 至 16，这些图是用来解释制造图 4 的晶片级封装 80 的连续工序的图。

首先参见图 5，设置了一个包括一个半导体基板 32 的硅晶片 30，该基板具有多个半导体集成电路芯片 34。如图所示，芯片划片线 36 将芯片 34 彼此分开。

图 6 显示出图 5 的晶片 30 的芯片 34 的一部分的示意性顶视图，图 7 是沿图 6 的 VII-VII'线剖开的示意性横截面视图。在半导体基板 32 上，每个集成电路芯片 34 在半导体基片上包括多个芯片焊盘 31 和一层钝化层 33。钝化层 33 包括露出芯片焊盘 31 一部分表面的开口。钝化层 33 可由二氧化硅、氮化硅或它们的组合物形成。芯片焊盘 31 可由铝形成。

参见图 8，设置了一个包括一个不导电 PCB 基板 42 的 PCB 盘 40，该基板具有多个形成于划片线 46 之间的 PCB 芯片区域 44。PCB 芯片区域 44 与硅晶片 30 的芯片 34 (图 5) 重合，并且 PCB 盘 40 的外周边尺寸优选与硅晶片 30 的相似。然而，优选地，PCB 盘 40 不如硅晶片 30 那样厚。例如，在 8 英寸直径晶片的情况，PCB 盘 40 的厚度为约 130um。

图 9 显示出图 8 的 PCB 盘 40 的芯片区域 44 的一部分的示意性顶视图，图 10 是沿图 9 的 X-X'线剖开的横截面视图。每个 PCB 芯片区域 44 包括在不导电 PCB 基板 42 上的多个 PCB 焊盘 45。PCB 焊盘 45 可由铜形成，并且在从上面看时具有正方形形状。PCB 基板 42 具有多个穿过其形成的 PCB

窗口 49。每个 PCB 窗口 49 露出对应的 PCB 焊盘 45 的底面部分。而且，PCB 凸起 52 形成于每个 PCB 焊盘 45 的顶面上。PCB 凸起可以通过将一层导电材料，优选一层铜，沉积在 PCB 盘 40 和 PCB 焊盘 45 顶面 41 上，然后使该沉积层经受光刻处理而形成。如图所示，PCB 凸起 52 与 PCB 窗口 5 49 对齐。而且，PCB 凸起 52 和 PCB 焊盘 45 可以镀上一层金层或一个镍和金的组合层。

参见图 11 至 13，现在将对图 5 至 7 的硅晶片 30 中的通孔的形成进行描述。通孔相应于图 4 所示的芯片 34 的通孔 37 而形成。

首先参见图 11，多个槽(trenches)37'穿过芯片焊盘 31 并到达图 7 所示的结构内一深度而形成。槽 37'可以通过激光打孔、干蚀刻或湿蚀刻(wet etching)而形成。例如，在直径 8 英寸的晶片的情况下，槽 37'的深度为约 100um。

参见图 12A，一层绝缘层 38a 形成于硅晶片 30 的有源表面(active surface) 35 之上。绝缘层 38a 优选由相对于芯片焊盘 31 和钝化层 33 具有蚀刻选择性的材料，如二氧化硅、氮化硅或它们的组合物，形成。

参见图 12B，光刻胶(photoresist)71 沉积在图 12A 的结构上，由此将槽 37'填满。

参见图 12C，光刻胶 71 经受反蚀刻(etchback)技术，从而光刻胶 71 仅保持在槽 37'中。

参见图 12D，绝缘层 38a 用保持在槽 37'之内的光刻胶 71 作蚀刻掩模来进行有选择地蚀刻。

参见图 12E，将槽 37'内的光刻胶 71 除去。

作为图 12A 至 12E 的过程的结果，获得了其中槽 37'的侧壁覆盖有一层绝缘体 38 的结构。

下面参见图 13，硅晶片 30 的无源表面 39 经受机械研磨，以便形成完全贯穿硅晶片 30 的孔 37。例如，在直径 8 英寸、最初厚度为约 720um 的晶片的情况下，研磨过程后晶片 30 的厚度为约 80um。人们意识到硅晶片 30 的无源表面 39 可以改为经受化学机械抛光(CMP)来形成孔 37。

下面参见图 14 至 16，现在将描述如何由图 8 至 10 的 PCB 盘 40 和根据图 11 至 13 加工的硅晶片 30 的组合来形成晶片级封装。

参见图 14，硅晶片 30 相对于 PCB 盘 40 而定位，从而集成电路芯片

34 和硅晶片 30 的划片线 36 与 PCB 盘 40 的 PCB 芯片区域 44 和划片线对齐。用粘结剂 72 将 PCB 盘 40 的顶面连接到硅晶片 30 的下部无源表面 39 上。如此, PCB 盘 40 的 PCB 凸起 52 插入硅晶片 30 的孔 37 中。

参见图 15, 多个互连凸起 54 被形成, 从而将芯片焊盘 31 电连接到 PCB 凸起 52 上。绝缘体 38 使得互连凸起 54 与半导体基板 32 电绝缘。互连凸起 54, 优选为焊球, 可以通过球放置 (ball placement) 技术、电镀技术、模板印刷技术或金属喷射技术来形成。在该实施例中, 互连凸起 54 为通过模板印刷和回流而形成的半球状焊球。每对互连凸起 54 和 PCB 凸起 52 组成了塞 50。

10 参见图 16, 如参考标号 78 所表示的, 在芯片划片线 36 和 PCB 划片线 46 处将制得的图 15 的结构分成多个封装 80。在 PCB 窗口 49 上形成了外部端子, 未示出。外部端子优选由焊球形成, 但是也可由金或镍而不是由焊料来形成。并且, 可以在将图 15 的结构分成多个封装 80 之前形成外部端子。

15 于是, 封装 80 是集成电路芯片 34 和 PCB 芯片 44 的组合物, 并且 PCB 芯片 44 位于半导体集成电路芯片 34 和外部端子 (例如焊球) 之间。封装 80 的外部端子安装在外部印刷电路板上, 在这种状态下, PCB 芯片 44 充当减小封装 80 与外部印刷电路板之间的热膨胀差异的缓冲器。如此, 减小了施加到外部端子上的潜在的破坏应力值。

20 上面描述的晶片级封装 80 可以用许多不同的方法来改进。例如, PCB 窗口 45 不必在 PCB 凸起 52 下对齐, 而改为可以与 PCB 凸起 52 偏离一段距离。在这种情况下, PCB 焊盘可以是细长的, 并从 PCB 凸起 52 延伸至偏置的 PCB 窗口 45。也就是说, PCB 焊盘 45 可以形成为条状重选路径导电图案。

25 并且, PCB 基板可以不设置 PCB 窗口。在这种情况下, 每个 PCB 焊盘 45 将由一个上 PCB 焊盘和一个下 PCB 焊盘所取代。上 PCB 焊盘将形成在 PCB 基板的顶面上, 并且其上形成有 PCB 凸起 52。下 PCB 焊盘将形成在 PCB 基板 42 的下表面上, 并且其上形成有外部端子 (例如, 焊球)。如果上下 PCB 焊盘彼此对齐, 则它们将通过一个贯穿 PCB 基板 42 的通孔电连接。如果上下 PCB 焊盘彼此不对齐, 则它们将通过贯穿 PCB 基板 42 的通孔和 PCB 基板 42 表面上的导电图案的结合而电连接。

在另一种改进中，PCB 盘 40 可以由粘性的带状介质构成，而不是由相对刚性的基板构成。

图 17 是表示根据本发明一个实施例的多封装叠层 90 的示意性横截面视图。如图所示，多封装叠层 90 包括一个叠置在另一个上的多个晶片级封装 80。每个晶片级封装 80 相当于图 4 中所示的并在上面已描述的晶片级封装。

在该实施例中，在叠层 90 中，每个晶片级封装 80 的导电塞 50 的焊料与 PCB 焊盘相连并通过上面的晶片级封装 80 的窗口 47。

外部端子 60 形成于 PCB 焊盘的底面上，并穿过叠层 90 的最下层封装 80 的窗口 47。外部端子 60 优选由焊球形成，但也可由金或镍而不是焊料形成。叠层 90 的外部端子 60 安装在一个外部印刷电路板（未示出）上，并且在这种状态下，最下层封装 80 的 PCB 芯片 44 充当减小叠层 90 与外部印刷电路板之间的热膨胀差异的缓冲器。如此，减小了施加到外部端子 60 上的潜在的破坏应力值。

图 18 至 20 是表示本发明另一个实施例的示意性横截面视图。除了如图 18 所示的保护层 74 的形成以外，该实施例与前面的实施例基本上相同。

也就是说，首先参见图 19，液体型树脂的保护层 74 形成于根据图 15 所示并具有在前面描述的结构芯片 34 的有源表面上。液体型树脂通过传递模塑技术(transfer molding technique)、注模技术、丝网印刷技术或分配技术来施加。

参见图 20 和 21，外部端子 60 以与前面描述的相同的方式形成于 PCB 底面上，并且如图 21 的参考标号 78 所表示的，制得的结构被分成多个封装 80。人们注意到，外部端子 60 可以在封装 80 分开之后再安装。

在分开之后，得到了图 18 的结构。其保护层 74 作用来保护半导体芯片 34 的有源表面不受外部环境的影响。

图 22 是表示本发明另一个实施例的多封装叠层 190 的示意性横截面视图。该实施例与前面所述的图 17 的叠层的区别在于该实施例最上层的封装 180 包括图 18 的保护层 74。

图 23、24、25 和 26 是表示本发明的另一种改进了的实施例的示意性横截面视图。图 23、24、25 和 26 分别与前面描述的图 16、17、21 和 22 的区别仅在于在该改进的实施例中并没有 PCB 凸起。

图 27、28、29 和 30 是表示本发明另一个实施例的示意性横截面视图。图 27、28、29 和 30 分别与前面描述的图 23、24、25 和 26 的区别仅在于 PCB 芯片 44 和集成电路芯片 34 的连接是通过各向异性导电薄膜 (ACF) ACF 452 来实现的。该薄膜的特征在于在垂直于其表面的方向上是导电的，而在平行于其表面的方向上则是不导电的。于是，ACF 452 可以施加到芯片的整个底面或 PCB 的整个顶面上。该实施例的优点在于不需要使前面实施例的粘结剂 72 形成图案。

图 31 是表示根据本发明的另一个实施例的多封装叠层 690 的示意性横截面视图。在与前面的实施例相比，该实施例的特征在于至少两个封装 80 是倒置的。另外，最底层封装 80 的互连凸起 54 被连接到重选路径 PCB 芯片 44 上。重选路径 PCB 芯片 44 包括 PCB 焊盘 48，每个 PCB 焊盘 48 由一个上 PCB 焊盘 45 和一个下焊盘 47 形成。上 PCB 焊盘 45 和下 PCB 焊盘 47 分别形成于 PCB 基板 42 的上、下表面上。外部端子 60 形成于下 PCB 焊盘 47 上。上 PCB 焊盘 45 与最底层封装 80 的孔 37 对齐，而下 PCB 焊盘 47 与孔 37 不对齐。贯穿 PCB 基板 42 形成的信号通路 677 使每组上 PCB 焊盘 45 和下 PCB 焊盘 47 电连接。上 PCB 焊盘 45、下 PCB 焊盘 47 和信号通路 677 组成重选路径导电图案。在 PCB 基板 42 的上下表面上分别形成一层阻焊剂层 688。

叠层 690 的外部端子 60 安装在一个外部印刷电路板 (未示出) 上，并且在这种状态下，在叠层底部的重选路径 PCB 芯片 44 充当减小叠层 690 和外部印刷电路板之间的热膨胀差异的缓冲器。如此，减小了施加到外部端子 60 上的潜在的破坏应力值。

在附图和说明书中，已经公开了本发明的典型的优选实施例，尽管所阐明的是具体的例子，然而它们仅仅是在一般意义上和描述意义上使用的，而不是为了限定。很清楚，本发明的保护范围应由附加的权利要求来解释，而不是由这些示例性实施例来解释。

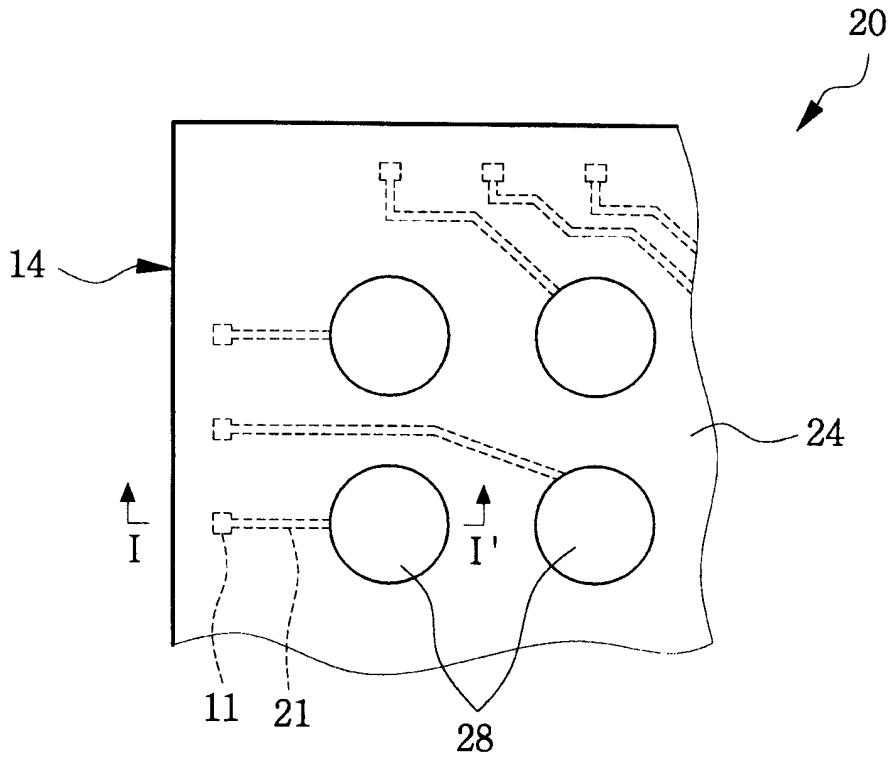


图 1

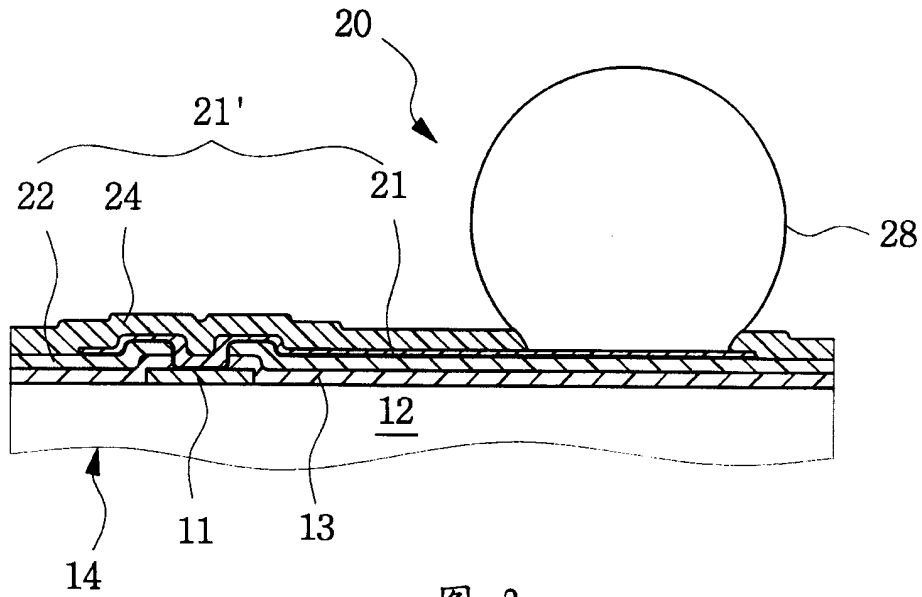


图 2

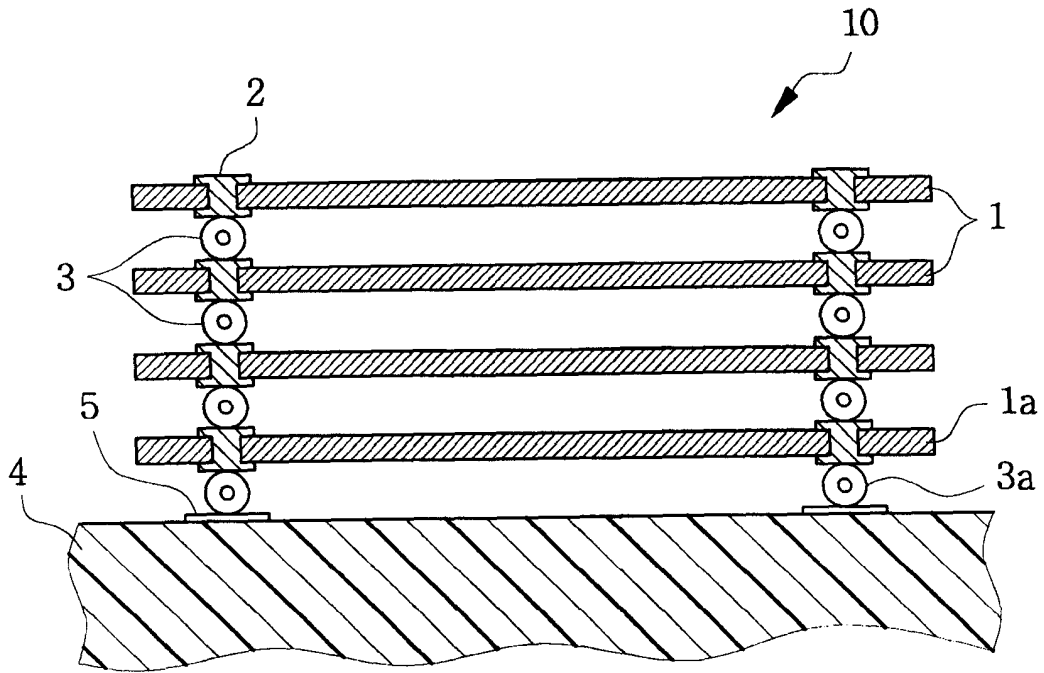


图 3

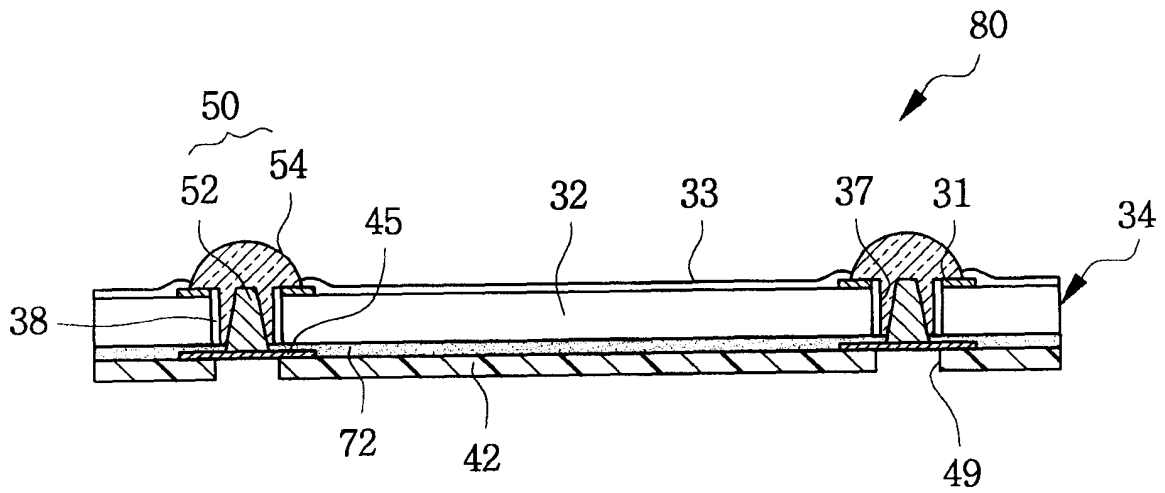


图 4

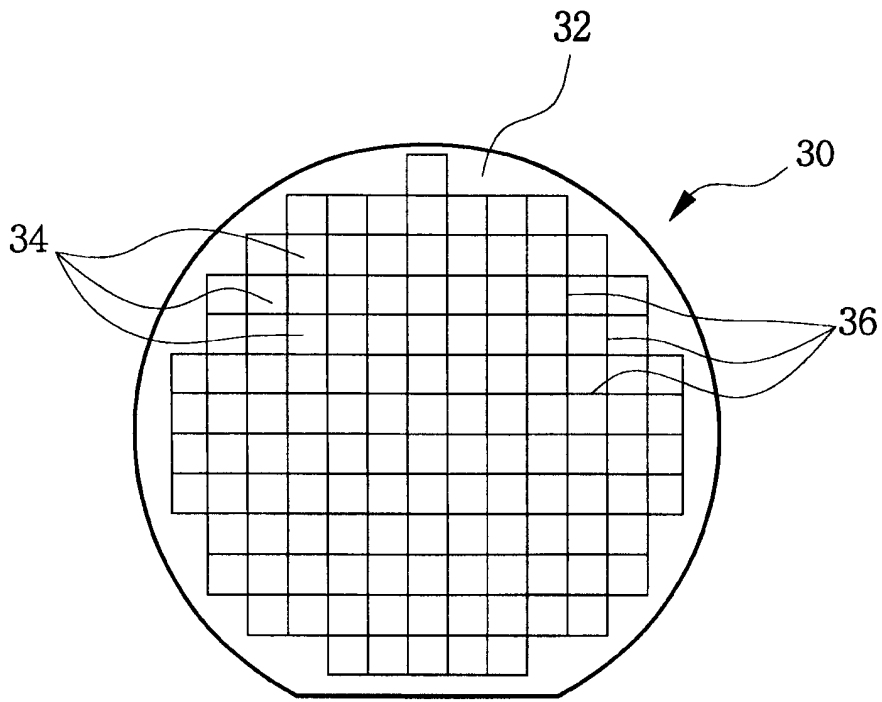


图 5

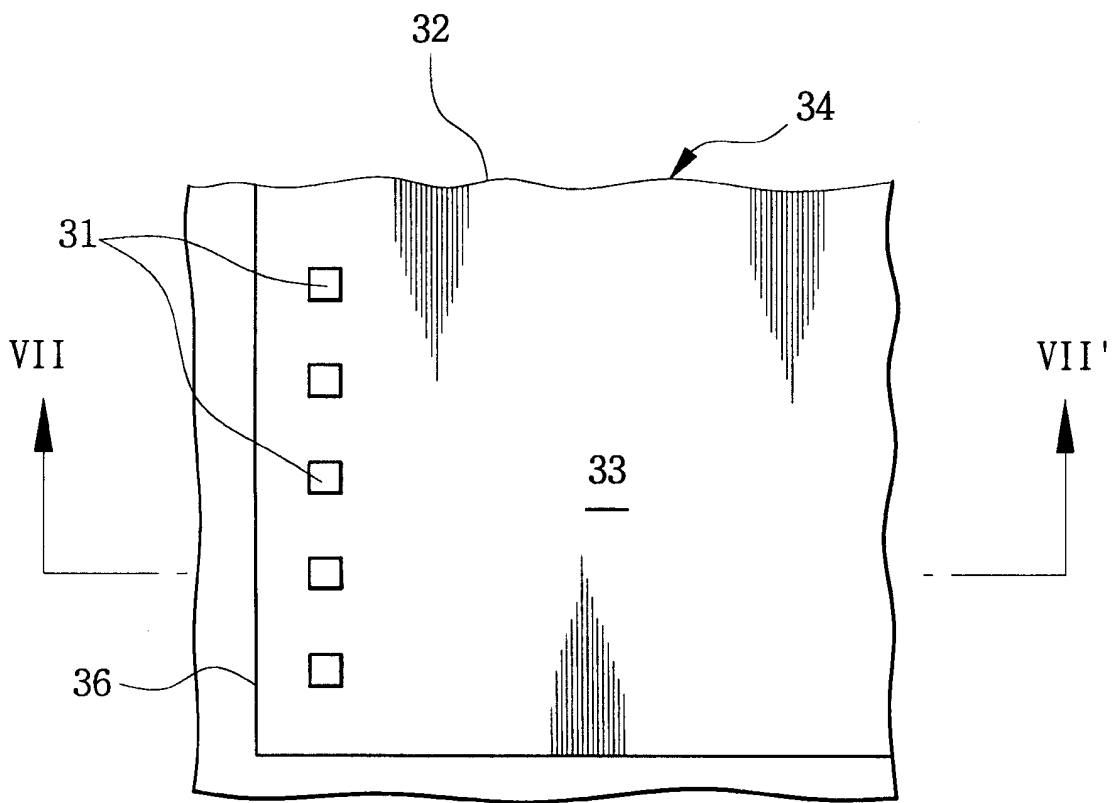


图 6

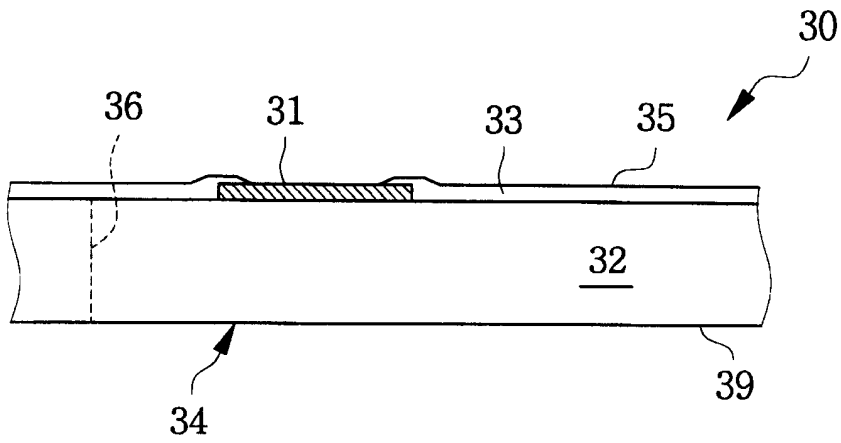


图 7

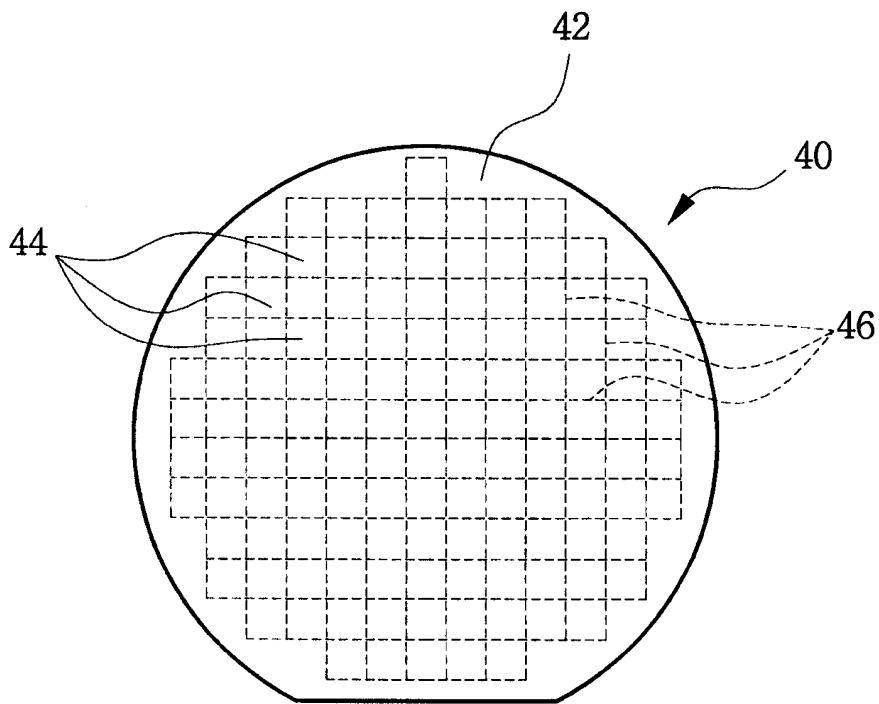


图 8

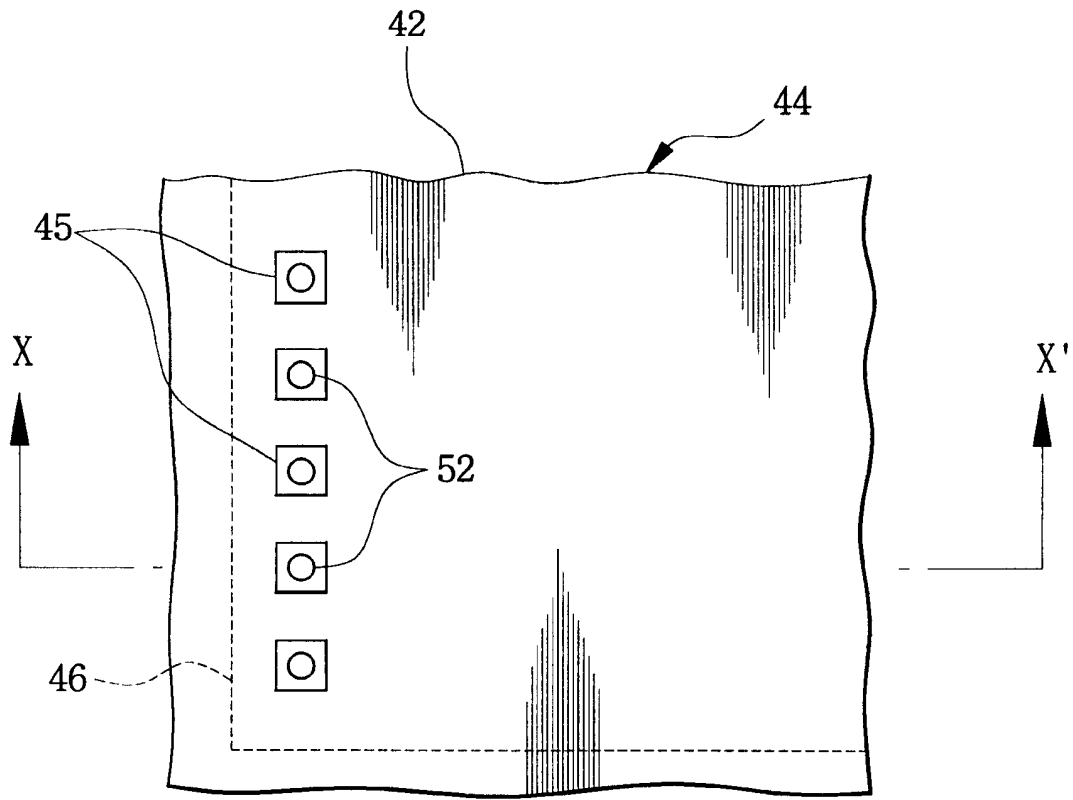


图 9

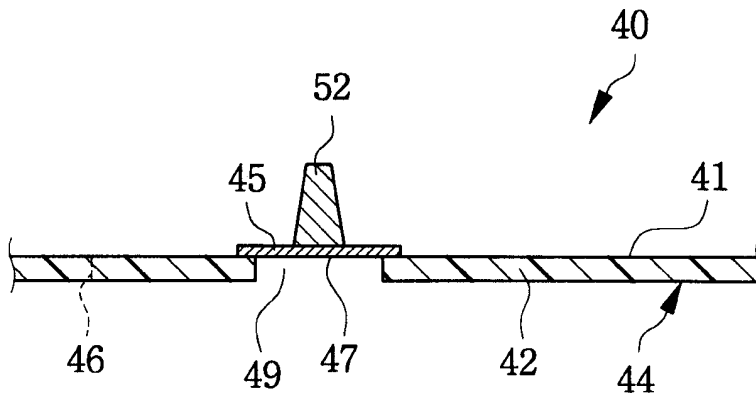


图 10

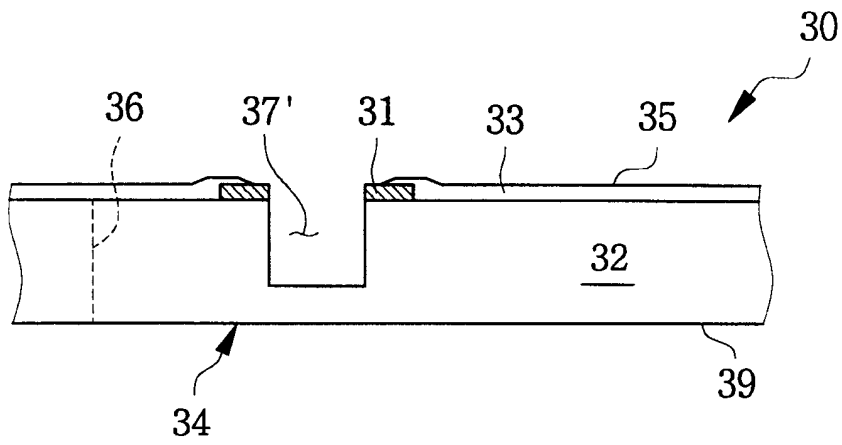


图 11

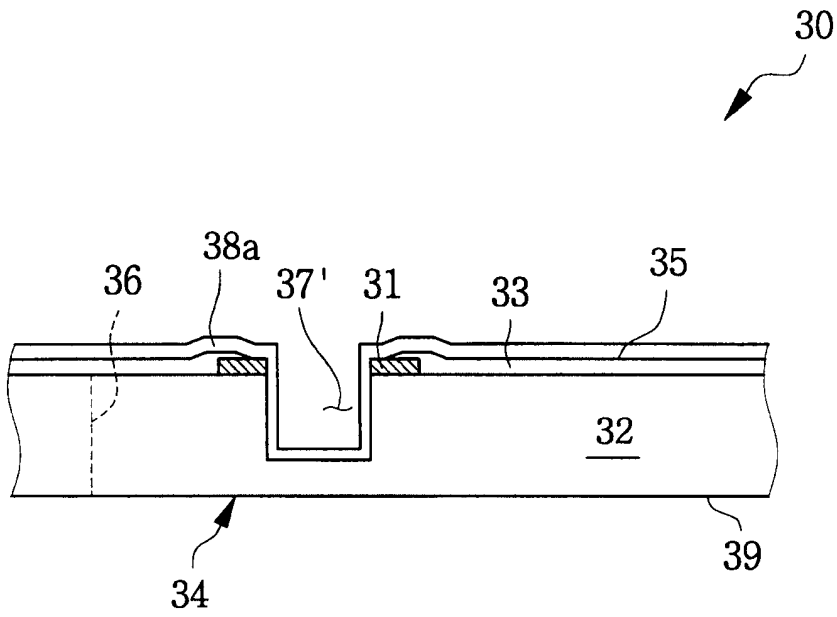


图 12a

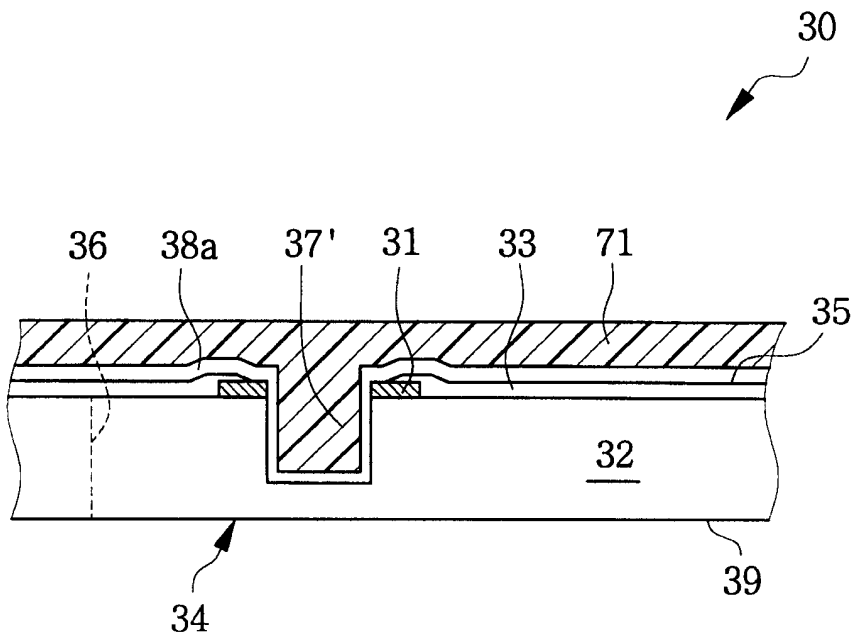


图 12b

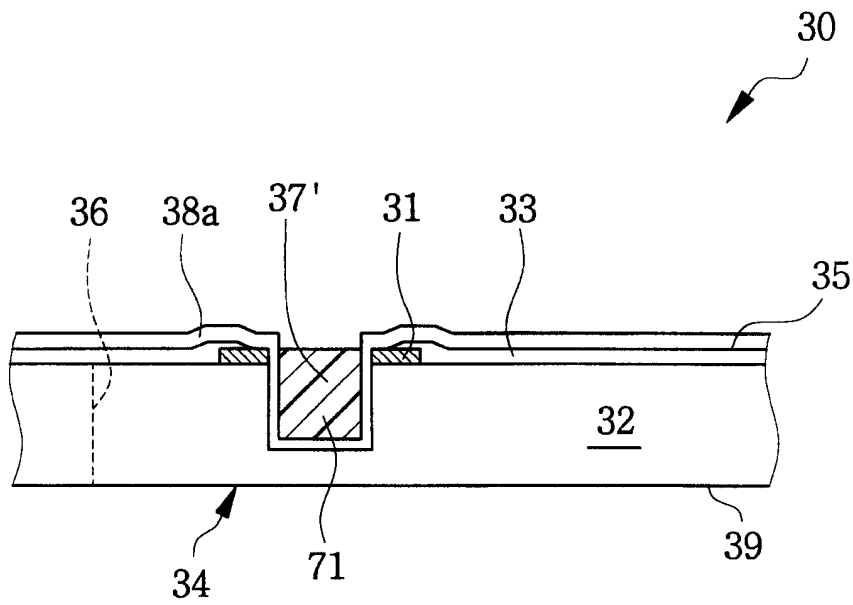


图 12c

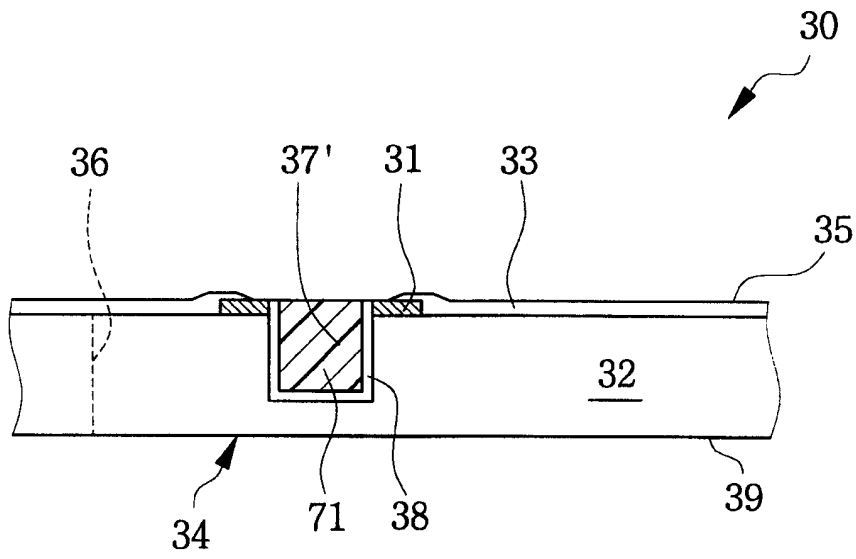


图 12d

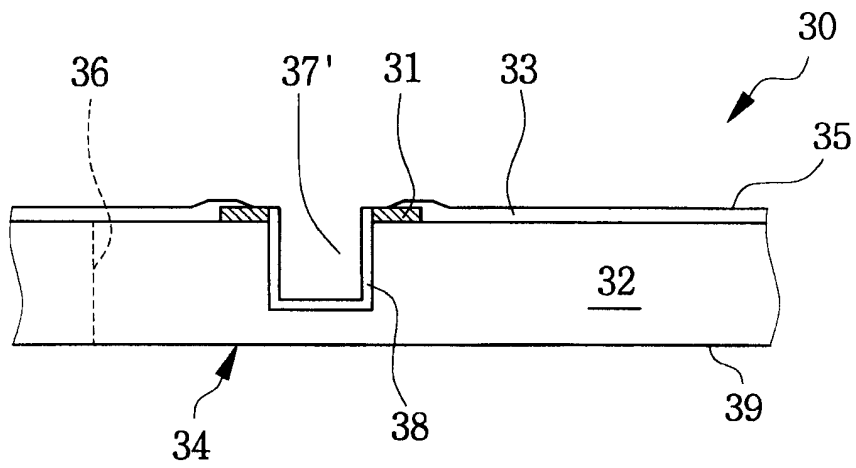


图 12e

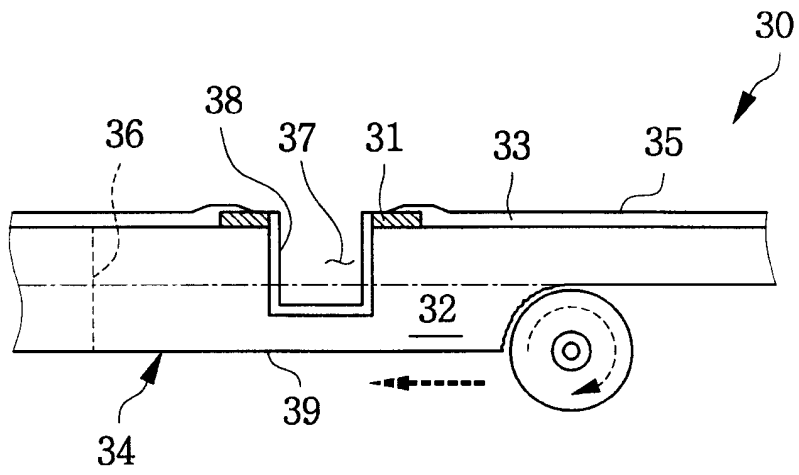


图 13

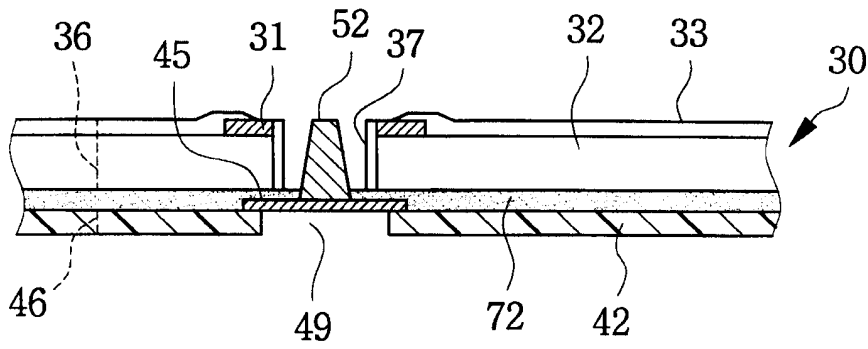


图 14

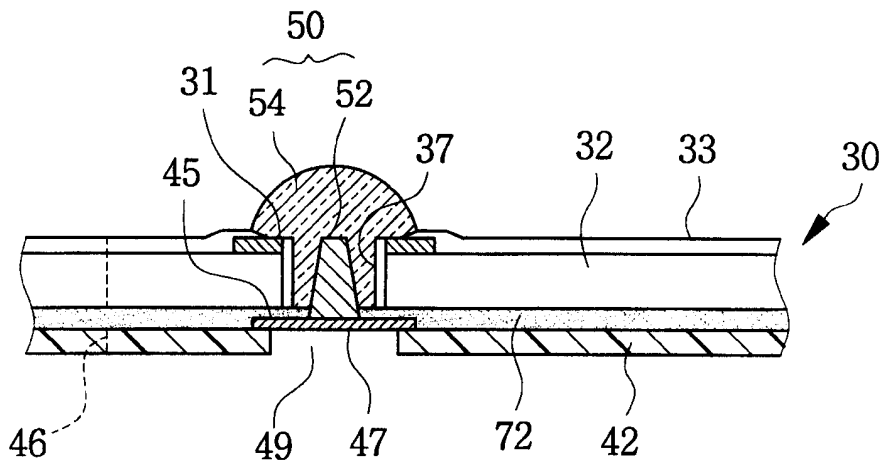


图 15

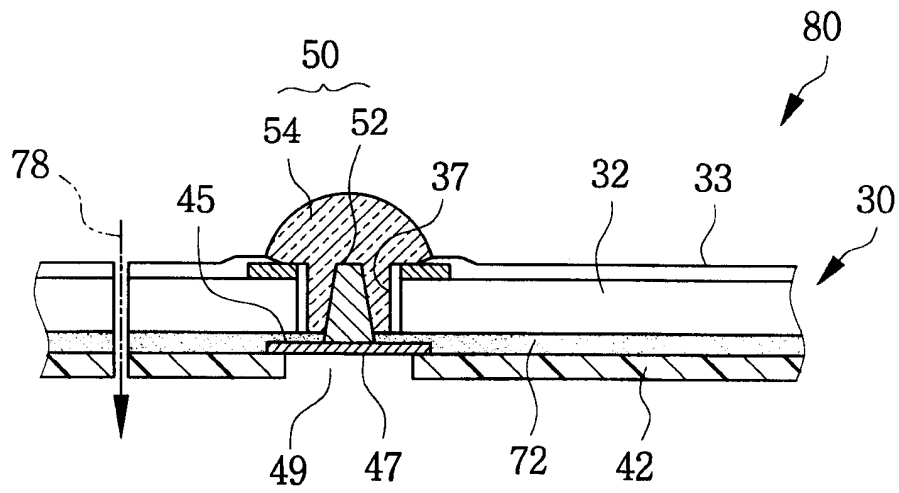


图 16

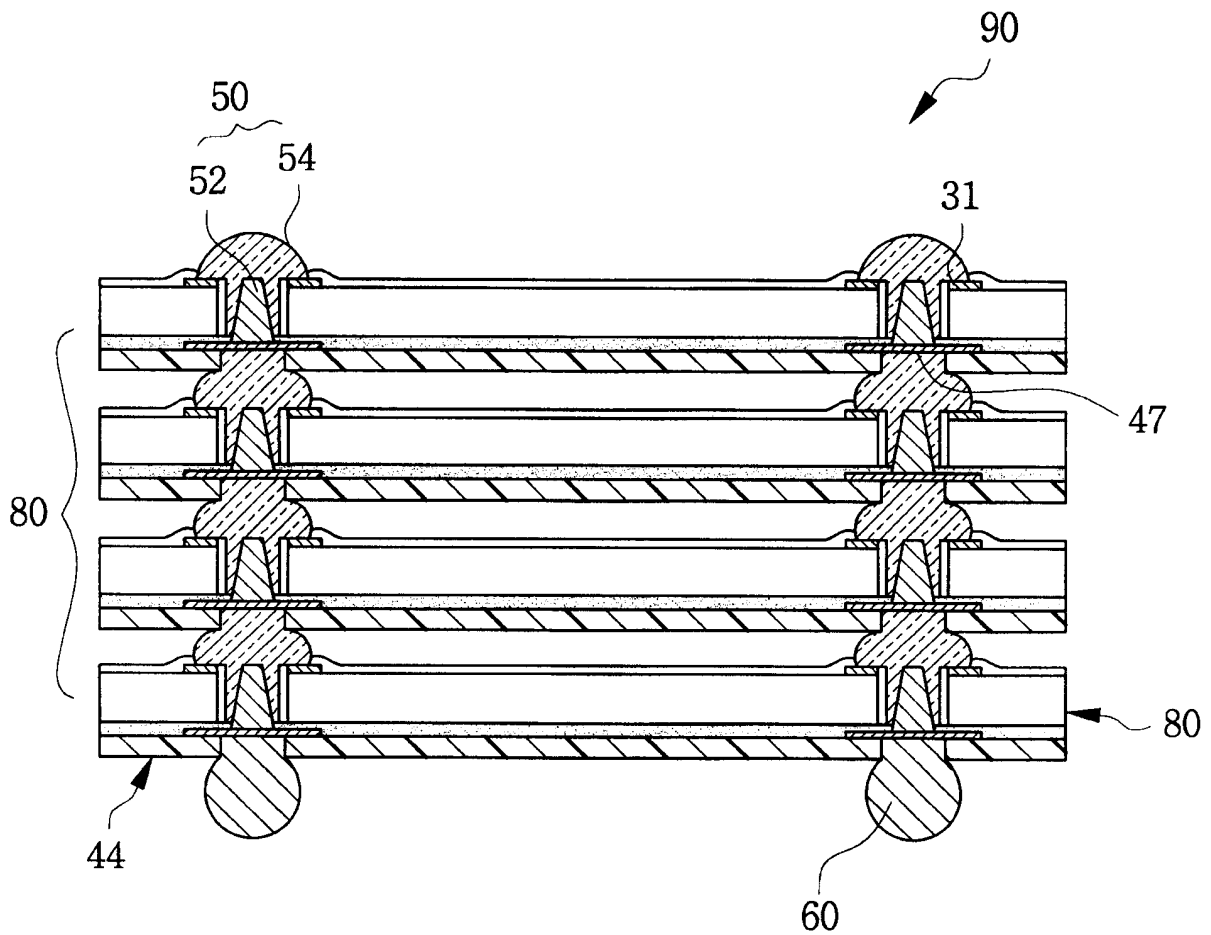


图 17

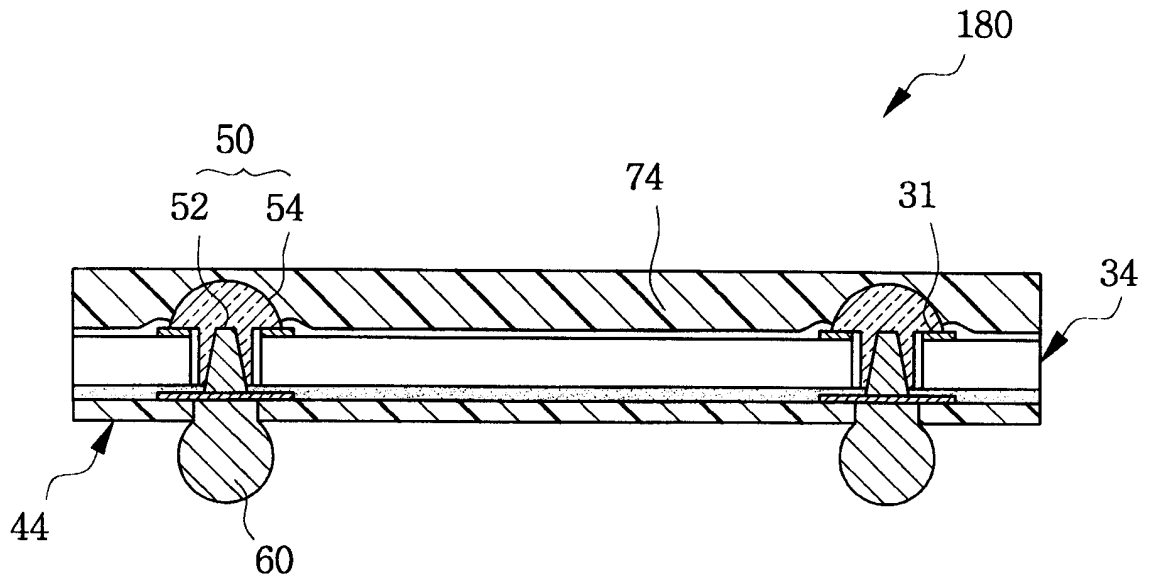


图 18

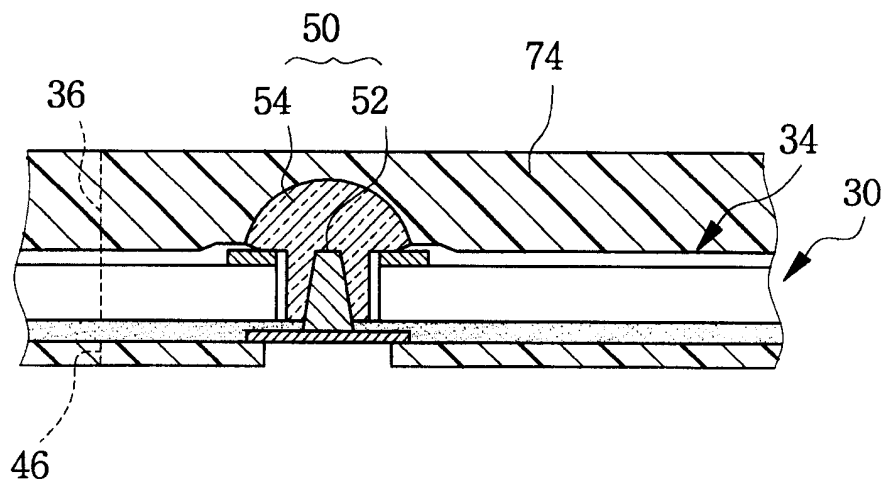


图 19

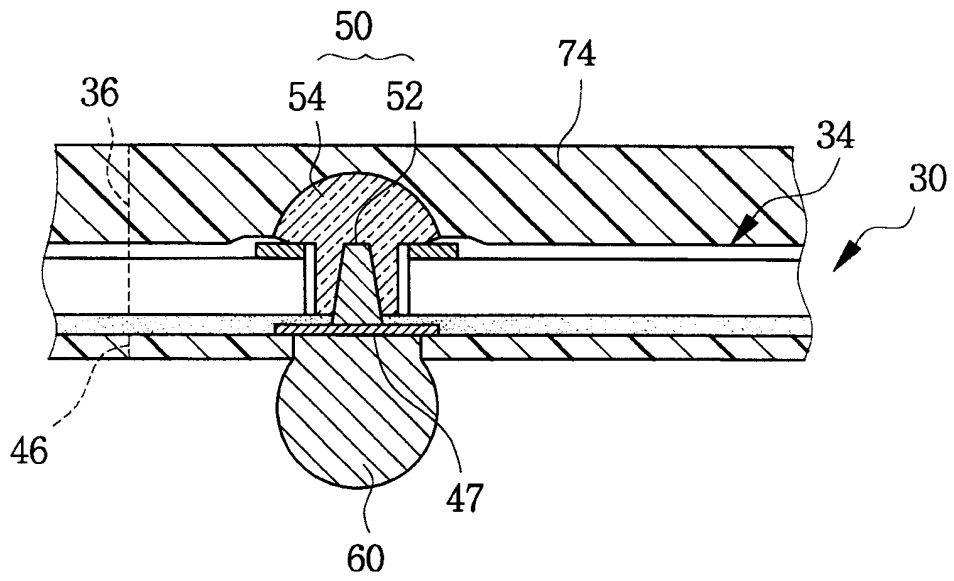


图 20

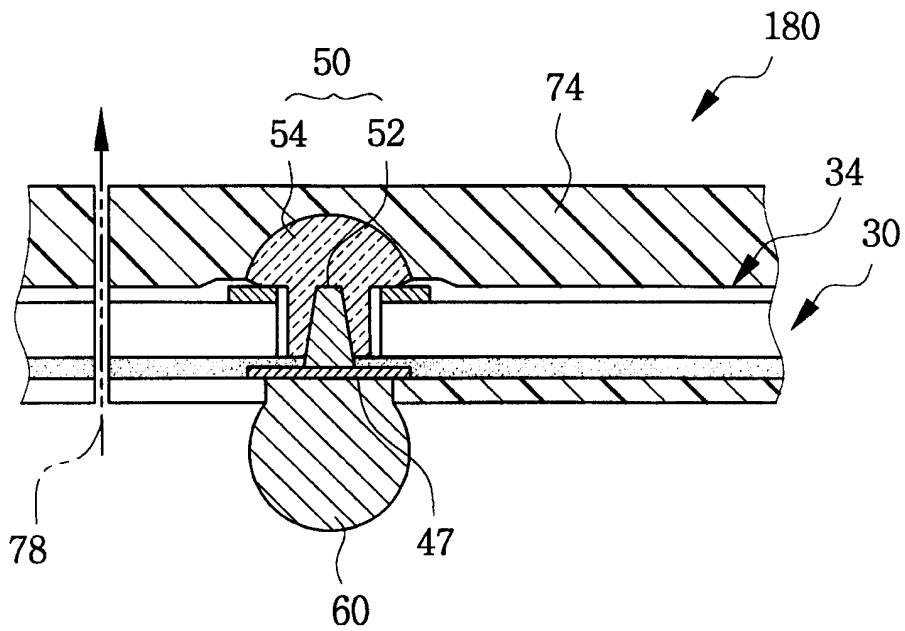


图 21

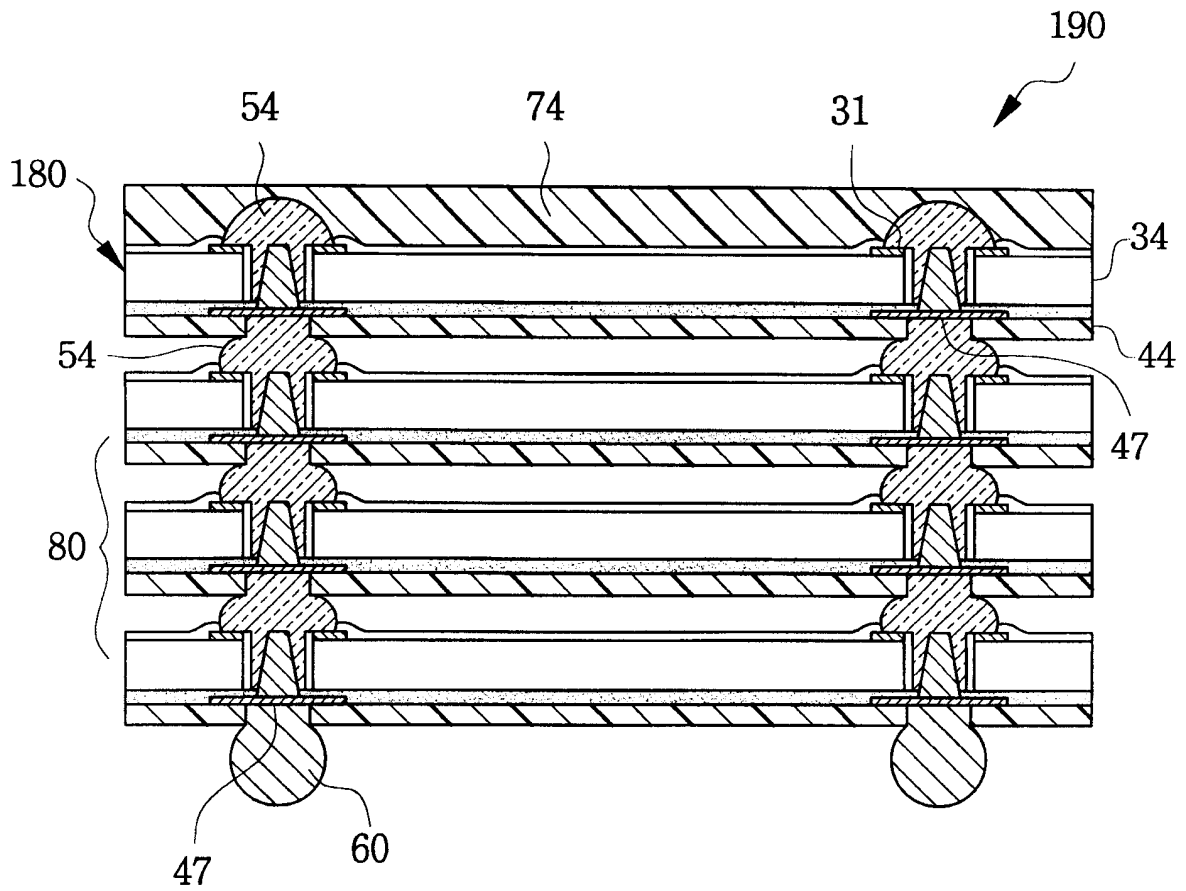


图 22

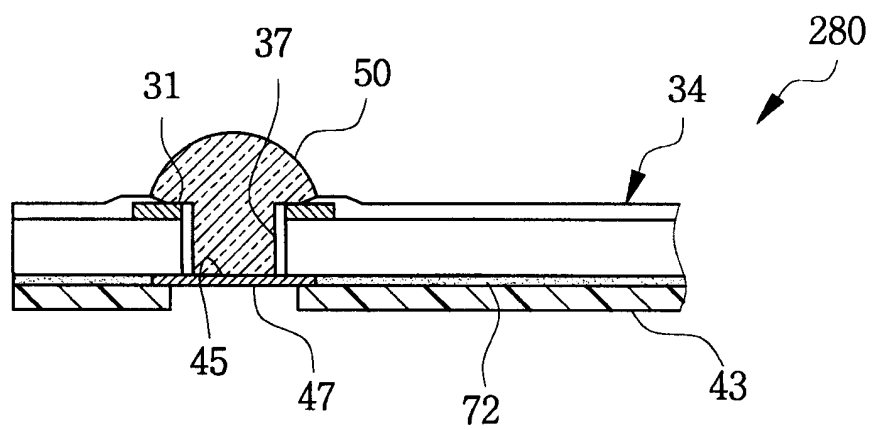


图 23

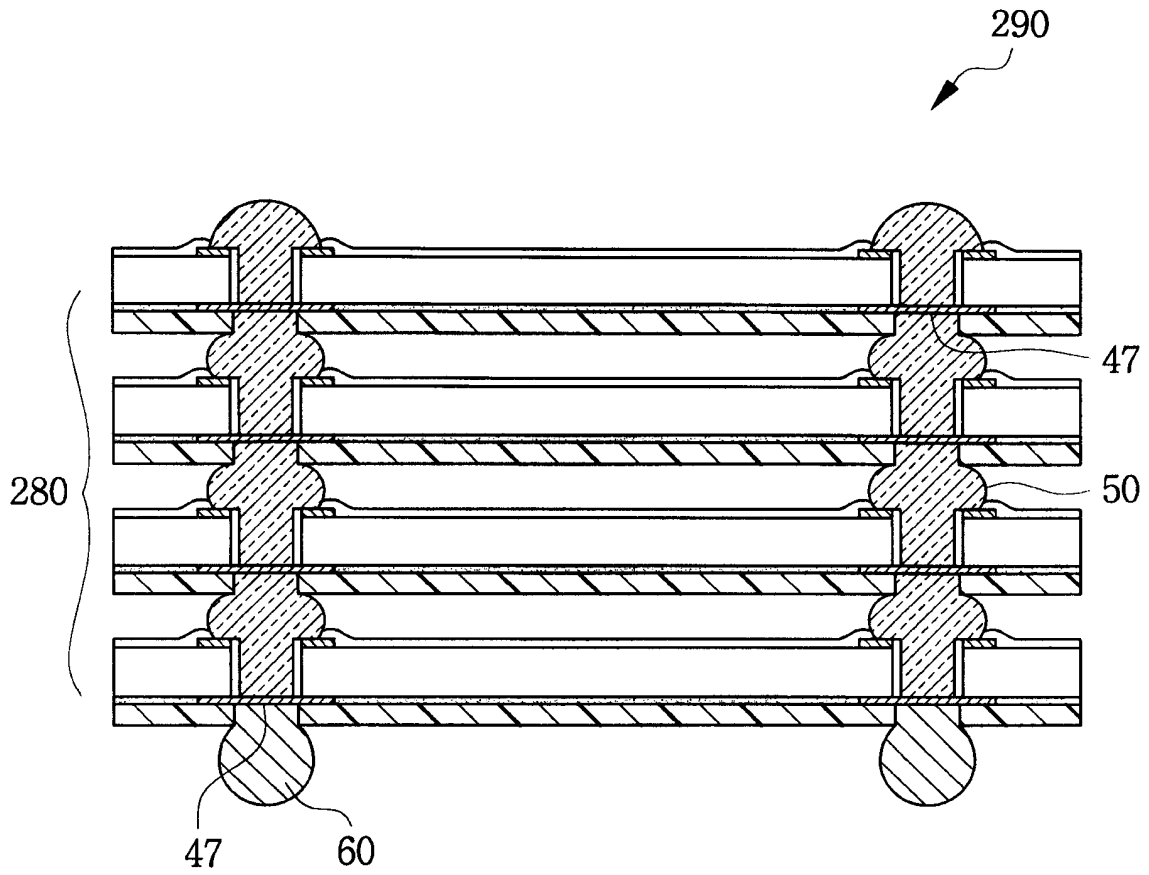


图 24

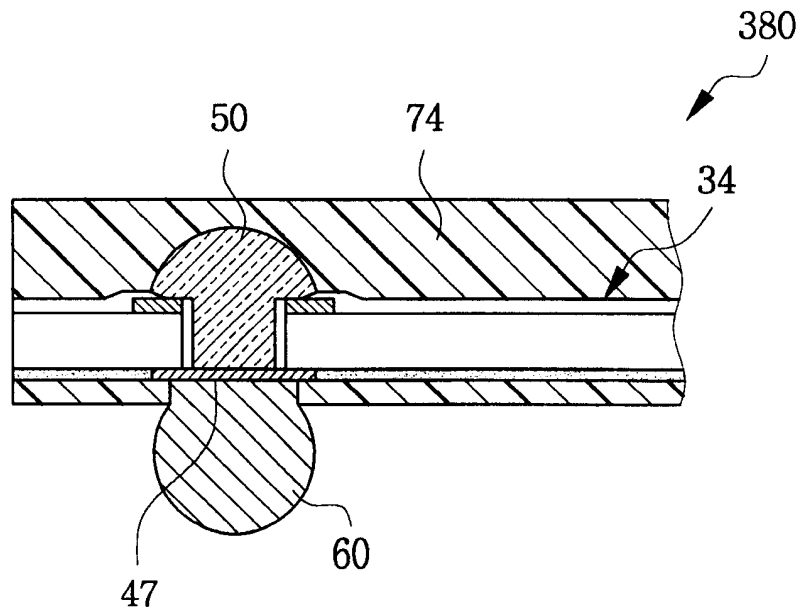


图 25

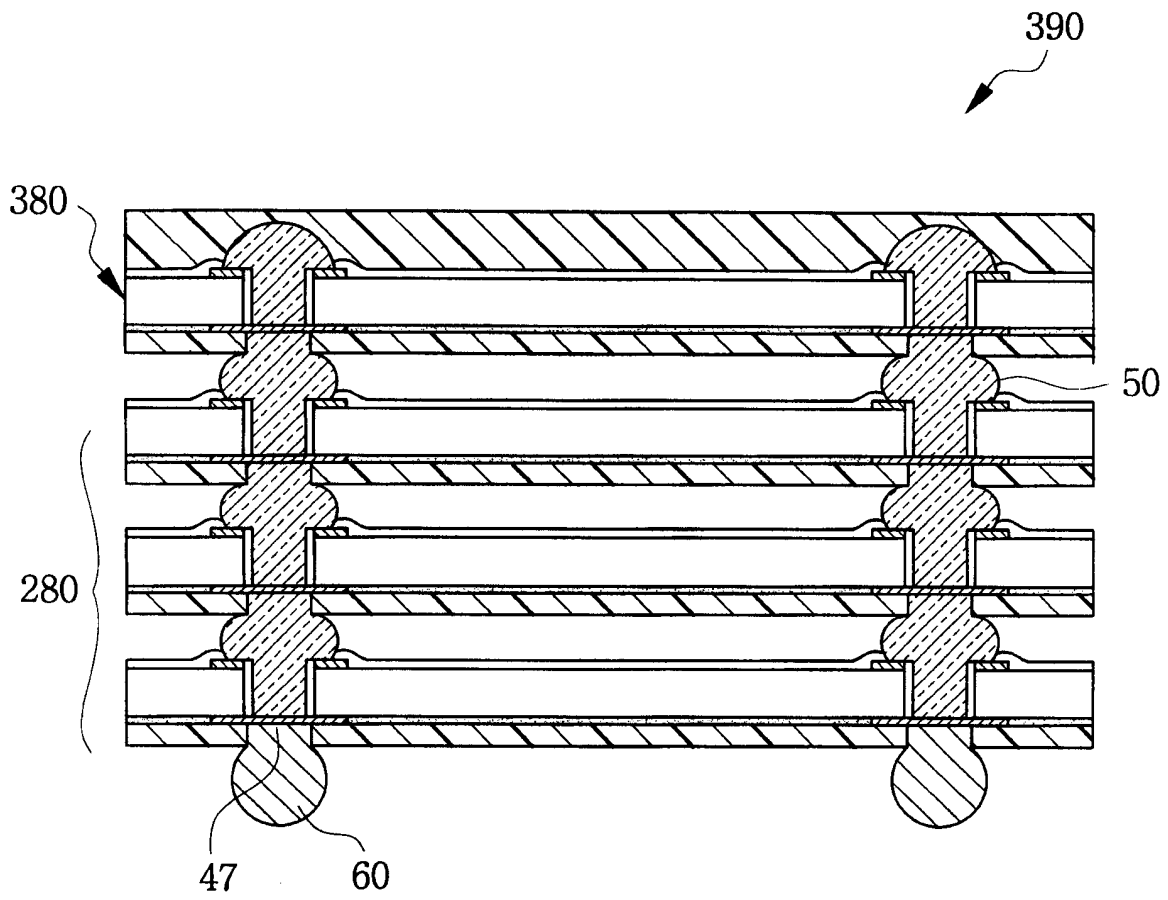


图 26

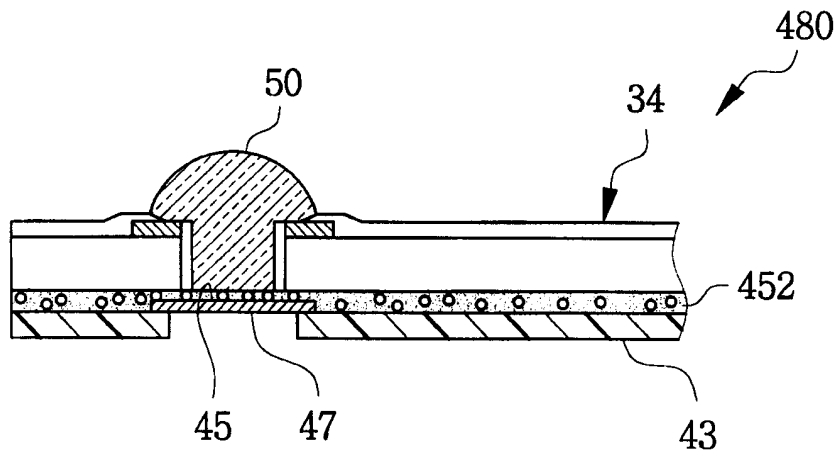


图 27

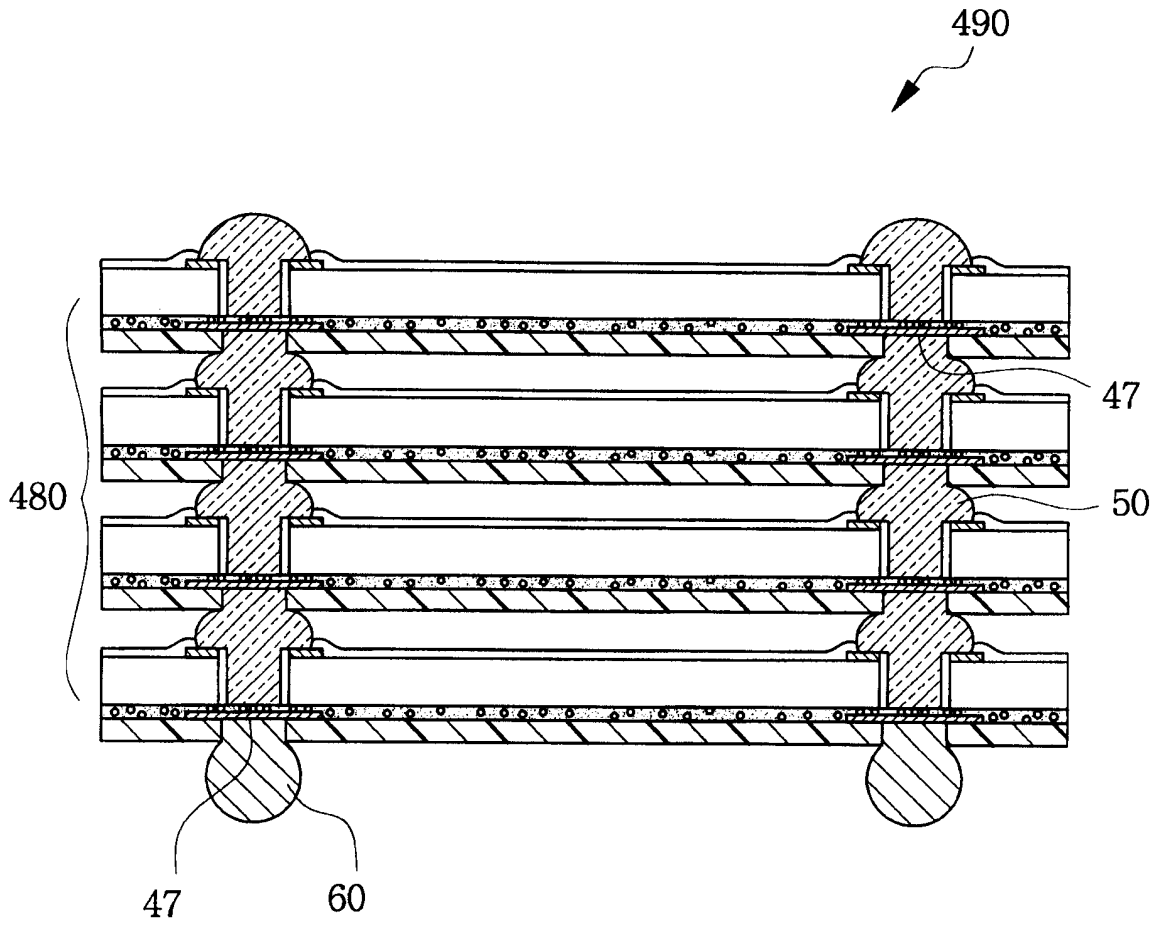


图 28

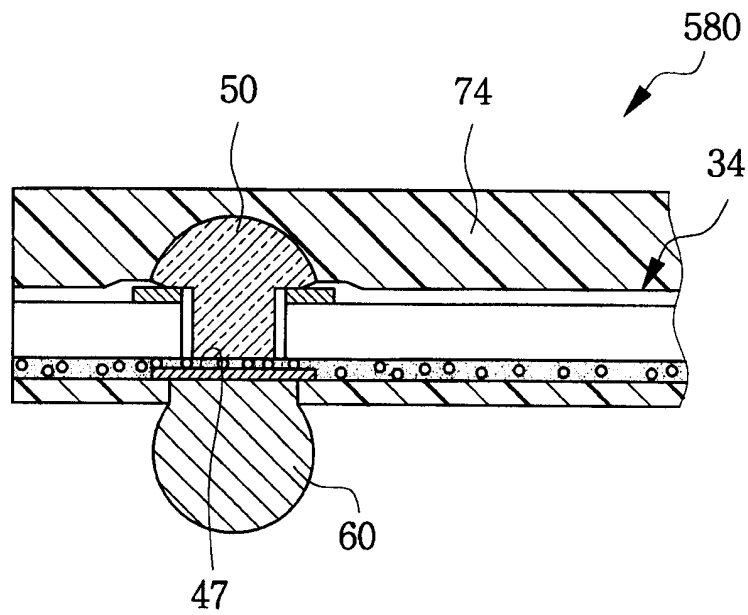


图 29

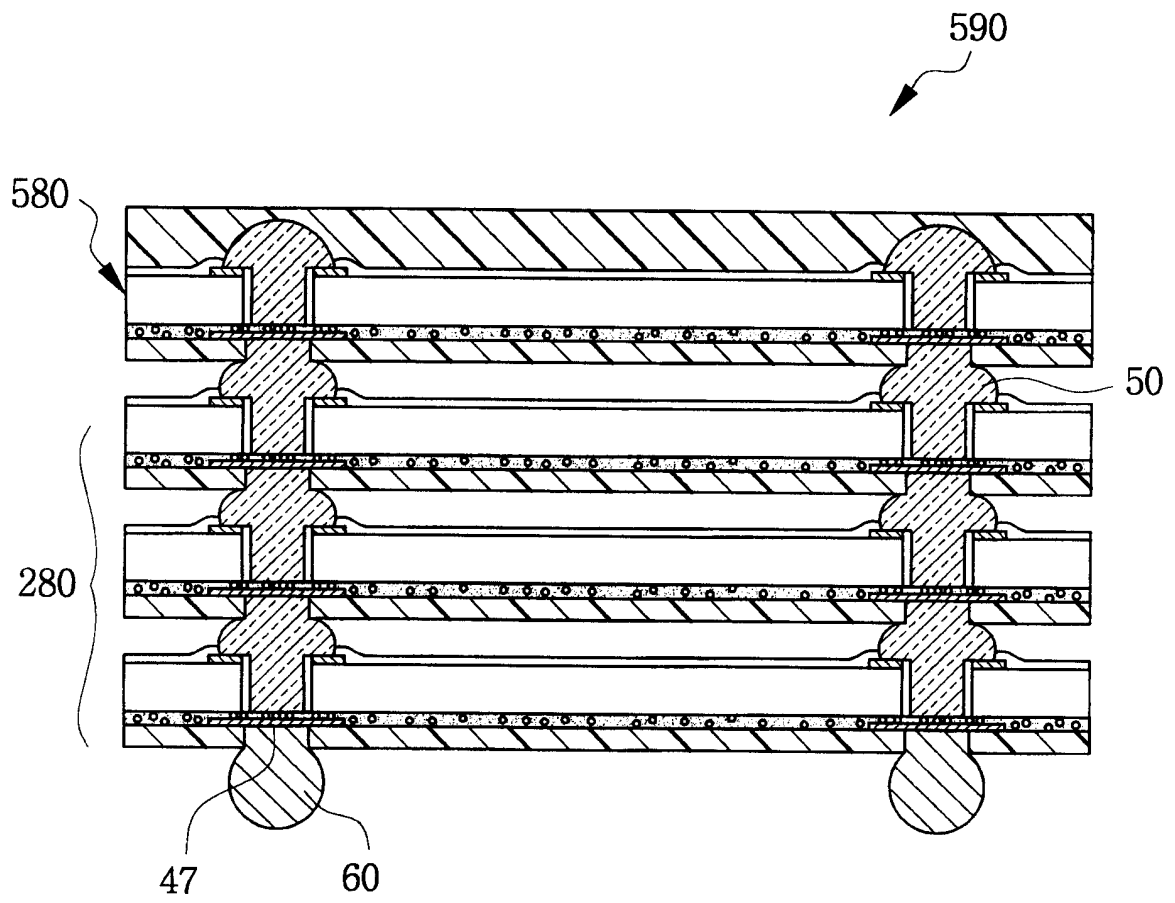


图 30

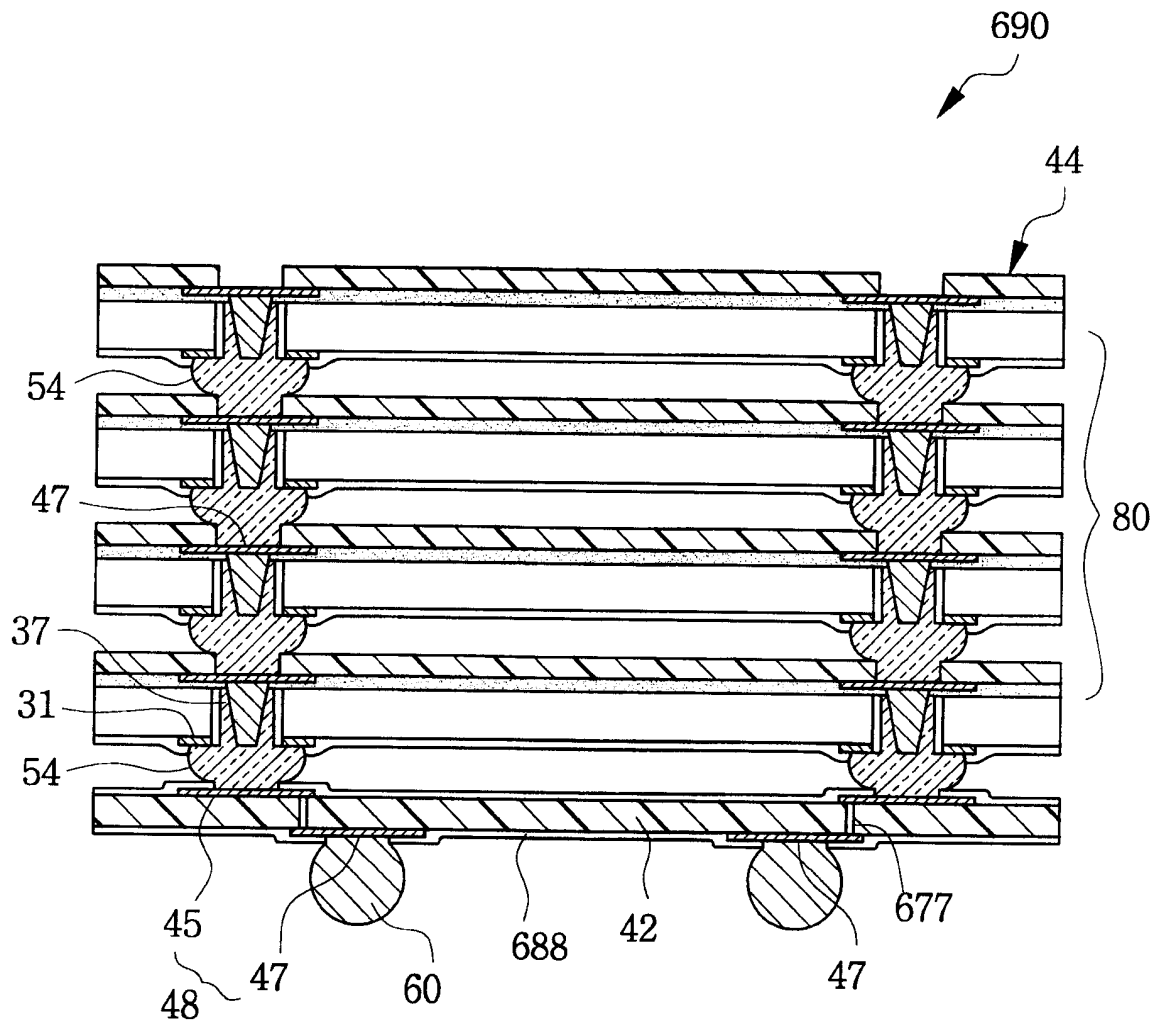


图 31