



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I869908 B

(45)公告日：中華民國 114 (2025) 年 01 月 11 日

(21)申請案號：112124487

(22)申請日：中華民國 112 (2023) 年 06 月 30 日

(51)Int. Cl. : H01L21/3065(2006.01)

H01L21/311 (2006.01)

H01L21/76 (2006.01)

(30)優先權：2022/07/25 世界智慧財產權組織 PCT/JP2022/028584

(71)申請人：日商日立全球先端科技股份有限公司(日本)HITACHI HIGH-TECH CORPORATION
(JP)

日本

(72)發明人：南珠鉉 NAM, JUHYUN (KR)；石丸正人 ISHIMARU, MASATO (JP)；田原正太
TAHARA, SHOTA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 388953

TW 200746293A

TW 201034072A

TW 201327661A

US 2005/0245042A1

審查人員：張展溢

申請專利範圍項數：12 項 圖式數：16 共 43 頁

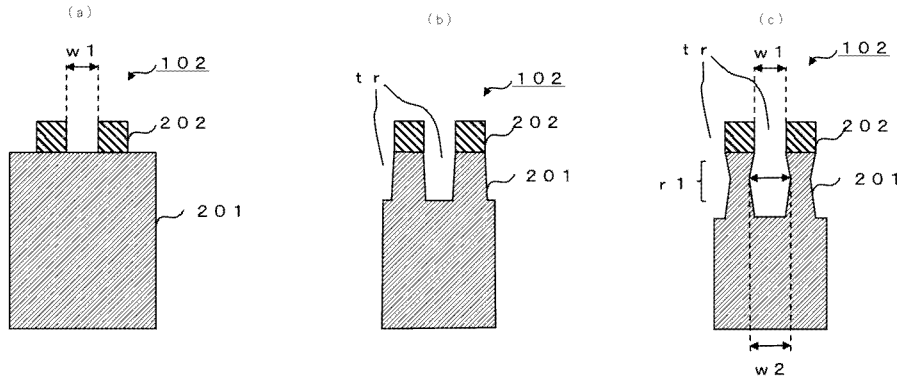
(54)名稱

電漿處理方法

(57)摘要

本發明提供一種技術，藉由控制製程條件，可實現垂直性的蝕刻。本發明的一種電漿處理方法，是形成淺溝渠隔離(Shallow Trench Isolation)的電漿處理方法，其特徵為具有：第一步驟，以電漿蝕刻矽；第二步驟，使含有矽元素的堆積膜堆積於遮罩上；第三步驟，以電漿蝕刻前述矽，使蝕刻形狀成為垂直；以及第四步驟，將含有 SiO 的堆積膜堆積於遮罩上，將第一步驟至第四步驟反覆進行規定次數，第三步驟的電漿，是以藉由第一脈衝所調變之高頻電力來產生，第三步驟在進行中，持續將藉由第二脈衝所調變之高頻電力，供給至以前述矽為基板的試料，第三步驟中之第一脈衝的頻率，比第三步驟中之第二脈衝的頻率更高。

指定代表圖：



【圖 2】

符號簡單說明：

102:晶圓

201:矽基板

202:遮罩

w1:空隙的間隔，空隙
寬度

w2:寬度

tr:溝渠

r1:範圍



I869908

【發明摘要】

【中文發明名稱】

電漿處理方法

【中文】

本發明提供一種技術，藉由控制製程條件，可實現垂直性的蝕刻。本發明的一種電漿處理方法，是形成淺溝渠隔離(Shallow Trench Isolation)的電漿處理方法，其特徵為具有：第一步驟，以電漿蝕刻矽；第二步驟，使含有矽元素的堆積膜堆積於遮罩上；第三步驟，以電漿蝕刻前述矽，使蝕刻形狀成為垂直；以及第四步驟，將含有SiO的堆積膜堆積於遮罩上，將第一步驟至第四步驟反覆進行規定次數，第三步驟的電漿，是以藉由第一脈衝所調變之高頻電力來產生，第三步驟在進行中，持續將藉由第二脈衝所調變之高頻電力，供給至以前述矽為基板的試料，第三步驟中之第一脈衝的頻率，比第三步驟中之第二脈衝的頻率更高。

【指定代表圖】圖2

【代表圖之符號簡單說明】

102:晶圓

201:矽基板

202:遮罩

w1:空隙的間隔，空隙寬度

w2:寬度

tr:溝渠

r1:範圍

【特徵化學式】無

【發明說明書】

【中文發明名稱】

電漿處理方法

【技術領域】

【0001】本發明是關於電漿處理方法。

【先前技術】

【0002】近年來，半導體器件持續高度積體化，所謂鰭式場效電晶體 (Fin Field Effect Transistor，以下也稱為「Fin-FET」) 的三維結構電晶體也持續實用化。而且其發展型結構，也就是閘極覆蓋在通道之上面-左面-右面-下面共 4 面的環繞式閘極 (Gate-All-Around，以下也稱為「GAA」) 亦持續發展中。當半導體器件如此更加細微化、更加高規格化，而各界期待形成形狀更加複雜的圖案，那麼半導體器件的製程，尤其是蝕刻技術，就要求建立一種具有高度選擇性的垂直加工製程，能夠對應新材料與新架構。

【0003】例如 Fin-FET 的淺溝渠隔離 (Shallow trench isolation，以下也稱為「STI」) 架構蝕刻，由於其形狀的剖面積會變化，因此必須在蝕刻途中改變蝕刻領域的形成條件。為了以乾式蝕刻實現這樣的形狀，要求更加擴大製程窗口，亦即擴大最佳製程條件的範圍。

【0004】實現高精確度電漿蝕刻的技術之一，就是使

用脈衝電源的電漿蝕刻方法。例如專利文獻1所揭示的方法中，是測量以電漿分解反應性氣體所產生之自由基的密度及成份。然後，以恆定週期對電漿產生裝置的電力進行脈衝調變，基於測量結果控制脈衝調變的佔空比，藉此就能控制自由基的密度及成份。

【0005】再者，專利文獻2揭示了以下的方法：對電漿產生用之高頻線圈(天線線圈)交互供給高功率電力與低功率電力，在高功率電力時以濺鍍進行保護膜的形成，在低功率電力時進行蝕刻處理，交互且反覆實施蝕刻步驟與保護膜形成步驟，藉此於矽基板形成長寬比較高的貫通孔。

[先前技術文獻]

[專利文獻]

【0006】

[專利文獻1]日本特開平09-185999號公報

[專利文獻2]日本特開2010-21442號公報

【發明內容】

[發明欲解決之課題]

【0007】上述專利文獻1所揭示之使用脈衝放電的蝕刻方法中，是使用電漿產生之游離度較高的電漿進行蝕刻。所以要適用於形成Fin-FET這種三維結構元件的蝕刻處理，也就是適用於途中必須改變蝕刻領域之形成條件的蝕刻處理時，若要控制自由基的量使得堆積性適合於垂直

性蝕刻，製程窗口並不充足。

【0008】再者，專利文獻2所揭示的蝕刻處理中，高頻RF偏壓電力會引發區域帶電，使硬式遮罩材料及矽基板的側面帶有負電。因此離子軌道會彎曲，造成更多離子射入矽基板側面，而發生往橫方向進行蝕刻的側蝕刻現象。專利文獻2所揭示的蝕刻處理，並未考慮影響蝕刻垂直性的問題。

【0009】本發明之目的是提供一種技術，藉由控制製程條件，可實現垂直性的蝕刻。

[供解決課題之手段]

【0010】為了解決上述課題，本發明的一種代表性電漿處理方法，是形成淺溝渠隔離(Shallow Trench Isolation)的電漿處理方法，其特徵為具有：第一步驟，以電漿蝕刻矽；第二步驟，使含有矽元素的堆積膜堆積於遮罩上；第三步驟，以電漿蝕刻前述矽，使蝕刻形狀成為垂直；以及第四步驟，將含有SiO₂的堆積膜堆積於遮罩上，將前述第一步驟至前述第四步驟反覆進行規定次數，前述第三步驟的電漿，是以藉由第一脈衝所調變之高頻電力來產生，前述第三步驟一邊進行，一邊將藉由第二脈衝所調變之高頻電力，供給至以前述矽為基板的試料，前述第三步驟中之前述第一脈衝的頻率，比前述第三步驟中之前述第二脈衝的頻率更高。

[發明之效果]

【0011】若依據本發明，則藉由控制製程條件，可實現垂直性的蝕刻。除上述之外的課題、結構及效果，將藉由說明以下用以實施的方式來解釋清楚。

【圖式簡單說明】

【0012】

[圖1]係表示有關本發明第1實施方式之電漿處理方法被實施的電漿處理裝置的圖。

[圖2]係表示有關第1實施方式之電漿處理方法被實施的情況的示意圖。

[圖3]係表示對電漿產生用電力進行脈衝調變時，脈衝頻率與底切量之關係的圖。

[圖4]係表示對偏壓電力進行脈衝調變時，脈衝頻率與底切量之關係的圖。

[圖5]係示意表示第1實施方式所得到之偏壓電力與晶圓上飽和離子電流之關係的圖。

[圖6]係示意表示佔空比為40%且脈衝頻率為1300Hz時，電漿產生用電力與電漿密度之關係的圖。

[圖7]係示意表示佔空比為40%且脈衝頻率為1100Hz時，電漿產生用電力與電漿密度之關係的圖。

[圖8]係表示STI之形成方法之流程的圖。

[圖9]係示意表示STI形成步驟被執行之前矽基板之一部份的圖。

[圖 10]係示意表示第一步驟執行之後矽基板之一部份的圖。

[圖 11]係示意表示第二步驟執行之後矽基板之一部份的圖。

[圖 12]係示意表示第三步驟執行之後矽基板之一部份的圖。

[圖 13]係示意表示第四步驟執行之後矽基板之一部份的圖。

[圖 14]係示意表示反覆執行第一步驟至第四步驟，當溝渠蝕刻至規定深度之後矽基板之一部份的圖。

[圖 15]係示意表示反覆執行第一步驟至第四步驟之情況的圖。

[圖 16]係示意表示作為比較例之蝕刻步驟中矽基板之一部份的圖。

【實施方式】

【0013】以下，參照圖式說明本發明的實施方式。另外，本發明並不限定於此實施方式。再者，圖式之記載中，對相同部分附加相同符號來表示。

當多個結構要素具有相同或相當之功能的情況下，有時會附加相同符號進行說明。

關於圖式中所表示之各結構要素的位置、大小、形狀、範圍，為了容易理解發明，有時並非表示為實際的位置、大小、形狀、範圍。因此，本發明並不一定限定於圖

式所揭示的位置、大小、形狀、範圍。

【0014】再者，所謂「脈衝調變」(以下也稱為「藉由脈衝的調變」)，是指有輸出時為導通，無輸出時為關斷，並以規定頻率反覆導通與關斷。而規定的頻率也稱為「脈衝頻率」、「脈衝的頻率」或「反覆頻率」。佔空比是指導通期間對於導通期間與關斷期間之總和(亦即一個反覆週期)的比例。

再者，「淺溝渠隔離(Shallow Trench Isolation)」是指藉由蝕刻矽基板等而形成的元件分離用溝渠。

【0015】以下，參照圖式說明本案發明的實施方式。圖1係表示有關本發明第1實施方式之電漿處理方法被實施的電漿處理裝置的圖。

【0016】

<第1實施方式>

(電漿處理裝置)

電漿處理裝置100，具備進行電漿處理的真空處理室101。真空處理室101內設置有下部電極103，下部電極103設置有用以保持晶圓102的晶圓載置面。微波透過窗104是以石英等微波透過材料所構成，並且使真空處理室101內保持氣密。磁控管(以下也稱為「電漿產生裝置」)106所產生的微波，會通過波導管105並穿透微波透過窗104，傳導至真空處理室101內。再者，螺線管線圈107設置在真空處理室101周圍，於真空處理室101內產生磁場。下部電極103連接有靜電吸附電源108而被施加電壓，在晶圓102與

晶圓載置面之間產生靜電力。藉由這股所產生的靜電力，晶圓 102 會被固定於晶圓載置面。

【0017】磁控管驅動電源(以下也稱為「電漿產生用電源」)113，是將用以產生電漿的高頻電力(以下也稱為「電漿產生用電力」)供給至磁控管 106。電漿產生用電力，也稱為由第一脈衝進行調變的高頻電力。再者，基板偏壓電源 109 將要供給至試料亦即基板的偏壓電力，供給至下部電極 103。偏壓電力，也稱為由第二脈衝進行調變的高頻電力。磁控管驅動電源 113 與基板偏壓電源 109，是由電力控制部 114 進行控制。

【0018】更且，晶圓搬入口 110 是一個開口部，用以將晶圓 102 搬入真空處理室 101 或從中搬出。氣體供給口 111 是一個開口部，將供給至真空處理室 101 的氣體加以導通。

【0019】另外，電漿處理裝置 100 也設置有真空排氣裝置。真空排氣裝置具有以下功能：將真空處理室 101 減壓至期望的壓力，使電漿處理過程中所產生的反應產生物，從真空處理室 101 排氣出去。

【0020】其次說明使用電漿處理裝置 100 進行電漿處理時的處理。電漿處理裝置 100 進行以下的電漿處理方法：使用用以產生電漿的高頻電力與用以對試料施加偏壓的偏壓電力，對試料施加電漿處理。首先，將真空處理室 101 內部減壓之後，從氣體供給口 111 對真空處理室 101 內供給蝕刻氣體，將真空處理室 101 內調整為期望的壓力。

【0021】接著，藉由靜電吸附電源 108 施加數百 V 的直流電壓，將晶圓 102 靜電吸附於下部電極 103 上的晶圓載置面。之後，從磁控管驅動電源 113 供給有電漿產生用電力時，磁控管 106 會激發頻率 2.45 GHz 的微波。此微波會通過波導管 105 傳導至真空處理室 101 內。沒有被供給電漿產生用電力的時候，磁控管 106 就不會激發微波。

【0022】真空處理室 101 內，藉由螺線管線圈 107 而產生有磁場，此磁場與激發出來的微波發生相互作用，而在真空處理室 101 內產生高密度的電漿 112。

【0023】產生電漿 112 之後，從基板偏壓電源 109 對下部電極 103 供給偏壓電力。藉由供給偏壓電力，來控制電漿中之離子射入晶圓的能量，進而控制晶圓 102 的蝕刻處理。

【0024】然後，將供給至磁控管 106 的電漿產生用電力進行脈衝調變，而產生脈衝電漿。脈衝電漿，是使電漿產生用電力反覆成為有輸出之導通情況與無輸出之關斷情況，來控制電漿的游離，進而控制自由基的游離狀態或離子密度。使用此方式，則受到脈衝調變之電漿，其脈衝頻率及佔空比就是控制參數。藉由這些控制參數所產生的電漿，也稱為脈衝電漿。

【0025】再者，基板偏壓電源 109 的輸出也可以進行脈衝調變，控制脈衝頻率及佔空比，並將進行過脈衝調變的偏壓電力施加至下部電極 103。電漿產生用電力或者偏壓電力，是由電力控制部 114 進行控制。

【0026】另外，可以配合電漿處理裝置100的規格條件，使電漿產生用電力的佔空比在10%~90%的範圍內適當變更，或者使偏壓電力的佔空比在2%~90%的範圍內適當變更。通常是控制為僅在電漿產生用電力為導通時，使偏壓電力為導通。

【0027】再者，可以配合電漿處理裝置100的規格條件，使電漿產生用電力的脈衝頻率在100Hz~2000Hz的範圍內適當變更，或者使偏壓電力的脈衝頻率在100Hz~2000Hz的範圍內適當變更。

【0028】

(電漿產生用電力與偏壓電力的脈衝調變)

在先前技術中，對電漿產生用電力與偏壓電力雙方進行脈衝調變，並沒有對其產生的底切進行詳細分析。因此，發明人在對電漿產生用電力與偏壓電力之任一者都進行脈衝調變的狀況下，檢討底切的發生。

【0029】

(電漿處理)

以下說明形成淺溝渠隔離(Shallow Trench Isolation)的電漿處理方法。圖2係表示有關第1實施方式之電漿處理方法被實施的情況的示意圖。圖2(a)係示意表示進行電漿處理之前，矽基板201之剖面之一部份的圖。如圖2(a)所示，矽基板201的初始結構，是在矽基板201上形成有遮罩202的結構。遮罩202形成有圖案，該圖案具有規定間隔之空隙，而遮罩202之相鄰空隙的間隔 w_1 ，在用於STI形成步驟

的情況下為 20nm 以下，例如為 10nm 左右。在 STI 形成步驟中，矽基板 201 會被蝕刻 130nm 左右，而形成長寬比 6.5 左右的溝渠。另外在本實施方式中，將遮罩 202 設定為硬式遮罩，但遮罩種類並不限定於此。

【0030】圖 2(b) 係表示矽基板 201 之蝕刻其進行之狀況的圖。在此，由遮罩 202 之空隙所規定的矽基板 201 部分會被蝕刻，而形成溝渠 tr。至於處理條件，例如是使用含有鹵素氣體的混合氣體，壓力為 0.5Pa 以下。

【0031】圖 2(c) 係表示矽基板 201 之蝕刻其更加進行之狀況的圖。在此，溝渠 tr 之範圍 r1 的部分，會於平行於矽基板 201 之主面的方向被蝕刻，而產生頸形狀。像這種產生頸形狀的狀況，稱為發生底切。假設遮罩 202 之空隙寬度為 w1，溝渠 tr 寬度中最寬的寬度為 w2，則底切量可以評估為 w2-w1。

【0032】

(脈衝調變與底切的關係)

圖 3 係表示對電漿產生用電力進行脈衝調變時，脈衝頻率與底切量之關係的圖。另外，設定功率值為 900W，佔空比為 40%。

【0033】在此，隨著脈衝頻率數值增加，底切量顯出減少的傾向。若底切量抑制在 1nm 左右，就可獲得良好的溝渠形狀，而當脈衝頻率在 1300Hz 以上，底切量就能抑制在 1nm 以下。

【0034】再者，圖 4 係表示對偏壓電力進行脈衝調變

時，脈衝頻率與底切量之關係的圖。另外，設定功率值為 25W，佔空比為 2%。

【0035】在此，隨著脈衝頻率數值減少，底切量顯示出減少的傾向。再者，當脈衝頻率在 500Hz 以下，底切量就能抑制在 1nm 左右以下。

【0036】

(功用，效果)

如以上所說明，發明人發現對電漿產生用電力與偏壓電力都進行脈衝調變，就可抑制底切。電漿產生用電力的脈衝頻率是比偏壓電力的脈衝頻率更大，至於進行脈衝調變的指標，以溝渠形狀的觀點來看，則是電漿產生用電力之脈衝頻率在 1300Hz 以上，偏壓電力之脈衝頻率在 500Hz 以下，會得到良好的結果。如上所述，第 1 實施方式中對電漿產生用電力與偏壓電力的任一者都進行脈衝調變，就可實現垂直性的蝕刻。

【0037】

<第 2 實施方式>

(電漿的餘輝放電狀態)

圖 5 係示意表示第 1 實施方式所得到之偏壓電力與晶圓上飽和離子電流之關係的圖。實線表示偏壓電力，一點鏈線表示飽和離子電流。將縱軸設定為任意值，並將表示時間的橫軸與偏壓電力的橫軸加以重疊，來表示飽和離子電流。期間 p1 及 p3 表示偏壓電力之輸出為導通的期間，期間 p2 表示偏壓電力之輸出為關斷的期間。在期間 p1 及 p3 中，

顯示飽和離子電流會上升，也就會產生電漿。另一方面在期間 p2 中，顯示飽和離子電流會減少，但直到下一個導通期間為止並沒有完全消滅。

【0038】在此，發明人假設在第 1 實施方式中，即使是電漿產生用電力為關斷的期間，在電漿消滅之前，還是可以利用剩餘的自由基進行反應。先前已知，從電漿產生用電力關斷之後到電漿消滅為止的期間，會產生電漿游離度降低的狀態，也就是餘輝放電狀態。在此考察以電漿進行的蝕刻製程。

【0039】在電漿產生用電力導通的期間，處理氣體與電子的碰撞頻率會提高，促進氣體游離。在此情況下，電漿中的自由基大多是黏著係數比較大的自由基。當黏著係數較大，自由基就比較容易黏著於第一次碰撞的面。因此可以想見，矽基板 201 中面對電漿之上面側的溝渠部分，比較容易黏著自由基而進行蝕刻，另一方面，自由基就比較難以抵達溝渠深處，蝕刻也就不易進行。

【0040】另一方面，在電漿產生用電力關斷的期間，處於餘輝放電狀態，氣體與電子的碰撞頻率會減少，低游離狀態的氣體比例較大。隨著電漿消失，電漿密度會降低，電子與自由基的碰撞頻率就進一步減少。在此情況下，電漿中所包含的自由基，大多是黏著係數比較小的自由基。黏著係數比較小的自由基不會黏著於第一次碰撞的面，而有更多機會達到溝渠深處。由於溝渠深度方向之蝕刻量的偏移受到抑制，可以想見更容易得到一種溝渠，具

有對矽基板201面方向垂直之方向的形狀。

【0041】發明人進行上述的考察，推測第1實施方式中底切量受到抑制的原因之一，或許是利用了餘輝放電的狀態。因此，發明人為了有效活用餘輝放電的狀態，決定找出脈衝調變的最佳條件。另外，對於與上述第1實施方式對應的結構附加相同符號，省略說明。

【0042】

(電漿產生用電力的脈衝調變)

發明人將電漿產生用電力關斷之後，大概於0.5ms時觀測到電漿實質消滅。氣體種類、氣體壓力、有無磁場等各個條件會造成數值不同，但直到消滅為止的時間，並沒有太大差別。因此將餘輝放電狀態的殘餘時間訂為0.5ms來進行以下的檢討。

【0043】為了產生更多黏著係數較小的自由基來促進垂直方向的蝕刻，必須將餘輝放電狀態的持續時間最大化。表1表示將脈衝訊號佔空比設定為40%時，脈衝訊號之導通期間與關斷期間的計算結果，而且與餘輝放電狀態期間的0.5ms比對表示。如此表所示，1300Hz以上的電漿產生用電力關斷期間為0.46ms，比餘輝放電消滅的0.5ms更短。換句話說，用以調變電漿產生用電力的第一脈衝，其關斷時間比餘輝放電消滅為止的時間更短。因此，以佔空比40%且脈衝頻率1300Hz對電漿產生用電力進行脈衝調變的情況下，餘輝狀態會佔滿電漿產生用電力的整個關斷期間，以高效率產生黏著係數較小的自由基。另外，脈衝

頻率與佔空比的關係並不限定於上述數值。藉由進行此處所述的考察，可以基於餘輝放電狀態的期間，來調整脈衝頻率與佔空比。

【0044】

【表 1】

脈衝頻率 (H z)	脈衝導通期間 (m s)	脈衝關斷期間 (m s)	餘輝期間 (m s)
100.0	4.00	6.00	0.50
1000.0	0.40	0.60	0.50
1100.0	0.36	0.55	0.50
1200.0	0.33	0.50	0.50
1300.0	0.31	0.46	0.50
1400.0	0.29	0.43	0.50
1500.0	0.27	0.40	0.50
1800.0	0.22	0.33	0.50
2000.0	0.20	0.33	0.50

【0045】以視覺方式表示脈衝頻率與餘輝放電期間的關係。圖 6 係示意表示佔空比為 40% 且脈衝頻率為 1300Hz 時，電漿產生用電力與電漿密度之關係的圖。再者，圖 7 係示意表示佔空比為 40% 且脈衝頻率為 1100Hz 時，電漿產生用電力與電漿密度之關係的圖。在此，是縱軸以任意單位表示而將圖表重疊表示，來說明電漿密度與電漿產生電力的關係。

【0046】如圖 6 所示，在電漿產生用電力的導通期間中，電漿密度會上升並飽和，另一方面在關斷期間中，電漿密度會減少並發生餘輝放電狀態。電漿產生用電力的關斷期間長度為 0.46ms，比餘輝放電狀態的期間 0.50ms 更

短。換句話說，用以調變電漿產生用電力的第一脈衝，其關斷時間比餘輝放電消滅為止的時間更短。從而，餘輝放電狀態能夠佔滿電漿產生用電力的整個關斷期間，以高效率產生黏著係數較小的自由基。

【0047】再者，如圖7所示，電漿產生用電力的關斷期間長度為0.55ms，比餘輝放電狀態的期間0.5ms更長。在此情況下，於脈衝電力的關斷期間中，餘輝放電狀態就會消滅。如此一來，氣體與電子的碰撞頻率會進一步降低，氣體無法游離，造成更多氣體保持在供給時的狀態。由於未產生自由基，而成為難以進行蝕刻的狀態。

【0048】另外，由於將電漿產生用電力的佔空比設定為40%，要使餘輝放電狀態最大化之電漿發生用電力的脈衝頻率會成為1300Hz以上，脈衝頻率是要配合電漿產生用電力的佔空比來設定。例如將電漿產生用電力的佔空比設定為20%的情況下，若頻率保持恆定，關斷時間就會比40%的情況更大。因此，可以將餘輝狀態最大化之頻率的下限值，在以100Hz為單位來改變脈衝頻率的情況下，是比高頻電力佔空比為40%時更高的頻率，亦即1700Hz。如上所述，配合例如設定在10%到90%之間的佔空比，並以100Hz為單位來改變脈衝頻率的情況下，可使餘輝放電狀態最大化之電漿產生用電力的脈衝頻率，是在300Hz~2000Hz的範圍內。

【0049】

(偏壓電力的脈衝調變)

存在於電漿中的離子，可以想見幾乎都是藉由偏壓電力來加速，射入對晶圓垂直的方向，而達到長寬比較高之溝渠的底面或者細微圖案的底面。因此，到達遮罩 202 之側面或者矽基板 201 之溝渠之側面的離子，應該較少。另一方面，電子以各式各樣的入射角等向地射入晶圓，可以想見與離子比較起來，達到溝渠底面或細微圖案底面的數量會比較少。因此，電子會到達遮罩 202 的側面或形成於矽基板 201 之溝渠的側面，造成矽基板累積出局部電荷，也就是區域帶電。若此區域帶電造成離子軌道彎曲，則離子也會射入到側面，造成對矽基板 201 之側蝕刻量增加，成為發生底切或曲折等異常形狀的原因。

【0050】為了抑制這種區域帶電造成的側蝕刻，有效方法是降低偏壓電力的脈衝頻率。脈衝頻率愈高，每 1 次波升、波降的電流持續時間就愈短。因此，若脈衝頻率太高，就無法產生充分的期間電流，使累積在遮罩 202 或矽基板 201 之側面的電荷從晶圓 102 移動至下部電極 103。使晶圓表面的電荷穿透至下部電極 103 而去除累積於晶圓之電荷為止，需要次 ms 到 ms 單位的時間，所以為了使充分的電荷移動至下部電極 103，偏壓電力之輸出關斷的時間必須成為 ms 單位。

【0051】本實施方式，是使用佔空比設定為 2% 的偏壓電力。如表 2 所算出的結果，為了使脈衝輸出之關斷時間大於 1.0ms，將脈衝頻率設定為 900Hz 以下較佳。換句話說，用以調變偏壓電力的第二脈衝，其關斷時間比去除區

域帶電的時間更長者為佳。

【 0052 】

【表 2】

脈衝頻率 (H z)	脈衝導通期間 (m s)	脈衝關斷期間 (m s)
100	0.2	9.80
200	0.1	4.90
300	0.07	3.26
400	0.05	2.45
500	0.04	1.96
600	0.03	1.64
700	0.03	1.40
800	0.03	1.23
900	0.02	1.09

【 0053 】 另外，由於將偏壓電力的佔空比設定為 2%，消除區域帶電所需的脈衝頻率會成為 900Hz 以下，脈衝頻率值會依據佔空比的設定而不同。例如將佔空比設定為 50% 的情況，與設定為 2% 的情況相比，脈衝輸出之關斷期間的比值會變小。因此頻率若要獲得使電荷移動至電極所需的時間，只要是 500Hz 以下的頻率即可。如上所述，佔空比數值不同會使電荷移動至電極所需的時間也不同，所以相對於 2%~90% 以下之範圍內的佔空比，脈衝頻率分別作為 100Hz~900Hz 的範圍內為佳。

【 0054 】

【表 3】

脈衝頻率 (H z)	脈衝導通期間 (m s)	脈衝關斷期間 (m s)
100	5.00	5.00
200	2.50	2.50
300	1.67	1.67
400	1.25	1.25
500	1.00	1.00
600	0.83	0.83
700	0.71	0.71
800	0.63	0.63
900	0.56	0.56
1000	0.50	0.50

【0055】

(功用，效果)

發明人發現，在本實施方式中，作為脈衝調變的指標，為了使餘輝狀態最大化，而因應佔空比之設定將電漿產生用電力的脈衝頻率作為 300Hz~2000Hz 的範圍內，並因應佔空比之設定將偏壓電力(用以消除矽基板之區域帶電)的脈衝頻率作為 100Hz~900Hz 的範圍內。再者，使電漿產生用電力的脈衝頻率變得更高頻，可以使脈衝輸出的關斷期間縮短，也就更容易維持餘輝狀態。

【0056】再者，使偏壓電力的脈衝頻率變得更低頻，可以使脈衝關斷的期間變長，有效使區域帶電的累積電荷從晶圓 102 移動至下部電極 103。因為以上內容，可以想見較佳的方式為：用以對電漿產生用高頻電力進行調變之第一脈衝的頻率，比用以對高頻偏壓進行調變之第二脈衝的頻率更高；用以對電漿產生用高頻電力進行調變之第一脈

衝的佔空比，比用以對高頻偏壓進行調變之第二脈衝的佔空比更大。

【0057】如上所說明，若依據本實施方式，則在對電漿產生用電力與偏壓電力進行脈衝調變時，藉由適當設定佔空比，就可將電漿的餘輝狀態用於處理中，實現垂直性的蝕刻。

【0058】

<第3實施方式>

發明人根據第1實施方式及第2實施方式的檢討結果，提出STI形成步驟。另外，對於與上述第1實施方式及第2實施方式對應的結構附加相同符號，省略說明。

【0059】

(STI的形成方法)

以下說明STI的形成方法。圖8係表示STI之形成方法之流程的圖。此處所表示的流程圖是對晶圓102來進行，晶圓102的狀態是形成有形成STI所需之遮罩。

【0060】在第一步驟S11中，以電漿來蝕刻矽。在第一步驟中，對真空處理室101內供給適合晶圓之蝕刻之含有鹵素氣體的混合氣體，產生電漿，藉由電漿來蝕刻以矽為基板的試料。

【0061】在第二步驟S12中，使含有矽元素的堆積膜堆積於遮罩上。在第二步驟中，對真空處理室101內供給含有 SiCl_4 的混合氣體，於遮罩上形成含有矽元素的堆積膜。

【0062】在第三步驟 S13 中，以電漿蝕刻矽，使蝕刻形狀成為垂直。在第三步驟 S13 中，對真空處理室 101 內供給適合晶圓之蝕刻之含有鹵素氣體的混合氣體，產生電漿，藉由電漿一邊於垂直方向蝕刻一邊防止對圖案的底切。

【0063】在第四步驟 S14 中，將含有 SiO 的堆積膜堆積於遮罩上。在第四步驟 S14 中，對真空處理室 101 內供給含有 O₂ 的混合氣體，使遮罩與在第二步驟中堆積之堆積膜的表面氧化，形成氧化膜。

【0064】將第一步驟至第四步驟反覆進行規定次數，判斷溝渠深度是否為形成 STI 所需的深度，反覆進行蝕刻處理直到達到規定深度為止(步驟 S15)。將前述第一步驟至第四步驟反覆進行規定次數的步驟稱為 STI 形成步驟，用以形成 Fin-FET 的 STI。

【0065】另外，第三步驟 S13 的電漿，是由以第一脈衝所調變之高頻電力(以下也稱為「電漿產生用電力」)所產生，第三步驟 S13 是一邊對以矽為基板之試料供給以第二脈衝所調變的高頻電力(以下也稱為「偏壓電力」)一邊進行。

【0066】

(STI 形成方法時的晶圓示意圖)

更具體說明形成 STI 的步驟。另外在本實施方式中，舉例說明晶圓 102 為矽基板，但本發明並不限定於此。晶圓 102 可以使用以矽基板以外之材料所形成的基板，或者

也可以在矽基板上形成半導體結構之後再進行本實施方式的電漿處理。

【0067】圖9係示意表示STI形成步驟被執行之前矽基板201之一部份的圖。如此處所示，矽基板201的初始結構，是在矽基板201上形成有遮罩202的結構。遮罩202以規定間隔被圖案化，而遮罩202之相鄰空隙的間隔 w_1 為20nm以下，例如為10nm左右。透過STI的形成，矽基板會被蝕刻130nm左右，而形成長寬比6.5左右的溝渠。另外，遮罩202的材料及膜厚可以適當選擇。在本實施方式中，用以蝕刻矽基板201之與矽的選擇比，形成於遮罩上的層，遮罩上所進行之灰化等條件，在選擇時都會考慮。

【0068】接著進行圖8所示的STI形成步驟。在此，表4表示STI形成步驟所包含之各個步驟中，電漿產生用電源113與基板偏壓電源109之設定條件的一例。第一步驟S11與第三步驟S13，對電漿產生用電源113與基板偏壓電源109的任一者都進行脈衝調變。第二步驟S12與第四步驟S14，電漿產生用電源113之輸出為保持導通的連續波(CW, Continuous Wave)，對基板偏壓電源109進行脈衝調變。

【0069】

【表 4】

步驟	壓力	電漿產生用電源			基板偏壓電源		
		功率值	佔空比	脈衝頻率	功率值	佔空比	脈衝頻率
	(Pa)	(W)	(%)	(Hz)	(W)	(%)	(Hz)
1	0.45	1200	35	2000	380	25	2000
2	0.45	1200	—	—	60	5	100
3	0.45	900	40	1800	50	2	100
4	0.45	700	—	—	60	25	1000

【0070】圖 10 係示意表示第一步驟 S11 執行之後矽基板 201 之一部份的圖。在第一步驟 S11 中，對形成有遮罩 202 之具備初始結構的矽基板 201，進行有關第一步驟 S11 之蝕刻，藉此在遮罩 202 上以空隙所規定的部分形成溝渠 tr。至於處理條件，理想來說是使用含有鹵素氣體的混合氣體，壓力為 0.5Pa 以下。表 1 所示的例子中，壓力設定為 0.45Pa。

【0071】第一步驟 S11 一邊進行，一邊將脈衝調變後之偏壓電力供給至載置有晶圓 102 的下部電極 103。再者，理想來說，對用以產生電漿之電漿產生用電力進行調變的第一脈衝，比起對供給至下部電極 103 之偏壓電力進行調變的第二脈衝，佔空比更大。

【0072】如表 4 所示，電漿產生用電源 113 的功率值為 1200W。再者，對從電漿產生用電源 113 輸出之高頻電力進行調變的第一脈衝，設定佔空比為 35%，脈衝頻率為 2000Hz。基板偏壓電源 109 的功率值為 380W。再者，對從基板偏壓電源 109 輸出之高頻電力進行調變的第二脈衝，設定佔空比為 25%，脈衝頻率為 2000Hz。電漿產生用電力

與偏壓電力的任一者都藉由脈衝進行調變。另外，說明表 4 所表示的其他數值，第一步驟 S11 中之第一脈衝的佔空比 (35%)，比第一步驟 S11 中之第二脈衝的佔空比 (25%) 更大。第三步驟 S13 中之第二脈衝的頻率 (100Hz)，比第一步驟 S11 中之第二脈衝的頻率 (2000Hz) 更低。第三步驟 S13 中之第二脈衝的佔空比 (2%)，比第一步驟 S11 中之第二脈衝的佔空比 (25%) 更小。第二步驟 S12 中之第二脈衝的頻率 (100Hz)，比第一步驟 S11 中之第二脈衝的頻率 (2000Hz) 更低。第二步驟 S12 中之第二脈衝的佔空比 (5%)，比第一步驟 S11 中之第二脈衝的佔空比 (25%) 更小。

【0073】在此，將第一步驟作為對電漿產生用電力與偏壓電力進行脈衝調變的步驟，當電漿電力關斷時，蝕刻中產生的反應產生物會經由真空排氣裝置被排氣，所以能抑制反應產生物黏著於遮罩 202 與矽基板 201 而形成堆積物。再者，當降低氣體壓力的情況下，可以更加減少蝕刻中的反應產生物。因此，能夠抑制反應產生物妨礙蝕刻進行，進而進行矽基板之垂直方向的蝕刻。

【0074】圖 11 係示意表示第二步驟 S12 執行之後矽基板 201 之一部份的圖。在第二步驟中會供給 SiCl_4 氣體，使用 SiCl_4 氣體產生電漿，在遮罩 202 上面形成含有矽元素之矽系堆積膜 203。藉由在遮罩 202 上面設置堆積膜 203，則之後更深入蝕刻矽基板 201 的時候，可抑制遮罩 202 之上面及側面的損傷，防止遮罩所具有的圖案崩塌。另外，在第二步驟 S12 中，電漿中所包含之 Cl 離子的尺寸較大，有抑

制堆積膜堆積於溝渠 tr 內的功效。因此，即使堆積膜有可能堆積於遮罩 202 之外的位置，份量也少得可以忽視其影響，因此在圖 11 中並不考慮。這個現象對後述之第四步驟 S14 中的氧化膜 204 也是一樣，使電漿中含有 Cl 離子。

【0075】如表 4 所示，電漿產生用電源 113 的功率值為 1200W，不進行脈衝調變。基板偏壓電源 109 設定功率值為 60W，佔空比為 5%，脈衝頻率為 100Hz。

【0076】圖 12 係示意表示第三步驟 S13 執行之後矽基板 201 之一部份的圖。在此，溝渠 tr 是形成於對矽基板 201 垂直的方向。至於第三步驟的處理條件，是對真空處理室 101 內供給適合矽基板蝕刻且含有鹵素氣體的任意混合氣體。另外，至於鹵素氣體，例如氟氣的反應性較高，所以經常使用。

【0077】如表 4 所示，電漿產生用電源 113 的功率值為 900W。對從電漿產生用電源 113 輸出之電漿產生用電力進行調變的第一脈衝，設定佔空比為 40%，脈衝頻率為 1800Hz。基板偏壓電源 109 的功率值為 50W。對從基板偏壓電源 109 輸出之高頻電力進行調變的第二脈衝，設定佔空比為 2%，脈衝頻率為 100Hz。

【0078】再者，與第一步驟 S11 相同，對電漿產生用電力與偏壓電力進行脈衝調變，當電漿電力關斷時，蝕刻中產生的反應產生物會經由真空排氣裝置被排氣，所以能抑制堆積物黏著於遮罩 202 與矽基板 201。更且，藉由降低氣體壓力來減少蝕刻中的反應產生物，能夠進行矽基板之

垂直方向的蝕刻。

【0079】圖 13 係示意表示第四步驟 S14 執行之後矽基板 201 之一部份的圖。在第四步驟 S14 中，供給含有 Ar 與 O₂ 的混合氣體，使遮罩 202 與在第二步驟 S12 中產生之堆積膜 203 的表面氧化，形成氧化膜 204。如圖 13 所示，藉由在堆積膜 203 上面設置氧化膜 204，則更深入蝕刻矽基板的時候，可更加抑制遮罩 202 之上面及側面的損傷，防止遮罩 202 的圖案受到損傷。另外，氧化膜 204 含有 SiO，但不限定於此。也可以含有 SiO₂，或者含有其他氧化物亦可。

【0080】如表 4 所示，電漿產生用電源 113 的功率值為 700W，不進行脈衝調變。基板偏壓電源 109 設定功率值為 60W，佔空比為 25%，脈衝頻率為 1000Hz。

【0081】圖 14 係示意表示反覆執行第一步驟 S11 至第四步驟 S14，當溝渠 tr 蝕刻至規定深度 d1 之後矽基板之一部份的圖。此處的溝渠 tr 是透過 STI 形成步驟，使深度 d1 達到形成 STI 所需的數值。

【0082】另外，本實施方式中是將第一步驟 S11 至第四步驟 S14 反覆進行 6 次來進行蝕刻，藉此使溝渠深度成為 130nm。另外，本實施方式是進行蝕刻處理直到溝渠深度達到 130nm 為止，但並不限定於此，只要蝕刻處理達到可以形成 Fin 的規定深度即為足夠。也可以事先調查溝渠的深度與製造條件、STI 形成步驟的反覆次數，在儘進行規定次數之 STI 形成步驟的情況下，使溝渠對應成為期望的深度。

【0083】圖 15 係示意表示反覆執行第一步驟 S11 至第四步驟 S14 之情況的圖。在第一步驟 S11 中，形成溝渠 tr。在第二步驟 S12 中，於遮罩 202 上形成堆積膜 203。在第三步驟 S13 中，進行蝕刻，使蝕刻形狀成為垂直。在第四步驟 S14 中，於堆積膜 203 形成氧化膜 204。回到第一步驟 S11 中，形成於遮罩 202 上的堆積膜 203 及氧化膜 204 受到蝕刻。第一步驟 S11 可以設定僅進行一段時間，使堆積膜 203 及氧化膜 204 受到蝕刻。第一步驟 S11 至第四步驟 S14 為止的步驟，要進行到當溝渠 tr 成為規定深度 d1 為止。本實施方式中是將第一步驟至第四步驟反覆進行 6 次，成功使溝渠 tr 的深度 d1 成為 130nm。

【0084】

(功用，效果)

圖 16 係示意表示作為比較例之蝕刻步驟中矽基板 201 之一部份的圖。在此表示蝕刻步驟中溝渠形狀不良的情況。圖 16(a) 為發生底切的情況。可以想見，當等向性蝕刻造成強大影響時，就會發生底切。另一方面，圖 16(b) 是以黏著係數較大之自由基進行蝕刻時，所產生的形狀。當黏著係數較大，自由基就比較容易黏著於第一次碰撞的面。矽基板 201 中面對電漿之上面側的溝渠部分，會黏著自由基而進行蝕刻，另一方面，自由基就比較難以黏著於溝渠深處，蝕刻也就不易進行。再者，當溝渠具有較高長寬比的情況下，自由基就更難侵入溝渠深處。因此，溝渠愈深處就愈難進行蝕刻，彷彿使溝渠側壁成為肥胖的形

狀，而如圖 16(b)所示，矽基板 201 之溝渠 tr 成為推拔形狀。

【0085】相對於此，本實施方式的第三步驟中，是使用抑制了黏著係數的自由基來進行蝕刻。藉此則如圖 12 所示，可使溝渠 tr 保持良好形狀同時進行垂直方向的蝕刻。

【0086】再者，本實施方式的在第四步驟中，是於遮罩 202 上的堆積膜 203 形成氧化膜 204。藉此，當溝渠 tr 被深入蝕刻的期間，也能防止堆積膜 203 或遮罩 202 被蝕刻而受到損傷。

【0087】如以上所說明，若依據本實施方式，則藉由設定製程條件，使用黏著係數較小之種類的自由基，可實現垂直性的蝕刻。

【0088】另外，本發明並不限定於上述的實施方式，並包含各種變形例。例如，上述實施方式是為了清楚說明本發明而進行詳細說明，但並不限定於要具備說明過的所有結構。再者，可將某實施方式的一部份結構替換為其他實施方式的結構，再者，也可在某實施方式的結構中加入其他實施方式的結構。再者，亦可對各個實施方式的一部份結構，追加、刪除、替換為其他結構。

【符號說明】

【0089】

101:真空處理室

102:晶圓

- 103:下部電極
- 104:微波透過窗
- 105:波導管
- 106:磁控管
- 107:螺線管線圈
- 108:靜電吸附電源
- 109:基板偏壓電源
- 110:晶圓搬入口
- 111:氣體供給口
- 112:電漿
- 113:電漿產生用電源
- 114:電力控制部
- 201:矽基板
- 202:遮罩
- 203:堆積膜
- 204:氧化膜

【發明申請專利範圍】

【請求項 1】一種電漿處理方法，是形成淺溝渠隔離 (Shallow Trench Isolation) 的電漿處理方法，其特徵為具有：

第一步驟，以電漿蝕刻矽；

第二步驟，使含有矽元素的堆積膜堆積於遮罩上；

第三步驟，以電漿蝕刻前述矽，使蝕刻形狀成為垂直；以及

第四步驟，將含有 SiO 的堆積膜堆積於遮罩上，

將前述第一步驟至前述第四步驟反覆進行規定次數，

前述第三步驟的電漿，是以藉由第一脈衝所調變之高頻電力來產生，

前述第三步驟一邊進行中，一邊將藉由第二脈衝所調變之高頻電力，供給至以前述矽為基板的試料，

前述第三步驟中之前述第一脈衝的頻率，比前述第三步驟中之前述第二脈衝的頻率更高。

【請求項 2】如請求項 1 記載的電漿處理方法，其中，前述第三步驟中之前述第一脈衝的關斷時間，比餘輝放電消滅為止的時間更短。

【請求項 3】如請求項 2 記載的電漿處理方法，其中，前述第三步驟中之前述第二脈衝的關斷時間，比前述試料所累積之電荷被去除的時間更長。

【請求項 4】如請求項 3 記載的電漿處理方法，其中，前述第三步驟中之前述第一脈衝的佔空比，比前述第

第三步驟中之前述第二脈衝的佔空比更大。

【請求項 5】如請求項 4 記載的電漿處理方法，其中，前述第二步驟，是藉由使用 SiCl_4 氣體所產生的電漿，使前述含有矽元素的堆積膜進行堆積。

【請求項 6】如請求項 5 記載的電漿處理方法，其中，前述第一步驟中之前述第一脈衝的佔空比，比前述第一步驟中之前述第二脈衝的佔空比更大。

【請求項 7】如請求項 6 記載的電漿處理方法，其中，前述第三步驟中之前述第二脈衝的頻率，比前述第一步驟中之前述第二脈衝的頻率更低。

【請求項 8】如請求項 7 記載的電漿處理方法，其中，前述第三步驟中之前述第二脈衝的佔空比，比前述第一步驟中之前述第二脈衝的佔空比更小。

【請求項 9】如請求項 8 記載的電漿處理方法，其中，前述第二步驟中之前述第二脈衝的頻率，比前述第一步驟中之前述第二脈衝的頻率更低。

【請求項 10】如請求項 9 記載的電漿處理方法，其中，

前述第二步驟中之前述第二脈衝的佔空比，比前述第一步驟中之前述第二脈衝的佔空比更小。

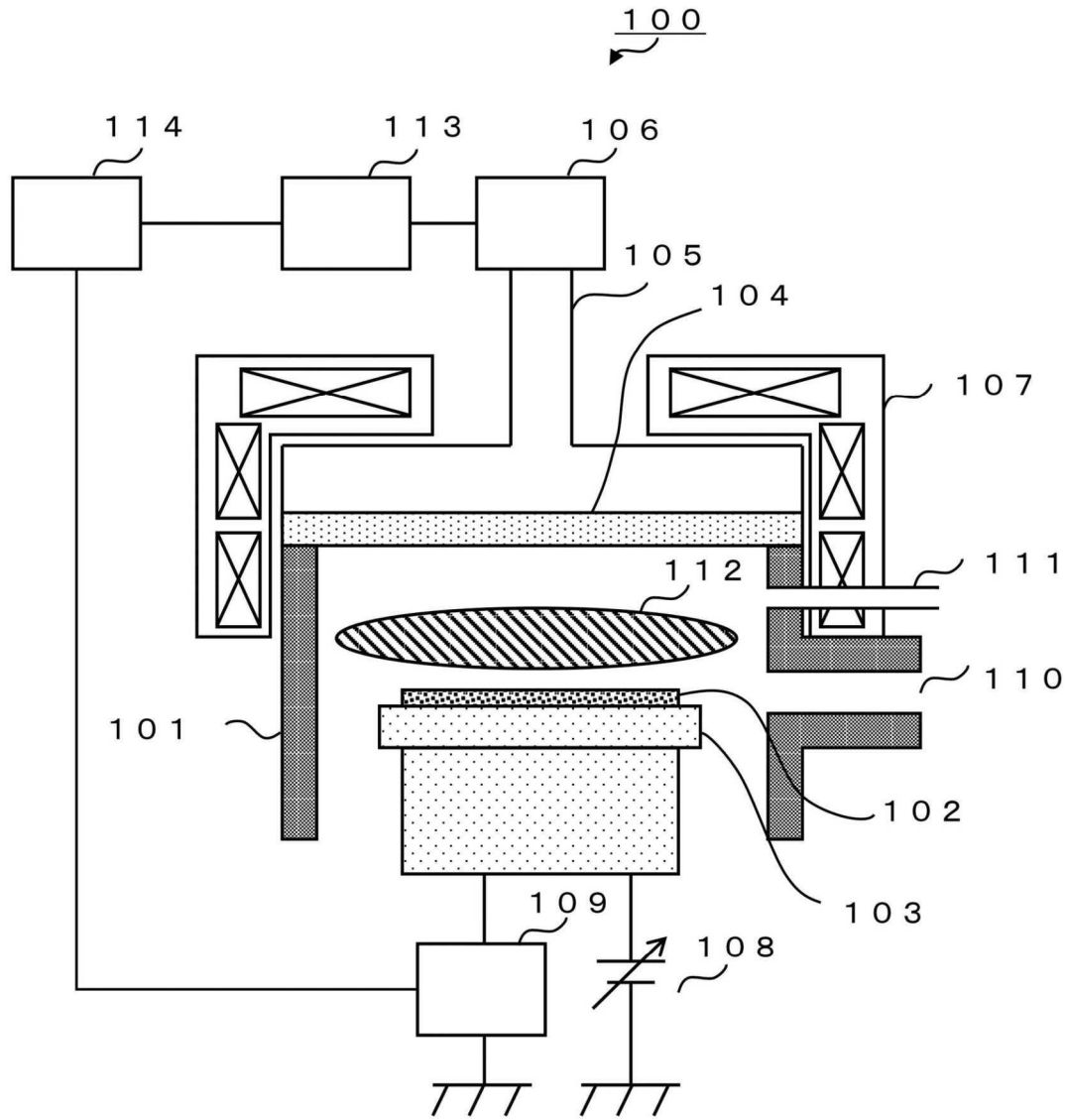
【請求項 11】如請求項 10 記載的電漿處理方法，其中，

前述第三步驟中之前述第一脈衝的頻率，是 300Hz~2000Hz 之範圍內的頻率。

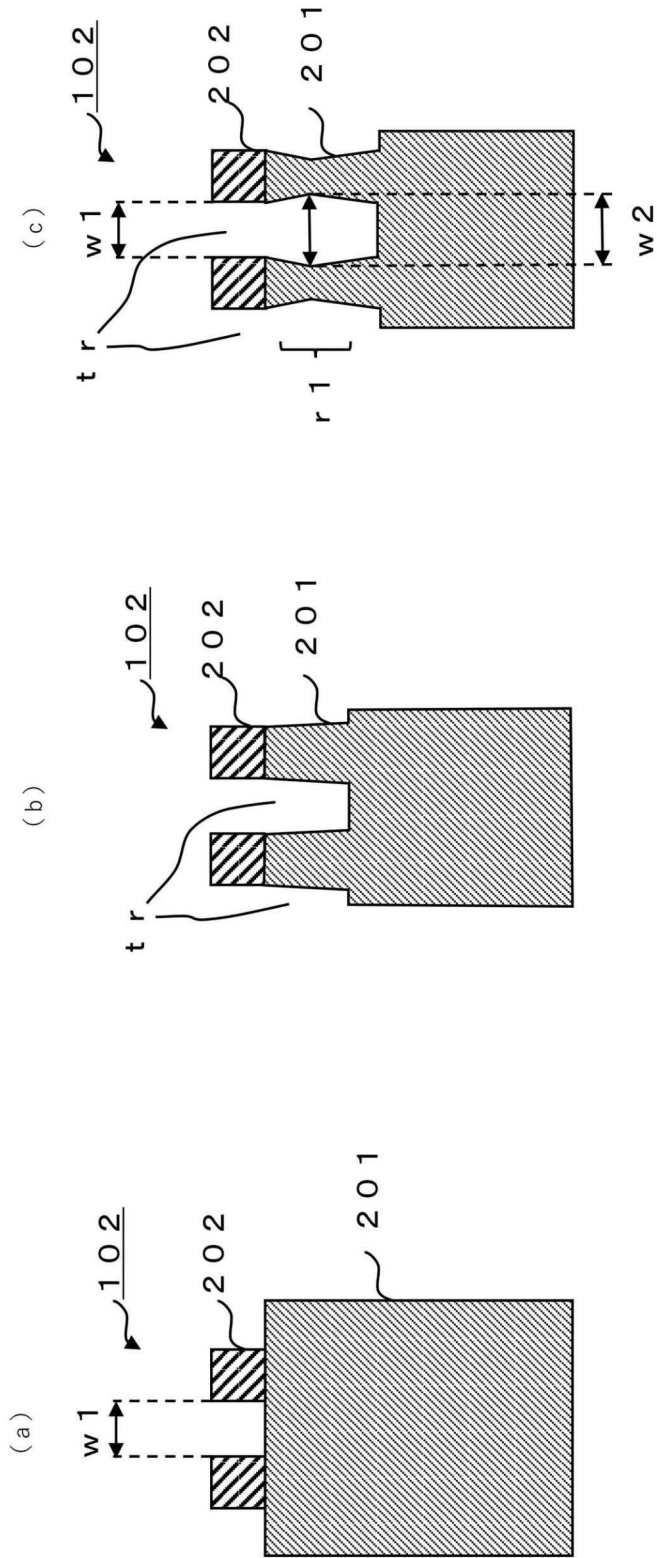
【請求項 12】如請求項 11 記載的電漿處理方法，其中，

前述第三步驟中之前述第二脈衝的頻率，是 100Hz~900Hz 之範圍內的頻率。

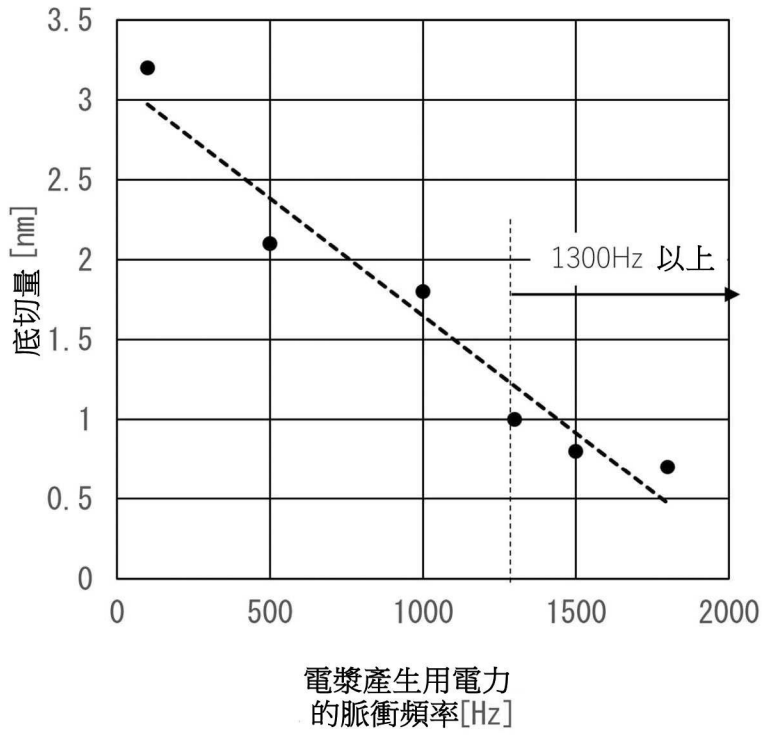
【發明圖式】



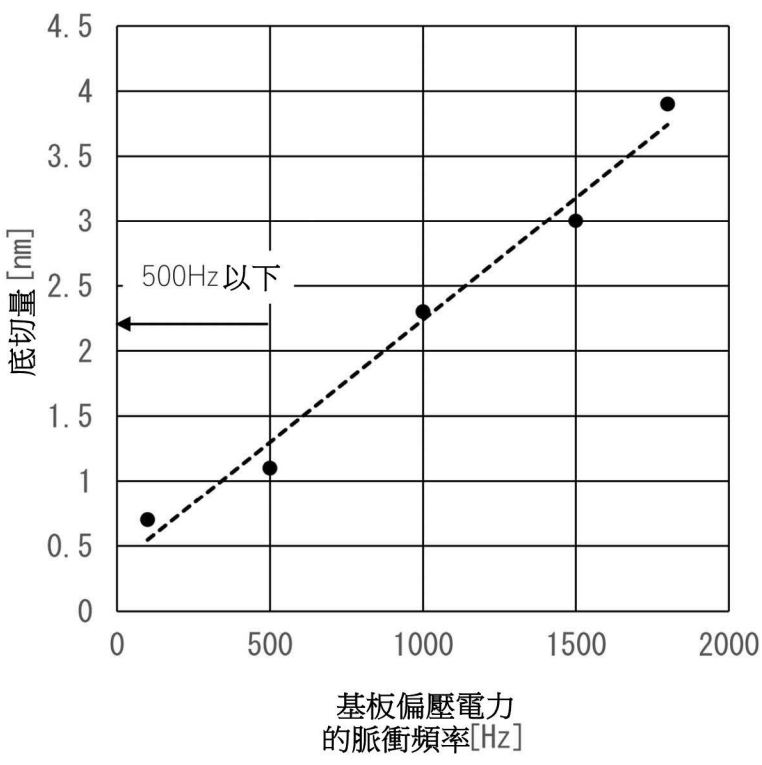
【圖 1】



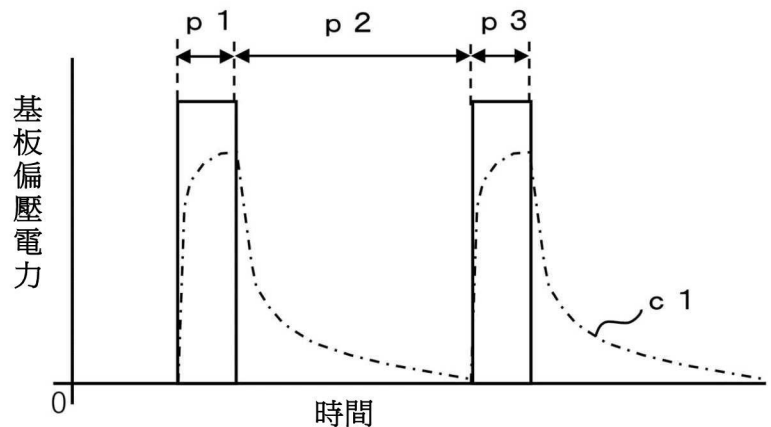
【圖 2】



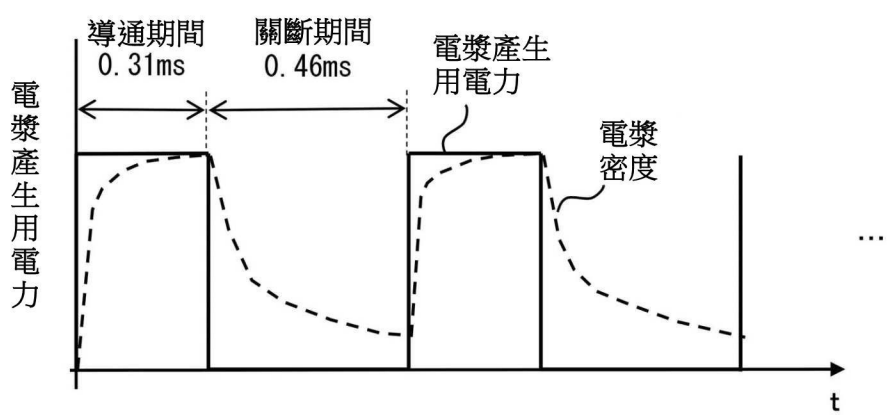
【圖 3】



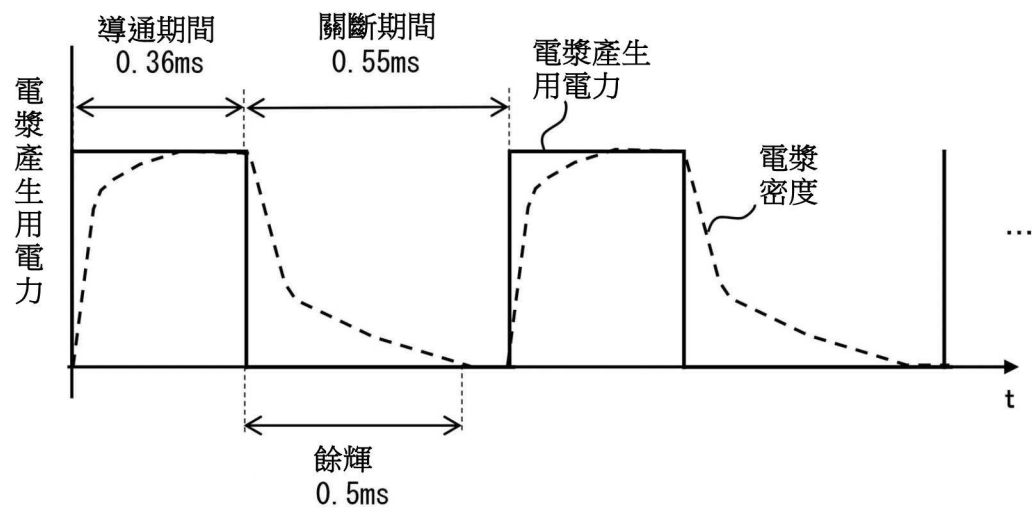
【圖 4】



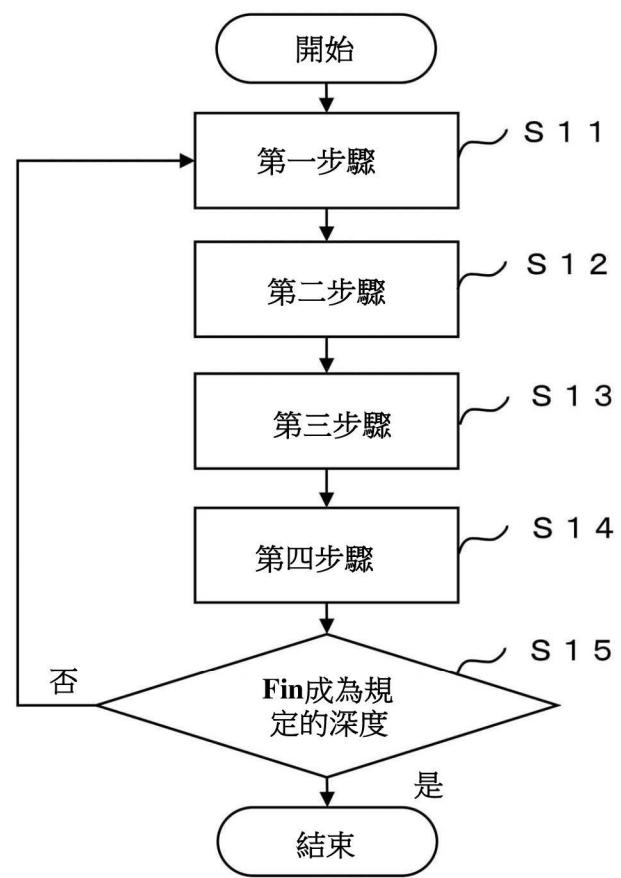
【圖 5】



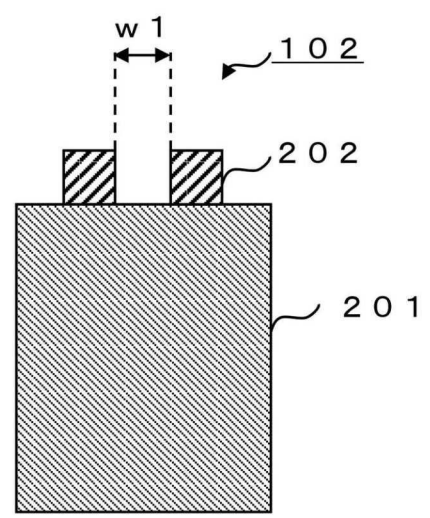
【圖 6】



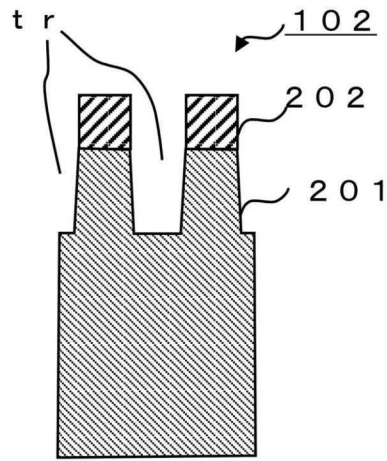
【圖 7】



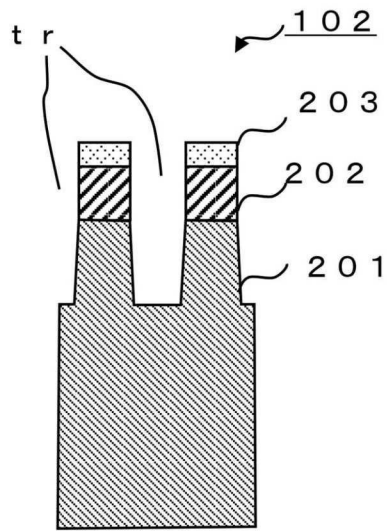
【圖 8】



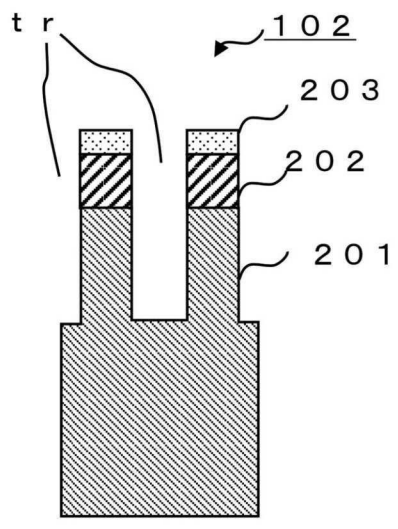
【圖 9】



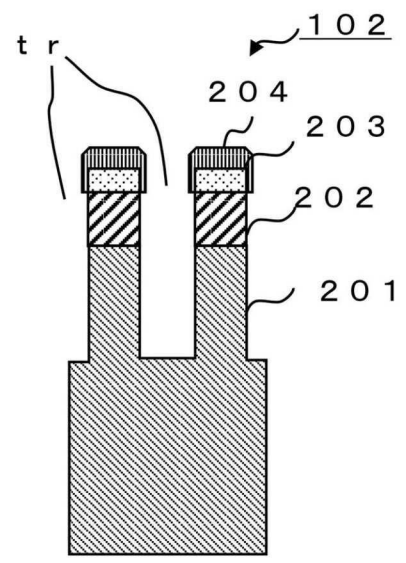
【圖 10】



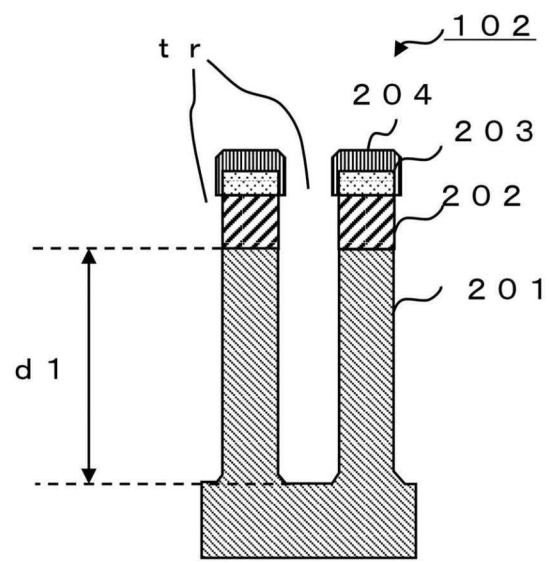
【圖 11】



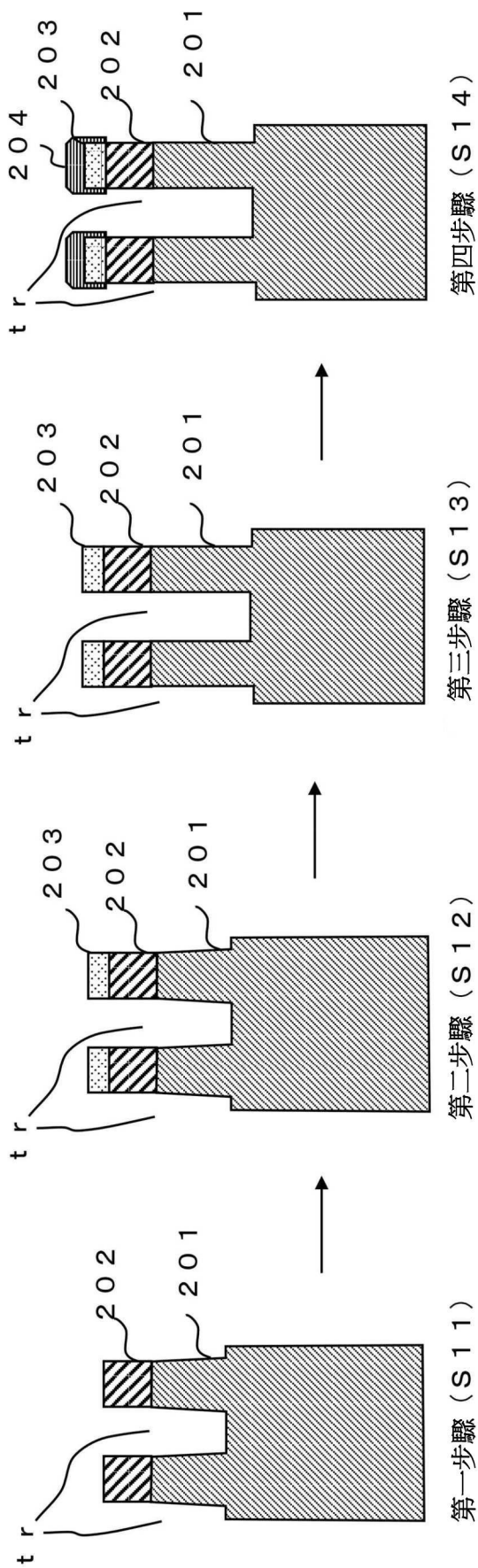
【圖 12】



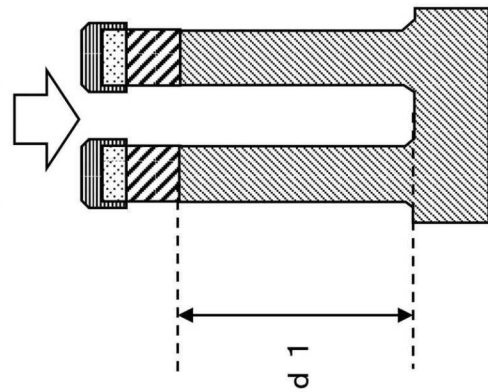
【圖 13】



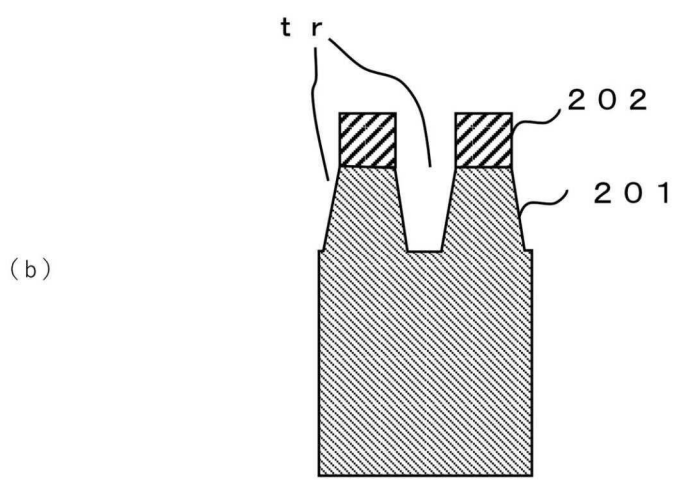
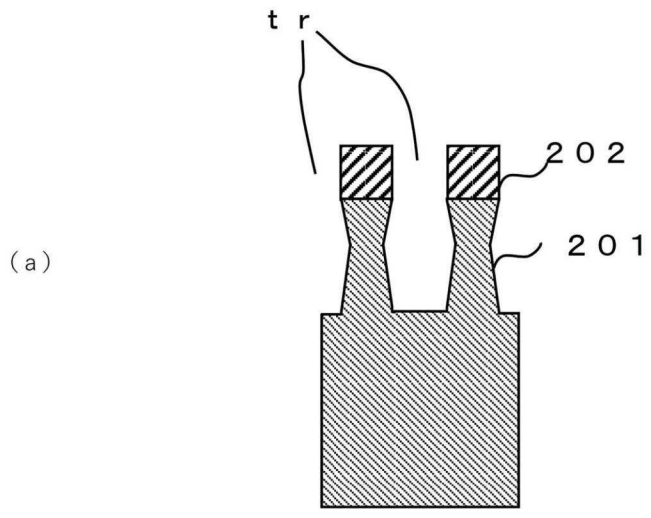
【圖 14】



反覆進行第一步驟至第四步驟直到成為可形成STI的規定深度為止



【圖 15】



【圖 16】