

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2020년 2월 13일 (13.02.2020)



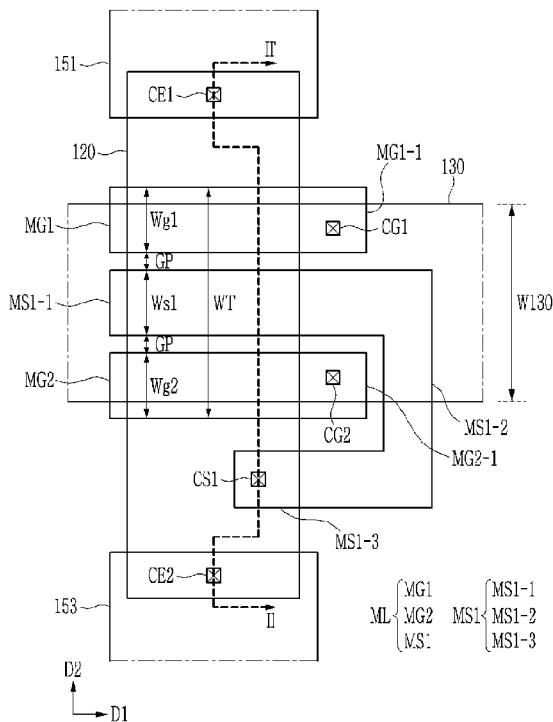
(10) 국제공개번호

WO 2020/032355 A1

- (51) 국제특허분류: *H01L 27/32* (2006.01) *H01L 29/786* (2006.01)
G09G 3/3283 (2016.01) *H01L 51/50* (2006.01)
H01L 27/12 (2006.01)
- (21) 국제출원번호: PCT/KR2019/006135
- (22) 국제출원일: 2019년 5월 22일 (22.05.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2018-0091273 2018년 8월 6일 (06.08.2018) KR
- (71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로1, Gyeonggi-do (KR).
- (72) 발명자: 김건희 (KIM, Gun Hee); 05698 서울시 송파구 송파대로 345 418동 201호, Seoul (KR). 박상호 (PARK, Sang Ho); 18466 경기도 화성시 동탄순환대로26길 55, 411동 1802호, Gyeonggi-do (KR). 전주희 (JEON, Joo Hee); 18486 경기도 화성시 동탄대로12길 17, 1807동 702호, Gyeonggi-do (KR). 정영철 (JEONG, Young-Cheol); 18454 경기도 화성시 노작로 177 2705호, Gyeonggi-do (KR).
- (74) 대리인: 팬코리아특허법인 (PANKOREA PATENT AND LAW FIRM); 06234 서울시 강남구 논현로85길 70 13F, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: DISPLAY DEVICE AND OPERATING METHOD THEREFOR

(54) 발명의 명칭: 표시 장치 및 그 구동 방법



(57) Abstract: A display device comprises a substrate and a transistor disposed on the substrate, wherein the transistor comprises: a semiconductor layer; a gate electrode overlapping the semiconductor layer; a first gate contact overlap layer overlapping a channel region in which the semiconductor layer overlaps the gate electrode, the first gate contact overlap layer being in contact with the gate electrode; and a semiconductor contact overlap layer overlapping the channel region and being in contact with the semiconductor layer, and the first gate contact overlap layer and the semiconductor contact overlap layer are physically separated by a gap in the channel region.

(57) 요약서: 표시 장치는, 기판, 및 상기 기판 상에 위치하는 트랜지스터를 포함하고, 상기 트랜지스터는, 반도체층, 상기 반도체층과 중첩하는 게이트 전극, 상기 게이트 전극과 상기 반도체층이 중첩하는 채널 영역과 중첩하고 상기 게이트 전극에 접촉하는 제1 게이트 접촉 증착층, 및 상기 채널 영역과 중첩하고 상기 반도체층에 접촉하는 반도체 접촉 증착층을 포함하고, 상기 채널 영역 내에서 상기 제1 게이트 접촉 증착층과 상기 반도체 접촉 증착층은 갭에 의해 물리적으로 분리되어 있다.

WO 2020/032355 A1

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 표시 장치 및 그 구동 방법

기술분야

- [1] 본 발명은 표시 장치 및 그 구동 방법에 관한 것으로, 보다 상세하게는 향상된 특성을 갖는 트랜지스터를 포함하는 표시 장치 및 그 구동 방법에 관한 것이다.

배경기술

- [2] 표시 장치는 영상을 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.
- [3] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.
- [4] 일반적으로 유기 발광 표시 장치는 기판, 기판 상에 위치하는 복수의 트랜지스터 및 트랜지스터에 연결된 유기 발광 소자를 포함한다. 트랜지스터는 스위칭 소자로서 표시 장치를 구성하는 기본 구성이다.

발명의 상세한 설명

기술적 과제

- [5] 데이터 범위(data range)가 크고 턴 온된 상태에서 흐르는 전류가 큰 특성을 가지는 트랜지스터가 표시 장치의 표시 품질 향상에 유리하다.
- [6] 본 발명이 해결하고자 하는 기술적 과제는 데이터 범위가 크고 턴 온된 상태에서 흐르는 전류가 큰 특성을 가지는 트랜지스터를 포함하는 표시 장치 및 그 구동 방법을 제공함에 있다.

과제 해결 수단

- [7] 본 발명의 일 실시예에 따른 표시 장치는, 기판, 및 상기 기판 상에 위치하는 트랜지스터를 포함하고, 상기 트랜지스터는, 반도체층, 상기 반도체층과 중첩하는 게이트 전극, 상기 게이트 전극과 상기 반도체층이 중첩하는 채널 영역과 중첩하고 상기 게이트 전극에 접촉하는 제1 게이트 접촉 중첩층, 및 상기 채널 영역과 중첩하고 상기 반도체층에 접촉하는 반도체 접촉 중첩층을 포함하고, 상기 채널 영역 내에서 상기 제1 게이트 접촉 중첩층과 상기 반도체 접촉 중첩층은 갭에 의해 물리적으로 분리되어 있다.
- [8] 상기 트랜지스터는, 상기 채널 영역과 중첩하고, 상기 게이트 전극에 접촉하는 제2 게이트 접촉 중첩층을 더 포함하고, 상기 반도체 접촉 중첩층은 평면상에서 상기 제1 게이트 접촉 중첩층과 상기 제2 게이트 접촉 중첩층 사이에 위치할 수 있다.
- [9] 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 반도체 접촉 중첩층, 상기 제2 게이트 접촉 중첩층 및 상기 갭을 포함하는 영역 전체의 폭이 상기 채널 영역의

- 폭보다 클 수 있다.
- [10] 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 반도체 접촉 중첩층, 상기 제2 게이트 접촉 중첩층 및 상기 갭을 포함하는 영역 전체의 폭이 상기 채널 영역의 폭보다 작을 수 있다.
- [11] 상기 트랜지스터는, 상기 채널 영역과 중첩하고 상기 반도체층과 상기 게이트 전극에 연결되지 않고 절연되어 있는 플로팅 중첩층을 더 포함할 수 있다.
- [12] 상기 반도체 접촉 중첩층은, 상기 채널 영역과 중첩하는 제1 중첩부, 상기 채널 영역과 중첩하는 제2 중첩부, 상기 게이트 전극과 중첩하지 않고 상기 반도체층에 접촉하는 접촉부, 및 상기 제1 중첩부, 상기 제2 중첩부 및 상기 접촉부를 서로 연결하는 연장부를 포함할 수 있다.
- [13] 상기 제1 게이트 접촉 중첩층은 상기 제1 중첩부와 상기 제2 중첩부 사이에 위치할 수 있다.
- [14] 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 제1 중첩부, 상기 제2 중첩부 및 상기 갭을 포함하는 영역 전체의 폭이 상기 채널 영역의 폭보다 클 수 있다.
- [15] 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 제1 중첩부, 상기 제2 중첩부 및 상기 갭을 포함하는 영역 전체의 폭이 상기 채널 영역의 폭보다 작을 수 있다.
- [16] 상기 트랜지스터는, 상기 채널 영역과 중첩하고 상기 반도체층과 상기 게이트 전극에 연결되지 않고 절연되어 있는 플로팅 중첩층을 더 포함할 수 있다.
- [17] 상기 제1 게이트 접촉 중첩층의 폭은 상기 반도체 접촉 중첩층의 폭과 동일할 수 있다.
- [18] 상기 제1 게이트 접촉 중첩층의 폭은 상기 반도체 접촉 중첩층의 폭과 서로 다를 수 있다.
- [19] 본 발명의 다른 실시예에 따른 표시 장치는, 복수의 화소를 포함하고, 상기 복수의 화소 각각은, 발광 다이오드, 및 제1 전원 전압으로부터 상기 발광 다이오드로 흐르는 전류량을 제어하는 구동 트랜지스터를 포함하고, 상기 구동 트랜지스터는, 제1 노드에 연결되어 있는 게이트 전극, 상기 제1 전원 전압이 인가되는 제1 전극, 상기 발광 다이오드에 전기적으로 연결되는 제2 전극, 상기 구동 트랜지스터의 채널 영역과 중첩하고, 상기 게이트 전극에 연결되는 게이트 접촉 중첩층, 및 상기 채널 영역과 중첩하고, 상기 제1 전극에 연결되는 반도체 접촉 중첩층을 포함하고, 상기 채널 영역 내에서 상기 게이트 접촉 중첩층과 상기 반도체 접촉 중첩층은 갭에 의해 물리적으로 분리되어 있다.
- [20] 상기 복수의 화소 각각은, 데이터 라인과 상기 구동 트랜지스터 사이에 연결되는 스위칭 트랜지스터를 더 포함하고, 상기 스위칭 트랜지스터는, 제1 게이트 라인에 연결되어 있는 게이트 전극, 및 상기 스위칭 트랜지스터의 채널 영역과 중첩하고, 상기 스위칭 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층을 포함할 수 있다.
- [21] 상기 복수의 화소 각각은, 상기 구동 트랜지스터의 제2 전극과 게이트 전극 사이에 연결되는 보상 트랜지스터를 더 포함하고, 상기 보상 트랜지스터는, 제1

게이트 라인에 연결되어 있는 게이트 전극, 및 상기 보상 트랜지스터의 채널 영역과 중첩하고, 상기 보상 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층을 포함할 수 있다.

- [22] 상기 복수의 화소 각각은, 상기 구동 트랜지스터의 게이트 전극에 초기화 전압을 인가하는 초기화 트랜지스터를 더 포함하고, 상기 초기화 트랜지스터는, 제2 게이트 라인에 연결되어 있는 게이트 전극, 및 상기 초기화 트랜지스터의 채널 영역과 중첩하고, 상기 초기화 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층을 포함할 수 있다.
- [23] 본 발명의 또 다른 실시예에 따른 제1 전원 전압으로부터 발광 다이오드로 흐르는 전류량을 제어하는 구동 트랜지스터, 제1 게이트 라인에 인가되는 제1 게이트 신호에 따라 데이터 라인에 인가되는 데이터 전압을 상기 구동 트랜지스터에 전달하는 스위칭 트랜지스터, 상기 제1 게이트 신호에 따라 상기 구동 트랜지스터를 다이오드 연결시키는 보상 트랜지스터 및 제2 게이트 라인에 인가되는 제2 게이트 신호에 따라 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 인가하는 초기화 트랜지스터를 포함하는 표시 장치의 구동 방법은, 상기 구동 트랜지스터의 제1 전극에 상기 제1 전원 전압이 인가되고, 상기 구동 트랜지스터의 게이트 전극이 연결된 제1 노드의 전압에 대응하여 상기 제1 전원 전압으로부터 상기 발광 다이오드로 전류가 흐르는 단계, 상기 구동 트랜지스터의 채널 영역과 중첩하고 상기 구동 트랜지스터의 제1 전극에 연결되는 반도체 접촉 중첩층에 상기 제1 전원 전압이 인가되는 단계, 및 상기 구동 트랜지스터의 채널 영역과 중첩하고 상기 구동 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제1 노드의 전압이 인가되는 단계를 포함한다.
- [24] 상기 스위칭 트랜지스터의 게이트 전극에 상기 제1 게이트 신호가 게이트 온 전압으로 인가되어 상기 스위칭 트랜지스터가 턴 온되는 단계, 및 상기 스위칭 트랜지스터의 채널 영역과 중첩하고 상기 스위칭 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제1 게이트 신호가 인가되는 단계를 더 포함할 수 있다.
- [25] 상기 보상 트랜지스터의 게이트 전극에 상기 제1 게이트 신호가 게이트 온 전압으로 인가되어 상기 보상 트랜지스터가 턴 온되는 단계, 및 상기 보상 트랜지스터의 채널 영역과 중첩하고 상기 보상 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제1 게이트 신호가 인가되는 단계를 더 포함할 수 있다.
- [26] 상기 초기화 트랜지스터의 게이트 전극에 상기 제2 게이트 신호가 게이트 온 전압으로 인가되어 상기 초기화 트랜지스터가 턴 온되는 단계, 및 상기 초기화 트랜지스터의 채널 영역과 중첩하고 상기 초기화 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제2 게이트 신호가 인가되는 단계를 더 포함할 수 있다.

발명의 효과

- [27] 표시 장치에 사용되는 트랜지스터의 데이터 범위와 턴 온된 상태에서 흐르는 전류를 증가시킬 수 있고, 이에 따라 표시 장치의 표시 품질이 향상될 수 있다.
- [28] 구동 트랜지스터의 데이터 범위를 증가시켜 더욱 다양한 계조의 영상이 표시될 수 있다. 스위칭 소자로서 기능하는 트랜지스터에 흐르는 전류를 증가시켜 전압의 충전 효율을 향상시키고 표시 장치의 고속 구동을 가능하게 할 수 있다.

도면의 간단한 설명

- [29] 도 1은 본 발명의 일 실시예에 따른 트랜지스터를 나타내는 평면도이다.
- [30] 도 2는 도 1의 II-II' 선을 따라 자른 트랜지스터의 단면도이다.
- [31] 도 3은 도 1에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다.
- [32] 도 4는 도 1에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다.
- [33] 도 5는 도 1에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다.
- [34] 도 6은 본 발명의 다른 실시예에 따른 트랜지스터를 나타내는 평면도이다.
- [35] 도 7은 도 6의 VII-VII' 선을 따라 자른 트랜지스터의 단면도이다.
- [36] 도 8은 도 6에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다.
- [37] 도 9는 도 6에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다.
- [38] 도 10은 도 6에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다.
- [39] 도 11은 본 발명의 또 다른 실시예에 따른 트랜지스터를 나타내는 평면도이다.
- [40] 도 12는 본 발명의 또 다른 실시예에 따른 트랜지스터를 나타내는 평면도이다.
- [41] 도 13은 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
- [42] 도 14는 본 발명의 일 실시예에 따른 표시 장치의 한 화소를 나타내는 회로도이다.
- [43] 도 15는 본 발명의 일 실시예에 따른 표시 장치의 구조를 나타내는 단면도이다.
- [44] 도 16은 일 실시예에 따른 표시 장치의 구동 방법을 나타내는 타이밍도이다.
- [45] 도 17은 본 발명의 일 실시예에 따른 트랜지스터의 특성을 나타내는 그래프이다.
- [46] 도 18은 일 실시예에 따른 화소를 나타내는 회로도이다.

발명의 실시를 위한 형태

- [47] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며

여기에서 설명하는 실시예들에 한정되지 않는다.

- [48] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [49] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [50] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [51] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [52] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [53] 이하, 도 1 및 도 2를 참조하여 본 발명의 일 실시예에 따른 표시 장치에 포함되는 트랜지스터에 대하여 설명한다.
- [54] 도 1은 본 발명의 일 실시예에 따른 트랜지스터를 나타내는 평면도이다. 도 2는 도 1의 II-II' 선을 따라 자른 트랜지스터의 단면도이다.
- [55] 도 1 및 도 2를 참조하면, 표시 장치는 기판(110) 상에 위치하는 복수의 트랜지스터를 포함한다. 복수의 트랜지스터 각각은 중첩층(ML), 반도체층(120), 게이트 전극(130), 제1 전극(151) 및 제2 전극(153)을 포함한다.
- [56] 기판(110)은 유리, 플라스틱이나 폴리이미드(PI)와 같은 재질을 포함할 수 있다. 기판(110) 위에 배리어층(111)이 위치하고, 배리어층(111) 위에 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 이루어진 중첩층(ML)이 위치한다.
- [57] 중첩층(ML)은 게이트 접촉 중첩층(MG1, MG2) 및 반도체 접촉 중첩층(MS1)을 포함한다. 게이트 접촉 중첩층(MG1, MG2)은 반도체층(120)과 일부 중첩하고 제1 게이트 콘택홀(CG1)을 통해 게이트 전극(130)에 접촉하는 제1 게이트 접촉 중첩층(MG1) 및 반도체층(120)과 일부 중첩하고 제2 게이트 콘택홀(CG2)을 통해 게이트 전극(130)에 접촉하는 제2 게이트 접촉 중첩층(MG2)을 포함할 수 있다.

- [58] 도 1에 예시한 바와 같이 게이트 전극(130)은 제1 방향(D1)으로 연장되며, 반도체층(120)은 제2 방향(D2)으로 연장되어 게이트 전극(130)과 일부 중첩할 수 있다. 제2 방향(D2)은 제1 방향(D1)과 교차할 수 있다. 제2 방향(D2)은 제1 방향(D1)과 직교할 수 있다. 예를 들어, 제1 방향(D1)은 행 방향이고, 제2 방향(D2)은 열 방향일 수 있다. 다만, 트랜지스터의 배치 방향과 배치 모양은 실시예에 따라 다양하게 변경될 수 있으며, 제1 방향(D1)과 제2 방향(D2)이 항상 직교하거나 행 방향과 열 방향인 것은 아니다. 반도체층(120)과 게이트 전극(130)이 중첩하는 부분이 트랜지스터의 채널 영역이 된다. 트랜지스터의 채널 영역은 반도체층(120)의 채널부(121)에 대응되며, 트랜지스터의 채널 영역을 반도체층(120)의 채널 영역이라 할 수 있다.
- [59] 제1 게이트 접촉 중첩층(MG1)은 게이트 전극(130)의 일 측면을 따라 제1 방향(D1)으로 연장되어 채널 영역과 중첩한다. 제1 게이트 접촉 중첩층(MG1)은 반도체층(120)보다 제1 방향(D1)으로 더 연장되어 반도체층(120)과 중첩하지 않고 게이트 전극(130)과 중첩하는 제1 연장부(MG1-1)를 포함한다. 제1 연장부(MG1-1)와 중첩하는 위치에 제1 게이트 콘택홀(CG1)이 위치하고, 제1 게이트 콘택홀(CG1)을 통해 제1 게이트 접촉 중첩층(MG1)이 게이트 전극(130)에 직접 연결될 수 있다.
- [60] 제2 게이트 접촉 중첩층(MG2)은 게이트 전극(130)의 다른 측면을 따라 제1 방향(D1)으로 연장되어 채널 영역과 중첩한다. 제2 게이트 접촉 중첩층(MG2)은 반도체층(120)보다 제1 방향(D1)으로 더 연장되어 반도체층(120)과 중첩하지 않고 게이트 전극(130)과 중첩하는 제2 연장부(MG2-1)를 포함한다. 제2 연장부(MG2-1)에 중첩하는 위치에 제2 게이트 콘택홀(CG2)이 위치하고, 제2 게이트 콘택홀(CG2)을 통해 제2 게이트 접촉 중첩층(MG2)이 게이트 전극(130)에 직접 연결될 수 있다.
- [61] 반도체 접촉 중첩층(MS1)은 제1 중첩부(MS1-1), 연장부(MS1-2) 및 접촉부(MS1-3)를 포함한다. 제1 중첩부(MS1-1)는 평면상에서 제1 게이트 접촉 중첩층(MG1)과 제2 게이트 접촉 중첩층(MG2)에 나란하게 연장되고, 반도체층(120) 및 게이트 전극(130)과 중첩할 수 있다. 제1 중첩부(MS1-1)는 반도체층(120)의 채널 영역과 중첩한다. 제1 중첩부(MS1-1)는 평면상에서 제1 게이트 접촉 중첩층(MG1)과 제2 게이트 접촉 중첩층(MG2) 사이에 위치할 수 있다. 접촉부(MS1-3)는 게이트 전극(130)과 중첩하지 않고 반도체층(120)과 중첩한다. 접촉부(MS1-3)에 중첩하는 위치에 반도체 콘택홀(CS1)이 위치하며, 반도체 콘택홀(CS1)을 통해 접촉부(MS1-3)가 반도체층(120)에 접촉될 수 있다. 연장부(MS1-2)는 제1 중첩부(MS1-1)와 접촉부(MS1-3)를 서로 연결하는 구조를 가진다. 연장부(MS1-2)는 반도체층(120)과 중첩하지 않을 수 있다.
- [62] 평면상에서 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)는 갭(GP)만큼 서로 이격되어 위치한다. 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)는 채널 영역

내에서 갭(GP)만큼 물리적으로 분리되어 있다. 평면상에서 제2 게이트 접촉 중첩층(MG2)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)는 갭(GP)만큼 서로 이격되어 위치한다. 제2 게이트 접촉 중첩층(MG2)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)는 채널 영역 내에서 갭(GP)만큼 물리적으로 분리되어 있다.

- [63] 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2) 및 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)는 반도체층(120)의 채널 영역과 중첩한다. 중첩층(ML)은 갭(GP)에서 반도체층(120)의 채널 영역과 중첩하지 않는다. 즉, 갭(GP)은 중첩층(ML)이 반도체층(120)의 채널 영역과 중첩하지 않는 영역이다.
- [64] 평면상에서 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2) 및 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)은 서로 동일할 수 있다. 그리고 평면상에서 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)과 게이트 전극(130)이 중첩하는 채널 영역의 폭(W130)보다 클 수 있다. 복수의 갭(GP) 각각의 크기는 대략 0.1 μm 내지 10 μm 일 수 있다.
- [65] 여기서, 폭들(Wg1, Wg2, Ws1, WT, W130)은 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 및 게이트 전극(130)이 연장되는 제1 방향(D1)에 교차하는 제2 방향(D2)으로의 길이일 수 있다.
- [66] 도 2를 보면, 중첩층(ML) 위에 버퍼층(112)이 위치한다. 버퍼층(112)에는 반도체 컨택홀(CS1)이 형성되어 있다. 반도체 컨택홀(CS1)에 의해 반도체 접촉 중첩층(MS1)의 접촉부(MS1-3)의 일부가 노출될 수 있다. 배리어층(111)과 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있다. 또한, 배리어층(111)과 버퍼층(112)은 폴리이미드, 폴리 아크릴(에폭시 첨가) 등의 유기 절연 물질을 포함할 수 있다. 버퍼층(112) 위에 반도체층(120)이 위치한다. 반도체층(120)은 채널부(121) 및 채널부(121)의 양측에 위치하는 도핑부(122)를 포함한다. 채널부(121)는 트랜지스터의 채널 영역에 대응하고, 도핑부(122)는 트랜지스터의 소스 영역 및 드레인 영역에 대응할 수 있다. 반도체층(120)의 어느 하나의 도핑부(122)가 반도체 컨택홀(CS1)을 통해 반도체 접촉 중첩층(MS1)의 접촉부(MS1-3)에 연결될 수 있다. 반도체층(120) 위에 제1 게이트 절연층(141)이 위치하고, 제1 게이트 절연층(141) 위에 게이트 전극(130)이 위치한다. 게이트 전극(130)은 반도체층(120)의 채널 영역과 중첩한다.
- [67] 도 2에서는 도시하지 않았으나, 버퍼층(112)과 제1 게이트 절연층(141)에 제1 게이트 컨택홀(CG1) 및 제2 게이트 컨택홀(CG2)이 형성된다. 제1 게이트 컨택홀(CG1)에 의해 제1 게이트 중첩층(MG1)의 일부가 노출된다. 게이트 전극(130)은 제1 게이트 컨택홀(CG1)과 중첩하고, 제1 게이트 컨택홀(CG1)을

통해 제1 게이트 접촉 중첩층(MG1)에 연결될 수 있다. 제2 게이트 컨택홀(CG2)에 의해 제2 게이트 접촉 중첩층(MG2)의 일부가 노출된다. 게이트 전극(130)은 제2 게이트 컨택홀(CG2)과 중첩하고, 제2 게이트 컨택홀(CG2)을 통해 제2 게이트 접촉 중첩층(MG2)에 연결될 수 있다.

- [68] 게이트 전극(130) 위에 제2 게이트 절연층(142)이 위치하고, 제2 게이트 절연층(142) 위에 제1 전극(151) 및 제2 전극(153)이 위치할 수 있다. 제1 전극(151)은 반도체층(120)의 하나의 도핑부(122)와 중첩하고, 제1 게이트 절연층(141)과 제2 게이트 절연층(142)에 형성된 제1 전극 컨택홀(CE1)을 통해 반도체층(120)의 하나의 도핑부(122)에 연결될 수 있다. 제2 전극(153)은 반도체층(120)의 다른 하나의 도핑부(122)와 중첩하고, 제1 게이트 절연층(141)과 제2 게이트 절연층(142)에 형성된 제2 전극 컨택홀(CE2)을 통해 반도체층(120)의 다른 하나의 도핑부(122)에 연결될 수 있다.
- [69] 전압 또는 전류가 인가되는 방향에 따라 제1 전극(151)과 제2 전극(153) 중 하나는 트랜지스터의 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다. 즉, 반도체 접촉 중첩층(MS1)은 트랜지스터의 소스 전극 또는 드레인 전극에 연결될 수 있다.
- [70] 상술한 바와 같이, 중첩층(ML)은 반도체층(120)의 채널 영역 내에서 둘 이상의 분리 구조로 이루어지고, 채널 영역은 중첩층(ML)과 중첩하지 않는 영역(예를 들어, 갭(GP))을 포함할 수 있다. 중첩층(ML) 중 일부(예를 들어, 게이트 접촉 중첩층(MG1, MG2))는 트랜지스터의 게이트 전극(130)에 연결되고, 다른 일부(예를 들어, 반도체 접촉 중첩층(MS1))는 트랜지스터의 소스 전극 또는 드레인 전극에 연결될 수 있다. 이러한 구성에 따라, 트랜지스터의 데이터 범위가 증가하고 트랜지스터가 턴 온된 상태에서 흘릴 수 있는 전류가 증가할 수 있다. 이에 대해서는 후술한다.
- [71] 이하, 도 3을 참조하여 도 1의 트랜지스터에서 일부 구성이 변형된 실시예의 트랜지스터에 대하여 설명한다.
- [72] 도 3은 도 1에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.
- [73] 도 3을 참조하면, 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)이 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)보다 클 수 있다. 그리고 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)이 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2)보다 클 수 있다. 즉, 평면상에서 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1) 및 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2)과 서로 다를 수 있다. 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)과 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2)은 동일하거나 서로 다를 수 있다. 이러한 경우에도 평면상에서 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 및 복수의 갭(GP)을 포함하는

- 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 클 수 있다.
- [74] 한편, 도 3의 예시와 반대로, 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)이 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)보다 작고, 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2)보다 작을 수 있다. 이때, 평면상에서 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 클 수 있다.
- [75] 이러한 차이점을 제외하고, 앞서 도 1 및 도 2를 참조하여 설명한 실시예의 특징들은 도 3을 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [76] 이하, 도 4를 참조하여 도 1의 트랜지스터에서 일부 구성이 변형된 실시예의 트랜지스터에 대하여 설명한다.
- [77] 도 4는 도 1에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.
- [78] 도 4를 참조하면, 평면상에서 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 작을 수 있다. 이때, 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1) 및 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2) 각각보다 클 수 있다. 또는, 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)과 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2) 각각과 동일하거나 작을 수 있다.
- [79] 이러한 차이점을 제외하고, 앞서 도 1 및 도 2를 참조하여 설명한 실시예의 특징들은 도 4를 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [80] 이하, 도 5를 참조하여 도 1의 트랜지스터에서 일부 구성이 변형된 실시예의 트랜지스터에 대하여 설명한다.
- [81] 도 5는 도 1에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.
- [82] 도 5를 참조하면, 중첩층(ML)은 반도체층(120) 및 게이트 전극(130)에 연결되지 않고 반도체층(120)의 채널 영역과 중첩하는 플로팅 중첩층(MF)을 더 포함할 수 있다. 플로팅 중첩층(MF)은 다른 도전체로부터 절연되어 있으며, 플로팅 중첩층(MF)에는 전압이 인가되지 않는다.
- [83] 플로팅 중첩층(MF)은 게이트 접촉 중첩층(MG1, MG2) 및 반도체 접촉 중첩층(MS1)과 동일한 층에 위치할 수 있다. 그리고 플로팅 중첩층(MF)은 평면상에서 게이트 접촉 중첩층(MG1, MG2)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 중 적어도 어느 하나와 갭(GP)을 사이에 두고 인접하여 위치할 수

있다.

- [84] 도 5에서는 플로팅 중첩층(MF)이 제1 게이트 접촉 중첩층(MG1)에 인접하는 것으로 예시한다. 플로팅 중첩층(MF)과 제1 게이트 접촉 중첩층(MG1)은 갭(GP)만큼 서로 이격되어 위치하고, 플로팅 중첩층(MF)과 제1 게이트 접촉 중첩층(MG1)은 갭(GP)만큼 물리적으로 분리된다. 플로팅 중첩층(MF)은 반도체층(120)의 채널 영역과 중첩하고, 제1 게이트 접촉 중첩층(MG1)과 나란하게 제1 방향(D1)으로 연장될 수 있다.
- [85] 플로팅 중첩층(MF)의 폭(Wf)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2) 및 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1) 중 적어도 어느 하나와 동일할 수 있다. 또는 플로팅 중첩층(MF)의 폭(Wf)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2) 및 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1) 각각과 서로 다를 수 있다. 이때, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 제2 게이트 접촉 중첩층(MG2)의 폭(Wg2) 및 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)의 폭(Ws1)은 서로 동일하거나 서로 다를 수 있다. 또한, 플로팅 중첩층(MF), 제1 게이트 접촉 중첩층(MG1), 제2 게이트 접촉 중첩층(MG2), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)과 동일하거나 또는 채널 영역의 폭(W130)보다 크거나 또는 채널 영역의 폭(W130)보다 작을 수 있다.
- [86] 이러한 차이점을 제외하고, 앞서 도 1 및 도 2를 참조하여 설명한 실시예의 특징들은 도 5를 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [87] 이하, 도 6 및 도 7을 참조하여 다른 실시예의 트랜지스터에 대하여 설명한다.
- [88] 도 6은 본 발명의 다른 실시예에 따른 트랜지스터를 나타내는 평면도이다. 도 7은 도 6의 VII-VII' 선을 따라 자른 트랜지스터의 단면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.
- [89] 도 6 및 도 7을 참조하면, 중첩층(ML)은 제1 게이트 접촉 중첩층(MG1) 및 반도체 접촉 중첩층(MS1)을 포함한다. 제1 게이트 접촉 중첩층(MG1)은 반도체층(120)과 일부 중첩하고 제1 게이트 콘택홀(CG1)을 통해 게이트 전극(130)에 접촉한다.
- [90] 제1 게이트 접촉 중첩층(MG1)은 게이트 전극(130)의 중앙부에 위치하여 제1 방향(D1)으로 연장되어 채널 영역과 중첩한다. 제1 게이트 접촉 중첩층(MG1)은 반도체층(120)보다 제1 방향(D1)으로 더 연장되어 반도체층(120)과 중첩하지 않고 게이트 전극(130)과 중첩하는 제1 연장부(MG1-1)를 포함한다. 제1 연장부(MG1-1)에 중첩하는 위치에 제1 게이트 콘택홀(CG1)이 위치하고, 제1 게이트 콘택홀(CG1)을 통해 제1 게이트 접촉 중첩층(MG1)이 게이트 전극(130)에 직접 연결될 수 있다.

- [91] 반도체 접촉 중첩층(MS1)은 제1 중첩부(MS1-1a), 제2 중첩부(MS1-1b), 연장부(MS1-2) 및 접촉부(MS1-3)를 포함한다. 제1 중첩부(MS1-1a)는 게이트 전극(130)의 일 측면을 따라 제1 방향(D1)으로 연장되어 채널 영역과 중첩한다. 제1 중첩부(MS1-1a)는 반도체층(120) 및 게이트 전극(130)과 중첩할 수 있다. 제2 중첩부(MS1-1b)는 게이트 전극(130)의 다른 측면을 따라 제1 방향(D1)으로 연장되어 채널 영역과 중첩한다. 제2 중첩부(MS1-1b)는 반도체층(120) 및 게이트 전극(130)과 중첩할 수 있다. 접촉부(MS1-3)는 게이트 전극(130)과 중첩하지 않고 반도체층(120)과 중첩한다. 접촉부(MS1-3)에 반도체 컨택홀(CS1)이 위치하며, 반도체 컨택홀(CS1)을 통해 접촉부(MS1-3)가 반도체층(120)에 접촉할 수 있다. 연장부(MS1-2)는 제1 중첩부(MS1-1a), 제2 중첩부(MS1-1b) 및 접촉부(MS1-3)를 서로 연결하는 구조를 가진다. 연장부(MS1-2)는 반도체층(120)과 중첩하지 않을 수 있다.
- [92] 평면상에서 제1 게이트 접촉 중첩층(MG1)은 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)와 제2 중첩부(MS1-1b) 사이에 위치하여 제1 중첩부(MS1-1a)와 제2 중첩부(MS1-1b)에 나란하게 연장될 수 있다.
- [93] 평면상에서 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)는 갭(GP)만큼 서로 이격되어 위치한다. 그리고 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)는 갭(GP)만큼 서로 이격되어 위치한다. 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)는 채널 영역 내에서 갭(GP)만큼 물리적으로 분리되어 있다. 또한, 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)는 채널 영역 내에서 갭(GP)만큼 물리적으로 분리되어 있다.
- [94] 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)와 제2 중첩부(MS1-1b)는 반도체층(120)의 채널 영역과 중첩하며, 갭(GP)에서 중첩층(ML)은 반도체층(120)의 채널 영역과 중첩하지 않는다.
- [95] 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2)은 서로 동일할 수 있다. 그리고 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a), 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 클 수 있다.
- [96] 도 7에서는 도시하지 않았으나, 버퍼층(112)과 제1 게이트 절연층(141)에 제1 게이트 컨택홀(CG1)이 형성된다. 제1 게이트 컨택홀(CG1)에 의해 제1 게이트 중첩층(MG1)의 일부가 노출된다. 게이트 전극(130)은 제1 게이트 컨택홀(CG1)과 중첩하고, 제1 게이트 컨택홀(CG1)을 통해 제1 게이트 접촉 중첩층(MG1)에 연결될 수 있다. 도 6 및 7에서는 도 1 및 도 2에서 상술한 제2

- 게이트 컨택홀(CG2)이 필요하지 않다.
- [97] 이러한 차이점을 제외하고, 앞서 도 1 및 도 2를 참조하여 설명한 실시예의 특징들은 도 6 및 도 7을 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [98] 이하, 도 8을 참조하여 도 6의 트랜지스터에서 일부 구성이 변형된 실시예의 트랜지스터에 대하여 설명한다.
- [99] 도 8은 도 6에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.
- [100] 도 8을 참조하면, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1)보다 클 수 있다. 그리고 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2)보다 클 수 있다. 즉, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)은 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2)과 서로 다를 수 있다. 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1)과 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2)은 동일하거나 서로 다를 수 있다. 이러한 경우에도 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a), 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 클 수 있다.
- [101] 한편, 도 8의 예시와 반대로, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1)보다 작고, 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2)보다 작을 수 있으며, 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a), 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 클 수 있다.
- [102] 이러한 차이점을 제외하고, 앞서 도 6 및 도 7을 참조하여 설명한 실시예의 특징들은 도 8을 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [103] 이하, 도 9를 참조하여 도 6의 트랜지스터에서 일부 구성이 변형된 실시예의 트랜지스터에 대하여 설명한다.
- [104] 도 9는 도 6의 실시예에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다. 상술한 도 6 및 도 7의 실시예와 비교하여 차이점 위주로 설명한다.
- [105] 도 9를 참조하면, 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a), 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT)은 반도체층(120)의 채널 영역의 폭(W130)보다 작을 수 있다. 이때, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이

반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2) 각각보다 클 수 있다. 또는, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2) 각각과 동일하거나 작을 수 있다.

- [106] 이러한 차이점을 제외하고, 앞서 도 6 및 도 7을 참조하여 설명한 실시예의 특징들은 도 9를 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [107] 이하, 도 10을 참조하여 도 6의 트랜지스터에서 일부 구성이 변형된 실시예의 트랜지스터에 대하여 설명한다.
- [108] 도 10은 도 6의 실시예에서 일부 구성이 변형된 실시예의 트랜지스터를 나타내는 평면도이다. 상술한 도 6 및 도 7의 실시예와 비교하여 차이점 위주로 설명한다.
- [109] 도 10을 참조하면, 중첩층(ML)은 반도체층(120) 및 게이트 전극(130)에 연결되지 않고 채널 영역과 중첩하는 플로팅 중첩층(MF)을 더 포함할 수 있다. 플로팅 중첩층(MF)은 다른 도전체와 절연되어 있으며, 플로팅 중첩층(MF)에는 전압이 인가되지 않는다.
- [110] 플로팅 중첩층(MF)은 제1 게이트 접촉 중첩층(MG1) 및 반도체 접촉 중첩층(MS1)과 동일한 층에 위치할 수 있다. 그리고 플로팅 중첩층(MF)은 평면상에서 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b) 중 적어도 어느 하나와 갭(GP)만큼 서로 이격되어 위치할 수 있다.
- [111] 도 10에서는 플로팅 중첩층(MF)이 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)에 인접하는 것으로 예시한다. 플로팅 중첩층(MF)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)는 갭(GP)만큼 서로 이격되어 위치하고, 갭(GP)만큼 플로팅 중첩층(MF)과 반도체 접촉 중첩층(MS1)이 물리적으로 분리된다. 플로팅 중첩층(MF)은 반도체층(120)의 채널 영역과 중첩하고, 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)와 나란하게 제1 방향(D1)으로 연장될 수 있다.
- [112] 플로팅 중첩층(MF)의 폭(Wf)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2) 중 적어도 어느 하나와 동일할 수 있다. 또는 플로팅 중첩층(MF)의 폭(Wf)은 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2) 각각과 서로 다를 수 있다. 이때, 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a)의 폭(Ws1) 및 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b)의 폭(Ws2)은 서로 동일하거나 서로 다를 수 있다. 또한, 플로팅

중첩층(MF), 제1 게이트 접촉 중첩층(MG1), 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1a), 반도체 접촉 중첩층(MS1)의 제2 중첩부(MS1-1b) 및 복수의 갭(GP)을 포함하는 영역 전체의 폭(WT')은 반도체층(120)의 채널 영역의 폭(W130) 이상이거나 또는 채널 영역의 폭(W130)보다 작을 수 있다.

[113] 이러한 차이점을 제외하고, 앞서 도 6 및 도 7을 참조하여 설명한 실시예의 특징들은 도 10을 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.

[114] 상술한 도 1 내지 도 4, 도 6 내지 도 9의 실시예에서는 반도체층(120)의 채널 영역 내에서 중첩층(ML)이 2개의 갭(GP)에 의해 분리된 3개의 분리 구조로 이루어지고, 도 5 및 도 10의 실시예에서는 반도체층(120)의 채널 영역 내에서 중첩층(ML)이 3개의 갭(GP)에 의해 분리된 4개의 분리 구조로 이루어진다. 이와 같이, 중첩층(ML)은 반도체층(120)의 채널 영역 내에서 복수의 분리 구조로 이루어질 수 있다. 반도체층(120)의 채널 영역 내에서 중첩층(ML)의 분리 구조의 개수는 제한되지 않는다.

[115] 이하, 도 11을 참조하여 중첩층(ML)이 하나의 갭(GP)에 의해 분리된 2개의 분리 구조로 이루어지는 실시예에 대하여 설명한다.

[116] 도 11은 본 발명의 또 다른 실시예에 따른 트랜지스터를 나타내는 평면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.

[117] 도 11을 참조하면, 도 1의 실시예와 비교할 때 제2 게이트 접촉 중첩층(MG2)이 생략된다. 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)가 게이트 전극(130)의 다른 측면을 따라 제1 방향(D1)으로 연장된다. 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)는 갭(GP)만큼 서로 이격되어 위치하며, 제1 게이트 접촉 중첩층(MG1)과 반도체 접촉 중첩층(MS1)의 제1 중첩부(MS1-1)가 갭(GP)만큼 물리적으로 분리될 수 있다.

[118] 이러한 차이점을 제외하고, 앞서 도 1 및 도 2를 참조하여 설명한 실시예의 특징들은 도 11을 참조로 설명한 실시예에 모두 적용될 수 있다. 또한, 도 3 내지 도 5를 참조하여 설명한 일부 구성이 변형된 실시예의 특징들은 도 11을 참조로 설명한 실시예에 모두 적용될 수 있다. 따라서, 실시예들 간에 중복되는 설명은 생략한다.

[119] 이하, 도 12를 참조하여 중첩층(ML)이 하나로 이루어진 실시예에 대하여 설명한다.

[120] 도 12는 본 발명의 또 다른 실시예에 따른 트랜지스터를 나타내는 평면도이다. 상술한 도 1 및 도 2의 실시예와 비교하여 차이점 위주로 설명한다.

[121] 도 12를 참조하면, 중첩층(ML)은 도 1 및 도 2에서 상술한 반도체 접촉 중첩층(MS1)을 포함하지 않고 제1 게이트 접촉 중첩층(MG1)만을 포함할 수 있다. 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이 중첩층(ML) 전체의 폭(WT)에 대응할 수 있다. 제1 게이트 접촉 중첩층(MG1)의 폭(Wg1)이 게이트 전극(130)의 폭(W130)보다 클 수 있다. 즉, 제1 게이트 접촉 중첩층(MG1)은 트랜지스터의

- 채널 영역 전체와 중첩될 수 있다.
- [122] 이러한 차이점을 제외하고, 앞서 도 1 및 도 2를 참조하여 설명한 실시예의 특징들은 도 11을 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [123] 이하, 도 13을 참조하여 일 실시예에 따른 표시 장치에 대하여 설명하고, 도 14를 참조하여 표시 장치에 포함되는 본 발명의 실시예에 따른 화소에 대하여 설명한다.
- [124] 도 13은 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
- [125] 도 13을 참조하면, 표시 장치는 신호 제어부(100), 게이트 구동부(200), 데이터 구동부(300), 발광 제어 구동부(400), 전원 공급부(500) 및 표시부(600)를 포함한다.
- [126] 신호 제어부(100)는 외부 장치로부터 입력되는 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며, 휘도는 정해진 수효의 계조 레벨(gray level)을 포함한다. 입력 제어 신호의 예로는 데이터 인에이블 신호(DE), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 메인 클럭(MCLK) 등이 있다.
- [127] 신호 제어부(100)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 표시부(600) 및 데이터 구동부(300)의 동작 조건에 맞게 적절히 처리하고 제1 제어 신호(CONT1), 제2 제어 신호(CONT2), 영상 데이터 신호(DAT) 및 제3 제어 신호(CONT3)를 생성한다. 신호 제어부(100)는 제1 제어 신호(CONT1)를 게이트 구동부(200)에 전달하고, 제2 제어 신호(CONT2) 및 영상 데이터 신호(DAT)를 데이터 구동부(300)에 전달하며, 제3 제어 신호(CONT3)를 발광 제어 구동부(400)에 전달한다.
- [128] 표시부(600)는 복수의 게이트 라인(SL1-SL_n), 복수의 데이터 라인(DL1-DL_m), 복수의 발광 제어 라인(EL1-EL_n) 및 복수의 화소(PX)를 포함한다. 복수의 화소(PX)는 복수의 게이트 라인(SL1-SL_n), 복수의 데이터 라인(DL1-DL_m), 복수의 발광 제어 라인(EL1-EL_n)에 연결되어 대략 행렬의 형태로 배열될 수 있다. 복수의 게이트 라인(SL1-SL_n)은 대략 행 방향으로 연장되어 서로가 거의 평행할 수 있다. 복수의 발광 제어 라인(EL1-EL_n)은 대략 행 방향으로 연장되어 서로가 거의 평행할 수 있다. 복수의 데이터 라인(DL1-DL_m)은 대략 열 방향으로 연장되어 서로가 거의 평행할 수 있다. 표시부(600)는 복수의 화소(PX)가 위치하여 영상이 표시되는 표시 영역에 대응될 수 있다.
- [129] 게이트 구동부(200)는 복수의 게이트 라인(SL1-SL_n)에 연결되고, 제1 제어 신호(CONT1)에 따라 게이트 온 전압과 게이트 오프 전압의 조합으로 이루어진 게이트 신호를 복수의 게이트 라인(SL1-SL_n)에 인가한다. 게이트 구동부(200)는 게이트 온 전압의 게이트 신호를 복수의 게이트 라인(SL1-SL_n)에 순차적으로 인가할 수 있다.

- [130] 게이트 구동부(200)는 표시 영역 주변의 비표시 영역에 위치할 수 있다. 즉, 게이트 구동부(200)는 표시 장치에 포함되는 기관(110) 상의 비표시 영역에 위치할 수 있다. 게이트 구동부(200)는 게이트 온 전압의 게이트 신호를 복수의 게이트 라인(SL1-SL_n)에 순차적으로 인가하기 위한 복수의 트랜지스터를 포함하며, 복수의 트랜지스터 중 적어도 하나는 도 1 내지 도 12에서 상술한 트랜지스터 중 어느 하나를 포함할 수 있다.
- [131] 데이터 구동부(300)는 복수의 데이터 라인(DL1-DL_m)에 연결되고, 제2 제어 신호(CONT2)에 따라 영상 데이터 신호(DAT)를 샘플링 및 홀딩하고, 복수의 데이터 라인(DL1-DL_m)에 데이터 전압을 인가한다. 데이터 구동부(300)는 게이트 온 전압의 게이트 신호에 대응하여 복수의 데이터 라인(DL1-DL_m)에 소정의 전압 범위를 갖는 데이터 신호를 인가할 수 있다.
- [132] 발광 제어 구동부(400)는 복수의 발광 제어 라인(EL1~EL_n)에 연결되고, 제3 제어 신호(CONT3)에 따라 게이트 온 전압과 게이트 오프 전압의 조합으로 이루어진 발광 제어 신호를 복수의 발광 제어 라인(EL1~EL_n)에 인가할 수 있다. 발광 제어 구동부(400)는 게이트 온 전압의 발광 제어 신호를 복수의 발광 제어 라인(EL1~EL_n)에 순차적으로 인가할 수 있다.
- [133] 발광 제어 구동부(400)는 표시 장치에 포함되는 기관(110) 상의 비표시 영역에 위치할 수 있다. 발광 제어 구동부(400)는 게이트 온 전압의 발광 제어 신호를 복수의 발광 제어 라인(EL1~EL_n)에 순차적으로 인가하기 위한 복수의 트랜지스터를 포함하며, 복수의 트랜지스터 중 적어도 하나는 도 1 내지 도 12에서 상술한 트랜지스터 중 어느 하나를 포함할 수 있다.
- [134] 전원 공급부(500)는 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS) 및 초기화 전압(V_{int})을 복수의 화소(PX)에 공급한다. 제1 전원 전압(ELVDD)은 복수의 화소(PX) 각각에 포함된 발광 다이오드(LED)의 애노드 전극에 제공되는 하이 레벨 전압일 수 있다. 제2 전원 전압(ELVSS)은 복수의 화소(PX) 각각에 포함된 발광 다이오드(LED)의 캐소드 전극에 제공되는 로우 레벨 전압일 수 있다. 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)은 복수의 화소(PX)를 발광시키기 위한 구동 전압이다.
- [135] 도 14는 본 발명의 일 실시예에 따른 표시 장치의 한 화소를 나타내는 회로도이다. 도 13의 표시 장치에 포함되는 복수의 화소(PX) 중에서 n번째 화소행과 m번째 화소열에 위치하는 화소(PX)를 예로 들어 설명한다.
- [136] 도 14를 참조하면, 화소(PX)는 발광 다이오드(LED) 및 제1 전원 전압(ELVDD)으로부터 발광 다이오드(LED)로 흐르는 전류를 제어하기 위한 화소 회로(10)를 포함한다. 화소 회로(10)에는 제1 게이트 라인(SL_n), 제2 게이트 라인(SL_{In}), 제3 게이트 라인(SL_{Bn}), 데이터 라인(DL_m) 및 발광 제어 라인(EL_n)이 연결될 수 있다. 제2 게이트 라인(SL_{In})은 제1 게이트 라인(SL_n)보다 1 화소행 이전의 게이트 신호가 인가되는 게이트 라인일 수 있다. 제3 게이트 라인(SL_{Bn})은 제2 게이트 라인(SL_{In})보다 1 화소행 이전의 게이트 신호가

인가되는 게이트 라인이거나, 또는 제2 게이트 라인(SL_n)과 동일한 게이트 신호가 인가되는 게이트 라인이거나, 또는 제1 게이트 라인(SL_n)과 동일한 게이트 신호가 인가되는 게이트 라인이거나, 또는 제1 게이트 라인(SL_n)보다 1 화소행 이후의 게이트 신호가 인가되는 게이트 라인일 수 있다. 제3 게이트 라인(SL_{Bn})에 인가되는 게이트 신호는 표시 장치의 구동 방식에 따라 다양하게 변경될 수 있다.

[137] 화소 회로(10)는 구동 트랜지스터(TR11), 스위칭 트랜지스터(TR12), 보상 트랜지스터(TR13), 제1 발광 제어 트랜지스터(TR14), 제2 발광 제어 트랜지스터(TR15), 초기화 트랜지스터(TR16), 리셋 트랜지스터(TR17) 및 유지 커패시터(Cst)를 포함할 수 있다.

[138] 구동 트랜지스터(TR11)는 제1 노드(N11)에 연결되어 있는 게이트 전극, 제3 노드(N13)에 연결되어 있는 제1 전극 및 제2 노드(N12)에 연결되어 있는 제2 전극을 포함한다. 구동 트랜지스터(TR11)는 제1 전원 전압(ELVDD)과 발광 다이오드(LED) 사이에 연결되고, 제1 노드(N11)의 전압에 대응하여 제1 전원 전압(ELVDD)으로부터 발광 다이오드(LED)로 흐르는 전류량을 제어한다. 구동 트랜지스터(TR11)는 게이트 전극에 연결되는 게이트 접촉 중첩층(MG) 및 제2 전극에 연결되는 반도체 접촉 중첩층(MS1)을 더 포함할 수 있다. 구동 트랜지스터(TR11)의 게이트 접촉 중첩층(MG)은 제1 노드(N11)에 전기적으로 연결되고, 구동 트랜지스터(TR11)의 반도체 접촉 중첩층(MS1)은 제2 노드(N12)에 전기적으로 연결될 수 있다. 구동 트랜지스터(TR11)의 게이트 접촉 중첩층(MG)과 반도체 접촉 중첩층(MS1)은 구동 트랜지스터(TR11)의 채널 영역과 중첩한다. 게이트 접촉 중첩층(MG)은 도 1 내지 도 4에서 상술한 제1 게이트 접촉 중첩층(MG1) 및 제2 게이트 접촉 중첩층(MG2)을 포함할 수 있다. 즉, 구동 트랜지스터(TR11)는 도 6 내지 도 9에서 예시한 트랜지스터의 구조로 이루어질 수 있다. 또는, 실시예에 따라 구동 트랜지스터는 도 1 내지 도 5에서 예시한 트랜지스터의 구조로 이루어질 수도 있다.

[139] 스위칭 트랜지스터(TR12)는 제1 게이트 라인(SL_n)에 연결되어 있는 게이트 전극, 데이터 라인(DL_m)에 연결되어 있는 제1 전극 및 제2 노드(N12)에 연결되어 있는 제2 전극을 포함한다. 스위칭 트랜지스터(TR12)는 데이터 라인(DL_m)과 구동 트랜지스터(TR11) 사이에 연결되고, 제1 게이트 라인(SL_n)에 인가되는 게이트 온 전압의 제1 게이트 신호에 따라 턴 온되어 데이터 라인(DL_m)에 인가되는 데이터 전압(V_{dat})을 제2 노드(N12)에 전달한다. 스위칭 트랜지스터(TR12)는 게이트 전극에 연결되는 게이트 접촉 중첩층(MG)을 더 포함할 수 있다. 스위칭 트랜지스터(TR12)의 게이트 접촉 중첩층(MG)은 스위칭 트랜지스터(TR12)의 채널 영역과 중첩한다. 스위칭 트랜지스터(TR12)의 게이트 접촉 중첩층(MG)은 제1 게이트 라인(SL_n)에 전기적으로 연결될 수 있다. 스위칭 트랜지스터(TR12)는 도 12에서 예시한 트랜지스터의 구조로 이루어질 수 있다.

[140] 보상 트랜지스터(TR13)는 제1 보상 트랜지스터(TR13-1) 및 제2 보상

트랜지스터(TR13-2)를 포함한다. 제1 보상 트랜지스터(TR13-1)는 제1 게이트 라인(SL_n)에 연결되어 있는 게이트 전극, 제2 보상 트랜지스터(TR13-2)의 제2 전극에 연결되어 있는 제1 전극 및 제1 노드(N11)에 연결되어 있는 제2 전극을 포함한다. 제2 보상 트랜지스터(TR13-2)는 제1 게이트 라인(SL_n)에 연결되어 있는 게이트 전극, 제3 노드(N13)에 연결되어 있는 제1 전극 및 제1 보상 트랜지스터(TR13-1)의 제1 전극에 연결되어 있는 제2 전극을 포함한다. 제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2)는 구동 트랜지스터(TR11)의 제2 전극과 게이트 전극 사이에 연결되고, 제1 게이트 라인(SL_n)에 인가되는 게이트 온 전압의 제1 게이트 신호에 따라 턴 온된다. 제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2)는 구동 트랜지스터(TR11)를 다이오드 연결시켜 구동 트랜지스터(TR11)의 문턱 전압을 보상할 수 있다. 제1 보상 트랜지스터(TR13-1)와 제2 보상 트랜지스터(TR13-2) 각각은 게이트 접촉 중첩층(MG)을 더 포함할 수 있다. 제1 보상 트랜지스터(TR13-1)와 제2 보상 트랜지스터(TR13-2) 각각의 게이트 접촉 중첩층(MG)은 제1 게이트 라인(SL_n)에 전기적으로 연결될 수 있다. 제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2) 각각의 게이트 접촉 중첩층(MG)은 제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2) 각각의 채널 영역에 중첩한다. 제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2)는 도 12에서 예시한 트랜지스터의 구조로 이루어질 수 있다. 도 14에서는 보상 트랜지스터(TR13)는 제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2)를 포함하는 것으로 예시하였으나, 실시예에 따라 보상 트랜지스터(TR13)는 하나로 이루어질 수 있다.

- [141] 제1 발광 제어 트랜지스터(TR14)는 발광 제어 라인(EL_n)에 연결되어 있는 게이트 전극, 제1 전원 전압(ELVDD)에 연결되어 있는 제1 전극 및 제2 노드(N12)에 연결되어 있는 제2 전극을 포함한다. 제1 발광 제어 트랜지스터(TR14)는 제1 전원 전압(ELVDD)과 구동 트랜지스터(TR11) 사이에 연결되고, 발광 제어 라인(EL_n)에 인가되는 게이트 온 전압의 발광 제어 신호에 따라 턴 온되어 제1 전원 전압(ELVDD)을 구동 트랜지스터(TR11)에 전달한다.
- [142] 제2 발광 제어 트랜지스터(TR15)는 발광 제어 라인(EL_n)에 연결되어 있는 게이트 전극, 제3 노드(N13)에 연결되어 있는 제1 전극 및 발광 다이오드(LED)의 애노드 전극에 연결되어 있는 제2 전극을 포함한다. 제2 발광 제어 트랜지스터(TR15)는 구동 트랜지스터(TR11)와 발광 다이오드(LED) 사이에 연결되고, 발광 제어 라인(EL_n)에 인가되는 게이트 온 전압의 발광 제어 신호에 따라 턴 온되어 구동 트랜지스터(TR11)를 통해 흐르는 전류를 발광 다이오드(LED)로 전달한다.
- [143] 초기화 트랜지스터(TR16)가 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)를 포함한다. 제1 초기화 트랜지스터(TR16-1)는 제2 게이트 라인(SL_n)에 연결되어 있는 게이트 전극, 제2 초기화 트랜지스터(TR16-2)의 제2

전극에 연결되어 있는 제1 전극 및 제1 노드(N11)에 연결되어 있는 제2 전극을 포함한다. 제2 초기화 트랜지스터(TR16-2)는 제2 게이트 라인(SLIn)에 연결되어 있는 게이트 전극, 초기화 전압(Vint)에 연결되어 있는 제1 전극 및 제1 초기화 트랜지스터(TR16-1)의 제1 전극에 연결되어 있는 제2 전극을 포함한다. 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)는 구동 트랜지스터(TR11)의 게이트 전극과 초기화 전압(Vint) 사이에 연결되고, 제2 게이트 라인(SLIn)에 인가되는 게이트 온 전압의 제2 게이트 신호에 의해 턴 온되고, 초기화 전압(Vint)을 제1 노드(N11)에 전달하여 구동 트랜지스터(TR11)의 게이트 전압을 초기화 전압(Vint)으로 초기화할 수 있다. 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2) 각각은 게이트 전극에 연결되는 게이트 접촉 중첩층(MG)을 더 포함할 수 있다. 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2) 각각의 게이트 접촉 중첩층(MG)은 제2 게이트 라인(SLIn)에 전기적으로 연결될 수 있다. 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2) 각각의 게이트 접촉 중첩층(MG)은 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2) 각각의 채널 영역과 중첩한다. 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)는 도 12에서 예시한 트랜지스터의 구조로 이루어질 수 있다. 도 14에서는 초기화 트랜지스터(TR16)가 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)를 포함하는 것으로 예시하였으나, 실시예에 따라 초기화 트랜지스터(TR16)는 하나로 이루어질 수 있다.

- [144] 리셋 트랜지스터(TR17)는 제3 게이트 라인(SLBn)에 연결되어 있는 게이트 전극, 초기화 전압(Vint)에 연결되어 있는 제1 전극 및 발광 다이오드(LED)의 애노드 전극에 연결되어 있는 제2 전극을 포함한다. 리셋 트랜지스터(TR17)는 발광 다이오드(LED)의 애노드 전극과 초기화 전압(Vint) 사이에 연결되고, 제3 게이트 라인(SLBn)에 인가되는 게이트 온 전압의 제3 게이트 신호에 의해 턴 온된다. 리셋 트랜지스터(TR17)는 초기화 전압(Vint)을 발광 다이오드(LED)의 애노드 전극에 전달하여 발광 다이오드(LED)를 초기화 전압(Vint)으로 리셋할 수 있다. 실시예에 따라, 리셋 트랜지스터(TR17)는 생략될 수 있다.
- [145] 구동 트랜지스터(TR11), 스위칭 트랜지스터(TR12), 보상 트랜지스터(TR13), 제1 발광 제어 트랜지스터(TR14), 제2 발광 제어 트랜지스터(TR15), 초기화 트랜지스터(TR16) 및 리셋 트랜지스터(TR17)는 p-채널 전계 효과 트랜지스터일 수 있다. p-채널 전계 효과 트랜지스터를 턴 온시키는 게이트 온 전압은 로우 레벨 전압이고, 턴 오프시키는 게이트 오프 전압은 하이 레벨 전압이다.
- [146] 실시예에 따라, 구동 트랜지스터(TR11), 스위칭 트랜지스터(TR12), 보상 트랜지스터(TR13), 제1 발광 제어 트랜지스터(TR14), 제2 발광 제어 트랜지스터(TR15), 초기화 트랜지스터(TR16) 및 리셋 트랜지스터(TR17) 중 적어도 하나는 n-채널 전계 효과 트랜지스터일 수 있다. n-채널 전계 효과

트랜지스터를 턴 온시키는 게이트 온 전압은 하이 레벨 전압이고, 턴 오프시키는 게이트 오프 전압은 로우 레벨 전압이다.

- [147] 유지 커패시터(Cst)는 제1 전원 전압(ELVDD)에 연결되어 있는 제1 전극 및 제1 노드(N11)에 연결되어 있는 제2 전극을 포함한다. 제1 노드(N11)에는 구동 트랜지스터(TR11)의 문턱 전압이 보상된 데이터 전압이 전달되고, 유지 커패시터(Cst)는 제1 노드(N11)의 전압을 유지하는 역할을 한다.
- [148] 발광 다이오드(LED)는 제2 발광 제어 트랜지스터(TR15)의 제2 전극에 연결된 애노드 전극 및 제2 전원 전압(ELVSS)에 연결된 캐소드 전극을 포함한다. 발광 다이오드(LED)는 화소 회로(10)와 제2 전원 전압(ELVSS) 사이에 연결되어 화소 회로(10)로부터 공급되는 전류에 대응하는 휘도로 발광할 수 있다. 발광 다이오드(LED)는 유기 발광 물질과 무기 발광 물질 중 적어도 하나를 포함하는 발광층을 포함할 수 있다. 애노드 전극과 캐소드 전극으로부터 각각 정공과 전자가 발광층 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exciton)이 여기 상태에서부터 기저 상태로 떨어질 때 발광이 이루어진다. 발광 다이오드(LED)는 기본색(primary color) 중 하나의 빛 또는 백색의 빛을 낼 수 있다. 기본색의 예로는 적색, 녹색, 청색의 삼원색을 들 수 있다. 기본색의 다른 예로 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다.
- [149] 이하, 도 15를 참조하여 도 6 및 도 7에 예시한 트랜지스터의 구조로 구동 트랜지스터(TR11)가 이루어지는 화소를 포함하는 표시 장치의 구조에 대하여 설명한다.
- [150] 도 15는 본 발명의 일 실시예에 따른 표시 장치의 구조를 나타내는 단면도이다.
- [151] 도 15를 참조하면, 제1 전극(151), 제2 전극(153) 및 제2 게이트 절연층(142) 위에 유기막(161)이 위치할 수 있다.
- [152] 유기막(161) 위에는 화소 전극(171)이 위치하고, 화소 전극(171)은 유기막(161)을 관통하는 콘택홀(도시하지 않음)을 통해 구동 트랜지스터(TR11)의 제1 전극(151)과 전기적으로 연결될 수 있다. 즉, 구동 트랜지스터(TR11)의 제1 전극(151)은 제2 발광 제어 트랜지스터(TR15)를 통해 발광 다이오드(LED)에 전기적으로 연결될 수 있고, 이때 유기막(161)의 콘택홀을 통해 발광 다이오드(LED)의 화소 전극(171)(예를 들어, 애노드 전극)이 제2 발광 제어 트랜지스터(TR15)의 제2 전극에 연결될 수 있다.
- [153] 화소 전극(171) 위에는 발광층(172)이 위치하고, 발광층(172) 위에 전원 전극(173)이 위치한다. 전원 전극(173)은 ITO, IZO 등의 투명한 도전체로 이루어질 수 있다. 화소 전극(171), 발광층(172) 및 전원 전극(173)은 발광 다이오드(LED)를 이룬다.
- [154] 화소 전극(171) 주변에는 발광 소자(LED)의 영역을 정의하는 정의층(162)이 위치할 수 있다. 발광 소자(LED) 위에는 발광 소자(LED)를 보호하기 위한 봉지층(180)이 위치할 수 있다. 봉지층(180)은 교대로 적층되어 있는 무기층과 유기층으로 이루어질 수 있다. 실시예에 따라, 봉지층(180)은 투명한 유리 또는

플라스틱 등의 봉지 부재로 마련될 수 있으며, 봉지 부재는 절연 기관(110)과 실런트(미도시)로 합착되어 내부 공간을 밀봉시키고, 발광 다이오드(LED)를 보호할 수 있다.

- [155] 앞서 도 6 및 도 7을 참조하여 설명한 실시예의 특징들은 도 15를 참조로 설명한 실시예에 모두 적용될 수 있으므로, 실시예들 간에 중복되는 설명은 생략한다.
- [156] 이하, 도 16을 참조하여 도 14의 실시예에 따른 화소를 포함하는 표시 장치의 구동 방법에 대하여 설명하고, 도 17 및 도 18을 참조하여 본 발명의 실시예에 따른 트랜지스터의 특성에 대하여 설명한다.
- [157] 도 16은 일 실시예에 따른 표시 장치의 구동 방법을 나타내는 타이밍도이다. 도 17은 본 발명의 일 실시예에 따른 트랜지스터의 특성을 나타내는 그래프이다. 도 18은 일 실시예에 따른 화소를 나타내는 회로도이다.
- [158] 도 16 및 도 17을 참조하면, 일 실시예에 따른 표시 장치의 구동 방법은 초기화 기간(T1), 데이터 기입 기간(T2), 리셋 기간(T3) 및 발광 기간(T4)을 포함할 수 있다.
- [159] 초기화 기간(T1) 동안, 제2 게이트 신호(SLI[n])가 게이트 온 전압(On)으로 인가된다. 이때, 제1 게이트 신호(SL[n]), 제3 게이트 신호(SLB[n]) 및 발광 제어 신호(E[n])는 게이트 오프 전압(Off)으로 인가된다. 게이트 온 전압(On)의 제2 게이트 신호(SLI[n])에 의해 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)가 턴 온되고, 제1 노드(N11)에 초기화 전압(Vint)이 전달된다. 초기화 전압(Vint)에 의해 구동 트랜지스터(TR11)의 게이트 전압이 초기화될 수 있다.
- [160] 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2) 각각이 게이트 접촉 중첩층(MG)을 포함한다. 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2) 각각의 게이트 접촉 중첩층(MG)에는 제2 게이트 신호(SLI[n])가 인가된다. 이에 따라, 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)가 완전히 턴 온된 상태에서 제1 초기화 트랜지스터(TR16-1) 및 제2 초기화 트랜지스터(TR16-2)에 흐르는 전류가 증가한다. 이에 대하여 도 17 및 도 18을 참조하여 설명한다.
- [161] 도 17은 일반적인 트랜지스터(TR_N)와 본원의 실시예에 따른 게이트 접촉 중첩층(MG)과 반도체 접촉 중첩층(MS1)을 포함하는 트랜지스터(TR_S)의 특성 곡선을 나타내는 그래프이다. 일반적인 트랜지스터(TR_N)를 포함하는 화소 회로(20)는 도 18에 예시한 바와 같다. 도 18의 화소 회로(20)는 도 14의 화소 회로(10)와 비교하여 화소 회로(20)에 포함되는 모든 트랜지스터들이 도 14에서 상술한 게이트 접촉 중첩층(MG)과 반도체 접촉 중첩층(MS1)을 포함하지 않는 일반적인 트랜지스터(TR_N)이다.
- [162] 도 17에서 가로축은 트랜지스터의 게이트-소스 전압차(Vgs)를 나타내고, 세로축은 트랜지스터에 흐르는 전류(Ids)를 나타낸다.
- [163] 본원의 실시예에 따른 트랜지스터(TR_S)에 게이트 접촉 중첩층(MG)이

포함됨에 따라 트랜지스터가 완전히 턴 온되는 게이트-소스 전압차(V_{gs})에서 본원의 실시예에 따른 트랜지스터(TR_S)에 흐르는 전류가 일반적인 트랜지스터(TR_N)에 흐르는 전류보다 증가하게 된다. 트랜지스터가 완전히 턴 온되는 게이트-소스 전압차(V_{gs})는 트랜지스터가 최대로 전류를 흘릴 수 있는 게이트-소스 전압차(V_{gs})를 의미할 수 있다. 다시 말해, 본원의 실시예에 따른 트랜지스터(TR_S)를 통해 전류를 높이는데 필요한 전압이 일반적인 트랜지스터(TR_N)를 통해 전류를 높이는데 필요한 전압보다 낮아진다.

[164] 다시 도 16을 참조하면, 다시 말해, 제1 초기화 트랜지스터($TR16-1$) 및 제2 초기화 트랜지스터($TR16-2$) 각각이 게이트 접촉 중첩층(MG)을 포함함에 따라, 제1 초기화 트랜지스터($TR16-1$) 및 제2 초기화 트랜지스터($TR16-2$)가 완전히 턴 온된 상태에서 제1 초기화 트랜지스터($TR16-1$) 및 제2 초기화 트랜지스터($TR16-2$)에 흐르는 전류가 증가한다.

[165] 데이터 기입 기간($T2$) 동안, 제1 게이트 신호($SL[n]$)가 게이트 온 전압(On)으로 인가된다. 이때, 제2 게이트 신호($SLI[n]$), 제3 게이트 신호($SLB[n]$) 및 발광 제어 신호($E[n]$)는 게이트 오프 전압(Off)으로 인가된다. 게이트 온 전압(On)의 제1 게이트 신호($SL[n]$)에 의해 스위칭 트랜지스터($TR12$), 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$)가 턴 온된다. 턴 온된 스위칭 트랜지스터($TR12$)를 통해 데이터 전압(V_{dat})이 제2 노드($N12$)에 전달된다. 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$)가 턴 온됨에 따라 구동 트랜지스터($TR11$)가 다이오드 연결되고, 제1 노드($N11$)에 구동 트랜지스터($TR11$)의 문턱 전압이 보상된 데이터 전압이 전달된다. 제1 노드($N11$)에 전달된 전압은 유지 커패시터(Cst)에 충전될 수 있다.

[166] 스위칭 트랜지스터($TR12$)가 게이트 접촉 중첩층(MG)을 포함하고, 스위칭 트랜지스터($TR12$)의 게이트 접촉 중첩층(MG)에는 제1 게이트 신호($SL[n]$)가 인가된다. 스위칭 트랜지스터($TR12$)가 게이트 접촉 중첩층(MG)을 포함함에 따라, 스위칭 트랜지스터($TR12$)가 완전히 턴 온된 상태에서 스위칭 트랜지스터($TR12$)에 흐르는 전류가 증가한다. 또한, 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$) 각각은 게이트 접촉 중첩층(MG)을 포함하고, 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$) 각각의 게이트 접촉 중첩층(MG)에는 제1 게이트 신호($SL[n]$)가 인가된다. 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$) 각각이 게이트 접촉 중첩층(MG)을 포함함에 따라, 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$)가 완전히 턴 온된 상태에서 제1 보상 트랜지스터($TR13-1$) 및 제2 보상 트랜지스터($TR13-2$)에 흐르는 전류가 증가한다. 또한, 구동 트랜지스터($TR11$)가 게이트 접촉 중첩층(MG)을 포함함에 따라 구동 트랜지스터($TR11$)를 통해 흐르는 전류도 증가할 수 있다.

[167] 데이터 라인(DLm)에 인가된 데이터 전압(V_{dat})은 스위칭 트랜지스터($TR12$),

제1 보상 트랜지스터(TR13-1) 및 제2 보상 트랜지스터(TR13-2)를 통해 더욱 빠르게 제1 노드(N11)에 전달될 수 있고, 유지 커패시터(Cst)에 구동 트랜지스터(TR11)의 문턱 전압이 보상된 데이터 전압이 더욱 빠르게 충전될 수 있다.

- [168] 리셋 기간(T3) 동안, 제3 게이트 라인(SLB_n)에 게이트 온 전압(On)의 제3 게이트 신호(SLB[n])가 인가된다. 이때, 제1 게이트 라인(SL_n)에 인가되는 제1 게이트 신호(SL[n]), 제2 게이트 라인(SL_{in})에 인가되는 제2 게이트 신호(SL_i[n]) 및 발광 제어 라인(EL_n)에 인가되는 발광 제어 신호(E[n])는 게이트 오프 전압(Off)으로 인가된다. 게이트 온 전압(On)의 제3 게이트 신호(SLB[n])에 의해 리셋 트랜지스터(TR17)가 턴 온되고, 발광 다이오드(LED)의 애노드 전극에 초기화 전압(Vint)이 전달된다. 초기화 전압(Vint)에 의해 발광 다이오드(LED)가 리셋될 수 있다.
- [169] 발광 기간(T4) 동안, 발광 제어 신호(E[n])가 게이트 온 전압(On)으로 인가된다. 이때, 제1 게이트 신호(SL[n]), 제2 게이트 신호(SL_i[n]) 및 제3 게이트 신호(SLB[n])는 게이트 오프 전압(Off)으로 인가된다. 게이트 온 전압(On)의 발광 제어 신호(E[n])에 의해 제1 발광 제어 트랜지스터(TR14)와 제2 발광 제어 트랜지스터(TR15)가 턴 온된다. 턴 온된 제1 발광 제어 트랜지스터(TR14)를 통해 제1 전원 전압(ELVDD)이 제2 노드(N12)에 전달되고, 턴 온된 제2 발광 제어 트랜지스터(TR15)에 의해 구동 트랜지스터(TR11)와 발광 다이오드(LED)가 전기적으로 연결될 수 있다. 구동 트랜지스터(TR11)를 통해 제1 노드(N11)의 전압에 대응하는 전류가 제1 전원 전압(ELVDD)으로부터 발광 다이오드(LED)로 흐르고, 발광 다이오드(LED)는 전류량에 대응하는 휘도로 발광할 수 있다. 이때, 제1 노드(N11)에 연결되어 있는 구동 트랜지스터(TR11)의 게이트 접촉 중첩층(MG)에 제1 노드(N11)의 전압이 인가된다. 그리고 제2 노드(N12)에 연결되어 있는 구동 트랜지스터(TR11)의 반도체 접촉 중첩층(MS1)에 제1 전원 전압(ELVDD)이 인가된다. 구동 트랜지스터(TR11)가 반도체 접촉 중첩층(MS1)을 포함함에 따라 구동 트랜지스터(TR11)의 데이터 범위가 증가한다. 이에 대하여 도 17 및 도 18을 참조하여 설명한다.
- [170] 도 17에서 V0 및 V255는 256 계조를 기준으로 최소 계조(0 계조)를 표시하는 전류값과 최대 계조(255 계조)를 표시하는 전류값의 위치를 나타낸다. 본원 실시예에 따른 트랜지스터(TR_S)에 반도체 접촉 중첩층(MS1)이 포함됨에 따라 계조를 표시하는 범위에서 게이트-소스 전압차(V_{gs})가 커질수록 트랜지스터(TR_S)의 특성 곡선의 기울기가 일반적인 트랜지스터(TR_N)(예를 들어, 도 17의 화소 회로(20)에 포함되는 트랜지스터)의 특성 곡선보다 완만하게 변하게 된다. 이에 따라, 본원 실시예에 따른 트랜지스터(TR_S)의 데이터 범위(DR2)가 일반적인 트랜지스터(TR_N)의 데이터 범위(DR1)보다 더욱 커지게 된다. 데이터 범위는 최소 계조를 표시하는 전류값을 제공하기 위한 게이트-소스 전압차(V_{gs})와 최대 계조를 표시하는 전류값을 제공하기 위한 게이트-소스

전압차(V_{gs}) 간의 간격을 의미한다. 다시 말해, 본원 실시예에 따른 트랜지스터(TR_S)가 최소 계조와 최대 계조를 표시하기 위해 구동되는 구동 범위가 증가한다.

[171] 이와 같이, 구동 트랜지스터(TR11)의 데이터 범위가 증가함에 따라 구동 트랜지스터(TR11)는 게이트-소스 전압차(V_{gs})의 변화에 대하여 출력이 덜 민감하게 변경되고, 그 결과 구동 트랜지스터(TR11)가 가지는 특성에 따른 출력의 변화도 덜 민감해진다. 따라서, 발광 기간(T_4)에 발광하는 복수의 화소(PX) 간의 특성의 변화가 줄어들어 표시 품질이 균일해지고 표시 품질이 향상될 수 있다. 또한, 구동 트랜지스터(TR11)의 데이터 범위가 증가함에 따라 더욱 다양한 계조의 영상이 표시될 수도 있다.

[172] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

[173]

청구범위

- [청구항 1] 기판; 및
 상기 기판 상에 위치하는 트랜지스터를 포함하고,
 상기 트랜지스터는,
 반도체층;
 상기 반도체층과 중첩하는 게이트 전극;
 상기 게이트 전극과 상기 반도체층이 중첩하는 채널 영역과
 중첩하고 상기 게이트 전극에 접촉하는 제1 게이트 접촉 중첩층;
 및
 상기 채널 영역과 중첩하고 상기 반도체층에 접촉하는 반도체
 접촉 중첩층을 포함하고,
 상기 채널 영역 내에서 상기 제1 게이트 접촉 중첩층과 상기
 반도체 접촉 중첩층은 갭에 의해 물리적으로 분리되어 있는 표시
 장치.
- [청구항 2] 제1 항에 있어서,
 상기 트랜지스터는,
 상기 채널 영역과 중첩하고, 상기 게이트 전극에 접촉하는 제2
 게이트 접촉 중첩층을 더 포함하고,
 상기 반도체 접촉 중첩층은 평면상에서 상기 제1 게이트 접촉
 중첩층과 상기 제2 게이트 접촉 중첩층 사이에 위치하는 표시
 장치.
- [청구항 3] 제2 항에 있어서,
 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 반도체 접촉
 중첩층, 상기 제2 게이트 접촉 중첩층 및 상기 갭을 포함하는 영역
 전체의 폭이 상기 채널 영역의 폭보다 큰 표시 장치.
- [청구항 4] 제2 항에 있어서,
 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 반도체 접촉
 중첩층, 상기 제2 게이트 접촉 중첩층 및 상기 갭을 포함하는 영역
 전체의 폭이 상기 채널 영역의 폭보다 작은 표시 장치.
- [청구항 5] 제2 항에 있어서,
 상기 트랜지스터는,
 상기 채널 영역과 중첩하고 상기 반도체층과 상기 게이트 전극에
 연결되지 않고 절연되어 있는 플로팅 중첩층을 더 포함하는 표시
 장치.
- [청구항 6] 제1 항에 있어서,
 상기 반도체 접촉 중첩층은,
 상기 채널 영역과 중첩하는 제1 중첩부;

상기 채널 영역과 중첩하는 제2 중첩부;
 상기 게이트 전극과 중첩하지 않고 상기 반도체층에 접촉하는
 접촉부; 및
 상기 제1 중첩부, 상기 제2 중첩부 및 상기 접촉부를 서로 연결하는
 연장부를 포함하는 표시 장치.

[청구항 7]

제6 항에 있어서,
 상기 제1 게이트 접촉 중첩층은 상기 제1 중첩부와 상기 제2
 중첩부 사이에 위치하는 표시 장치.

[청구항 8]

제6 항에 있어서,
 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 제1 중첩부, 상기
 제2 중첩부 및 상기 갭을 포함하는 영역 전체의 폭이 상기 채널
 영역의 폭보다 큰 표시 장치.

[청구항 9]

제6 항에 있어서,
 평면상에서 상기 제1 게이트 접촉 중첩층, 상기 제1 중첩부, 상기
 제2 중첩부 및 상기 갭을 포함하는 영역 전체의 폭이 상기 채널
 영역의 폭보다 작은 표시 장치.

[청구항 10]

제6 항에 있어서,
 상기 트랜지스터는,
 상기 채널 영역과 중첩하고 상기 반도체층과 상기 게이트 전극에
 연결되지 않고 절연되어 있는 플로팅 중첩층을 더 포함하는 표시
 장치.

[청구항 11]

제1 항에 있어서,
 상기 제1 게이트 접촉 중첩층의 폭은 상기 반도체 접촉 중첩층의
 폭과 동일한 표시 장치.

[청구항 12]

제1 항에 있어서,
 상기 제1 게이트 접촉 중첩층의 폭은 상기 반도체 접촉 중첩층의
 폭과 서로 다른 표시 장치.

[청구항 13]

복수의 화소를 포함하고,
 상기 복수의 화소 각각은,
 발광 다이오드; 및
 제1 전원 전압으로부터 상기 발광 다이오드로 흐르는 전류량을
 제어하는 구동 트랜지스터를 포함하고,
 상기 구동 트랜지스터는,
 제1 노드에 연결되어 있는 게이트 전극;
 상기 제1 전원 전압이 인가되는 제1 전극;
 상기 발광 다이오드에 전기적으로 연결되는 제2 전극;
 상기 구동 트랜지스터의 채널 영역과 중첩하고, 상기 게이트
 전극에 연결되는 게이트 접촉 중첩층; 및

- 상기 채널 영역과 중첩하고, 상기 제1 전극에 연결되는 반도체 접촉 중첩층을 포함하고,
 상기 채널 영역 내에서 상기 게이트 접촉 중첩층과 상기 반도체 접촉 중첩층은 갭에 의해 물리적으로 분리되어 있는 표시 장치.
 [청구항 14] 제13 항에 있어서,
 상기 복수의 화소 각각은,
 데이터 라인과 상기 구동 트랜지스터 사이에 연결되는 스위칭 트랜지스터를 더 포함하고,
 상기 스위칭 트랜지스터는,
 제1 게이트 라인에 연결되어 있는 게이트 전극; 및
 상기 스위칭 트랜지스터의 채널 영역과 중첩하고, 상기 스위칭 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층을 포함하는 표시 장치.
- [청구항 15] 제13 항에 있어서,
 상기 복수의 화소 각각은,
 상기 구동 트랜지스터의 제2 전극과 상기 게이트 전극 사이에 연결되는 보상 트랜지스터를 더 포함하고,
 상기 보상 트랜지스터는,
 제1 게이트 라인에 연결되어 있는 게이트 전극; 및
 상기 보상 트랜지스터의 채널 영역과 중첩하고, 상기 보상 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층을 포함하는 표시 장치.
- [청구항 16] 제13 항에 있어서,
 상기 복수의 화소 각각은,
 상기 구동 트랜지스터의 게이트 전극에 초기화 전압을 인가하는 초기화 트랜지스터를 더 포함하고,
 상기 초기화 트랜지스터는,
 제2 게이트 라인에 연결되어 있는 게이트 전극; 및
 상기 초기화 트랜지스터의 채널 영역과 중첩하고, 상기 초기화 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층을 포함하는 표시 장치.
- [청구항 17] 제1 전원 전압으로부터 발광 다이오드로 흐르는 전류량을 제어하는 구동 트랜지스터, 제1 게이트 라인에 인가되는 제1 게이트 신호에 따라 데이터 라인에 인가되는 데이터 전압을 상기 구동 트랜지스터에 전달하는 스위칭 트랜지스터, 상기 제1 게이트 신호에 따라 상기 구동 트랜지스터를 다이오드 연결시키는 보상 트랜지스터 및 제2 게이트 라인에 인가되는 제2 게이트 신호에 따라 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에

인가하는 초기화 트랜지스터를 포함하는 표시 장치의 구동 방법에 있어서,

상기 구동 트랜지스터의 제1 전극에 상기 제1 전원 전압이 인가되고, 상기 구동 트랜지스터의 게이트 전극이 연결된 제1 노드의 전압에 대응하여 상기 제1 전원 전압으로부터 상기 발광 다이오드로 전류가 흐르는 단계;

상기 구동 트랜지스터의 채널 영역과 중첩하고 상기 구동 트랜지스터의 제1 전극에 연결되는 반도체 접촉 중첩층에 상기 제1 전원 전압이 인가되는 단계; 및

상기 구동 트랜지스터의 채널 영역과 중첩하고 상기 구동 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제1 노드의 전압이 인가되는 단계를 포함하는 표시 장치의 구동 방법.

[청구항 18]

제17 항에 있어서,

상기 스위칭 트랜지스터의 게이트 전극에 상기 제1 게이트 신호가 게이트 온 전압으로 인가되어 상기 스위칭 트랜지스터가 턴 온되는 단계; 및

상기 스위칭 트랜지스터의 채널 영역과 중첩하고 상기 스위칭 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제1 게이트 신호가 인가되는 단계를 더 포함하는 표시 장치의 구동 방법.

[청구항 19]

제17 항에 있어서,

상기 보상 트랜지스터의 게이트 전극에 상기 제1 게이트 신호가 게이트 온 전압으로 인가되어 상기 보상 트랜지스터가 턴 온되는 단계; 및

상기 보상 트랜지스터의 채널 영역과 중첩하고 상기 보상 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제1 게이트 신호가 인가되는 단계를 더 포함하는 표시 장치의 구동 방법.

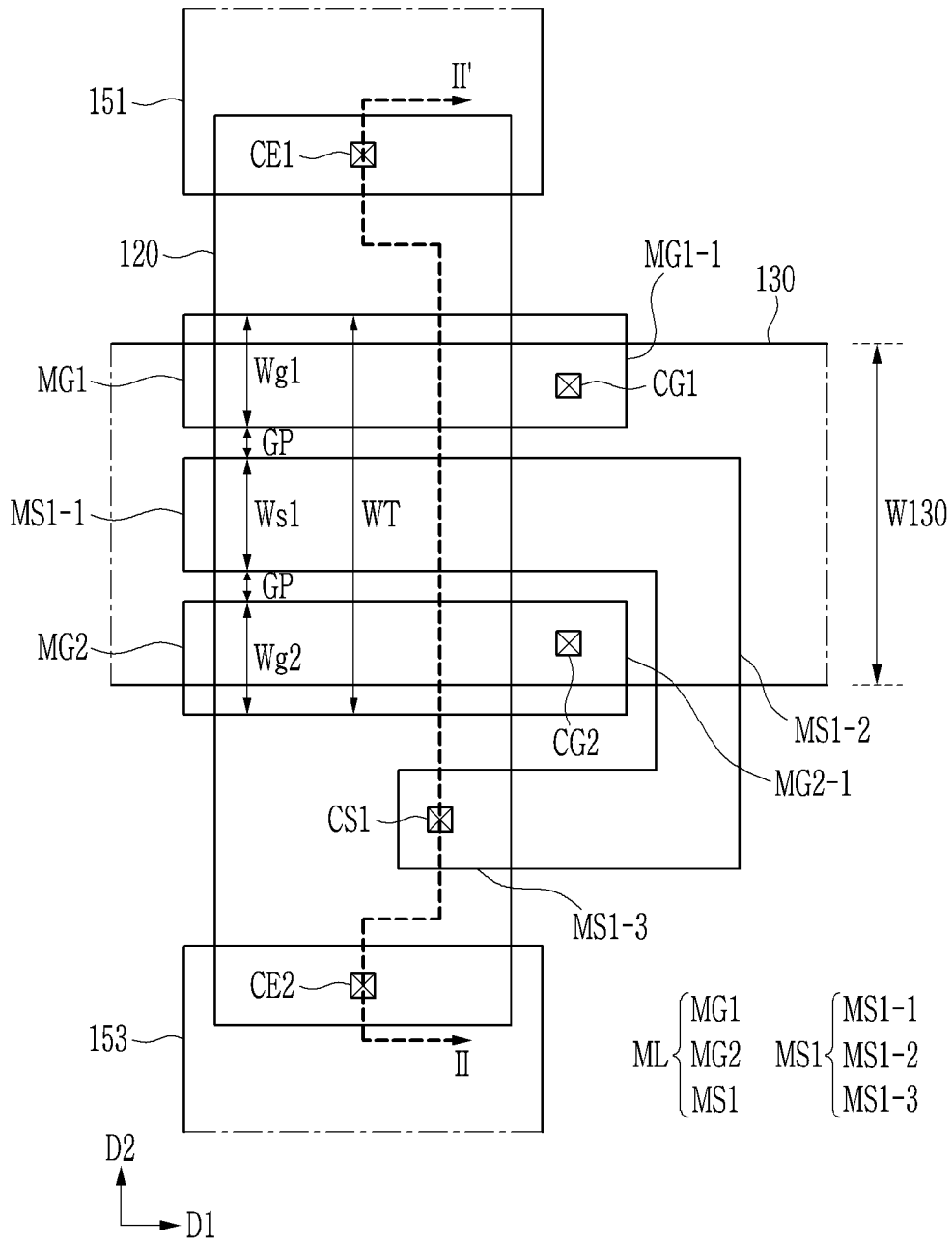
[청구항 20]

제17 항에 있어서,

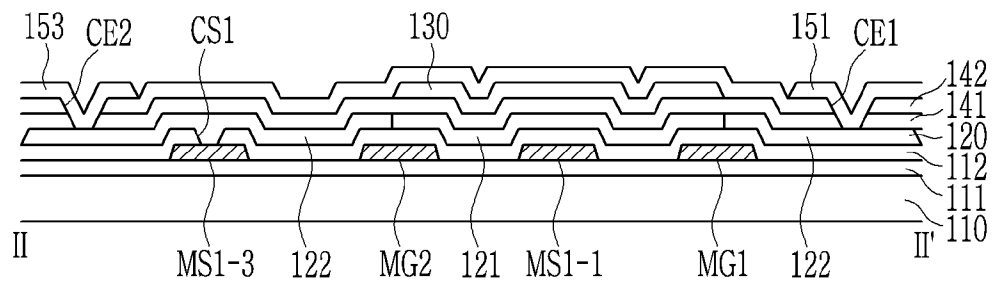
상기 초기화 트랜지스터의 게이트 전극에 상기 제2 게이트 신호가 게이트 온 전압으로 인가되어 상기 초기화 트랜지스터가 턴 온되는 단계; 및

상기 초기화 트랜지스터의 채널 영역과 중첩하고 상기 초기화 트랜지스터의 게이트 전극에 연결되는 게이트 접촉 중첩층에 상기 제2 게이트 신호가 인가되는 단계를 더 포함하는 표시 장치의 구동 방법.

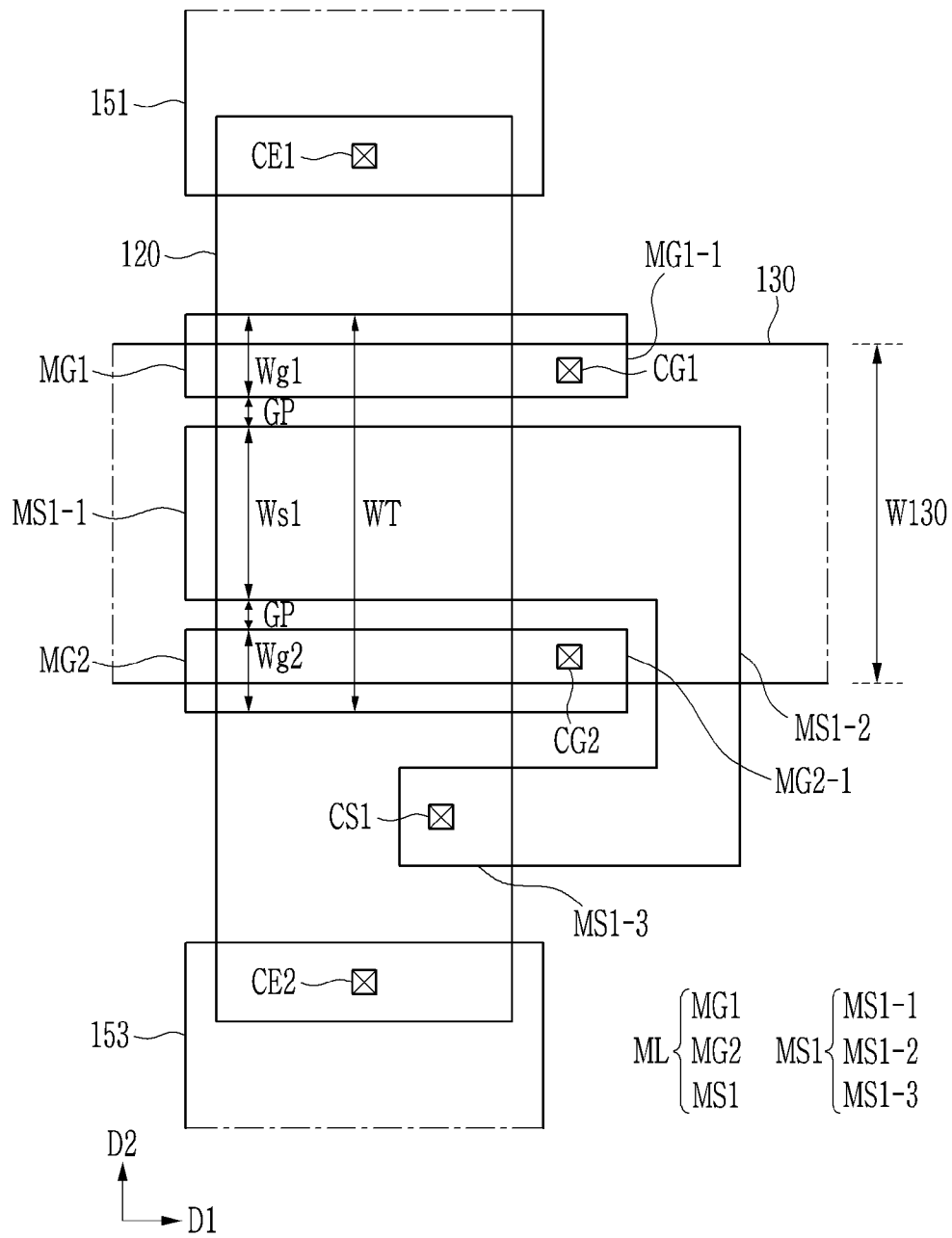
[Fig. 1]



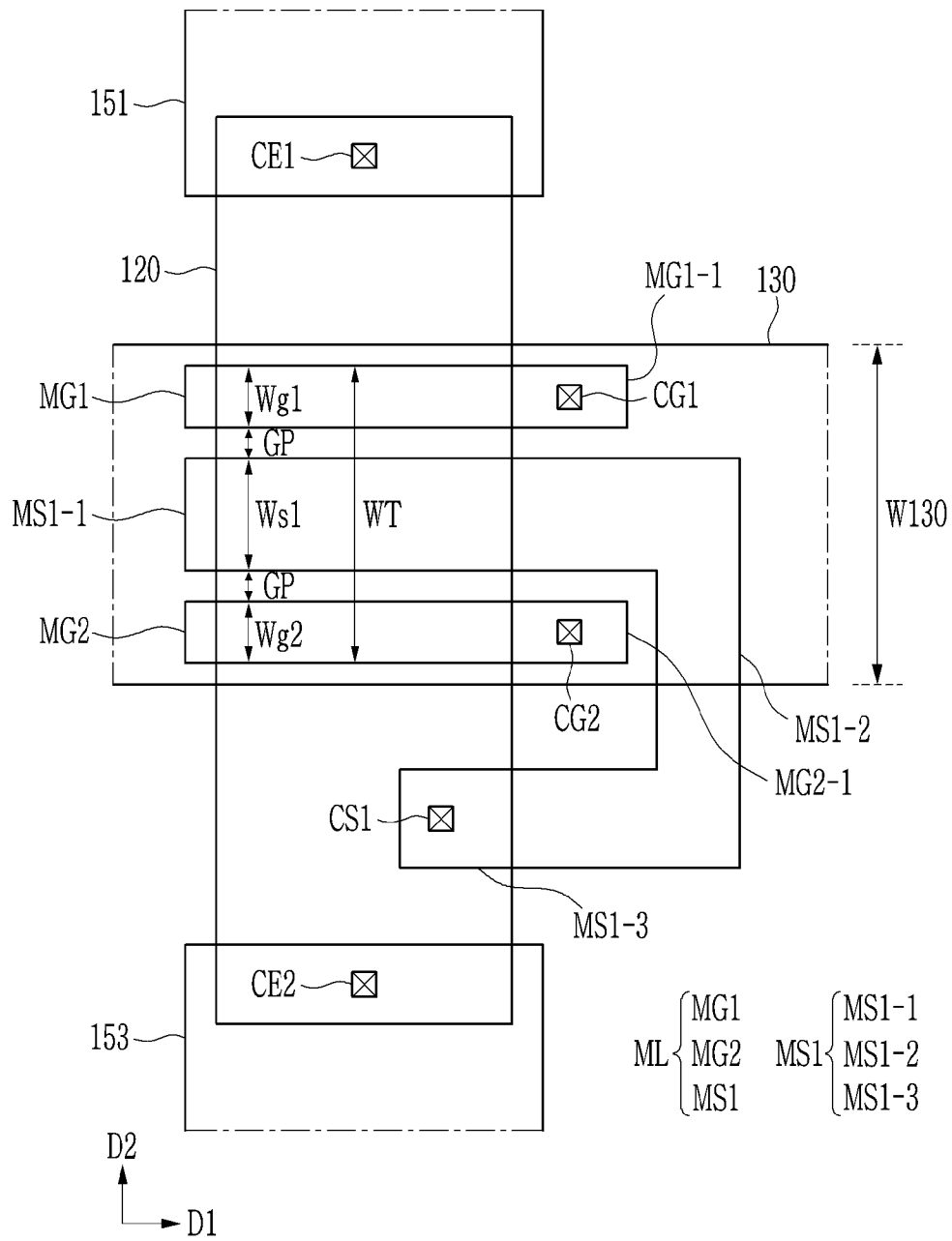
[Fig. 2]



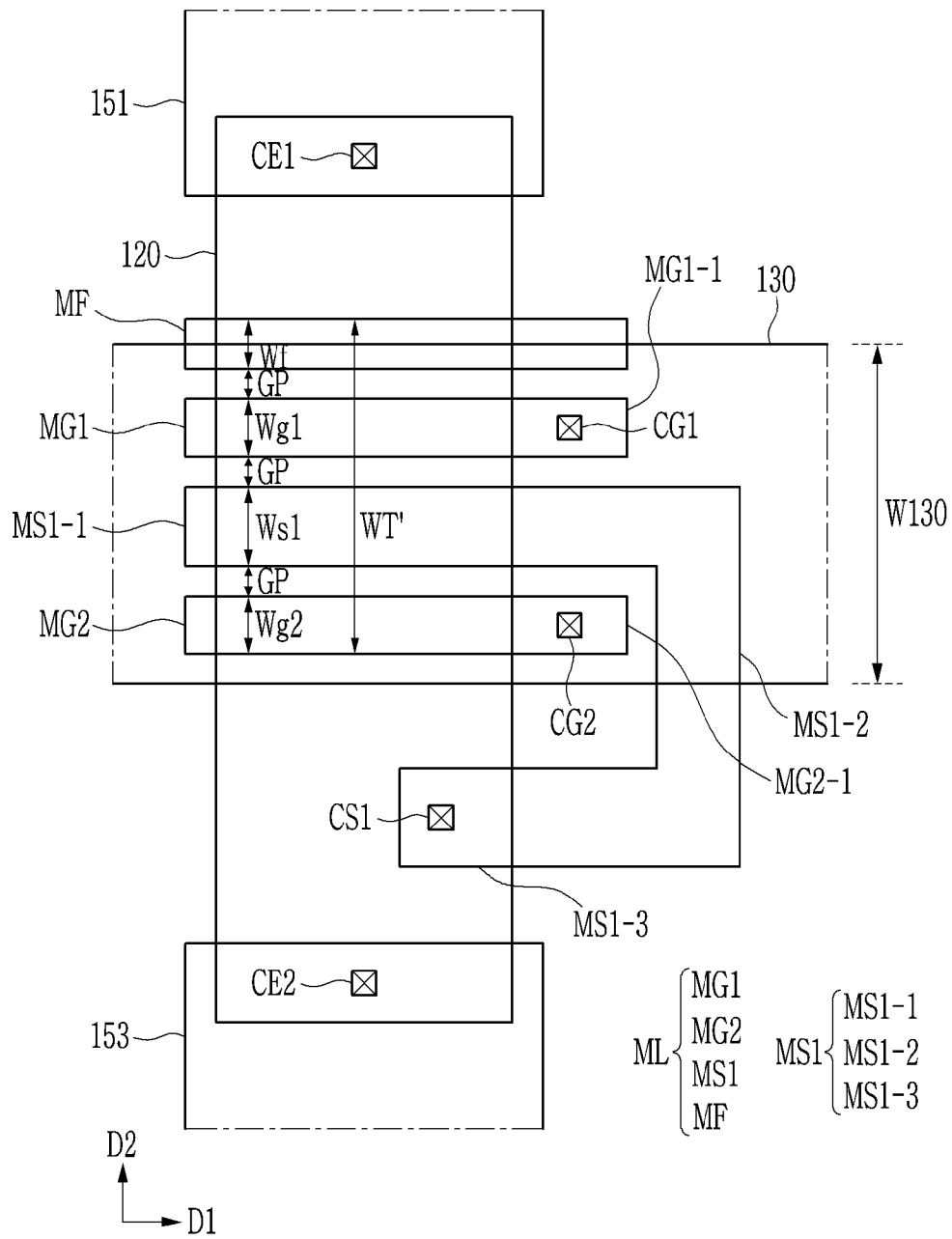
[Fig. 3]



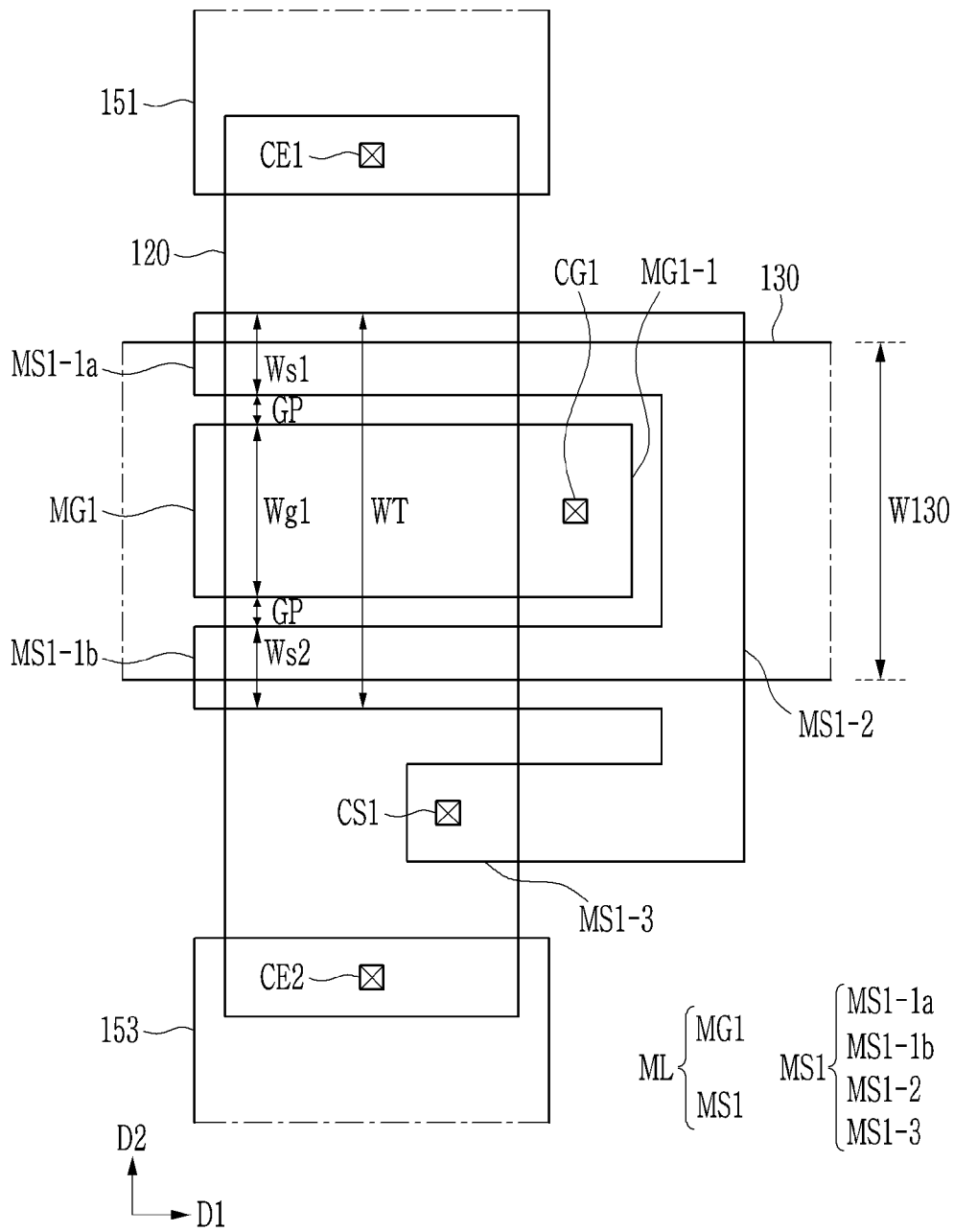
[Fig. 4]



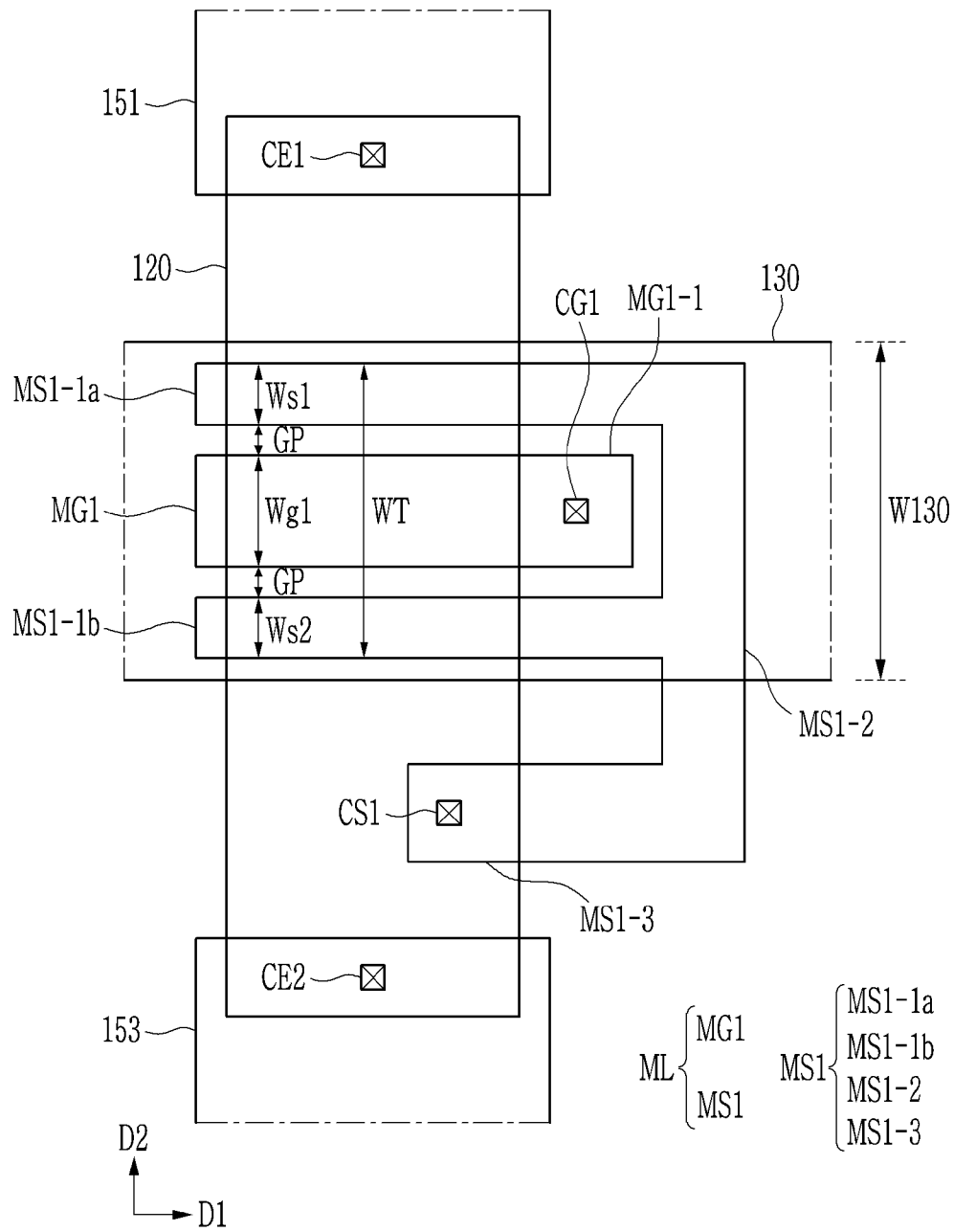
[Fig. 5]



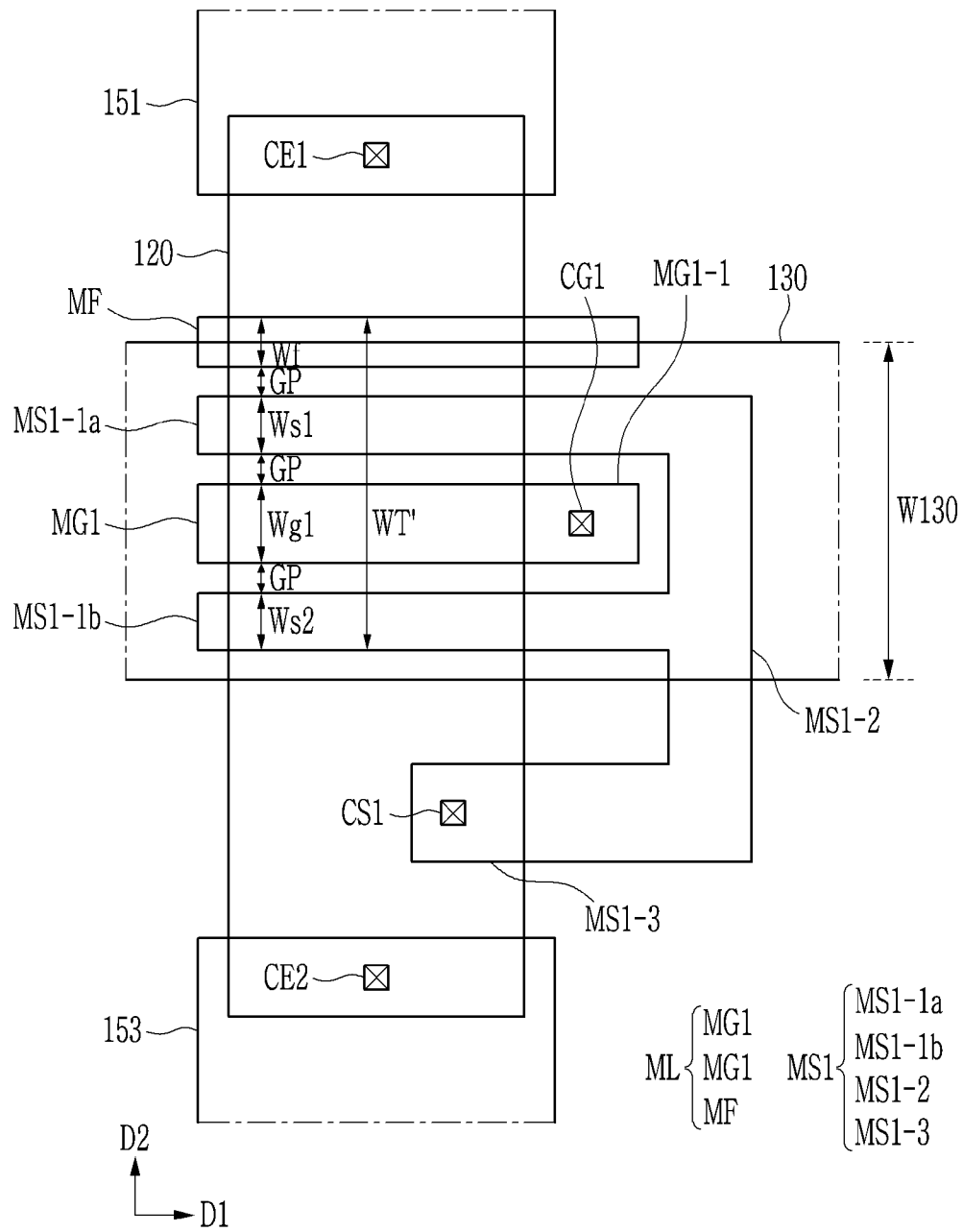
[Fig. 8]



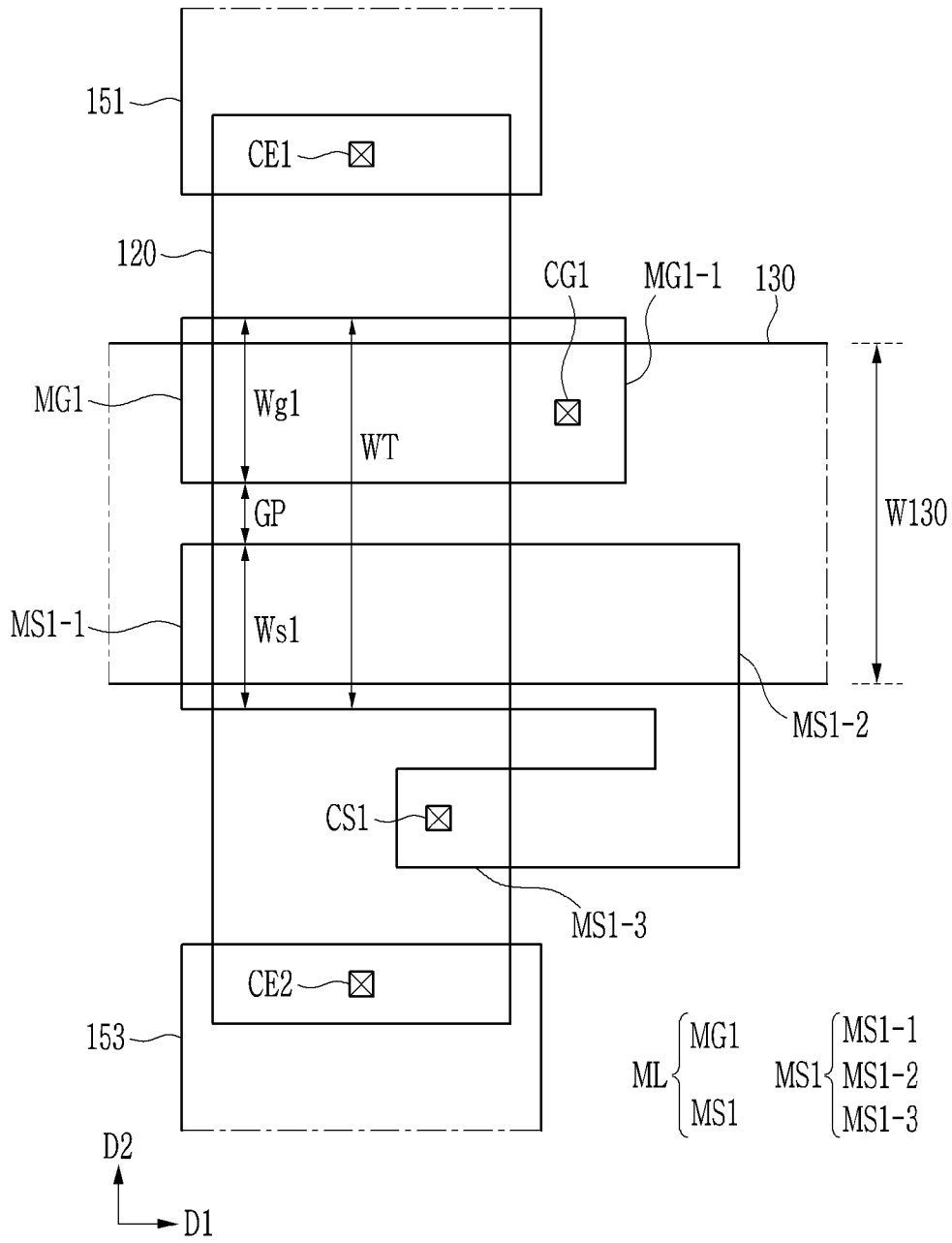
[Fig. 9]



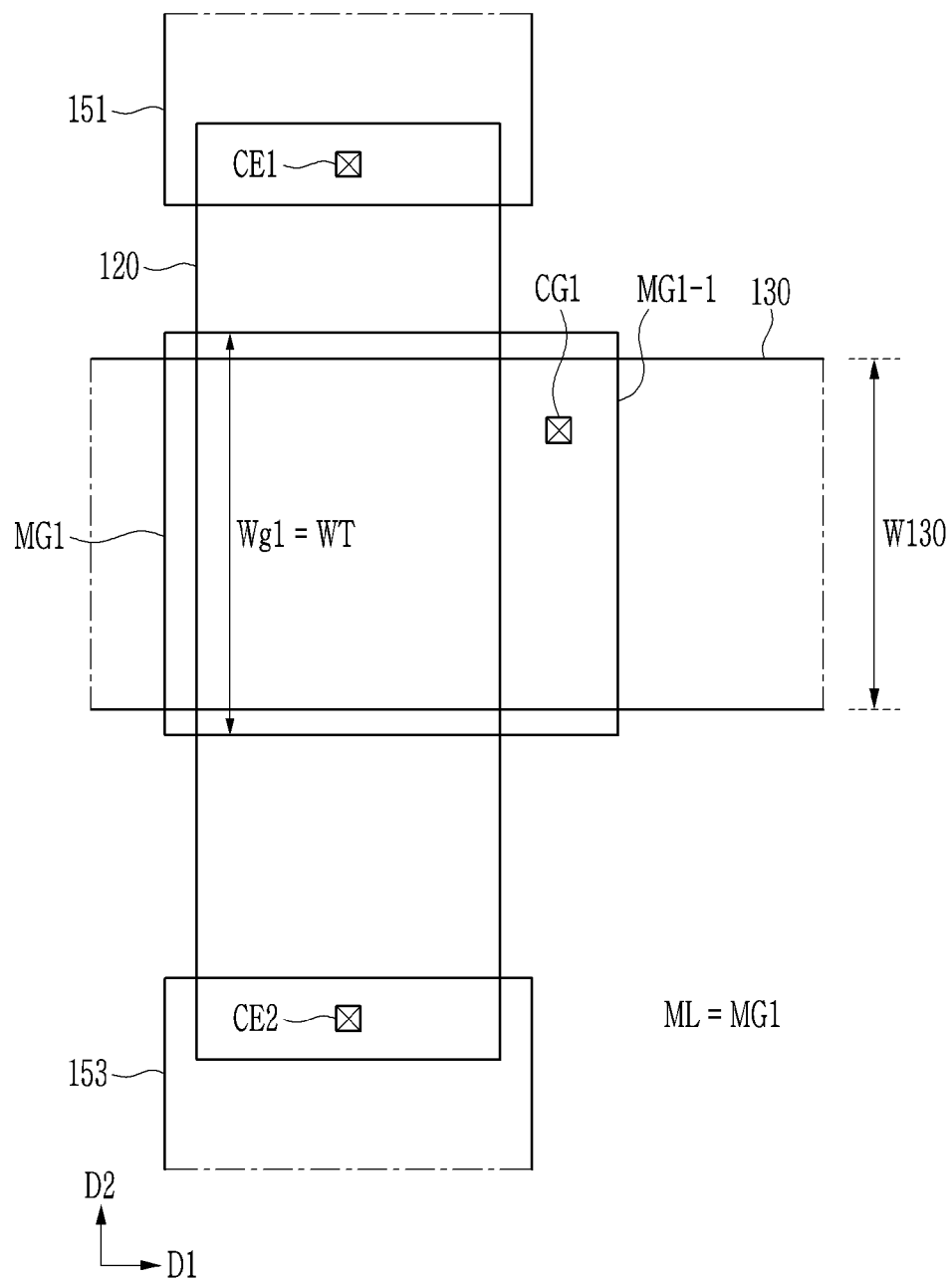
[Fig. 10]



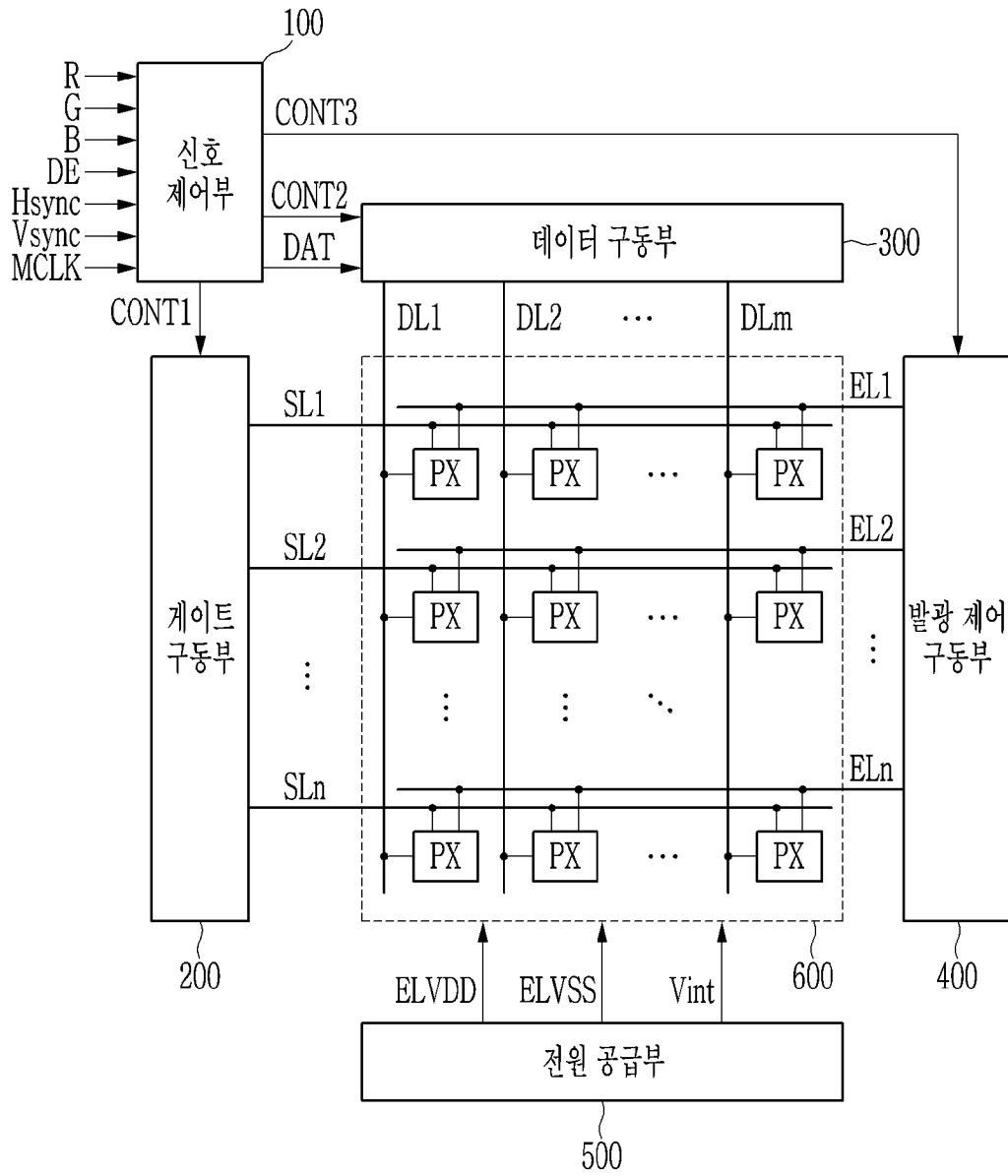
[Fig. 11]



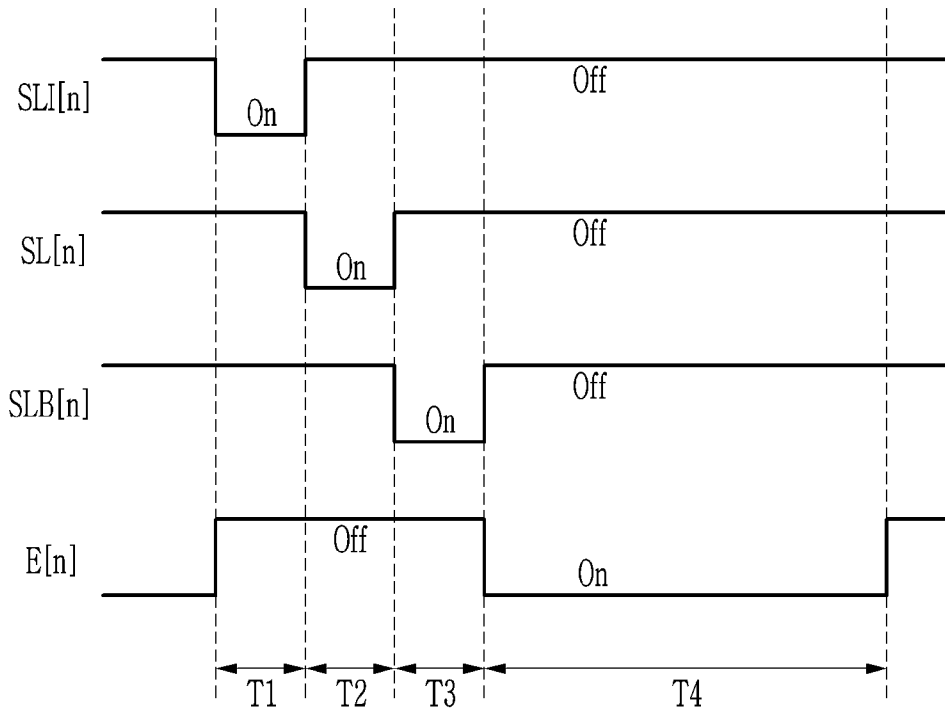
[Fig. 12]



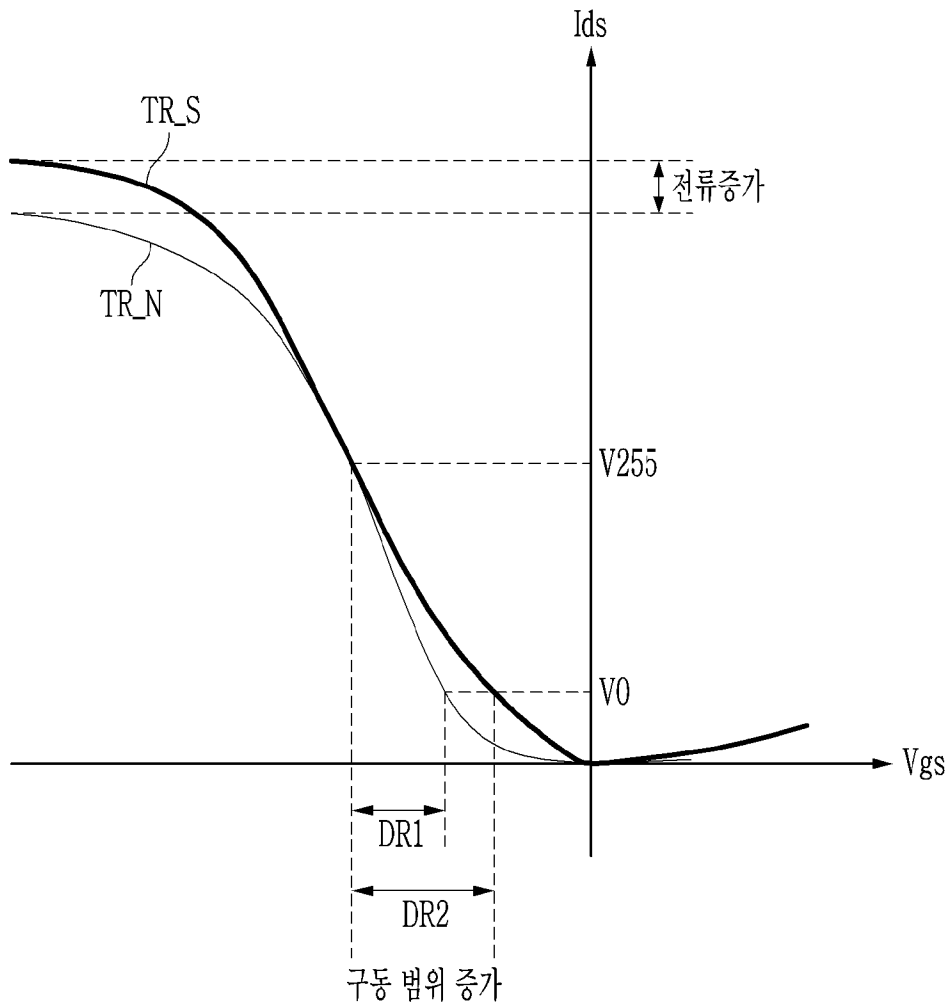
[Fig. 13]



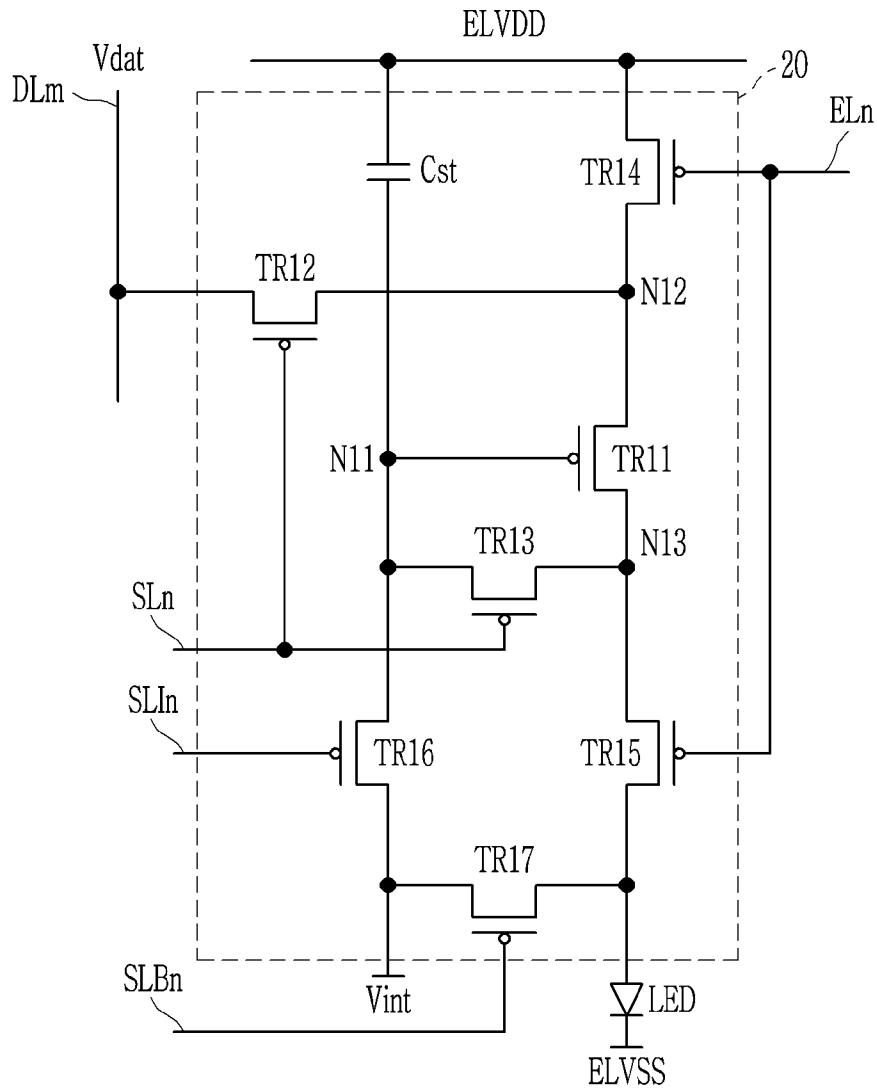
[Fig. 16]



[Fig. 17]



[Fig. 18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/006135

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i, G09G 3/3283(2016.01)i, H01L 27/12(2006.01)i, H01L 29/786(2006.01)i, H01L 51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/32; H01L 27/01; H01L 29/786; G09G 3/3283; H01L 27/12; H01L 51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: pixel, transistor, channel, overlap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2017-0070937 A (SAMSUNG DISPLAY CO., LTD.) 23 June 2017 See paragraphs [0041]-[0079] and figures 1-6.	1,11-20
A		2-10
Y	KR 10-0163912 B1 (SAMSUNG ELECTRONICS CO., LTD.) 01 December 1998 See claim 1 and figures 4-5.	1,11-20
Y	KR 10-2018-0026602 A (SAMSUNG DISPLAY CO., LTD.) 13 March 2018 See paragraphs [0034]-[0085] and figures 1-4.	14-20
A	US 2003-0122194 A1 (TAKEMURA, Yasuhiko) 03 July 2003 See paragraphs [0033]-[0054] and figures 1(A)-5(F).	1-20
A	KR 10-2016-0062831 A (SAMSUNG DISPLAY CO., LTD.) 03 June 2016 See paragraphs [0038]-[0048] and figures 1-4.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 AUGUST 2019 (30.08.2019)

Date of mailing of the international search report

30 AUGUST 2019 (30.08.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/006135

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2017-0070937 A	23/06/2017	US 2017-0170251 A1	15/06/2017
KR 10-0163912 B1	01/12/1998	KR 10-1996-0030429 A	17/08/1996
KR 10-2018-0026602 A	13/03/2018	US 10074710 B2 US 2018-0069069 A1	11/09/2018 08/03/2018
US 2003-0122194 A1	03/07/2003	CN 1081789 A CN 1211860 C CN 1254953 A CN 1255750 A CN 1313640 A CN 1727973 A JP 05-343689 A JP 3254007 B2 KR 10-1996-0015528 B1 TW 219410 B US 2002-0027249 A1 US 5807772 A US 5917221 A US 6340830 B1 US 6528852 B2 US 6815772 B2	09/02/1994 20/07/2005 31/05/2000 07/06/2000 19/09/2001 01/02/2006 24/12/1993 04/02/2002 15/11/1996 21/01/1994 07/03/2002 15/09/1998 29/06/1999 22/01/2002 04/03/2003 09/11/2004
KR 10-2016-0062831 A	03/06/2016	US 2016-0149052 A1 US 9768310 B2	26/05/2016 19/09/2017

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/32(2006.01)i, G09G 3/3283(2016.01)i, H01L 27/12(2006.01)i, H01L 29/786(2006.01)i, H01L 51/50(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/32; H01L 27/01; H01L 29/786; G09G 3/3283; H01L 27/12; H01L 51/50 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 화소(pixel), 트랜지스터(transistor), 채널(channel), 중첩(overlap)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2017-0070937 A (삼성디스플레이 주식회사) 2017.06.23 단락 [0041]-[0079] 및 도면 1-6 참조.	1, 11-20
A		2-10
Y	KR 10-0163912 B1 (삼성전자주식회사) 1998.12.01 청구항 1 및 도면 4-5 참조.	1, 11-20
Y	KR 10-2018-0026602 A (삼성디스플레이 주식회사) 2018.03.13 단락 [0034]-[0085] 및 도면 1-4 참조.	14-20
A	US 2003-0122194 A1 (YASUHIKO TAKEMURA) 2003.07.03 단락 [0033]-[0054] 및 도면 1(A)-5(F) 참조.	1-20
A	KR 10-2016-0062831 A (삼성디스플레이 주식회사) 2016.06.03 단락 [0038]-[0048] 및 도면 1-4 참조.	1-20
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2019년 08월 30일 (30.08.2019)	국제조사보고서 발송일 2019년 08월 30일 (30.08.2019)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 장기정 전화번호 +82-42-481-8364	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2017-0070937 A	2017/06/23	US 2017-0170251 A1	2017/06/15
KR 10-0163912 B1	1998/12/01	KR 10-1996-0030429 A	1996/08/17
KR 10-2018-0026602 A	2018/03/13	US 10074710 B2 US 2018-0069069 A1	2018/09/11 2018/03/08
US 2003-0122194 A1	2003/07/03	CN 1081789 A CN 1211860 C CN 1254953 A CN 1255750 A CN 1313640 A CN 1727973 A JP 05-343689 A JP 3254007 B2 KR 10-1996-0015528 B1 TW 219410 B US 2002-0027249 A1 US 5807772 A US 5917221 A US 6340830 B1 US 6528852 B2 US 6815772 B2	1994/02/09 2005/07/20 2000/05/31 2000/06/07 2001/09/19 2006/02/01 1993/12/24 2002/02/04 1996/11/15 1994/01/21 2002/03/07 1998/09/15 1999/06/29 2002/01/22 2003/03/04 2004/11/09
KR 10-2016-0062831 A	2016/06/03	US 2016-0149052 A1 US 9768310 B2	2016/05/26 2017/09/19