



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월02일
(11) 등록번호 10-1260082
(24) 등록일자 2013년04월25일

(51) 국제특허분류(Int. Cl.)

H01L 29/76 (2006.01)

(21) 출원번호 10-2007-7014641

(22) 출원일자(국제) 2005년11월30일

심사청구일자 2010년11월30일

(85) 번역문제출일자 2007년06월27일

(65) 공개번호 10-2007-0091162

(43) 공개일자 2007년09월07일

(86) 국제출원번호 PCT/US2005/042982

(87) 국제공개번호 WO 2006/060337

국제공개일자 2006년06월08일

(30) 우선권주장

11/000,222 2004년12월01일 미국(US)

(56) 선행기술조사문헌

JP2002076020 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에스에스 에스시 아이피, 엘엘시

미국 미시시피 39213 잭슨 리빙스턴 레인 1401

(72) 발명자

산킨, 이고르

미국 39759 미시시피주 스타크빌 아파트먼트 넘버 25 사우스몽고메리 스트리트 626

머레트, 조셉, 닐

미국 39759 미시시피주 스타크빌 프리속 로드 1258

(74) 대리인

백만기, 양영준

전체 청구항 수 : 총 15 항

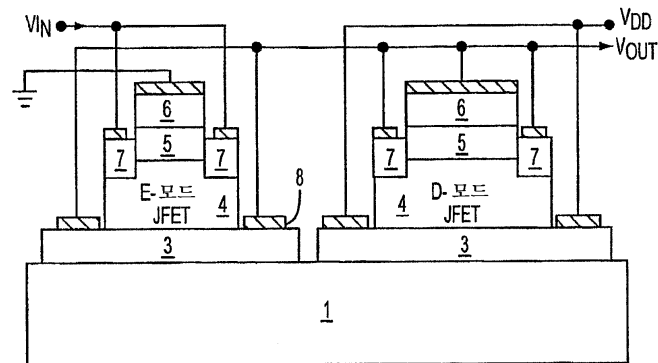
심사관 : 최정민

(54) 발명의 명칭 와이드 대역갭 반도체의 노멀리-오프 통합 J F E T 전력스위치 및 그 제조 방법

(57) 요약

노멀리-오프 VJFET 통합 전력 스위치를 포함하는 와이드 대역갭 반도체 디바이스가 설명된다. 전력 스위치는 모놀리딕하게 또는 하이브리드식으로 구현될 수 있고, 단일 또는 멀티-칩 와이드 대역갭 전력 반도체 모듈에 구축된 제어 회로와 통합될 수 있다. 디바이스는 고전력, 온도-저항성 및 방사-저항성 전자 컴포넌트에 이용될 수 있다. 디바이스를 만드는 방법도 설명된다.

대표도 - 도1



수직 채널 JFET IC 칩

특허청구의 범위

청구항 1

집적 회로로서,

제1 수직 채널 접합 필드 효과 트랜지스터(junction field effect transistor: JFET) - 상기 제1 수직 채널 JFET는,

대향하는 제1 및 제2 표면을 갖는 기판,

상기 기판의 제1 표면 상의 n형 반도체 재료의 드레인 층,

상기 드레인 층의 부분들이 노출되도록 상기 드레인 층 상에 있되 동일 공간에는 걸쳐 있지 않은(non-coextensive) n형 반도체 재료의 드리프트 층 - 상기 드리프트 층은 상기 드레인 층에 대향하는 상부 표면을 가지며, 상기 드리프트 층은 상기 드레인 층보다 더 낮은 전도도를 가짐 -,

상기 드리프트 층의 상기 상부 표면 상의 n형 반도체 재료의 채널 영역, 및 상기 채널 영역 상의 n형 반도체 재료의 소스 영역을 포함하는 하나 이상의 상승 영역 - 상기 소스 영역의 재료는 상기 채널 영역의 재료보다 더 높은 전도도를 가지며, 상기 하나 이상의 상승 영역은, 상기 상승 영역에 인접하여 상기 드리프트 층의 상부 표면의 부분들이 노출되도록 상기 드리프트 층과 동일 공간에는 걸쳐 있지 않음 -,

상기 하나 이상의 상승 영역에 인접하여 상기 드리프트 층의 노출된 상부 표면 상에 있으며, 상기 드리프트 층의 노출된 상부 표면 및 상기 채널 영역(들)과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및

상기 게이트 및 소스 영역 상에 그리고 상기 드레인 층의 노출된 부분들 상에 있는 오믹 콘택트들을 포함함 -;

제2 수직 채널 JFET - 상기 제2 수직 채널 JFET는,

대향하는 제1 및 제2 주면을 구비하는 n형 반도체 재료의 기판,

상기 기판의 상기 제1 주면 상의 n형 반도체 재료의 드레인 층,

상기 드레인 층 상의 n형 반도체 재료의 드리프트 층 - 상기 드리프트 층은 상기 드레인 층보다 더 낮은 전도도를 가짐 -,

상기 드리프트 층 상의 n형 반도체 재료의 채널 영역 및 상기 채널 영역 상의 n형 반도체 재료의 소스 영역을 포함하는 하나 이상의 상승 영역 - 상기 소스 영역의 재료는 상기 채널 영역의 재료보다 더 높은 전도도를 가짐 -,

상기 하나 이상의 상승 영역에 인접하여 상기 드리프트 층 상에 있으며, 상기 드리프트 층 및 상기 채널 영역(들)과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및

상기 게이트 및 소스 영역 상에 있는 오믹 콘택트들을 포함하고,

상기 드리프트 층은 상기 드레인 층의 부분들이 노출되도록 상기 드레인 층과 동일 공간에 걸쳐있지 않고, 드레인 오믹 콘택트가 상기 드레인 층의 노출된 부분들 상에 존재하거나 또는 드레인 오믹 콘택트가 상기 기판의 제2 주면 상에 존재함 -;

상기 제1 수직 채널 JFET의 드레인 오믹 콘택트와 상기 제2 수직 채널 JFET의 소스 오믹 콘택트간의 제1 전기적 접속; 및

상기 제1 수직 채널 JFET의 소스 오믹 콘택트와 상기 제2 수직 채널 JFET의 게이트 오믹 콘택트간의 제2 전기적 접속

을 포함하는 집적 회로.

청구항 2

제1항에 있어서,

상기 제1 수직 채널 JFET 및 제2 수직 채널 JFET는 동일 기판 상에 존재하고;

상기 드리프트 층은 상기 드레인 층의 부분들이 노출되도록 상기 드레인 층과 동일 공간에 걸쳐있지 않고 드레인 오믹 콘택트가 상기 드레인 층의 노출된 부분들 상에 존재하는 집적 회로.

청구항 3

제1항에 있어서,

상기 제1 수직 채널 JFET 및 제2 수직 채널 JFET는 서로 다른 기판 상에 존재하고;

상기 드레인 오믹 콘택트가 상기 표면의 상기 제2 주면 상에 존재하는 집적 회로.

청구항 4

제2항에 있어서,

상기 드레인 층은 0.2 내지 $5\mu\text{m}$ 의 두께를 갖고, 상기 드리프트 층은 0.5 내지 $10\mu\text{m}$ 의 두께를 가지며, 상기 채널 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께를 갖고, 상기 소스 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께를 가지며, 상기 게이트 영역은 $0.1\mu\text{m}$ 이상의 두께를 갖는 집적 회로.

청구항 5

제2항 또는 제4항에 있어서,

상기 드레인 층은 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 큰 도펀트 농도를 갖고, 상기 드리프트 층은 5×10^{15} 내지 $5 \times 10^{17} \text{ cm}^{-3}$ 의 도펀트 농도를 가지며, 상기 채널 영역은 5×10^{15} 내지 $5 \times 10^{17} \text{ cm}^{-3}$ 의 도펀트 농도를 갖고, 상기 소스 영역은 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 큰 도펀트 농도를 가지며, 상기 게이트 영역은 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 큰 도펀트 농도를 갖는 집적 회로.

청구항 6

제2항 또는 제4항에 있어서,

상기 기판은 반절연 기판(semi-insulating substrate)인 집적 회로.

청구항 7

제3항에 있어서,

상기 제1 수직 채널 JFET에 대해,

상기 드레인 층은 0.2 내지 $5\mu\text{m}$ 의 두께를 갖고, 상기 드리프트 층은 0.5 내지 $10\mu\text{m}$ 의 두께를 가지며, 상기 채널 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께를 갖고, 상기 소스 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께를 가지며, 상기 게이트 영역은 $0.1\mu\text{m}$ 이상의 두께를 갖는 집적 회로.

청구항 8

제3항 또는 제7항에 있어서,

상기 제1 수직 채널 JFET에 대해,

상기 드레인 층은 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 큰 도펀트 농도를 갖고, 상기 드리프트 층은 5×10^{15} 내지 $5 \times 10^{17} \text{ cm}^{-3}$ 의 도펀트 농도를 가지며, 상기 채널 영역은 5×10^{15} 내지 $5 \times 10^{17} \text{ cm}^{-3}$ 의 도펀트 농도를 갖고, 상기 소스 영역은 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 큰 도펀트 농도를 가지며, 상기 게이트 영역은 $5 \times 10^{18} \text{ cm}^{-3}$ 보다 큰 도펀트 농도를 갖는 집적 회로.

청구항 9

제3항 또는 제7항에 있어서,

상기 제2 수직 채널 JFET에 대해,

상기 드레인 층은 0.5 내지 $1\mu\text{m}$ 의 두께를 갖고, 상기 드리프트 층은 5 내지 $350\mu\text{m}$ 의 두께를 가지며, 상기 채널 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께를 갖고, 상기 소스 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께를 가지며, 상기 게이트 영역은 $0.1\mu\text{m}$ 이상의 두께를 갖는 집적 회로.

청구항 10

제3항 또는 제7항에 있어서,

상기 제2 수직 채널 JFET에 대해,

상기 드레인 층은 $5 \times 10^{18} \text{cm}^{-3}$ 보다 큰 도펀트 농도를 갖고, 상기 드리프트 층은 2×10^{14} 내지 $2 \times 10^{16} \text{cm}^{-3}$ 의 도펀트 농도를 가지며, 상기 채널 영역은 5×10^{15} 내지 $5 \times 10^{17} \text{cm}^{-3}$ 의 도펀트 농도를 갖고, 상기 소스 영역은 $5 \times 10^{18} \text{cm}^{-3}$ 보다 큰 도펀트 농도를 가지며, 상기 게이트 영역은 $5 \times 10^{18} \text{cm}^{-3}$ 보다 큰 도펀트 농도를 갖는 집적 회로.

청구항 11

제3항 또는 제7항에 있어서,

상기 제1 수직 채널 JFET에 대해, 상기 기판은 반절연 기판이고, 상기 제2 수직 채널 JFET에 대해, 상기 기판은 $1 \times 10^{18} \text{cm}^{-3}$ 보다 큰 도펀트 농도를 갖는 n형 기판인 집적 회로.

청구항 12

제1항 내지 제4항 또는 제7항 중 어느 한 항에 있어서,

상기 제2 수직 채널 JFET는 상기 게이트 영역에 인접하고 전기적으로 연결되어 상기 드리프트 층 상에 존재하는 n형 반도체 재료의 쇼트키 채널 영역, 및 상기 쇼트키 채널 영역 상에 존재하고 상기 쇼트키 채널 영역과 금속-반도체 정류 접합을 형성하는 금속 층을 포함하는 쇼트키 접합을 더 포함하고, 상기 집적 회로는 상기 쇼트키 금속 콘택트와 상기 제1 전기적 접속 간의 제3 전기적 접속을 더 포함하는 집적 회로.

청구항 13

제12항에 있어서,

상기 쇼트키 채널 영역은 0.2 내지 $1.5\mu\text{m}$ 의 두께, 및 $5 \times 10^{15} \text{cm}^{-3}$ 내지 $5 \times 10^{17} \text{cm}^{-3}$ 의 도펀트 농도를 갖는 집적 회로

청구항 14

제1항 내지 제4항 또는 제7항 중 어느 한 항에 있어서,

상기 제1 수직 채널 JFET 및 제2 수직 채널 JFET 각각에 대해,

상기 드레인 층, 드리프트 층, 채널 영역, 소스 영역, 및 게이트 영역 각각의 반도체 재료는 적어도 2eV의 E_g 를 갖는 집적 회로.

청구항 15

제14항에 있어서,

상기 제1 수직 채널 JFET 및 제2 수직 채널 JFET 각각에 대해,

상기 드레인 층, 드리프트 층, 채널 영역, 소스 영역, 및 게이트 영역 각각의 반도체 재료는 SiC 또는 III족 질화물 화합물 반도체 재료인 집적 회로.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

청구항 112

삭제

청구항 113

삭제

청구항 114

삭제

청구항 115

삭제

청구항 116

삭제

청구항 117

삭제

청구항 118

삭제

명세서

기술분야

[0001] 본 발명은 발명의 명칭이 "Lateral Trench Field-Effect Transistors in Wide Bandgap Semiconductor Materials, Methods of Making, And Integrated Circuits Incorporation the Transistors"이고 2004년 7월 8일 출원된 미국 특허 출원 번호 제60/585,881호 및 2004년 12월 1일 출원된 미국 특허 출원 번호 제10/999,954와 관련되어 있다. 전술한 출원 각각은 본 명세서에서 그 전체가 참조로서 사용된다.

[0002] 본 발명은 일반적으로는 필드 효과 트랜지스터(FET)에 관한 것으로, 특히 와이드 대역갭 반도체 재료에 형성된 그러한 트랜지스터에 관한 것이다. 또한, 본 발명은 저전압 제어 회로를 포함하는 모놀리딕 및 하이브리드 집적 회로, 및 상기 트랜지스터를 이용하여 구축된 전력 스위치에 관한 것이다.

배경 기술

[0003] 실리콘 카바이드(SiC) 또는 III족 질화물 화합물 반도체(예를 들면, 갈륨 질화물 또는 GaN)와 같은 와이드 대역갭 반도체 재료($E_g > 2\text{eV}$)는 고전력, 고온 및/또는 방사선 내성 전자제품에 이용하기에 매우 매력적이다. 단일 또는 멀티-칩 와이드 대역갭 전력 반도체 모듈에서 전력 트랜지스터 및 제어 회로의 모놀리딕 또는 하이브리드 집적은 시스템의 효율 및 신뢰성을 개선하기 위해 그러한 어플리케이션에 대해 매우 바람직하다.

[0004] SiC 스마트 전력 기술은 최근 토론의 주제였지만, 제한된 과학적 조사를 거쳤다. 제안된 솔루션들은 전력 스위치 및 제어 회로 모두의 동작에 관련된 회의론에 봉착하게 되었다.

[0005] 재료 속성 및 처리 기술의 근본적인 차이로 인해, 상보형 금속 산화물 반도체(CMOS) 또는 직접-결합된 FET 로직(DCFL)과 같은 전통적인 Si 또는 GaAs 집적 회로(IC) 기술은 대부분의 경우에 와이드 대역갭 반도체에 용이하게 전달될 수 없다. SiC NMOS 및 CMOS 디지털 및 아날로그 IC를 제조하는 수번의 시도가 지난 10년간 보고되었다(예를 들면, [1], [2]). SiC에서의 모놀리딕 CMOS 집적 디바이스 및 그 제조 방법은 미국 특허 번호 제6,344,663호[3]에 개시되어 있다. 더구나, SiC 수평 DMOS 필드-효과 트랜지스터(LDMOSFET)의 최근 개발(예를 들면, [4]-[5])은 스마트 전력 전자제품에 이용하기 위한 MOSFET-기반 제어 회로 및 전력 스위치의 모놀리딕 통합을 이론적으로 허용한다. 그러나, 다양한 이슈들은 고온 및/또는 방사선 허용한도가 요구되는 어플리케이션에서 MOSFET-기반 SiC 집적 회로의 이용을 제한시킨다. 그러한 제1 이슈는 실리콘의 전도 대역에 비해 SiC 대 SiO_2 의 전도 대역 오프셋이 훨씬 더 작음에 기인한 온-상태 절연체 신뢰성이다. 이러한 이슈는 고온 및 극한 방사 환경에서 훨씬 더 중요하게 된다. 다른 이슈는 SiC/SiO₂ 인터페이스에서 높은 인터페이스 상태 밀도 및 절연체에서의 높은 고정된 전하 밀도로 인한 낮은 반전 채널 이동성, 및 인터페이스 상태의 이온화로 인한 온도

에 따른 상당한 임계 전압 시프트를 포함한다.

- [0006] SiC 스마트 전력 전자제품에 이용하기 위한 다른 트랜지스터 후보인, SiC 쌍극 접합 트랜지스터(BJT)는 에미터와 베이스간의 표면 상에서의 높은 재결합 속도와 같은 인터페이스-관련 이슈를 갖고, 결과적으로 낮은 전류 이득 및 높은 제어 손실로 나타나게 된다.
- [0007] SiC 스마트 전력 전자제품에 이용하기 위한 다른 트랜지스터 후보로는 금속 반도체 필드-효과 트랜지스터(MESFET)가 있다. SiC MESFET 모놀리딕 마이크로파 집적 회로(MMIC)가 지난 십년내에 상당한 개발(예를 들면, [6])이 되었음에도 불구하고, SiC MESFET 로직 및 아날로그 회로를 구축하는 공포된 시도가 거의 없었다(예를 들면, [7]).
- [0008] MOSFET 및 MESFET 접근법에 대한 대안은 보상형(미국특허 제6,503,782호[8]에 개시된 바와 같은 n형 및 p형 채널) 또는 인헨스드-공핍형(n형 채널) 형태 중 어느 하나로 구현된 수평형 JFET-기반 집적 회로의 이용이다. SiC JFET는 방사선 내성이 있는 것으로 증명되었지만, 온도에 따른 임계 전압 시프트는 매우 미미한 것으로 증명되었다. 고온 노멀리-온 전력 수직 접합 필드-효과 트랜지스터(VJFET)의 개발의 결과를 촉진시키는 것들이 최근에 공포되었다(예를 들면, [9]). 그러나, 그들의 뛰어난 전류-전도 및 전압-차단 성능에도 불구하고, 이들 트랜지스터들의 주요한 단점은 이들이 "노멀리-온" 디바이스라는 점이다. 시스템 레벨 상에서, 이것은 종종 추가적인(음의) 공급 전압 및 단락 회로 보호를 요구한다.
- [0009] 노멀리-오프 SiC 고온 VJFET 스위치를 구축하려는 수 번의 시도들이 최근에 보고되었다. 통상, 이들 디바이스들은 수평 및 수직 채널 영역을 모두 포함한다(예를 들면, [10]-[12]). 그러나, 이들 디바이스들은 디바이스 차단 성능과 특정 온-저항 사이에서 엄청난 모순을 나타낸다. 예를 들면, $75\mu\text{m}$, $7 \times 10^{14} \text{ cm}^{-3}$ n형 드리프트 영역을 가지는 VJFET는 제로 게이트-대-소스 전압에서 5.5kV 이상을 차단할 수 있었다[13]. 동시에, 이러한 디바이스는 $200\text{m}\Omega \cdot \text{cm}^3$ 이상의 특정 온-저항($R_{\text{sp-on}}$)을 나타내었다. 드리프트 층의 두께 및 도핑으로부터 추정되는 그 드리프트 층의 고유 저항은 $60\text{m}\Omega \cdot \text{cm}^3$ 보다 약간 크고 나머지 온-저항은 채널 영역에 의해 기여되었다.
- [0010] SiC 전력 VJFET의 특정 온-저항을 감소시키기 위해, 이들 디바이스들은 높은 양의 게이트-대-소스 전압을 인가함으로써 쌍극 모드로 구동될 수 있다. 예를 들면, 상기 설명되고 [13]에 개시된 디바이스는 5V의 게이트-대-소스 바이어스가 인가되는 경우에 $66.7\text{m}\Omega \cdot \text{cm}^3$ 의 $R_{\text{sp-on}}$ 을 나타냈다. 그러나, 이러한 접근법은 높은 게이트 전류로 인해 상당한 전력 손실을 유도할 수 있다.
- [0011] 다른 접근법은 노멀리-온 디바이스가 노멀리-오프 모드로 동작될 수 있도록 노멀리-온 디바이스를 제어하기 위한 특별 회로 및 방법을 이용하는 것이다. 제어 JFET의 드레인이 고전압 디바이스의 소스에 접속되고 고전압 JFET의 게이트가 제어 JFET의 소스에 접속되는 고전압 JFET와 저전압 제어 JFET의 캐스코드 접속이 미국특허 제 3,767,946호[15]에 개시되어 있다. 그러한 캐스코드 접속을 모놀리딕하게 구현하는 혼합 필드-효과 트랜지스터는 미국특허 제4,107,725호[16]에 개시되어 있다. 저전압 노멀리-오프 디바이스가 고전압 노멀리-온 디바이스를 제어하는 유사한 타입의 캐스코드 회로가 미국특허 제4,663,547호[17]에 개시되어 있다. 더 최근에는, 상기 구성에서 Si MOSFET에 의해 제어되는 노멀리-온 SiC VJFET가 수 개 그룹에 의해 보고되었다(예를 들면, [18]). 이러한 통합 전력 스위치는 높은 스위칭 속도뿐만 아니라, 뛰어난 전압-차단 및 전류-전도 성능을 나타냈다. 그러나, 노멀리-온 SiC VJFET에서 전력의 제어를 위한 실리콘 MOSFET의 이용은 온도 범위 및 캐스코드의 방사선 허용한도 모두를 크게 제한시킨다. 따라서, 일반적으로 와이드 대역갭 노멀리-오프 전력 스위칭 디바이스에 대한 필요성이 여전히 존재하고, 특히 와이드 대역갭 반도체에 구축된 제어 회로와 통합된 그러한 전력 스위치에 대한 필요성이 존재한다.

발명의 상세한 설명

- [0012] 제1 실시예에 따르면,
- [0013] 대향하는 제1 및 제2 주면을 구비하는 기관; 및
- [0014] 기관의 제1 주면 상의 이산 위치 상의 제1 및 제2 접합 필드-효과 트랜지스터
- [0015] 를 포함하고,
- [0016] 제1 및 제2 접합 필드-효과 트랜지스터 각각은,

- [0017] 드레인 층 - 상기 드레인 층은 그 드레인 층을 둘러싸는 기관의 일부가 노출되도록 기관의 제1 주면 상에 있되 동일 공간에는 걸쳐 있지 않으며 n형 반도체 재료로 이루어짐-,
- [0018] 드레인 층의 일부가 노출되도록 드레인 층 상에 있되 동일 공간에는 걸쳐 있지 않은 n형 반도체 재료의 드리프트 층 - 상기 드리프트 층은 드레인 층보다 더 낮은 전도도를 가짐 -,
- [0019] 드리프트 층 상의 이산 위치 상의 하나 이상의 상승 영역 - 각 상승 영역은 드리프트 층 상의 n형 반도체 재료의 채널 영역 및 채널 영역 상의 n형 반도체 재료의 소스 영역을 포함하고, 소스 영역의 반도체 재료는 채널 영역보다 더 높은 전도도를 가지고 있음 -,
- [0020] 하나 이상의 상승 영역에 인접하는 드리프트 층 상에 존재하고 드리프트 층 및 채널 영역(들)의 n형 재료와 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역,
- [0021] 게이트 및 소스 영역 상에 있으며 드레인 층의 노출된 부분 상의 오믹 컨택트,
- [0022] 제1 접합 필드-효과 트랜지스터의 소스 오믹 컨택트와 제2 접합 필드-효과 트랜지스터의 게이트 오믹 컨택트 간의 제1 전기 접속, 및
- [0023] 제1 접합 필드-효과 트랜지스터의 드레인 오믹 컨택트와 제2 접합 필드-효과 트랜지스터의 소스 오믹 컨택트 간의 제2 전기 접속
- [0024] 을 포함하는 모놀리딕 집적 회로가 제공된다.
- [0025] 제2 실시예에 따르면,
- [0026] 대향하는 제1 및 제2 주면을 구비하는 기관;
- [0027] 기관의 제1 주면 상의 p형 반도체 재료의 버퍼 층;
- [0028] 버퍼 층 상에서 각각 이격된 관계로 n형 반도체 재료 각각의 제1 및 제2 이산 채널 영역 - 제2 채널 영역은 버퍼 층의 베이스 부 및 상부 부분을 포함하고, 베이스 부는 쇼울더(shoulder)를 형성하도록 상부 부분 위에 수평으로 연장됨 -;
- [0029] 제1 채널 영역에 인접하고 전기적 통신하는 버퍼층 상의 n형 반도체 재료의 소스 영역;
- [0030] 제1 채널 영역과 제2 채널 영역 모두와 전기적으로 통신하며, 제1 채널 영역과 제2 채널 영역간의 버퍼층 상의 n형 반도체 재료로 이루어진 소스/드레인 영역 - 소스/드레인 영역의 일부는 제2 채널 영역의 쇼울더 부분과 중첩됨 -;
- [0031] 상기 버퍼층과 직접 접촉하지 않도록 제2 채널 영역의 쇼울더 상의 드레인 영역;
- [0032] 제1 채널 영역 상에 있으며 제1 채널 영역과 정류 접합을 형성하는 p형 반도체 재료의 제1 게이트 영역;
- [0033] 제2 채널 영역의 상부 부분의 상부 표면 상에 있으며 제2 채널 영역과 정류 접합을 형성하는 p형 반도체 재료의 제2 게이트 영역; 및
- [0034] 소스 영역, 제1 및 제2 게이트 영역, 소스/드레인 영역 및 드레인 영역 상의 오믹 컨택트
- [0035] 를 포함하는 모놀리딕 집적 회로가 제공된다.
- [0036] 제3 실시예에 따르면,
- [0037] 대향하는 제1 및 제2 표면을 갖는 기관,
- [0038] 기관의 제1 표면상의 n형 반도체 재료의 드레인 층,
- [0039] 드레인 층의 일부가 노출되도록 드레인 층 상에 있되 동일 공간에는 걸쳐 있지 않은 n형 반도체 재료의 드리프트 층 - 드리프트 층은 드레인 층보다 더 낮은 전도도를 가짐 -,
- [0040] 드리프트 층 상의 n형 반도체 재료의 채널 영역, 및 채널 영역 상의 n형 반도체 재료의 소스 영역을 포함하는 하나 이상의 상승 영역 - 소스 영역의 재료는 채널 영역의 재료보다 더 높은 전도도를 가짐 -,
- [0041] 하나 이상의 상승 영역에 인접하는 드리프트 층 상에, 드리프트 층과 채널 영역(들)과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및

- [0042] 게이트 및 소스 영역, 및 드레인 층의 노출된 부분 상의 오믹 콘택트
- [0043] 를 포함하는 제1 수직 채널 JFET;
- [0044] 대향하는 제1 및 제2 주면을 구비하는 n형 반도체 재료의 기판,
- [0045] 기판의 제1 주면 상의 n형 반도체 재료의 드레인 층,
- [0046] 드레인 층 상의 n형 반도체 재료의 드리프트 층 - 드리프트 층은 드레인 층보다 더 낮은 전도도를 가짐 -,
- [0047] 드리프트 층 상의 n형 반도체 재료의 채널 영역 및 채널 영역 상의 n형 반도체 재료의 소스 영역을 포함하는 하나 이상의 상승 영역 - 소스 영역의 재료는 채널 영역보다 더 높은 전도도를 가짐 -,
- [0048] 하나 이상의 상승 영역에 인접한 드리프트 층 상, 및 드리프트 층 및 채널 영역(들)과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및
- [0049] 게이트 및 소스 영역, 및 기판의 제2 주면 상의 오믹 콘택트
- [0050] 를 포함하는 제2 수직 채널 JFET - 상기 제2 수직 채널 JFET는 상기 제1 수직 채널 JFET로부터 떨어져 있음 - ;
- [0051] 제1 수직 채널 JFET의 드레인 오믹 콘택트와 제2 수직 채널 JFET의 소스 오믹 콘택트간의 제1 전기적 접속; 및
- [0052] 제1 수직 채널 JFET의 소스 오믹 콘택트와 제2 수직 채널 JFET의 게이트 오믹 콘택트간의 제2 전기적 접속
- [0053] 을 포함하는 집적 회로가 제공된다.
- [0054] 제4 실시예에 따르면,
- [0055] 대향하는 제1 및 제2 주면을 갖는 기판,
- [0056] 기판의 제1 주면 상의 p형 반도체 재료의 버퍼층,
- [0057] 버퍼층 상에서 각각 이격된 관계로 n형 반도체 재료로 이루어진 이산 소스 및 드레인 영역,
- [0058] 소스 및 드레인 영역간의 버퍼층 상에 있으며, 소스 및 드레인 영역 각각과 전기적으로 통신하는 n형 반도체 재료의 채널 영역,
- [0059] 채널 영역 상에 있으며, 그 채널 영역과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및
- [0060] 소스, 게이트 및 드레인 영역 상의 오믹 콘택트
- [0061] 를 포함하는 이산 수평 채널 JFET;
- [0062] 대향하는 제1 및 제2 주면을 가지는 n형 반도체 재료의 기판,
- [0063] 기판의 제1 주면상의 n형 반도체 재료의 드레인 층,
- [0064] 드레인 층 상의 n형 반도체 재료의 드리프트 층 - 드리프트 층은 드레인 층보다 더 낮은 전도도를 가짐 -,
- [0065] 드리프트 층 상의 n형 반도체 재료의 채널 영역, 및 채널 영역 상의 n형 반도체 재료의 소스 영역을 각각 포함하는 하나 이상의 이산 상승 영역 - 소스 영역의 재료는 채널 영역의 재료보다 더 높은 전도도를 가짐 -,
- [0066] 하나 이상의 상승 영역에 인접하는 드리프트 층 상에, 드리프트 층과 채널 영역(들)과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및
- [0067] 게이트 및 소스 영역, 및 기판의 제2 주면 상의 오믹 콘택트
- [0068] 를 포함하는 이산 수직 채널 JFET;
- [0069] 수평 채널 JFET의 드레인 오믹 콘택트와 수직 채널 JFET의 소스 오믹 콘택트간의 제1 전기적 접속; 및
- [0070] 수평 채널 JFET의 소스 오믹 콘택트와 수직 채널 JFET의 게이트 오믹 콘택트간의 제2 전기적 접속
- [0071] 을 포함하는 집적 회로가 제공된다.
- [0072] 제5 실시예에 따르면,
- [0073] 대향하는 제1 및 제2 주면을 구비하는 기판;

- [0074] 기판의 제1 주면 상의 p형 반도체 재료의 버퍼 층;
- [0075] 버퍼층 상의 n형 반도체 재료의 채널 층;
- [0076] 채널 층 상에서 이격된 관계로 n형 반도체 재료의 이산 소스 및 드레인 영역;
- [0077] 소스 및 드레인 영역 각각으로부터 이격된, 소스와 드레인 영역간의 채널층 상의 n형 반도체 재료의 소스/드레인 영역;
- [0078] 채널층과 정류 접합을 형성하는 소스와 소스/드레인 영역간의 채널층 내에 형성된 p형 반도체 재료의 제1 게이트 영역;
- [0079] 채널층과 정류 접합을 형성하는 소스/드레인과 드레인 영역간의 채널층 내에 형성된 p형 반도체 재료의 제2 게이트 영역; 및
- [0080] 소스 영역, 제1 및 제2 게이트 영역, 소스/드레인 영역 및 드레인 영역 상의 오믹 콘택트
- [0081] 를 포함하는 모놀리딕 수평 채널 접합 필드-효과 트랜지스터(JFET)가 제공된다.
- [0082] 제6 실시예에 따르면,
- [0083] 대향하는 제1 및 제2 주면을 갖는 기판,
- [0084] 기판의 제1 주면 상의 p형 반도체 재료의 버퍼층,
- [0085] 버퍼층 상의 n형 반도체 재료의 채널층,
- [0086] 채널층 상에서 이격된 관계로 n형 반도체 재료의 이산 소스 및 드레인 영역,
- [0087] 채널층과 정류 접합을 형성하는 소스와 드레인 영역간의 채널층에 형성된 p형 반도체 재료의 게이트 영역, 및
- [0088] 소스 영역, 게이트 영역 및 드레인 영역 상의 오믹 콘택트
- [0089] 를 포함하는 이산 수평 채널 JFET;
- [0090] 대향하는 제1 및 제2 주면을 가지는 n형 반도체 재료의 기판,
- [0091] 기판의 제1 주면상의 n형 반도체 재료의 드레인 층,
- [0092] 드레인 층 상의 n형 반도체 재료의 드리프트 층 - 드리프트 층은 드레인 층보다 더 낮은 전도도를 가짐 -,
- [0093] 드리프트 층 상의 n형 반도체 재료의 채널 영역, 및 채널 영역 상의 n형 반도체 재료의 소스 영역을 각각 포함하는 하나 이상의 이산 상승 영역 - 소스 영역의 재료는 채널 영역의 재료보다 더 높은 전도도를 가짐 -,
- [0094] 하나 이상의 상승 영역에 인접하는 드리프트 층 상, 및 드리프트 층과 채널 영역(들)과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및
- [0095] 게이트 및 소스 영역, 및 기판의 제2 주면 상의 오믹 콘택트
- [0096] 를 포함하는 이산 수직 채널 JFET;
- [0097] 수평 채널 JFET의 소스 오믹 콘택트와 수직 채널 JFET의 게이트 오믹 콘택트간의 제1 전기적 접속; 및
- [0098] 수평 채널 JFET의 드레인 오믹 콘택트와 수직 채널 JFET의 소스오믹 콘택트간의 제2 전기적 접속
- [0099] 을 포함하는 집적 회로가 제공된다.
- [0100] 제7 실시예에 따르면, 모놀리딕 집적 회로는 수평 접합 필드 효과 트랜지스터 및 수직 접합 필드 효과 트랜지스터를 포함하고,
- [0101] 수평 접합 필드 효과 트랜지스터는
- [0102] 드리프트 층의 제1 주면의 일부에 형성된 p형 반도체 재료의 버퍼층,
- [0103] 버퍼층의 일부가 노출되도록 버퍼층 상에 그리고 동일 공간에 걸치지 않는 n형 반도체 재료의 채널층,
- [0104] 채널층 상에서 이격된 관계의 n형 반도체 재료의 이산 소스 및 드레인 영역,
- [0105] 소스 및 드레인 영역간의 채널층에 형성되고 채널층과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역,

및

[0106] 소스 영역, 게이트 영역 및 드레인 영역, 및 버퍼층의 노출부 상의 오믹 콘택트

[0107] 를 포함하고,

[0108] 수직 접합 필드 효과 트랜지스터는

[0109] 버퍼층과 수평으로 이격된 드리프트 층의 제1 주면 상의 n형 반도체 재료의 채널층,

[0110] 채널층 상에서 이격된 관계로 n형 반도체 재료의 하나 이상의 이산 소스 영역,

[0111] 하나 이상의 소스 영역에 인접하여 채널층에 형성되고 채널층과 정류 접합을 형성하는 p형 반도체 재료의 게이트 영역, 및

[0112] 게이트 및 소스 영역 상의 오믹 콘택트

[0113] 를 포함하고,

[0114] 드리프트 층은 기판의 제1 주면 상에 있는 n형 반도체 재료의 드레인 층 상에 있고, 전기적 콘택트는 기판의 제1 주면의 반대인 기판의 제2 주면 상에 존재한다.

[0115] 제8 실시예에 따르면, 수평 접합 필드 효과 트랜지스터 및 수직 접합 필드 효과 트랜지스터를 포함하는 모놀리딕 집적 회로가 제공되고,

[0116] 수평 접합 필드 효과 트랜지스터는

[0117] 드리프트 층의 제1 주면의 일부에 형성된 p형 반도체 재료의 버퍼층,

[0118] 버퍼층의 일부가 노출되도록 버퍼층 상에 있되 동일 공간에는 걸쳐 있지 않은 n형 반도체 재료의 채널층,

[0119] 채널층 상에서 이격된 관계의 n형 반도체 재료의 이산 소스 및 드레인 영역,

[0120] 채널층과 금속-반도체 정류 접합을 형성하는 소스 및 드레인 영역간의 채널층 상의 금속층, 및

[0121] 소스 영역, 드레인 영역, 및 버퍼층의 노출부 상의 오믹 콘택트

[0122] 를 포함하고,

[0123] 수직 접합 필드 효과 트랜지스터는

[0124] 각각이 수평 접합 필드 효과 트랜지스터의 버퍼층으로부터 이격된, 드리프트 층의 제1 주면 상의 n형 반도체 재료의 채널 영역, 및 채널 영역 상의 n형 반도체 재료의 소스 영역을 포함하고, 버퍼층으로부터 수평으로 이격된 드리프트 층의 제1 주면 상의 하나 이상의 상승 영역,

[0125] 드리프트 층 및 채널 영역(들)과의 금속-반도체 정류 접합을 형성하는 하나 이상의 상승 영역에 인접하는 드리프트 층 상의 금속층, 및

[0126] 소스 영역 상의 오믹 콘택트

[0127] 를 포함하고,

[0128] 드리프트 층은 기판의 제1 주면 상에 있는 n형 반도체 재료의 층 상에 있고, 전기적 콘택트는 기판의 제1 주면의 반대인 기판의 제2 주면 상에 존재한다.

실시예

[0157] 본 발명은 본 발명의 양호한 실시예들이 예로서 기능하는 실리콘 카바이드(SiC) 반도체로 기술되는 첨부된 도면 및 사진을 참조하여 더 상세하게 이하에 설명될 것이다.

[0158] 실리콘 카바이드는 다수의(즉, 200개 이상) 다른 변형(폴리타입)으로 결정화된다. 가장 중요한 것은 3C-SiC(큐빅 단위 셀, 섬아연광), 2H-SiC, 4H-SiC, 6H-SiC(육각형 단위 셀, 우르자이트), 15R-SiC(사방육면체 단위 셀)이다. 4H 폴리타입은 그 더 높은 전자 이동성으로 인해 전력 디바이스에 대해 더 유리하다. 4H-SiC가 바람직하지만, 본 발명은 갈륨 질화물과 같은 다른 와이드 대역폭 반도체 재료로 만들어지는 여기에 기재된 디바이스 및 집적 회로, 및 예를 들면 다른 실리콘 카바이드의 폴리타입에도 적용가능하다는 것은 자명하다.

- [0159] 도 1은 수평 트렌치 접합 필드-효과 트랜지스터(LTJFET)로 지칭되는 인헨스드 및 공핍형 모드 반도체 디바이스의 개략 단면 및 모놀리딕 인버터 회로를 형성하는데 이용되는 전기 접속의 개략적인 표현을 도시하고 있다. 도시된 바와 같이, 인버터를 형성하는데 이용되는 디바이스는 세미-절연, p형, 또는 p형 버퍼층을 가지는 n형 중 어느 하나일 수 있는 와이드 대역갭 반도체 기판(1) 상에 구축된다. 도 1에 도시된 바와 같이, 디바이스는 에피택시적으로 성장된 n형 층인 드레인(3), 드리프트(4), 채널(5) 및 소스(6)와 p형 주입된 게이트 영역(7)을 포함한다. 디바이스 구조는 플라즈마 에칭 및 이온 주입을 이용하여 정의될 수 있다. 도 1에 도시된 회로에서, 소스, 게이트 및 드레인 영역으로의 오믹 콘택트는 웨이퍼의 동일 측 상에 형성될 수 있고, 이는 디바이스가 모놀리딕 집적 회로에 이용될 수 있도록 허용한다. 상기 설명되고 도 1에 도시된 디바이스 및 이 디바이스에 대한 제조 방법의 예에 대한 완전한 설명은 본 명세서와 동일한 날짜에 출원되고 발명의 명칭이 "Lateral Trench Field-Effect Transistors in Wide Bandgap Semiconductor Materials, methods of Making, and Integrated Circuits Incorporating the Transistors"인 미국특허 출원서 일련번호 제10/999,954호에서 발견될 수 있다.
- [0160] 도 2는 내장된 PiN 다이오드를 구비하는 단일-핑거 인헨스드 및 공핍형 모드 LTJFET를 포함하는 모놀리딕 노멀리-오프 JFET의 개략적인 표현이다. 전기 접속의 개략적인 프리젠테이션은 도 2에 도시되어 있다. 도 2에 도시된 바와 같이, 디바이스는 인헨스드 모드 트랜지스터("EJFET"로 지칭됨)의 드레인이 공핍형 모드 트랜지스터("DJFET"로 지칭됨)의 소스에 접속되고 DJFET의 게이트가 제어 EJFET의 소스에 접속되는 방식의 캐스코드 구성으로 접속된다. 이러한 디바이스의 DJFET의 게이트 영역(7)과 드리프트 층(4)의 사이에 형성된 p-n 접합은 소위 역-병렬 자동-회전 PiN 다이오드를 형성한다. 이러한 다이오드의 크기는 주입된 게이트 영역의 폭에 의해 정의될 수 있다.
- [0161] 도 2는 노멀리-오프 JFET의 단일-핑거 디바이스 구현을 도시하고 있지만, 실제로는 멀티-핑거 LTJFET가 전력 스위치를 형성하는데 이용될 수 있다. 도 3a 및 3b는 모놀리딕 멀티-핑거 노멀리-오프 전력 스위치의 개략적인 회로 표현(도 3a) 및 레이아웃 디자인의 예(도 3b)를 도시하고 있다.
- [0162] 스위칭 손실을 감소시키기 위해, 도 3a 및 3b에 도시된 PiN 다이오드는 쇼트키 배리어 다이오드(SBD) 또는 접합 배리어 쇼트키(JBS) 다이오드로 대체될 수 있다. 트렌치 구조에 쇼트키 게이트를 형성하는 방법은 그 출원서가 참고로 그 전체가 첨부되어 있는 2004년 7월8일에 출원된 미국특허 출원서 제60/585,881호에 개시되어 있다. 도 4는 통합된 자동-회전 SBD 또는 JBS 다이오드를 구비하는 모놀리딕 노멀리-오프 JFET 전력 스위치의 개략적인 단면을 제공하고 있고, 도 5a 및 5b는 멀티-핑거 LTJFET를 이용하여 모놀리딕하게 형성된 그러한 스위치의 개략적인 회로 표현(도 5a) 및 레이아웃 디자인의 예(도 5b)를 제공하고 있다.
- [0163] 도 6 및 7은 인헨스드-모드 저전압 LTJFET가 고전압 이산 노멀리-온 공핍형-모드 VJFET를 제어하는 단일-핑거 노멀리-오프 JFET 전력 스위치의 개략적인 단면 표현이다. 도 6은 내장된 역-병렬 PiN 다이오드를 구비하는 하이브리드 JFET 전력 스위치를 도시하고 있고 도 7은 고전압 VJFET와 모놀리딕하게 통합되는 역-병렬 SBD 또는 JBS 다이오드를 포함하는 JFET 전력 스위치를 도시하고 있다.
- [0164] 상기 설명된 기술의 구현 예는 도 8에 도시되어 있다. 도 8에 도시된 바와 같이, 모놀리딕 LTJFET 타이머 회로는 이산 고전압 노멀리-온 전력 VJFET와 캐스코드로 접속된 빌트-온-칩 저전압 고전류 인헨스드-모드 LTJFET를 구동한다.
- [0165] 고전력 어플리케이션에서는 그 낮은 특정 온-저항 및 와이드 대역갭 반도체에 공통적인 트래핑 효과의 부재로 인해 수직형 채널 멀티-핑거 LTJFET가 바람직하지만, 다른 JFET 구조(예를 들면, 수평 채널을 갖는 것들)가 채용되어 노멀리-오프 전력 JFET 스위치를 형성할 수 있다. 도 9-17은 인헨스드 및 공핍형 모드 수평 접합 필드-효과 트랜지스터(LTJFET)를 이용하여 구축된 통합 JFET 스위치의 다양한 실시예를 예시하고 있다.
- [0166] 도 9는 에피택시적으로 과도성장된 게이트를 가지는 인헨스드 및 공핍형 모드 LJFET를 포함하는 수평형 채널 JFET 집적 회로의 전기적 접속을 가지는 개략적인 단면 표현이다. 도 9에 도시된 바와 같이, 집적 회로는 모놀리딕 인버터 회로를 형성한다. 인버터를 형성하는데 이용되는 LJFET는 세미-절연, p형, 또는 p형 버퍼층을 가지는 n형 중 하나일 수 있는 와이드 대역갭 반도체 기판(1) 상에 구축된다. 도 9에 도시된 바와 같이, 집적 회로는 에피택시적으로 성장된 n형 층인 버퍼(2) 및 채널(5a), 주입된 소스 및 드레인(6a) 영역뿐만 아니라 에피택시적으로 성장된 p형 게이트 영역(7a)을 포함한다. 디바이스 구조는 플라즈마 에칭 및 이온 주입을 이용하여 정의될 수 있다. 소스, 게이트 및 드레인 영역에 대한 오믹 콘택트(8)를 웨이퍼의 동일 측 상에 형성하여 모놀리딕 집적 회로내의 디바이스를 이용할 수 있다.

- [0167] 도 10은 과도성장된 게이트 영역을 가지는 인헨스드 및 공핍형 모드 LJJFET를 이용하여 구축된 모놀리딕 노멀리-오프 JJFET 전력 스위치의 피치의 개략적인 표현이다. 전기 접속의 개략적인 프리젠테이션으로부터 알 수 있는 바와 같이, 디바이스는, 저전압 인헨스드-모드 LJJFET("ELJJFET"로 지칭됨)의 드레인이 고전압 공핍형 모드 LJJFET("DLJJFET"로 지칭됨)의 소스에 접속되고 DLJJFET의 게이트가 제어 ELJJFET의 소스에 접속되는 방식으로 캐스 코드 구성으로 접속된다.
- [0168] 도 11은 저전압 ELJJFET가 고전압 이산 노멀리-온 공핍형-모드 VJJFET를 제어하는 하이브리드 노멀리-오프 JJFET 전력 스위치의 개략적인 단면을 도시하고 있다.
- [0169] 소스 및 드레인 영역이 에피택시적으로 성장된 n형 층에 형성되고 게이트 영역이 이온 주입에 의해 정의되는 다른 LJJFET 구조가 이용될 수 있다. 이러한 타입의 디바이스는 도 12-17에 도시되어 있다.
- [0170] 도 12는 인헨스드 및 공핍형 모드 주입된-게이트 LJJFET를 포함하는 모놀리딕 인버터 회로의 전기적 접속을 가진 개략적인 단면 표현이다. 도시된 바와 같이, 인버터를 형성하는데 이용되는 디바이스들은 세미-절연, p형 또는 p형 버퍼층을 가지는 n형 중 어느 하나가 될 수 있는 와이드 대역갭 반도체 기판(1) 상에 구축된다. 또한 도시된 바와 같이, 디바이스는 에피택시적으로 성장된 n형 층인 버퍼(2), 채널(5b), 소스 및 드레인(6)뿐만 아니라 주입된 게이트(7) 영역을 포함한다.
- [0171] 도 13은 인헨스드 및 공핍형 모드 주입된-게이트 LJJFET를 이용하여 구축된 모놀리딕 노멀리-오프 JJFET 전력 스위치의 피치의 개략적인 단면 표현이다. 도 13에 도시된 바와 같이, D-모드 LJJFET의 드레인은 채널 층(5b) 상의 게이트와 수평으로 이격되어 디바이스에 수평 드리프트 영역을 형성한다.
- [0172] 도 14는 인헨스드-모드 저전압 주입된-게이트 LJJFET가 고전압 이산 노멀리-온 공핍형 모드 VJJFET를 제어하는 노멀리-오프 JJFET 전력 스위치의 개략적인 단면 표현이다.
- [0173] 도 15는 인헨스드-모드 저전압 듀얼-게이트 LJJFET가 고전압 이산 노멀리-온 공핍형-모드 VJJFET를 제어하는 모놀리딕 노멀리-오프 JJFET 전력 스위치의 개략적인 단면 표현이다. 도 15에 도시된 바와 같이, LJJFET의 기저 게이트는 채널 영역이 그 위에 성장되기 이전에 드리프트 영역(4)으로 주입된다.
- [0174] 도 16은 LJJFET의 기저 게이트가 가드 링과 함께 드리프트 영역(4)으로 주입되는 도 3d에 도시된 바와 같은 디바이스의 개략적인 단면 표현이다. 가드 링은 스위치의 전압 차단 성능을 증가시키는데 이용될 수 있다.
- [0175] 주입된 p-형 게이트를 구비하는 FET 디바이스가 상기 설명되었지만, 노멀리-오프 FET 전력 스위치의 제조를 위해 쇼트키 게이트가 채용될 수도 있다. 도 17은 LJJFET의 주입된 p형 상부 게이트 및 이산 노멀리-온 공핍형 모드 VJJFET의 주입된 게이트가 쇼트키 게이트로 대체되는 도 16에 도시된 바와 같은 디바이스의 개략적인 단면 표현이다. 도시된 바와 같이, 이산 노멀리-온 FET의 쇼트키 게이트는 통합된 역-병렬 자동-회전 다이오드로서 기능한다.
- [0176] 도 18a-18d는 EJJFET 및 DJFET 모두가 1cm의 채널 주변부를 갖는 경우에 SiC LTJJFET 통합된 스위치의 시뮬레이션된 디바이스 구조(도 18a), 개략적인 단면 표현(도 18b), 및 출력 DC 특성을 보여주는 그래프(도 18c, 18d)를 도시하고 있다.
- [0177] 상기 언급된 캐스코드 전력 스위치의 실행가능성을 증명하기 위해, 이산 비-종료된 인헨스드 및 공핍형 모드 수직 JJFET를 이용하여 스위치의 하이브리드 실시예가 구축되었다. 도 19a-19d는 하이브리드 노멀리-오프 900V 전력 스위치의 사진(도 19a), 개략적인 표현(도 19b) 및 측정된 특성을 보여주는 그래프(도 19c 및 19d)이다. 도 19c 및 19d로부터 알 수 있는 바와 같이, 공핍형 모드 디바이스에 의해 유도된 비교적 높은 누설 전류($I_D=330\mu A$ @ $V_{DS}=900V$ 및 $V_{GS}=0V$)에도 불구하고, 전압 제어된 SiC 전력 스위치는 2.75V 정도로 작은 것에 의해 제어되었다.
- [0178] 스위치의 기본 기능은 다음과 같이 설명될 수 있다. HIGH 제어 레벨(예를 들면, $V_{GS}=2.75V$)에서, 인헨스드 모드 트랜지스터(EJJFET)가 턴온된다. 공핍형 모드 트랜지스터(DJJFET)의 게이트와 소스 사이에서, 단지 작은 전압 강하가 발생하고, 따라서 DJFET도 온된다. EJJFET가 LOW 제어 레벨($V_{GS}=0.25V$)로 턴오프되는 경우, 그 드레인-대-소스 전압은 도 20b에 도시된 바와 같이 40-50V로 증가한다. 이러한 전압은 DJFET를 핀치오프시킨다.
- [0179] 통합된 스위치의 특정 온-저항은 이하와 같이 최소화될 수 있다. 우선, 양쪽 트랜지스터(예를 들면, EJJFET 및 DJFET)의 핀치-오프 전압 및 채널 주변부의 비율은, 이들이 거의 동일한 온-저항을 갖고 따라서 어느 것도 전체 전류를 제한시키지 않도록 조정될 수 있다. 두 번째로, DJFET의 게이트-대-소스 브레이크다운 전압이 EJJFET의

드레인-대-소스 브레이크다운 전압보다 크거나 같도록 디바이스가 구성될 수 있다.

- [0180] 뿐만 아니라, 고-전류 멀티-핑거 LTJFET의 핑거 길이는 변경 드레인 영역의 저항을 수직 n^+ 기판의 저항과 양립될 수 있도록 유지하기 위해 감소될 수 있다. 도 21a 및 21b는 LTJFET(도 21a) 및 VJFET(도 21b)의 분산된 드레인 저항의 개략적인 표현, 및 수평 드레인 층의 다른 도핑에 대한 핑거 길이의 함수로서 VJFET의 수직 드레인의 저항으로 정규화되는 LTJFET의 수평 드레인 층의 저항을 도시하는 그래프(도 21c)이다. 도 21c로부터 알 수 있는 바와 같이, 과도하게 도핑된 $1\mu\text{m}$ 두께의 수평 드레인층(3)에 대해, LTJFET의 핑거 길이는 그 길이가 $100\mu\text{m}$ 를 초과하지 않는 것이 바람직할 것이다. 그러나, 핑거 길이는 드레인 층(3)의 두께 및/또는 도핑 레벨을 증가시킴으로써 증가될 수 있다.
- [0181] 도 22a-22h는 도 9에 제시된 디바이스를 만드는 방법을 예시하고 있다. 도 22a는 기판(1), 에피택시적으로 성장된 p형 층(2), 및 에피택시적으로 성장된 n형 층(5a)을 포함하는 다층 구조를 도시하고 있다. 에치 마스크(10)는 도 22b에 도시된 바와 같이 에피택시적으로 성장된 n형 층(5a)의 노출된 표면 상에 배치된다. 그리고 나서, 에피택시적으로 성장된 n형 층(5a)은 도 22b에 도시된 바와 같이 선택적으로 에칭된다(12). 그리고 나서, 에치 마스크(10)가 제거되고 그리고 나서 도 22d에 도시된 바와 같이, 이온 주입 마스크(14)가 에피택시적으로 성장된 n형 층(5a)의 에칭된 표면 상에 배치된다. 마스크(14)를 통한 n형 도펀트의 이온 주입은 결과적으로 도 22e에 도시된 바와 같이, 에피택시적으로 성장된 n형 층(5a)에 고도로 n-도핑된 영역(6a)의 형성으로 나타나게 된다. 그리고 나서, 마스크(14)는 제거되고, p형 반도체 재료(7a)의 층이 도 22f에 도시된 바와 같이, 에피택시적으로 성장된 n형 층(5a)의 에칭되고 주입된 표면 상에 성장된다. 그리고 나서, 에치 마스크(16)가 도 22g에 도시된 바와 같이, 층(7a)의 노출된 표면 상에 배치된다. 마스크(16)를 통해 에칭함으로써, 도 22g에도 도시된 바와 같이, 층(7a)이 선택적으로 제거되고 상승된 p형 피쳐(feature)가 형성된다. 마지막으로, 마스크(16)가 제거되고, 상승된 p형 피쳐의 노출 표면 및 주입된 영역(6a) 상에 오믹 콘택트가 형성된다.
- [0182] 상기 대략적으로 기술된 방법은 적절한 마스크를 선택함으로써 도 10에 도시된 바와 같은 구조를 형성하는데 이용될 수 있다.
- [0183] 도 23a-23h는 도 12에 도시된 바와 같은 구조를 만드는 방법을 예시하고 있다. 도 23a는 기판(1), 기판(1) 상의 에피택시적으로 성장된 p형 층(2), 및 층(2) 상의 에피택시적으로 성장된 n형 층(5b)을 도시하고 있다. 도 23b에 도시된 바와 같이, 에치 마스크(18)는 층(5b)의 노출된 표면 상에 배치된다. 에칭(20)은 도 23c에 도시된 바와 같이, 층(5b)으로부터 재료의 선택적 제거로 나타나게 된다. 마스크(18)의 제거 후, 도 23d에 도시된 바와 같이, n형 에피택셜 층(6)이 층(5b)의 에칭된 표면 상에 성장된다. 에치 마스크(22)는 도 23e에 도시된 바와 같이 층(6)의 노출된 표면 상에 배치되고, 에칭은 도 23f에 도시된 바와 같이, 결과적으로 층(6)으로부터 재료의 선택적 제거 및 기저층(5b)의 노출로 나타나게 된다. 그리고 나서, 마스크(22)는 도 23g에 도시된 바와 같이, 층(5b)의 노출된 표면에 p형 도우너(donor)를 선택적으로 주입하는데 이용되어 주입된 게이트 영역(7)을 형성한다. 그리고 나서, 도 23h에 도시된 바와 같이, 오믹 콘택트(8)가 주입된 p형 게이트 영역(7) 상에 형성되어 게이트 콘택트를 형성하고, 상승된 n형 영역(6) 상에 형성되어 디바이스에 대한 소스 및 드레인 콘택트를 형성한다.
- [0184] 상기 대략적으로 설명된 방법은 적절한 마스크를 선택함으로써, 도 13에 도시된 바와 같은 구조를 형성하는데 이용될 수 있다.
- [0185] 도 24a-24j는 도 15에 도시된 바와 같은 구조를 만드는 방법을 예시하고 있다. 도 24a는 n형 기판(1a), 기판(1a) 상의 에피택시적으로 성장된 n형 층(3a), 및 층(3a) 상의 에피택시적으로 성장된 n형 층(4a)을 도시하고 있다. 이온 주입 마스크(26)는 층(4a)의 노출 상부 표면 상에 도시되어 있다. 도 24b에 도시된 바와 같이, 층(4a)은 마스크(26)를 통해 p형 도우너 원자로 선택적으로 주입되어 게이트 영역(7)을 형성한다. 마스크(26)의 제거 후, n형 에피택셜 층(5) 및 n형 에피택셜 층(6)이 도 24c 및 24d에 도시된 바와 같이, 층(4a)의 주입된 표면 상에 연속적으로 성장된다. 그리고 나서, 에치 마스크(30)가 도 24d에 도시된 바와 같이 층(6)의 노출된 표면 상에 배치되고, 이어서 층(6) 및 부분적으로는 기저층(5)을 통한 에칭(31)이 수행된다(도 24e). 그 후, 마스크(30)를 통해 층(5)의 노출된 부분에 p형 도우너 원자가 주입되어, 도 24f에 도시된 바와 같은 부가의 게이트 영역(7)을 형성한다. 그리고 나서, 에칭되고 주입된 구조의 표면 상에 에치 마스크(34)가 배치되고, p형 주입된 게이트 영역의 일부를 포함하는 층(5)의 일부가 에칭(36)에 의해 선택적으로 제거된다(도 24h). 그리고 나서, 층(4a)의 노출된 부분은 도 24i에 도시된 바와 같이 마스크(38)를 통해 에칭된다(40). 그리고 나서, 오믹 콘택트(8)가 에칭되고 주입된 구조 상에 형성되어 도 24j에 도시된 바와 같이 디바이스를 형성한다.

- [0186] 전술한 바와 같은 상기 방법은 도 16에 도시된 구조를 형성하는 데에도 사용될 수 있다.
- [0187] 도 25a-25d는 도 17에 도시된 바와 같은 구조를 만드는 방법을 예시하고 있다. 도 25a에 도시된 바와 같이, 도 24e에 도시된 구조가 마스크(42)를 통해 에칭되어(44) 기저층(4a)의 일부를 노출시킨다(도 25b). 그리고 나서, 쇼트키 콘택트(9)는 도 25c에 도시된 바와 같이, 에칭되고/주입된 구조 상에 형성된다. 오믹 콘택트(8)의 형성은 결과적으로 도 25d에 도시된 바와 같은 디바이스로 나타나게 된다.
- [0188] 예로 든 실시예들이 상기 설명되었지만, 다른 대안 실시예들도 가능하다. 예를 들면, GaN n형 에피택셜 층은 실리콘 카바이드, 사파이어 또는 실리콘 기판 상에 성장되어 제안된 디바이스 구조의 제조를 위한 시작 재료 스택을 형성한다. 다르게는, 세미-절연 에피택시적으로 성장된 버퍼층을 구비하는 도전성 SiC 기판을 포함하는 기판 재료는 2002년 1월 3일에 출원된 미국특허 출원 일련번호 제10/033,785호(미국특허공보 제2002-0149021호로 공포됨)에 개시된 바와 같이 이용될 수 있다.
- [0189] SiC 층은 주지된 기술을 이용하여 도우너 또는 억셉터 재료로 층을 도핑함으로써 형성될 수 있다. 예로 든 도우너 재료는 질소 및 인을 포함한다. 질소는 바람직한 도우너 재료이다. SiC를 도핑하기 위한 억셉터 재료의 예는 브롬 및 알루미늄을 포함한다. 알루미늄은 바람직한 억셉터 재료이다. 그러나, 상기 재료는 단지 예에 불과하고, 실리콘 카바이드로 도핑될 수 있는 임의의 억셉터 및 도우너 재료들이 이용될 수 있다. 여기에 설명된 LTJFET, LJFET, 및 VJFET의 다양한 층의 도핑 레벨 및 두께가 가변되어 특정 어플리케이션에 대한 원하는 특성을 가지는 디바이스를 생성할 수 있다. 유사하게, 디바이스의 다양한 피쳐들의 치수가 가변되어 특정 어플리케이션에 대한 원하는 특성을 가지는 디바이스를 생성할 수 있다.
- [0190] SiC 층은 적합한 기판 상의 에피택셜 성장에 의해 형성될 수 있다. 층들은 에피택셜 성장 동안에 도핑될 수 있다.
- [0191] 상기 명세서가 본 발명의 원리를 설명하고 있고 예들은 예시의 목적으로 제공되었지만, 본 기술분야의 숙련자가 본 공보를 읽으면, 본 발명의 범주에서 벗어나지 않고 형태 및 세부사항에서의 다양한 변경이 가능하다는 것을 잘 알고 있을 것이다.

[0192] 인용된 참조문헌

1. W. Xie, et al., "Monolithic NMOS Digital Integrated Circuits in 6H-SiC," *IEEE Electron Device Letters*, Vol.: 15, No.: 11, November 11, 1994, pp. 455-457.
2. D. M. Brown et al., "High temperature silicon carbide planar IC technology and first monolithic SiC operational amplifier IC," *Transactions of 2nd Int. High-Temp. Elec. Conf. (HiTEC)*, 1994, pp. XI-17-XI-22.
3. Slater, Jr. et al., "Silicon Carbide CMOS devices," U. S. Patent 6,344,663, Feb.5, 2002.

[0193]

4. M. Bhatnagar et al., "Lateral MOSFET with modified field plates and damage areas," U. S. Patent 5,710,455, Jan. 20, 1998.
5. I. Sankin et al., "On development of 6H-SiC LDMOS transistors using silane-ambient implant anneal," *Solid-State Electronics*, Vol. 45, No. 9, September, 2001, pp. 1653-165.
6. S. T. Sheppard et al., "High power hybrid and MMIC amplifiers using wide-bandgap semiconductor devices on semi-insulating SiC substrates," Digest of 60th Device Research Conference, 2002, June 24-26, 2002, pp.: 175-178.
7. M. P. Lam, "Ion implant technology for 6H-SiC MESFETs digital ICs," Digest of 54th Annual Device Research Conference, 1996., June 24-26, 1996, pp. 158-159.
8. Casady et al., "Complementary accumulation-mode JFET integrated circuit topology using wide (>2eV) bandgap semiconductors," U.S. Patent No. 6,503,782, January 7, 2003.
9. J. N. Merrett et al., "Silicon Carbide Vertical Junction Field Effect Transistors Operated at Junction Temperatures Exceeding 300°C", *Proceedings of IMAPS International Conference and Exhibition on High Temperature Electronics (HiTECH 2004)*, May 17-20, 2004, Sante Fe, New Mexico.
10. Sugawara et al., "Vertical field-effect semiconductor device with buried gate region," U.S. Patent No. 6,600,192, July 29, 2003.
11. Friedrichs et al., "Semiconductor construction with buried island region and contact region," U.S. Patent No. 6,693,322, February 17, 2004.
12. J. H. Zhao, "Double-gated vertical junction field effect power transistor," U.S. Published Patent Application 20030089930, May 15, 2003.
13. K. Asano et al., "5.5 kV normally-off low RonS 4H-SiC SEJFET," Power Semiconductor Devices and ICs, 2001. ISPSD '01. Proceedings of the 13th International Symposium on, 4-7 June 2001, pp. 23-26.
14. Y. Sugawara et al., "4H-SiC high power SIJFET module," Power Semiconductor Devices and ICs, 2003. Proceedings, ISPSD '03. 2003 IEEE 15th International Symposium on, 14-17 April 2003, pp. 127-130.
15. Berger et al., "Junction Field Effect Transistor Device for Replacing a Pentode," U.S. Patent No. 3,767,946, Oct. 23, 1973.

[0194]

16. Yoshida et al., "Compound Field Effect Transistor," U.S. Patent No. 4,107,725, Aug. 15, 1978.
17. Baliga et al., "Composite Circuit for Power Semiconductor Switching", U.S. Patent No. 4,663,547, May 5, 1987.
18. P. Friedrichs et al., "SiC power devices with low on-resistance for fast switching applications," Power Semiconductor Devices and ICs, 2000, Proceedings of the 12th International Symposium, May 22-25, 2000, pp. 213-216.

[0195]

도면의 간단한 설명

- [0129] 도 1은 인헨스드 및 공핍형 모드 LTJFET를 포함하는 모놀리딕 인버터 회로의 개략적인 단면도이다.
- [0130] 도 2는 내장 PiN 다이오드를 구비하는 인헨스드 및 공핍형 모드 LTJFET를 포함하는 모놀리딕 노멀리-오프 JFET의 개략적인 단면도이다.
- [0131] 도 3a 및 3b는 내장 PiN 다이오드를 구비하는 인헨스드 및 공핍형 모드 LTJFET를 포함하는 모놀리딕 노멀리-오프 JFET 집적 회로의 회로 표현(도 3a) 및 레이아웃의 예(도 3b)이다.
- [0132] 도 4는 SBD 또는 JBS 다이오드로 통합된 인헨스드 및 공핍형 모드 LTJFET를 이용하여 구축된 모놀리딕 노멀리-오프 JFET의 개략적인 단면 표현이다.
- [0133] 도 5a 및 5b는 SBD 또는 JBS 다이오드로 통합된 인헨스드 및 공핍형 모드 LTJFET를 포함하는 모놀리딕 노멀리-오프 JFET 집적 회로의 회로 표현(도 5a) 및 레이아웃 예(도 5b)이다.
- [0134] 도 6은 내장된 PiN 다이오드를 구비하는 인헨스드 모드 LTJFET 및 공핍형 모드 VJFET를 이용하여 구축된 하이브리드 노멀리-오프 JFET의 개략적인 단면 표현이다.
- [0135] 도 7은 SBD 또는 JBS 다이오드로 통합된 인헨스드 모드 LTJFET 및 공핍형 모드 VJFET를 이용하여 구축된 하이브리드 노멀리-오프 JFET의 개략적인 단면 표현이다.
- [0136] 도 8은 이산 고전압 노멀리-온 전력 VJFET와 캐스코드로 접속되는 빌트-온-칩 저전압 고전류 인헨스드 모드 LTJFET를 구동하는 모놀리딕 LTJFET 타이머 회로의 회로 표현이다.
- [0137] 도 9는 인헨스드 및 공핍형 모드 과도성장-게이트 LJFET를 이용하여 구축된 모놀리딕 인버터 회로의 개략적인 단면 표현이다.
- [0138] 도 10은 인헨스드 모드 과도성장된-게이트 LJFET 및 공핍형 모드 VJFET를 포함하는 하이브리드 노멀리-오프 JFET의 개략적인 단면 표현이다.
- [0139] 도 11은 저전압 인헨스드 모드 LJFET 및 고전압 이산 노멀리-온 공핍형 모드 VJFET를 포함하는 하이브리드 노멀리-오프 JFET 전력 스위치의 개략적인 단면 표현이다.
- [0140] 도 12는 인헨스드 및 공핍형 모드 주입된-게이트 LJFET를 이용하여 구축된 모놀리딕 인버터 회로의 개략적인 단면 표현이다.
- [0141] 도 13은 인헨스드 및 공핍형 모드 주입된-게이트 LJFET를 이용하여 구축된 모놀리딕 노멀리-오프 JFET 집적 회로의 개략적인 단면 표현이다.
- [0142] 도 14는 인헨스드 모드 주입된-게이트 LJFET 및 공핍형 모드 VJFET를 이용하여 구축된 하이브리드 노멀리-오프 JFET 집적 회로의 개략적인 단면 표현이다.
- [0143] 도 15는 LJFET의 기저 게이트가 드리프트 영역으로 주입되는 인헨스드 모드 듀얼-게이트 LJFET 및 공핍형 모드 VJFET를 이용하여 구축된 하이브리드 노멀리-오프 JFET 집적 회로의 개략적인 단면 표현이다.

- [0144] 도 16은 LJFET의 게이트 및 가드 링이 드리프트 영역으로 주입되는 인헨스드 모드 듀얼 게이트 LJFET 및 공핍형 모드 VJFET를 이용하여 구축된 하이브리드 가드-링 종료된 노멀리-오프 JFET 집적 회로의 개략적인 단면 표현이다.
- [0145] 도 17은 LJFET의 기저 게이트 및 가드 링이 드리프트 영역으로 주입되는 쇼트키 게이트를 구비하는 인헨스드 모드 듀얼-게이트 LJFET 및 공핍형 모드 VJFET를 이용하여 구축된 하이브리드 가드-링 종료된 노멀리-오프 JFET의 개략적인 단면 표현이다.
- [0146] 도 18a-18d는 SiC LTJFET 집적 스위치의 시뮬레이션된 디바이스 구조(도 18a), 개략적인 단면 표현(도 18b), 및 출력 DC 특성을 도시하는 그래프(도 18c 및 18d)이다.
- [0147] 도 19a-19d는 하이브리드 노멀리 오프 900V 전력 스위치의 사진(도 19a), 회로 표현(도 19b), 및 측정된 특성을 도시하는 그래프(도 19c 및 19d)이다.
- [0148] 도 20a 및 20b는 하이브리드 노멀리-오프 900V 전력 스위치의 회로 표현(도 10a), 및 측정된 내부 전압을 도시하는 그래프(도 20b)이다.
- [0149] 도 21a - 21c는 수평 드레인층의 다른 도핑 레벨에 대한 핑거 길이의 함수로서, VJFET의 수직 드레인의 저항으로 정규화된 LTJFET의 수평 드레인 층의 저항을 도시하는 그래프(도 21c)와 함께, LTJFET(도 21a) 및 VJFET(도 21b)의 분산된 드레인 저항의 개략적인 표현이다.
- [0150] 도 22a-22h는 도 9 및 10에 제시된 모놀리딕 집적 회로를 제조하는 방법을 예시하고 있다.
- [0151] 도 23a-23h는 도 12 및 13에 제시된 모놀리딕 집적 회로를 제조하는 방법을 예시하고 있다.
- [0152] 도 24a-24j는 도 15에 제시된 모놀리딕 집적 회로를 제조하는 방법을 예시하고 있다.
- [0153] 도 25a-25d는 도 17에 제시된 모놀리딕 집적 회로를 제조하는 방법을 예시하고 있다.

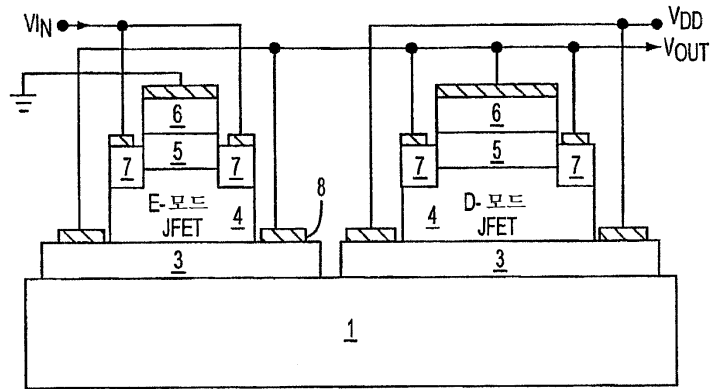
참조번호

- [0155] 도면에 이용된 참조번호는 이하와 같이 정의된다. 기관, 주입된 영역, 및 에피택시적으로 성장된 층에 대해, 대표적 두께 및 도핑 농도가 또한 제공된다.

번호	재료
1	기관(예를 들면, 세미-절연 기관)
1a	N형 기관(예를 들면, 도핑 레벨 $> 1 \times 10^{18} \text{ cm}^{-3}$)
2	에피택시적으로 성장된 층(p형)(예를 들면, 두께 $\geq 0.1 \mu\text{m}$, $1 \times 10^{15} - 1 \times 10^{17} \text{ cm}^{-3}$)
3	에피택시적으로 성장된 층(n형)(예를 들면, $0.2-5 \mu\text{m}$, $> 5 \times 10^{18} \text{ cm}^{-3}$)
3a	에피택시적으로 성장된 층(n형)(예를 들면, $0.5-1 \mu\text{m}$, $> 5 \times 10^{18} \text{ cm}^{-3}$)
4	에피택시적으로 성장된 층(n형)(예를 들면, $0.5-10 \mu\text{m}$, $5 \times 10^{15} - 5 \times 10^{17} \text{ cm}^{-3}$)
4a	에피택시적으로 성장된 층(n형)(예를 들면, $5-350 \mu\text{m}$, $2 \times 10^{14} - 2 \times 10^{16} \text{ cm}^{-3}$)
5	에피택시적으로 성장된 층(n형)(예를 들면, $0.2-1.5 \mu\text{m}$, $5 \times 10^{15} - 5 \times 10^{17} \text{ cm}^{-3}$)
5a	에피택시적으로 성장된 층(n형)(예를 들면, $0.2-1.5 \mu\text{m}$, $5 \times 10^{15} - 2 \times 10^{17} \text{ cm}^{-3}$)
5b	에피택시적으로 성장된 층(n형)(예를 들면, $0.3-1.5 \mu\text{m}$, $5 \times 10^{15} - 2 \times 10^{17} \text{ cm}^{-3}$)
6	에피택시적으로 성장된 층(n형)(예를 들면, $0.2-1.5 \mu\text{m}$, $> 5 \times 10^{18} \text{ cm}^{-3}$)
6a	주입된 영역(n형)(예를 들면, $\geq 0.1 \mu\text{m}$, $\geq 5 \times 10^{18} \text{ cm}^{-3}$)
7	주입된 영역(p형)(예를 들면, $\geq 0.1 \mu\text{m}$, $\geq 5 \times 10^{18} \text{ cm}^{-3}$)
7a	에피택시적으로 성장된 층(p형)(예를 들면, $0.2-1.5 \mu\text{m}$, $> 5 \times 10^{18} \text{ cm}^{-3}$)
8	오믹 콘택트
9	쇼트키 콘택트

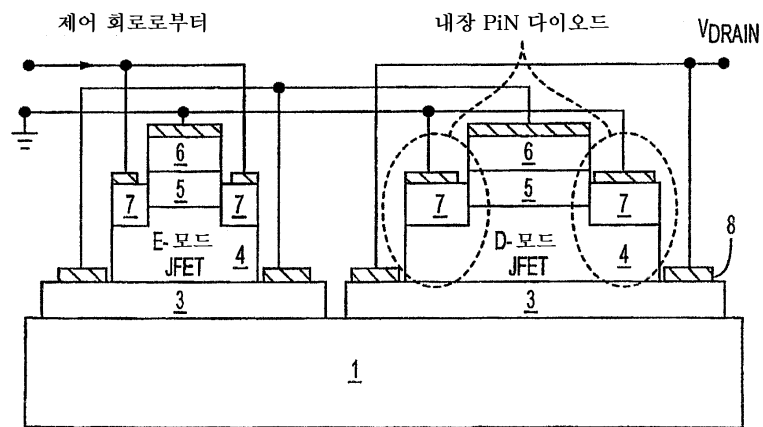
도면

도면1



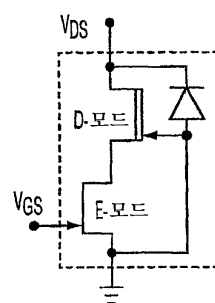
수직 채널 JFET IC 칩

도면2

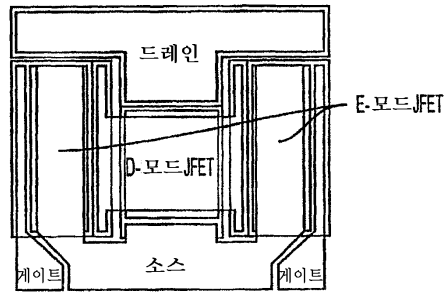


수직 채널 JFET IC 칩

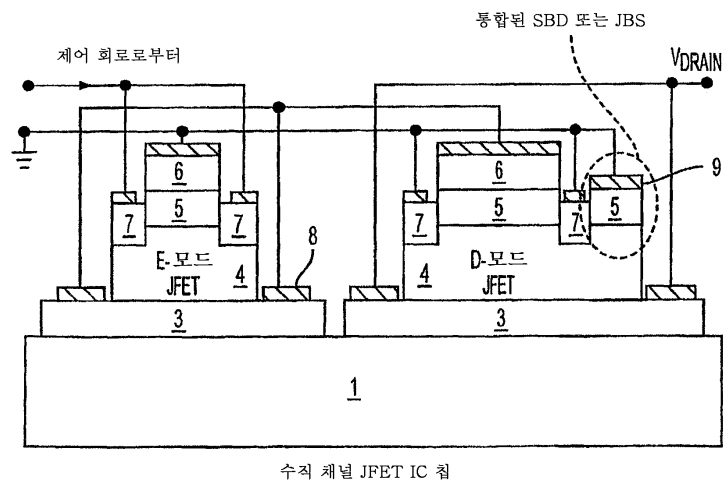
도면3a



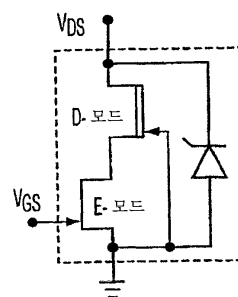
도면3b



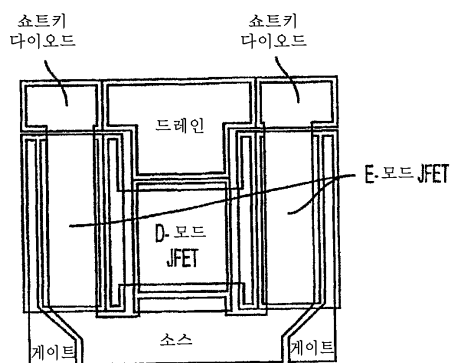
도면4



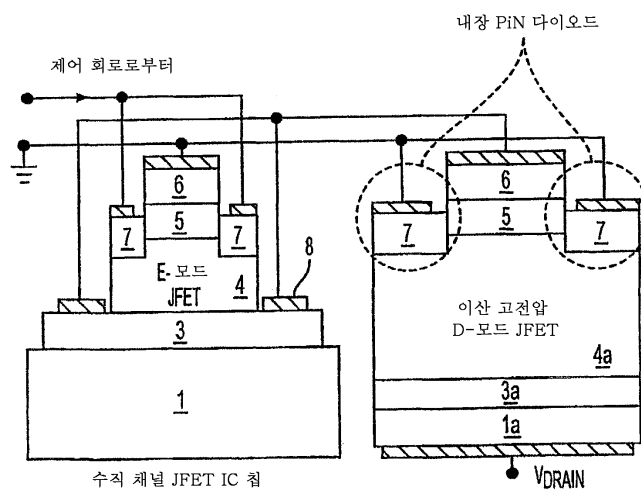
도면5a



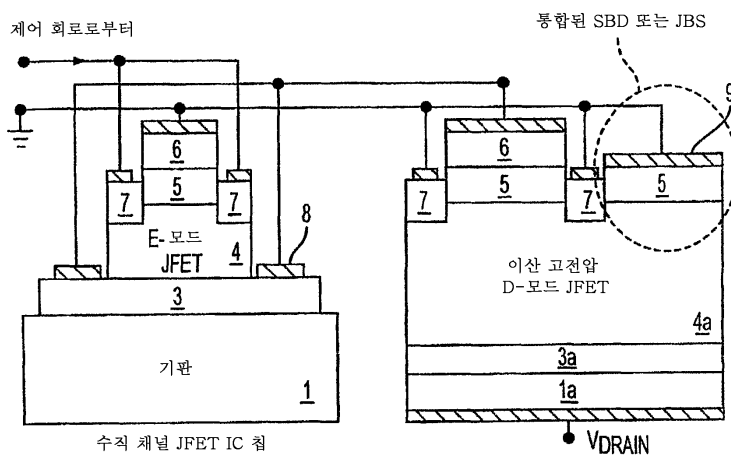
도면5b



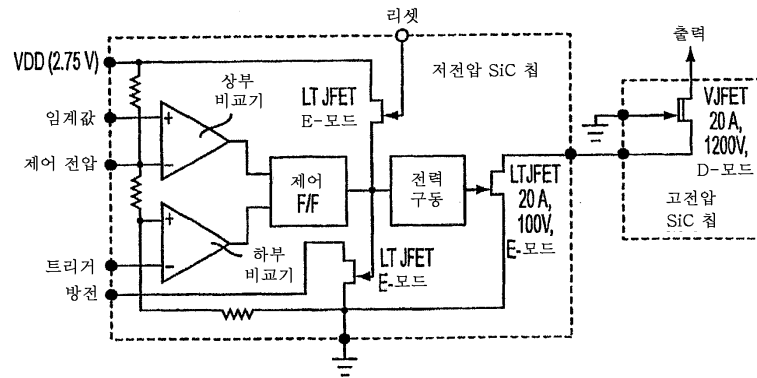
도면6



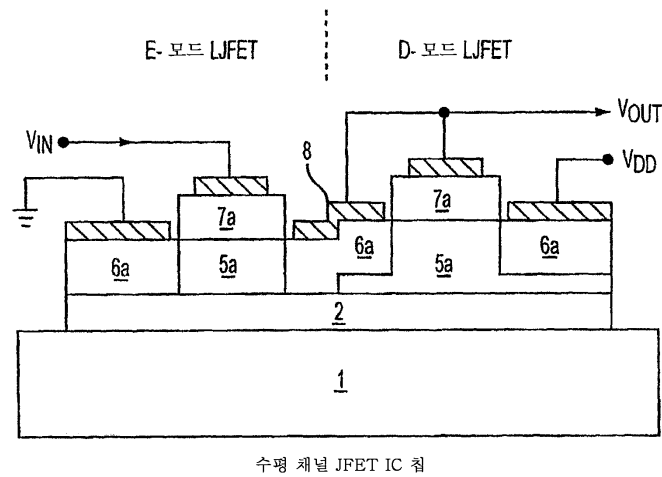
도면7



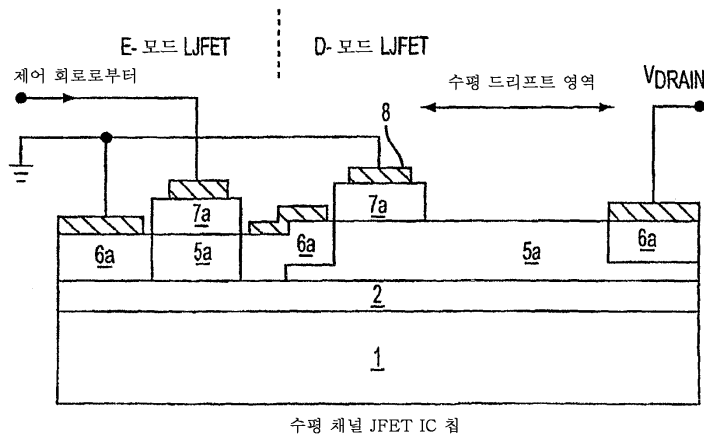
도면8



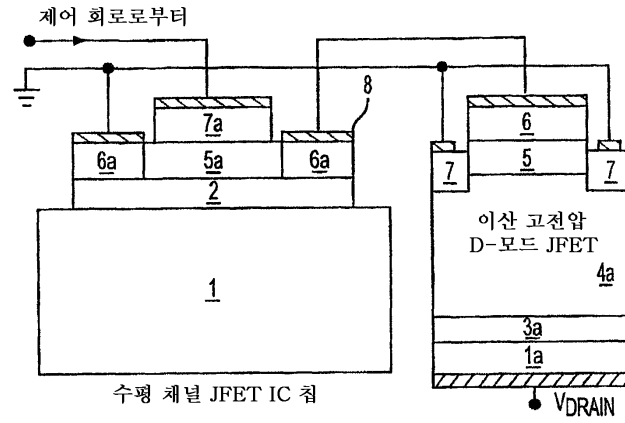
도면9



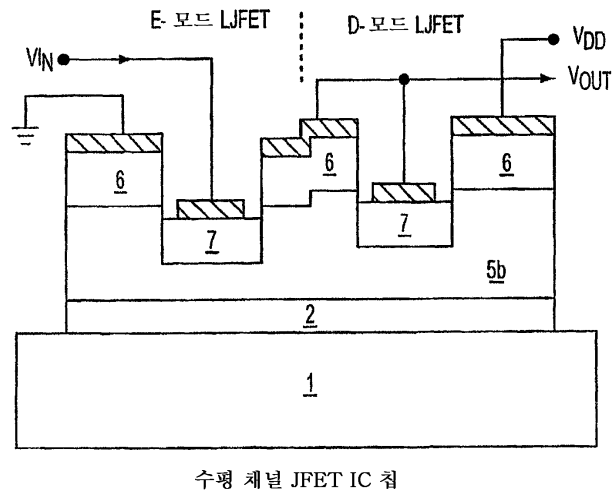
도면10



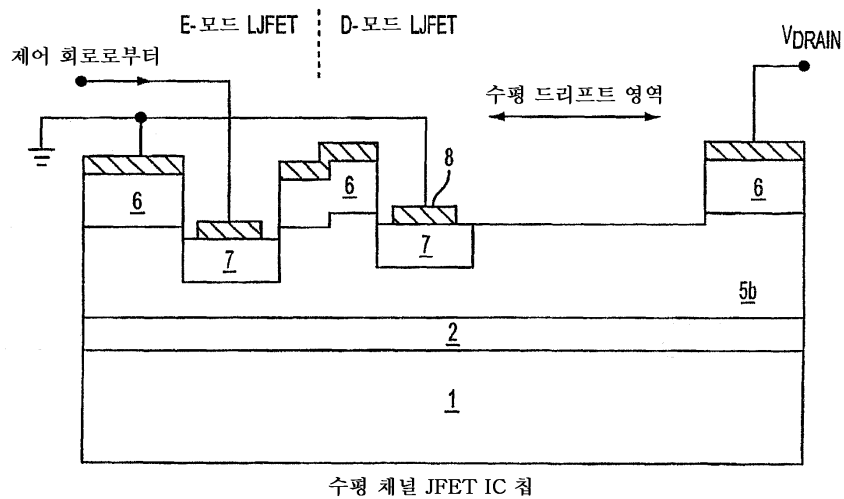
도면11



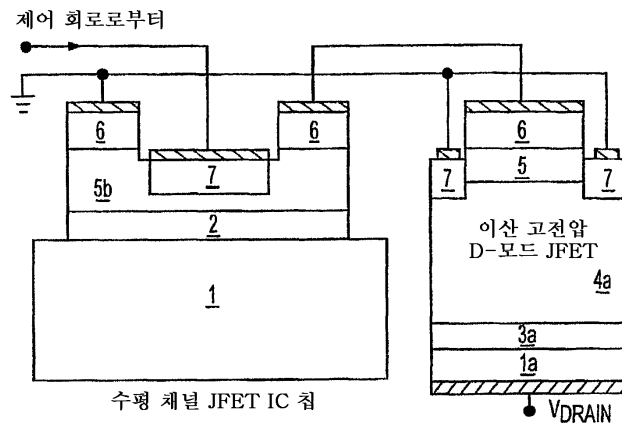
도면12



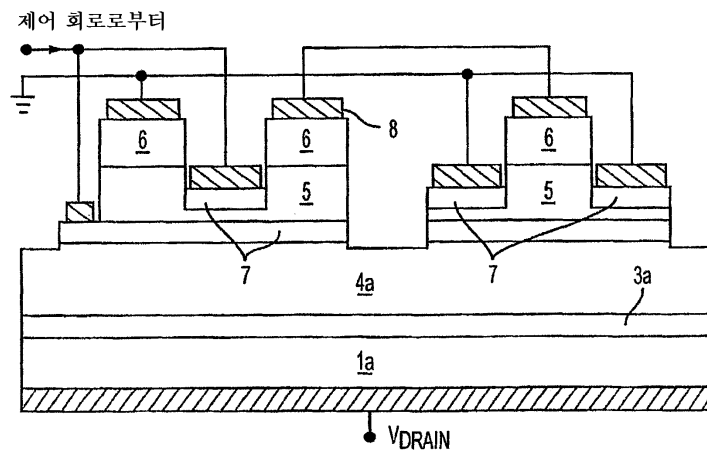
도면13



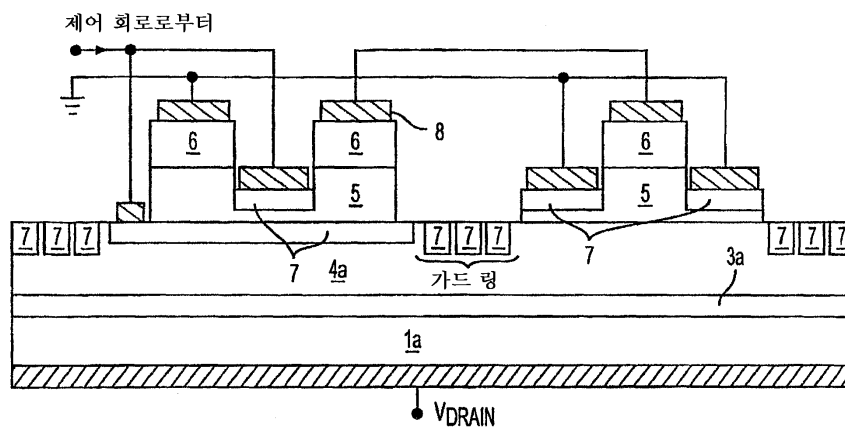
도면14



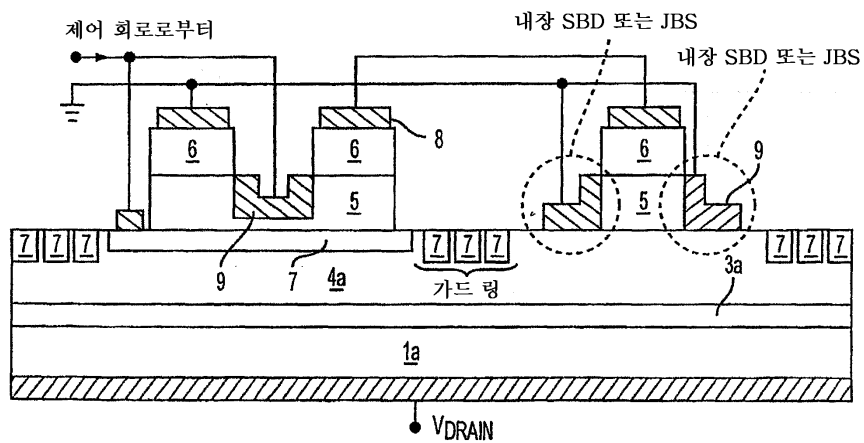
도면15



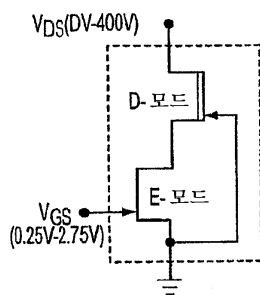
도면16



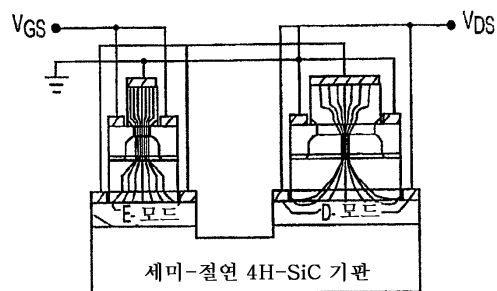
도면17



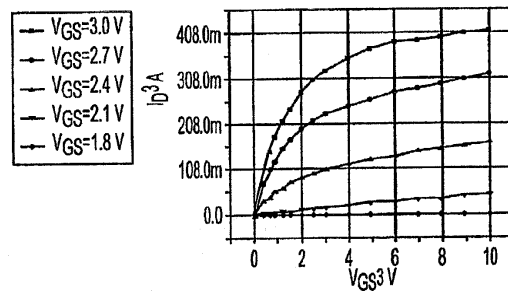
도면18a



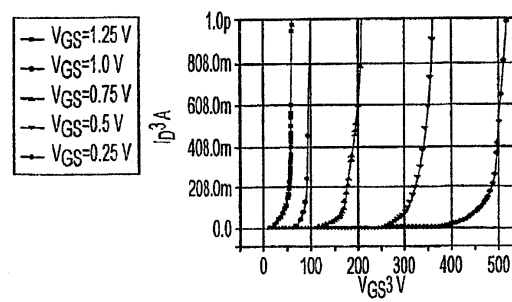
도면18b



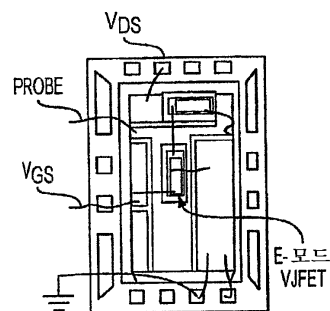
도면18c



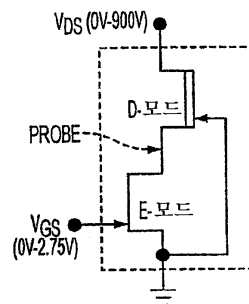
도면18d



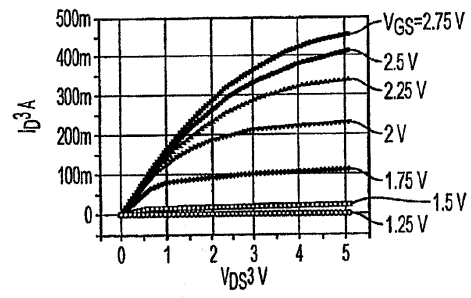
도면19a



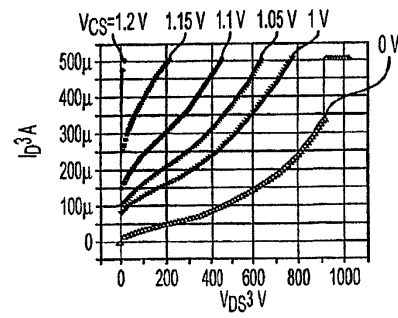
도면19b



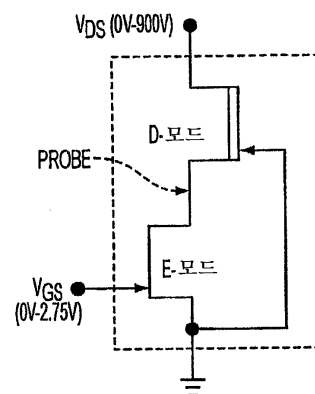
도면19c



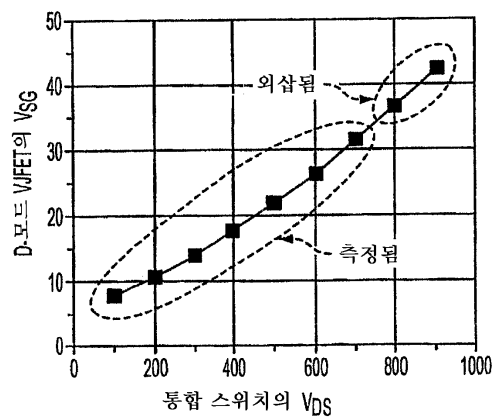
도면19d



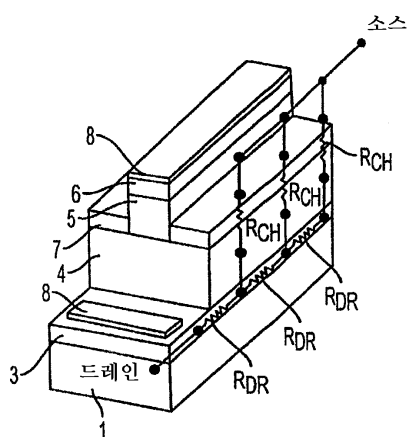
도면20a



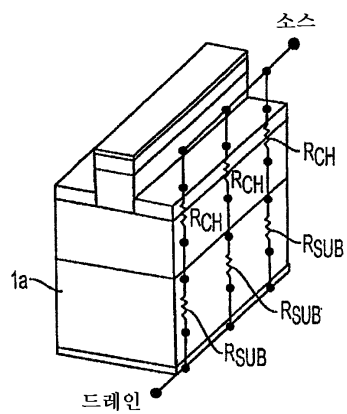
도면20b



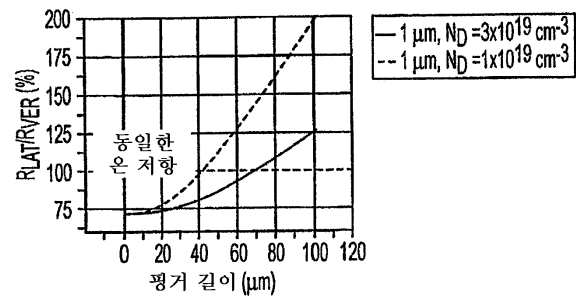
도면21a



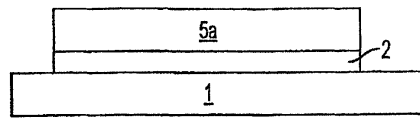
도면21b



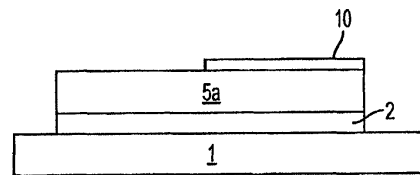
도면21c



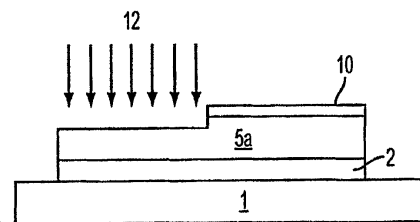
도면22a



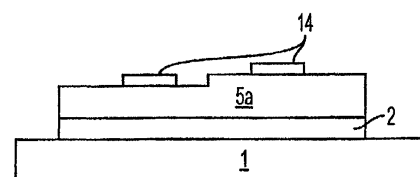
도면22b



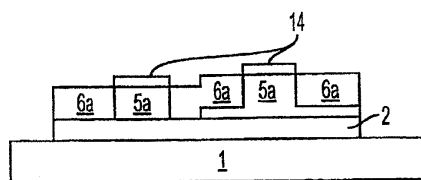
도면22c



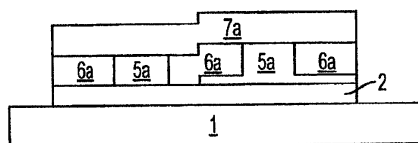
도면22d



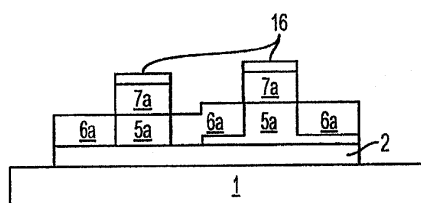
도면22e



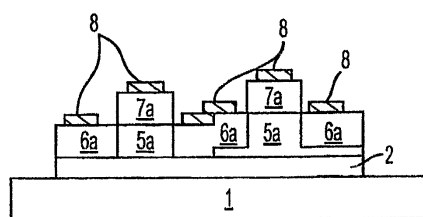
도면22f



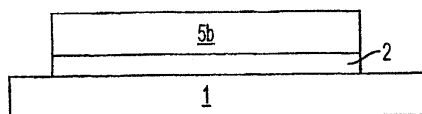
도면22g



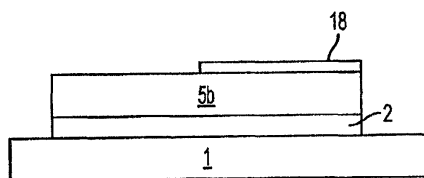
도면22h



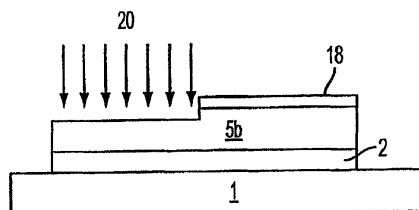
도면23a



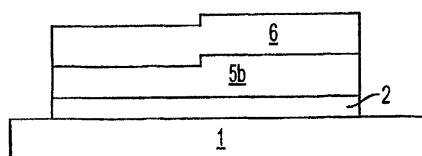
도면23b



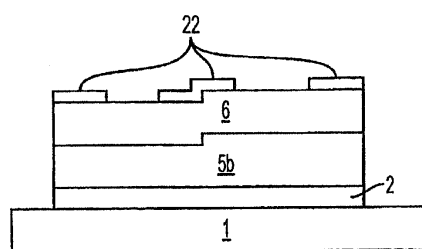
도면23c



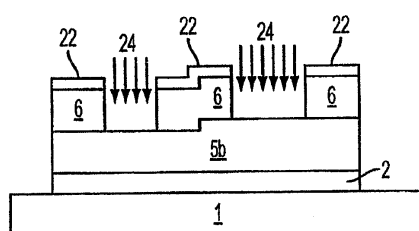
도면23d



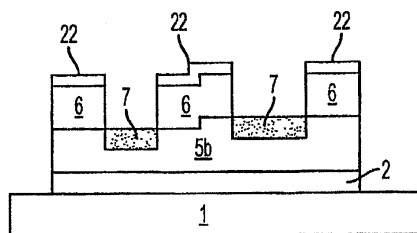
도면23e



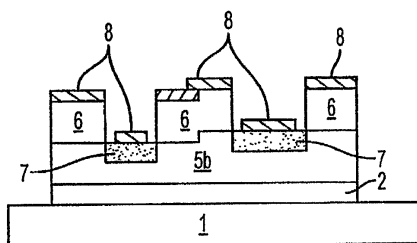
도면23f



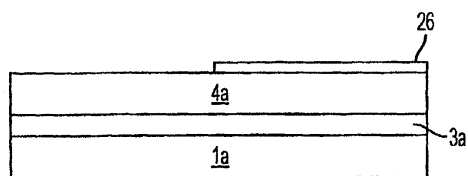
도면23g



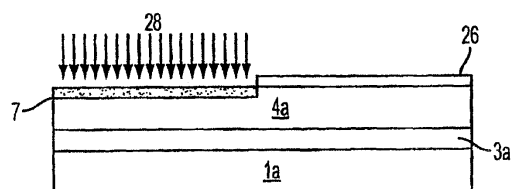
도면23h



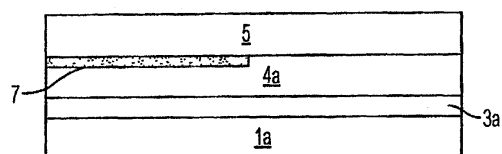
도면24a



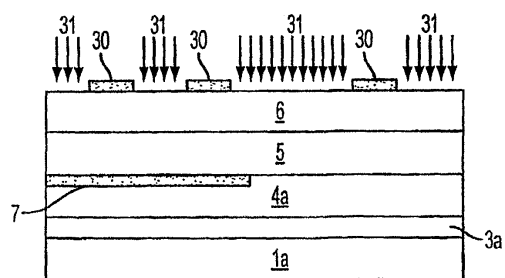
도면24b



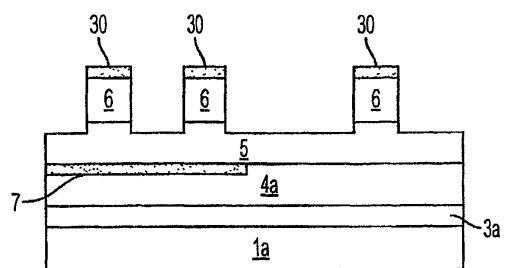
도면24c



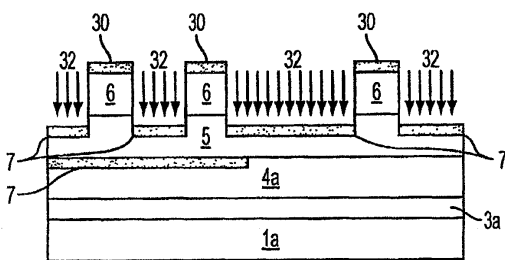
도면24d



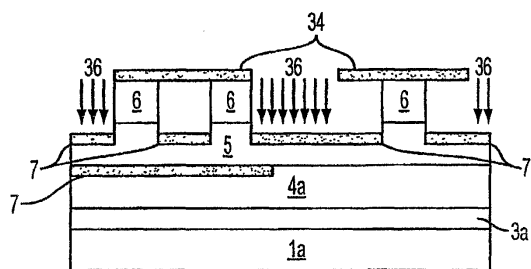
도면24e



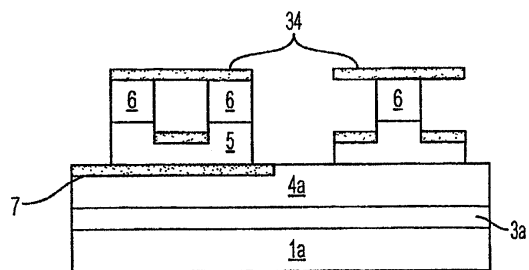
도면24f



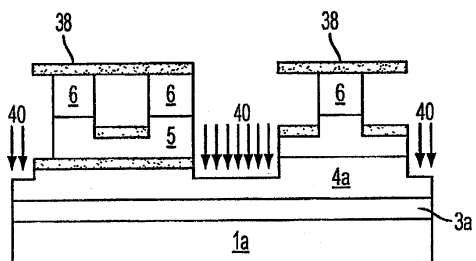
도면24g



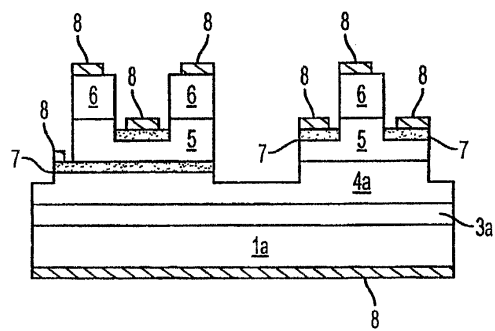
도면24h



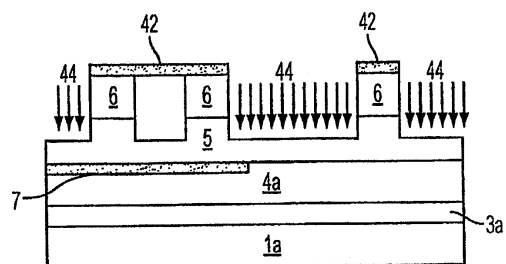
도면24i



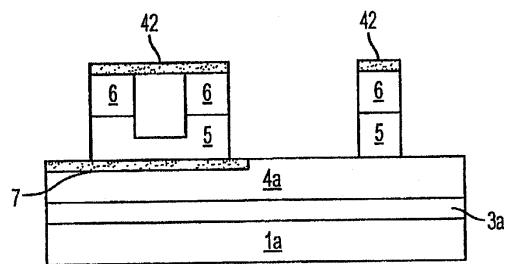
도면24j



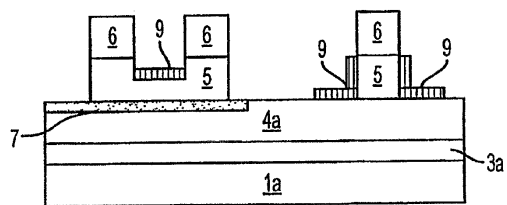
도면25a



도면25b



도면25c



도면25d

