



(12) 发明专利

(10) 授权公告号 CN 112420713 B

(45) 授权公告日 2025. 04. 29

(21) 申请号 202010644361.5

(22) 申请日 2020.07.07

(65) 同一申请的已公布的文献号
申请公布号 CN 112420713 A

(43) 申请公布日 2021.02.26

(30) 优先权数据
10-2019-0101591 2019.08.20 KR

(73) 专利权人 三星电子株式会社
地址 韩国京畿道水原市

(72) 发明人 朴株院 李雄燮 郑义完 千志成

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 刘灿强 韩芳

(51) Int.Cl.

H10B 41/35 (2023.01)

H10B 41/41 (2023.01)

H10B 41/42 (2023.01)

H10B 41/27 (2023.01)

H10B 43/35 (2023.01)

H10B 43/40 (2023.01)

H10B 43/27 (2023.01)

G11C 16/04 (2006.01)

(56) 对比文件

CN 110114881 A, 2019.08.09

CN 108377660 A, 2018.08.07

审查员 袁芳

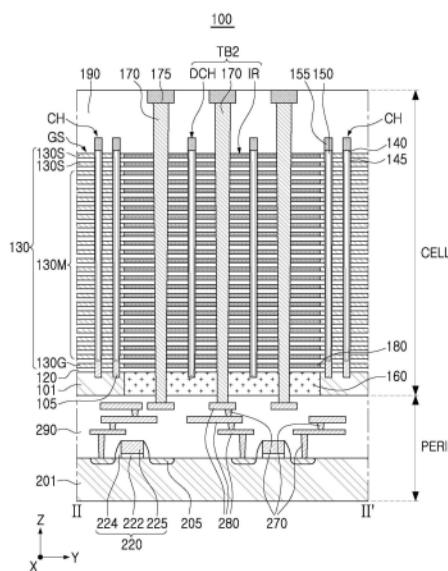
权利要求书3页 说明书16页 附图26页

(54) 发明名称

半导体装置

(57) 摘要

提供了一种半导体装置。所述半导体装置包括：外围电路区域，位于第一基底上并且包括电路器件；存储器单元区域，位于覆盖在第一基底上的第二基底上，其中，存储器单元区域包括在与第二基底的上表面垂直的第一方向上彼此间隔地堆叠的栅电极；以及沟道结构，在第二基底上竖直地延伸并且穿透栅电极。沟道结构可以包括沟道层。半导体装置包括具有贯通接触插塞的贯通布线区域，贯通接触插塞在第一方向上延伸并且使存储器单元区域和外围电路区域彼此电连接，其中，贯通布线区域包括围绕贯通接触插塞的绝缘区域。贯通布线区域还包括遍及贯通布线区域规则地布置并且包括沟道层的虚设沟道结构。



1. 一种半导体装置,所述半导体装置包括:
 - 外围电路区域,位于第一基底上并且包括电路器件;
 - 存储器单元区域,位于覆盖在所述第一基底上的第二基底上,其中,所述存储器单元区域包括在与所述第二基底的上表面垂直的第一方向上彼此间隔开的栅电极,其中,所述存储器单元区域包括穿透所述栅电极且竖直地延伸到所述第二基底的沟道结构,其中,所述沟道结构包括沟道层;以及
 - 贯通布线区域,使所述存储器单元区域和所述外围电路区域电连接,其中,所述贯通布线区域包括:
 - 贯通接触插塞,在所述第一方向上延伸以穿透所述存储器单元区域,其中,所述贯通接触插塞使所述存储器单元区域和所述电路器件电连接;
 - 绝缘区域,围绕所述贯通接触插塞,其中,所述绝缘区域包括交替地堆叠的第一绝缘层和第二绝缘层;以及
 - 虚设沟道结构,穿透所述第一绝缘层和所述第二绝缘层,其中,所述虚设沟道结构包括所述沟道层,其中,所述虚设沟道结构按行和列布置,使得至少一个虚设沟道结构定位在彼此相邻的贯通接触插塞之间。
2. 根据权利要求1所述的半导体装置,其中,在所述贯通布线区域中,所述贯通接触插塞的数量等于所述虚设沟道结构的数量。
3. 根据权利要求1所述的半导体装置,其中,所述虚设沟道结构中的至少一个包括与所述沟道结构的结构对应的结构。
4. 根据权利要求3所述的半导体装置,其中,所述沟道结构和所述虚设沟道结构中的每个包括与所述栅电极接触的栅极介电层、位于所述栅极介电层上的沟道层以及位于所述沟道层上的沟道绝缘层。
5. 根据权利要求1所述的半导体装置,其中,所述虚设沟道结构中的每个具有在70nm至130nm之间的最大直径,其中,所述贯通接触插塞中的每个具有在250nm至350nm之间的最大直径。
6. 根据权利要求1所述的半导体装置,其中,所述沟道结构中的每个包括在所述第一方向上堆叠的第一沟道结构和第二沟道结构,并且
 - 其中,所述虚设沟道结构中的每个包括在所述第一方向上堆叠的第一虚设沟道结构和第二虚设沟道结构。
7. 根据权利要求6所述的半导体装置,其中,所述第一虚设沟道结构的至少一部分和所述第二虚设沟道结构的至少一部分在所述第一方向上彼此间隔开并且彼此断开。
8. 根据权利要求6所述的半导体装置,其中,所述第一虚设沟道结构的至少一部分和所述第二虚设沟道结构的至少一部分在与所述第一方向垂直的第二方向上彼此偏移。
9. 根据权利要求6所述的半导体装置,其中,所述第一虚设沟道结构中的至少一个包括与所述第一沟道结构的结构不同的结构。
10. 根据权利要求1所述的半导体装置,其中,所述存储器单元区域还包括穿透所述栅电极并且在与所述第一方向垂直的第二方向上延伸的分离区域,其中,所述分离区域与所述贯通布线区域间隔开。
11. 根据权利要求10所述的半导体装置,其中,所述贯通布线区域在两个相邻的分离区

域之间居中。

12. 根据权利要求1所述的半导体装置,其中,所述存储器单元区域还包括与所述栅电极交替地布置的层间绝缘层,并且

其中,所述第一绝缘层与所述层间绝缘层处于同一高度水平,所述第二绝缘层与所述栅电极处于同一高度水平。

13. 一种半导体装置,所述半导体装置包括:

外围电路区域,设置在第一基底上并且包括电路器件;

存储器单元区域,设置在覆盖在所述第一基底上的第二基底上,其中,所述存储器单元区域在所述第二基底上方包括堆叠结构,所述堆叠结构包括间隔开的栅电极,其中,所述存储器单元区域包括竖直地延伸到所述第二基底并且穿透所述栅电极的沟道结构,其中,所述沟道结构包括沟道层;以及

贯通布线区域,包括竖直地延伸并且使所述存储器单元区域和所述外围电路区域彼此电连接的贯通接触插塞,

其中,所述贯通布线区域包括围绕所述贯通接触插塞的绝缘区域,并且

其中,所述贯通布线区域还包括遍及所述贯通布线区域规则地布置并且包括所述沟道层的虚设沟道结构,

其中,所述虚设沟道结构的至少一部分位于所述贯通接触插塞中。

14. 根据权利要求13所述的半导体装置,其中,所述贯通接触插塞中的所述虚设沟道结构具有与所述沟道结构的结构不同的结构。

15. 根据权利要求14所述的半导体装置,其中,所述沟道结构中的每个包括与所述栅电极接触的栅极介电层、位于所述栅极介电层上的所述沟道层以及位于所述沟道层上的沟道绝缘层,并且

其中,所述贯通接触插塞中的每个虚设沟道结构包括所述沟道层。

16. 根据权利要求13所述的半导体装置,其中,所述虚设沟道结构的部分位于在至少一个方向上彼此相邻的相对应的贯通接触插塞之间。

17. 一种半导体装置,所述半导体装置包括:

第一基底;

电路器件,位于所述第一基底上;

第二基底,位于所述电路器件上;

栅电极,在第一方向上彼此间隔开;

沟道结构,穿透所述栅电极并且从所述第二基底竖直地延伸,其中,所述沟道结构包括沟道层;

分离区域,在与所述第一方向垂直的第二方向上延伸,其中,所述分离区域延伸穿过所述栅电极并且彼此间隔开且彼此平行;以及

贯通布线区域,位于在相邻的分离区域之间并且与所述相邻的分离区域间隔开,其中,所述贯通布线区域包括:贯通接触插塞,使所述电路器件和所述栅电极彼此电连接,或者使所述电路器件和所述沟道结构彼此电连接;绝缘区域,围绕所述贯通接触插塞;以及虚设沟道结构,包括所述沟道层并且以与所述贯通接触插塞的数量至少相同的数量设置,

其中,所述虚设沟道结构与所述栅电极间隔开,并且穿透所述绝缘区域。

18. 根据权利要求17所述的半导体装置,其中,所述贯通接触插塞和所述虚设沟道结构以彼此相同的图案布置。

19. 根据权利要求18所述的半导体装置,其中,所述虚设沟道结构与所述贯通接触插塞叠置。

半导体装置

[0001] 本申请要求于2019年8月20日在韩国知识产权局提交的第10-2019-0101591号韩国专利申请的权益,该韩国专利申请的全部公开出于所有目的通过引用包含于此。

技术领域

[0002] 本发明构思涉及半导体装置。

背景技术

[0003] 半导体装置正在变得越来越小,并且需要越来越大的容量来执行诸如数据处理的操作。因此,期望提高构成这种半导体装置的半导体元件的集成度。一种用于提高半导体装置的集成度的建议方法是并入垂直晶体管结构来代替相关技术的平面晶体管结构。

发明内容

[0004] 本公开的多个方面提供了具有改善的可靠性的半导体装置。

[0005] 根据本发明构思的一方面,一种半导体装置包括:外围电路区域,位于第一基底上并且包括电路器件;存储器单元区域,位于布置在第一基底上方的第二基底上,其中,存储器单元区域包括在与第二基底的上表面垂直的第一方向上彼此间隔开的栅电极,其中,存储器单元区域包括穿透栅电极并且在第二基底上竖直地延伸的沟道结构,其中,沟道结构包括沟道层;以及贯通布线区域,使存储器单元区域和外围电路区域电连接。贯通布线区域包括:贯通接触插塞,在第一方向上延伸并且穿透通过存储器单元区域,并且使存储器单元区域和电路器件电连接;绝缘区域,围绕贯通接触插塞,其中,绝缘区域包括与第二基底平行的第一绝缘层以及交替地堆叠在第一绝缘层上的第二绝缘层和第三绝缘层;以及虚设沟道结构,穿透第二绝缘层和第三绝缘层并且包括沟道层。虚设沟道结构按行和列布置,使得至少一个虚设沟道结构位于彼此相邻的贯通接触插塞之间。

[0006] 根据本发明构思的一方面,一种半导体装置包括:外围电路区域,位于第一基底上并且包括电路器件;存储器单元区域,位于布置在第一基底上方的第二基底上,存储器单元区域包括在第二基底上方具有间隔开的栅电极的堆叠结构,存储器单元区域包括竖直地延伸到第二基底并且穿透通过栅电极的沟道结构。沟道结构可以包括沟道层。半导体装置可以包括贯通布线区域,贯通布线区域包括在第一方向上延伸并且将存储器单元区域和外围电路区域彼此电连接的贯通接触插塞,其中,贯通布线区域包括围绕贯通接触插塞的绝缘区域。贯通布线区域还包括遍及贯通布线区域规则地布置并且包括沟道层的虚设沟道结构。

[0007] 根据本发明构思的一些方面,一种半导体装置包括:第一基底;电路器件,位于第一基底上;第二基底,位于电路器件上;栅电极,在与第二基底的上表面垂直的第一方向上彼此间隔开;沟道结构,穿透通过栅电极并且在第二基底上竖直地延伸。沟道结构可以包括沟道层。半导体装置可以包括在与第一方向垂直的第二方向上延伸并且穿透栅电极的分离区域,其中,分离区域彼此间隔开并且彼此平行。半导体装置可以包括定位在相邻的分离区

域之间并且与相邻的分离区域间隔开的贯通布线区域,其中,贯通布线区域包括使电路器件和栅电极彼此电连接的贯通接触插塞、围绕贯通接触插塞的绝缘区域以及包括以与贯通接触插塞的数量至少相同的数量设置的沟道层的虚设沟道结构。

附图说明

[0008] 通过以下结合附图的详细描述,将更清楚地理解本发明构思的以上和其它的方面、特征和优点,在附图中:

[0009] 图1是根据一些示例实施例的半导体装置的示意性框图;

[0010] 图2是根据一些示例实施例的半导体装置的单元阵列的等效电路图;

[0011] 图3是示出根据一些示例实施例的半导体装置的布置的示意性布局图;

[0012] 图4是根据一些示例实施例的半导体装置的示意性平面图;

[0013] 图5A和图5B是根据一些示例实施例的半导体装置的示意性剖视图;

[0014] 图6是示出根据一些示例实施例的半导体装置的一部分的示意性放大图;

[0015] 图7A至图7C是根据一些示例实施例的半导体装置的平面图;

[0016] 图8和图9是根据一些示例实施例的半导体装置的示意性平面图和剖视图;

[0017] 图10A和图10B是根据一些示例实施例的半导体装置的局部放大图;

[0018] 图11是根据一些示例实施例的半导体装置的示意性剖视图;

[0019] 图12A至图12C是根据一些示例实施例的半导体装置的示意性剖视图;

[0020] 图13A至图13E是示出根据一些示例实施例的制造半导体装置的方法的示意性剖视图;以及

[0021] 图14A至图14F是示出根据一些示例实施例的制造半导体装置的方法的示意性剖视图。

具体实施方式

[0022] 在下文中,将参照附图描述本发明构思的一些示例实施例。

[0023] 图1是根据一些示例实施例的半导体装置的示意性框图。

[0024] 参照图1,半导体装置10可以包括存储器单元阵列(或简称为“单元阵列”)20和外围电路30。外围电路30可以包括行解码器32、页缓冲器34、输入/输出(I/O)缓冲器35、控制逻辑36和电压生成器37。

[0025] 存储器单元阵列20可以包括多个存储器块,并且存储器块中的每个可以包括多个存储器单元。多个存储器单元可以通过串选择线SSL、一条或更多条字线WL和地选择线GSL连接到行解码器32,并且可以通过一条或更多条位线BL连接到页缓冲器34。在一些示例实施例中,多个存储器单元可以按行和列布置。在一些示例实施例中,布置在同一行中的多个存储器单元可以连接到同一条字线WL,布置在同一列中的多个存储器单元可以连接到同一条位线BL。

[0026] 行解码器32可以从控制逻辑36接收输入地址ADDR,并且可以对输入地址ADDR进行解码以产生并传输字线WL的驱动信号。行解码器32可以响应于控制逻辑36的控制而向被选择的字线WL和未被选择的字线WL提供从电压生成器37产生的相应的字线电压。

[0027] 页缓冲器34可以通过位线BL连接到存储器单元阵列20,以读取存储在存储器单元

中的信息。根据操作模式,页缓冲器34可以临时存储将要存储在存储器单元中的数据或者可以读出存储在存储器单元中的数据。页缓冲器34可以包括列解码器和读出放大器。列解码器可以响应于从控制逻辑36接收的信号选择性地激活存储器单元阵列20的位线BL,读出放大器可以在读取操作期间读出由列解码器选择的位线BL的电压,以读取存储在被选择的存储器单元中的数据。

[0028] 输入/输出缓冲器35可以在编程操作期间接收数据DATA以将数据传输到页缓冲器34,并且可以在读取操作期间向外部输出从页缓冲器34接收的数据。输入/输出缓冲器35可以将输入地址或命令传输到控制逻辑36。

[0029] 控制逻辑36可以控制行解码器32和页缓冲器34的操作。控制逻辑36可以接收从半导体装置10外部的源传输的一个或多个控制信号和外部电压,并且可以响应于所接收的一个或多个控制信号而操作。控制逻辑36可以响应于一个或多个控制信号来控制半导体装置10的读取、写入和/或擦除操作。

[0030] 电压生成器37可以产生内部操作所需的电压,例如,编程电压、读取电压、擦除电压等。这些电压可以从外部电压产生或通过使用外部电压产生。由电压生成器37产生的电压可以通过行解码器32传输到存储器单元阵列20。

[0031] 图2是根据示例实施例的半导体装置的单元阵列的等效电路图。

[0032] 参照图2,存储器单元阵列20可以包括多个存储器单元串S。每个存储器单元串S可以包括彼此串联连接的存储器单元MC、处于一系列存储器单元MC的一端的地选择晶体管GST以及处于一系列存储器单元MC的另一端的串选择晶体管SST1和SST2。多个存储器单元串S中的两个或多个可以并联连接到相应的位线BL0至BL2。多个存储器单元串S可以公共地连接到共源极线CSL。例如,多个存储器单元串S可以在多条位线BL0至BL2与一条共源极线CSL之间。在一些示例实施例中,在共源极线CSL的情况下,多条共源极线可以二维地布置。

[0033] 彼此串联连接的存储器单元MC可以由用于选择存储器单元MC的字线WL0至WLn控制。存储器单元MC中的每个可以包括数据存储元件。存储器单元MC的距共源极线CSL的距离基本上相同的栅电极可以公共地连接到字线WL0至WLn中的一条以处于等电位状态。可选地,尽管存储器单元MC的栅电极可以距共源极线CSL基本上相同的距离,但是可以独立地控制不同行或列中的栅电极。

[0034] 地选择晶体管GST可以由地选择线GSL控制,并且可以连接到共源极线CSL。串选择晶体管SST1和SST2可以由串选择线SSL1_1、SSL1_2、SSL1_3、SSL2_1、SSL2_2和SSL2_3控制,并且可以连接到位线BL0至BL2。图2示出了一个地选择晶体管GST和两个串选择晶体管SST1和SST2分别连接到彼此串联连接的多个存储器单元MC的结构,但是也可以具有一个串选择晶体管SST1、SST2分别连接到彼此串联连接的多个存储器单元MC或者多个地选择晶体管GST连接到彼此串联连接的多个存储器单元MC的结构。一条或更多条虚设线DWL或缓冲器线可以在字线WL0至WLn之中的最上面的字线WLn与串选择线SSL1_1、SSL1_2、SSL1_3、SSL2_1、SSL2_2和SSL2_3之间。在一些示例实施例中,一条或更多条虚设线DWL也可以在最下面的字线WL0与地选择线GSL之间。

[0035] 在一些实施例中,当通过串选择线SSL1_1、SSL1_2、SSL1_3、SSL2_1、SSL2_2和SSL2_3向串选择晶体管SST1和SST2施加信号时,通过位线BL0至BL2施加的信号被传输到彼

此串联连接的存储器单元MC,因此,可以执行数据读取和写入操作。另外,通过经由基底施加预定擦除电压,可以执行擦除写入到存储器单元MC的数据的擦除操作。在一些示例实施例中,存储器单元阵列20可以包括与位线BL0至BL2电隔离的至少一个虚设存储器单元串。

[0036] 图3是示出根据一些示例实施例的半导体装置的布置的示意性布局图。

[0037] 参照图3,半导体装置10A可以包括在垂直方向上堆叠的第一区域R1和第二区域R2。第一区域R1可以包括图1的外围电路30,第二区域R2可以包括存储器单元阵列20。

[0038] 第一区域R1可以包括一个或更多个行解码器DEC、一个或更多个页缓冲器PB以及其它外围电路PERI。第二区域R2可以包括存储器单元阵列MCA1和MCA2以及第一贯通布线区域TB1和第二贯通布线区域TB2。

[0039] 在第一区域R1中,行解码器DEC可以对应于上面参照图1描述的行解码器32,页缓冲器PB可以对应于与页缓冲器34对应的区域。其它外围电路PERI可以包括图1的控制逻辑36和电压生成器37,例如可以包括锁存电路、高速缓存电路和/或读出放大器。第一区域R1还可以包括单独的垫区域。例如,垫区域可以是包括图1的输入/输出缓冲器35的区域,并且可以包括静电放电(ESD)器件或数据输入/输出电路。

[0040] 第一区域R1中的各种电路区域DEC、PB和PERI的至少一部分可以在第二区域R2的存储器单元阵列MCA1和MCA2下方。例如,页缓冲器PB可以布置在存储器单元阵列MCA1和MCA2下方,使得存储器单元阵列MCA1和MCA2与页缓冲器PB叠置。在一些实施例中,可以对包括在第一区域R1中的电路及所述电路的布置进行各种改变。因此,也可以对通过存储器单元阵列MCA1和MCA2叠置的电路进行各种改变。

[0041] 在第二区域R2中,存储器单元阵列MCA1和MCA2可以并排地布置,在一些实施例中可以彼此间隔开。在一些实施例中,可以对第二区域R2中的存储器单元阵列MCA1和MCA2的数量和布置进行各种改变。例如,可以连续且重复地设置图3中所示的示例实施例的存储器单元阵列MCA1和MCA2。

[0042] 第一贯通布线区域TB1和第二贯通布线区域TB2可以是包括穿透通过第二区域R2并且连接到第一区域R1的布线结构的区域。第一贯通布线区域TB1可以布置在存储器单元阵列MCA1和MCA2的第一侧上,并且例如可以包括电连接到第一区域R1的行解码器DEC的诸如接触插塞等的布线结构。第二贯通布线区域TB2可以以预定间隔位于存储器单元阵列MCA1和MCA2中,并且例如可以包括电连接到第一区域R1的页缓冲器PB的布线结构。第一贯通布线区域TB1的数量可以比第二贯通布线区域TB2的数量大,在各种实施例中可以对第一贯通布线区域TB1和第二贯通布线区域TB2的形状、数量和位置进行各种改变。

[0043] 图4是根据一些示例实施例的半导体装置的示意性平面图。

[0044] 图5A和图5B是根据一些示例实施例的半导体装置的示意性剖视图。图5A和图5B分别示出了沿图4的线I-I'和线II-II'截取的剖面。

[0045] 图6是根据一些示例实施例的半导体装置的示意性局部放大图,并且是示出图4的区域“C”的放大图。

[0046] 参照图4至图6,半导体装置100可以包括存储器单元区域CELL和外围电路区域PERI。存储器单元区域CELL可以在外围电路区域PERI上。在一些示例实施例中,存储器单元区域CELL可以在外围电路区域PERI下方。

[0047] 存储器单元区域CELL可以包括具有第一区域A和第二区域B的基底101、堆叠在基

底101上的栅电极130的堆叠结构GS、在第一方向(“X”方向)上延伸并且在第三方向(“Z”方向)上穿透到栅电极130的堆叠结构GS中的第一分离区域MS1和第二分离区域MS2、穿透通过堆叠结构GS的部分的上分离区域SS、穿透通过堆叠结构GS的沟道结构CH以及穿透通过堆叠结构GS和基底101并且连接到外围电路区域PERI的第一贯通布线区域TB1和第二贯通布线区域TB2。存储器单元区域CELL还可以包括在基底101上与栅电极130交替地堆叠的层间绝缘层120、布线175、和单元区域绝缘层190。

[0048] 基底101的第一区域A是在其中栅电极130竖直地堆叠并且布置有沟道结构CH的区域,并且可以是与图1的存储器单元阵列20和图3的存储器单元阵列MCA1和MCA2对应的区域。第二区域B是栅电极130在其中以不同的长度延伸的区域,并且可以是包括图1的存储器单元阵列20和外围电路30之间的电连接的区域。第二区域B可以在至少一个方向(例如,X方向)上位于第一区域A的至少一端上。

[0049] 基底101可以具有在X方向上和在第一方向(“Y”方向)上延伸的上表面。基底101可以包括诸如IV族半导体、III-V族化合物半导体或II-VI族化合物半导体的半导体材料。例如,IV族半导体可以包括硅、锗或硅-锗。基底101可以被设置为体晶圆或外延层。

[0050] 栅电极130可以堆叠为在基底101上沿竖直方向间隔开以形成堆叠结构GS。如图5A和图5B中最佳可见,堆叠结构GS可以包括形成图2的地选择晶体管GST的栅极的下栅电极130G、形成多个存储器单元MC的多个存储器栅电极130M以及形成串选择晶体管SST1和SST2的栅极的上栅电极130S。可以根据半导体装置100的容量确定构成存储器单元MC的存储器栅电极130M的数量。根据一些示例实施例,串选择晶体管SST1和SST2的上栅电极130S以及地选择晶体管GST的下栅电极130G的数量可以分别为一个、或者两个或更多个,并且所述上栅电极130S和所述下栅电极130G可以具有与存储器单元MC的存储器栅电极130M的结构相同的结构或不同的结构。栅电极130的部分(例如,与上栅电极130S或下栅电极130G相邻的存储器栅电极130M)可以是虚设栅电极。

[0051] 栅电极130可以堆叠为在第一区域A上彼此竖直地间隔开,并且可以从第一区域A以不同的长度延伸到第二区域B以形成阶梯状台阶。栅电极130可以在X方向上形成与图5A中所示的牺牲绝缘层180的台阶相同的台阶,并且也可以在Y方向上形成台阶。通过台阶部分,因为第一栅电极130可以比第一栅电极130上方的第二栅电极130延伸得更远或者距基底101的上表面的距离更远,所以栅电极130可以提供向上暴露的垫区域。栅电极130可以连接到垫区域中的分离的接触插塞,以连接到上部的布线175。除了栅电极130之中的上栅电极130S和下栅电极130G之外,存储器栅电极130M的至少部分可以形成堆叠件。例如,预定数量的存储器栅电极130M(例如,四个存储器栅电极130M)可以形成单个堆叠件,并且可以在堆叠件之间形成台阶。构成单个堆叠件的四个存储器栅电极130M可以设置成具有在Y方向上的台阶。

[0052] 如图4中所示,栅电极130可以通过在X方向上延伸的第一分离区域MS1在Y方向上彼此分离。一对第一分离区域MS1之间的栅电极130可以形成单个存储器块,但是存储器块的范围不限于此。栅电极130的部分(例如,存储器栅电极130M中的每个)可以在一个存储器块中形成单层。

[0053] 栅电极130可以包括诸如钨(W)的金属材料。根据一些示例实施例,栅电极130可以包括多晶硅或金属硅化物材料。在一些示例实施例中,栅电极130还可以包括扩散阻挡件,

例如,扩散阻挡件可以包括氮化钨(WN)、氮化钽(TaN)、氮化钛(TiN)或它们的组合。

[0054] 层间绝缘层120可以在栅电极130之间。与栅电极130一样,层间绝缘层120可以在与基底101的上表面垂直的方向上彼此间隔开并且在X方向上延伸。层间绝缘层120可以包括诸如氧化硅或氮化硅的绝缘材料。

[0055] 第一分离区域MS1和第二分离区域MS2可以在X方向上延伸,同时在第一区域A中和第二区域B中沿Z方向穿透到栅电极130中。第一分离区域MS1和第二分离区域MS2可以彼此平行。第一分离区域MS1和第二分离区域MS2可以通过穿透堆叠在基底101上的全部栅电极130而连接到基底101。第一分离区域MS1可以延伸跨过第一区域A并跨过第二区域B,第二分离区域MS2可以仅部分地延伸跨过第一区域A和/或第二区域B。第一分离区域MS1和第二分离区域MS2可以不与第一贯通布线区域TB1和第二贯通布线区域TB2叠置,并且可以与第一贯通布线区域TB1和第二贯通布线区域TB2间隔开。然而,在一些示例实施例中,第一分离区域MS1和第二分离区域MS2的布置顺序、数量等不限于图4中所示的布置顺序、数量等。

[0056] 如图5A中所示,隔离绝缘层107和通过隔离绝缘层107与栅电极130绝缘的导电层110可以在第一分离区域MS1和第二分离区域MS2的至少部分上。导电层110可以具有其宽度由于相对高的纵横比而朝向基底101减小的形状,但是本公开不限于此。例如,导电层110可以具有与基底101的上表面垂直的侧表面。在一些示例实施例中,杂质区域可以与导电层110相接触地设置在基底101上。

[0057] 在一些示例实施例中,导电层110可以在第一分离区域MS1和第二分离区域MS2两者上。如此,第一分离区域MS1的导电层110可以与参照图2描述的共源极线CSL对应,第二分离区域MS2的导电层110可以与虚设共源极线对应。因此,形成第二分离区域MS2的导电层110可以处于导电层110不连接到驱动半导体装置100的元件和/或电信号可以不施加到导电层110的浮置状态。在一些示例实施例中,可以省略导电层110。如此,在一些示例实施例中,共源极线CSL可以形成为基底101中的掺杂层或基底101上的导电层,第一分离区域MS1和第二分离区域MS2可以仅填充有绝缘材料。

[0058] 上分离区域SS可以在第一分离区域MS1与第二分离区域MS2之间沿X方向延伸。在半导体装置100的不存在第一贯通布线区域TB1和第二贯通布线区域TB2的区域中,上分离区域SS可以与第二分离区域MS2的一部分平行。上分离区域SS可以处于第二区域B的一部分中和第一区域A中以穿透通过栅电极130的包括栅电极130之中的最上面的上栅电极130S的部分。上分离区域SS可以使包括上栅电极130S的总共三个栅电极130沿Y方向彼此分离。然而,本公开不限于此,在示例实施例中,被上分离区域SS分离的栅电极130的数量可以不同地变化。被上分离区域SS分离的上栅电极130S可以形成不同的串选择线SSL1_1、SSL1_2、SSL1_3、SSL2_1、SSL2_2和SSL2_3(见图2)。上分离区域SS可以包括绝缘层。

[0059] 在一些示例实施例中,半导体装置100还可以包括使栅电极130之中的下栅电极130G分离的绝缘层。例如,在第二分离区域MS2在X方向上线性地彼此间隔开的区域中,绝缘层可以在第二分离区域MS2之间以使下栅电极130G彼此分离。

[0060] 沟道结构CH中的每个可以形成一个存储器单元串S(见图2),并且可以在第一区域A上按行和列彼此间隔开。沟道结构CH可以形成网格,或者可以在一个方向上呈Z字形形式。沟道结构CH可以具有柱状形状,并且可以根据纵横比而具有倾斜侧。在一些示例实施例中,第一区域A的与第二区域B相邻的这端上的沟道结构CH以及与第一贯通布线区域TB1和第二

贯通布线区域TB2相邻的沟道结构CH可以是基本上不构成存储器单元串的虚设沟道。另外,具有与沟道结构CH的结构相同的结构的垫沟道结构DCH'可以在栅电极130的垫区域中。垫沟道结构DCH'可以具有与沟道结构CH的尺寸相同的尺寸或比沟道结构CH的尺寸大的尺寸。例如,每个垫区域可以设置四个垫沟道结构DCH',但是本公开不限于此。

[0061] 沟道层140可以设置在沟道结构CH中。在沟道结构CH中,沟道层140可以形成为具有围绕其中的沟道绝缘层150的环形形状,但是根据一些示例实施例,沟道层140可以具有圆柱形或棱柱形形状而没有沟道绝缘层150。沟道层140的下部分可以连接到外延层105。沟道层140可以包括诸如多晶硅或单晶硅的半导体材料,并且半导体材料可以是未掺杂材料或者包括p型或n型杂质的材料。沟道结构CH可以在第一分离区域MS1或第二分离区域MS2与上分离区域SS之间沿Y方向布置成直线,并且可以根据连接到沟道垫155的上布线结构的布置而分别连接到不同的位线BL0至BL2(见图2)。

[0062] 沟道垫155可以在沟道结构CH中处于沟道层140上。沟道垫155可以覆盖沟道绝缘层150的上表面并且电连接到沟道层140。沟道垫155可以包括例如掺杂的多晶硅。

[0063] 栅极介电层145可以在栅电极130和沟道层140之间。虽然未具体示出,但是栅极介电层145可以包括从沟道层140顺序地堆叠的隧穿层、电荷存储层和阻挡层。隧穿层可以使电荷隧穿到电荷存储层中,并且可以包括例如氧化硅(SiO_2)、氮化硅(Si_3N_4)、氮氧化硅(SiON)或它们的组合。电荷存储层可以是电荷俘获层或浮置栅极导电层。阻挡层可以包括氧化硅(SiO_2)、氮化硅(Si_3N_4)、氮氧化硅(SiON)、高k介电材料或它们的组合。在一些示例实施例中,栅极介电层145的至少部分可以沿着栅电极130在水平方向上延伸。

[0064] 外延层105可以设置在沟道结构CH的下端上以位于基底101上,并且可以在至少一个栅电极130的侧面上。外延层105可以在基底101的凹陷区域中。外延层105的上表面的高度可以比最下面的栅电极130的上表面的高度高,并且可以比最下面的栅电极130上的栅电极130的下表面的高度低,但是本公开不限于此。在一些示例实施例中,可以省略外延层105,并且在这些实施例中,沟道层140可以直接连接到基底101或者可以连接到基底101上的另一导电层。

[0065] 第一贯通布线区域TB1和第二贯通布线区域TB2可以是包括用于将存储器单元区域CELL和外围电路区域PERI彼此电连接的布线结构的区域。第一贯通布线区域TB1和第二贯通布线区域TB2可以包括在Z方向上延伸以穿透到栅电极130的堆叠结构GS和基底101中的贯通接触插塞170、围绕贯通接触插塞170的绝缘区域IR以及穿透通过绝缘区域IR的部分的虚设沟道结构DCH。第一贯通布线区域TB1可以在第二区域B中,例如,可以针对每一个或更多个存储器块设置一个第一贯通布线区域TB1。第二贯通布线区域TB2可以在第一区域A中,并且可以针对每多个存储器块设置一个第二贯通布线区域TB2。然而,在示例实施例中,可以对图4中所示的第一贯通布线区域TB1和第二贯通布线区域TB2的数量、尺寸、布置、形式和形状进行各种改变。

[0066] 第一贯通布线区域TB1和第二贯通布线区域TB2可以与第一分离区域MS1和第二分离区域MS2间隔开。例如,第一贯通布线区域TB1和第二贯通布线区域TB2可以居中地设置在沿Y方向相邻的第一分离区域MS1和第二分离区域MS2之间,从而与相邻的第一分离区域MS1和第二分离区域MS2间隔开。通过这样的布置,可以形成第一贯通布线区域TB1和第二贯通布线区域TB2的绝缘区域IR,这将在下面参照图13C更详细地描述。

[0067] 绝缘区域IR可以是由绝缘材料形成的区域,并且绝缘区域IR中可以不存在栅电极130。绝缘区域IR可以包括可以作为在与基底101相同的水平(高度)处与基底101平行的第一绝缘层的基底绝缘层160,并且可以包括可以作为交替地堆叠在基底101的上表面上的第二绝缘层和第三绝缘层的层间绝缘层120和牺牲绝缘层180。

[0068] 基底绝缘层160可以在从其去除了基底101的一部分的区域中。基底绝缘层160可以被基底101围绕。基底绝缘层160可以具有与基底101的上表面基本上共面的上表面,并且基底绝缘层160的下表面可以与基底101的下表面共面或者可以设置在比基底101的下表面低的水平上。层间绝缘层120可以在与栅电极130形成堆叠结构GS的同时在第一贯通布线区域TB1和第二贯通布线区域TB2中形成绝缘区域IR。牺牲绝缘层180可以定位在与栅电极130相同的水平上并且以其侧面在第一贯通布线区域TB1和第二贯通布线区域TB2的边界处与栅电极130接触的方式定位。

[0069] 形成绝缘区域IR的基底绝缘层160、层间绝缘层120和牺牲绝缘层180可以由绝缘材料形成。例如,基底绝缘层160、层间绝缘层120和牺牲绝缘层180可以均包括氧化硅、氮化硅或氮氧化硅。在一些示例实施例中,即使在基底绝缘层160、层间绝缘层120和牺牲绝缘层180的部分由相同的材料形成的情况下,物理性质也可以根据形成工艺、组成等而变化,因此,它们的边界可以彼此区分开。基底绝缘层160和牺牲绝缘层180可以具有相同或不同的宽度。

[0070] 贯通接触插塞170可以垂直于基底101的上表面延伸,可以穿透通过绝缘区域IR,并且可以使存储器单元区域CELL与外围电路区域PERI的电路器件220电连接。例如,贯通接触插塞170可以使存储器单元区域CELL的栅电极130和沟道结构CH与外围电路区域PERI的电路器件220电连接。然而,用于使存储器单元区域CELL与外围电路区域PERI的电路器件220电连接的布线结构不限于第一贯通布线区域TB1和第二贯通布线区域TB2中的贯通接触插塞170。例如,附加布线结构可以在第二区域B等的外部区域中。贯通接触插塞170的上部分可以连接到布线175,但是也可以连接到根据示例实施例的单独的接触插塞。贯通接触插塞170的下部分可以连接到电路布线280。

[0071] 贯通接触插塞170可以穿透通过绝缘区域IR的牺牲绝缘层180和层间绝缘层120,并且可以穿透通过贯通接触插塞170的底部上的基底绝缘层160。在示例实施例中,布置在一个绝缘区域IR中的贯通接触插塞170的数量、形式和形状可以不同地变化。在一些示例实施例中,贯通接触插塞170可以具有连接多个插塞的形式。根据一些示例实施例,除了贯通接触插塞170之外,布线形式的布线结构还可以设置在绝缘区域IR中。贯通接触插塞170可以包括导电材料。例如,贯通接触插塞170可以包括钨(W)、铜(Cu)、铝(Al)等。

[0072] 虚设沟道结构DCH可以在第一贯通布线区域TB1和第二贯通布线区域TB2中规则地布置在贯通接触插塞170之间。虚设沟道结构DCH的布置在相应的第一贯通布线区域TB1和第二贯通布线区域TB2中不限于特定区域,并且可以遍及第一贯通布线区域TB1和第二贯通布线区域TB2规则地且均匀地布置。如图4中所示,虚设沟道结构DCH可以按行和列布置,使得虚设沟道结构DCH中的至少一个或更多个虚设沟道结构DCH可以定位在两个相邻的贯通接触插塞170之间。更详细地,虚设沟道结构DCH可以在X方向上居中地位于两个相邻的贯通接触插塞170之间,并且在Y方向上居中地位于两个相邻的贯通接触插塞170之间。在这种情况下,可以在不使贯通接触插塞170的电功能劣化的情况下设置虚设沟道结构DCH。

[0073] 在一些示例实施例中,虚设沟道结构DCH可以以与贯通接触插塞170基本上相同的图案布置。虚设沟道结构DCH可以以与贯通接触插塞170相同的密度布置或以比贯通接触插塞170的密度高的密度布置,例如,以每单位面积相同的数量布置。例如,当虚设沟道结构DCH的尺寸相对小时,虚设沟道结构DCH可以以比贯通接触插塞170的密度高的密度布置。虚设沟道结构DCH可以以与沟道结构CH的图案不同的图案布置,并且可以以相对低的密度布置。可选地,虚设沟道结构DCH也可以以与沟道结构CH的图案相同的图案和与沟道结构CH的密度相同的密度布置。在这种情况下,虚设沟道结构DCH可以从沟道结构CH以连续的图案布置。与半导体装置100中的沟道结构CH不同,虚设沟道结构DCH可以不电连接到上布线结构和/或可以不形成存储器单元串S(见图2)。

[0074] 如图6的放大图中所示,贯通接触插塞170可以具有第一最大直径D1,虚设沟道结构DCH可以具有比第一最大直径D1小的第二最大直径D2。在一些实施例中,第一最大直径D1可以在从大约250nm至大约350nm的范围内,并且第二最大直径D2可以在从大约70nm至大约130nm的范围内。第二最大直径D2可以等于或小于沟道结构CH的最大直径,但是本公开不限于此。当虚设沟道结构DCH具有比沟道结构CH的最大直径小的直径时,虚设沟道结构DCH可以与贯通接触插塞170间隔开。贯通接触插塞170可以以第一间距P1布置,虚设沟道结构DCH可以以第二间距P2布置。第二间距P2可以等于第一间距P1,但是本公开不限于此。如在此所使用的,“间距”表示相对于一个构造从中心到中心的长度或从一端到一端的长度。

[0075] 虚设沟道结构DCH的至少部分可以具有与沟道结构CH对应的结构。例如,虚设沟道结构DCH可以在与沟道结构CH的位置对应的位置中包括与沟道结构CH的构造相同的构造。沟道层140可以在虚设沟道结构DCH中,并且除了包括沟道层140之外,虚设沟道结构DCH还可以包括栅极介电层145、沟道绝缘层150和沟道垫155。外延层105可以不存在于虚设沟道结构DCH中。在一些示例实施例中,在沟道结构CH具有不存在外延层105的结构的情况下,虚设沟道结构DCH可以具有与沟道结构CH的结构相同的结构。

[0076] 虚设沟道结构DCH和贯通接触插塞170的布置在第一贯通布线区域TB1和第二贯通布线区域TB2中可以彼此相同或不同。例如,如图4中所示,虚设沟道结构DCH和贯通接触插塞170可以在第一贯通布线区域TB1和第二贯通布线区域TB2中具有不同的图案和密度。由于虚设沟道结构DCH在第一贯通布线区域TB1和第二贯通布线区域TB2中,所以可以在第一区域A中确保沟道结构CH的布置的连续性,并且可以在第二区域B中确保垫沟道结构DCH'的布置的连续性。因此,即使在与第一贯通布线区域TB1和第二贯通布线区域TB2相邻的区域中,沟道结构CH和垫沟道结构DCH'也可以形成为具有均匀的尺寸和形状。

[0077] 布线175可以构造电连接到存储器单元区域CELL中的存储器单元的布线结构。例如,布线175可以电连接到栅电极130或沟道结构CH。在各种实施例中,构成布线结构的布线和接触插塞的数量可以变化。布线175可以包括金属,例如可以包括钨(W)、铜(Cu)、铝(Al)等。

[0078] 单元区域绝缘层190可以覆盖基底101、基底101上的栅电极130、外围区域绝缘层290。单元区域绝缘层190可以由绝缘材料形成。

[0079] 外围电路区域PERI可以包括基体基底201、基体基底201上的电路器件220、电路接触插塞270和电路布线280。

[0080] 基体基底201可以具有在X方向和Y方向上延伸的上表面。在基体基底201中,可以

形成单独的器件隔离层以限定有源区。包括杂质的源区/漏区205可以在有源区的部分中。基体基底201可以包括诸如IV族半导体、III-V族化合物半导体或II-VI族化合物半导体的半导体材料。

[0081] 电路器件220可以包括平面晶体管。电路器件220中的每个可以包括电路栅极介电层222、间隔件层224和电路栅电极225。源区/漏区205可以在基体基底201中设置在电路栅电极225的两侧上。

[0082] 外围区域绝缘层290可以在基体基底201上的电路器件220上。电路接触插塞270可以穿透通过外围区域绝缘层290,并且可以连接到源区/漏区205。电信号可以通过电路接触插塞270施加到电路器件220。在未示出的区域中,电路接触插塞270也可以连接到电路栅电极225。电路布线280可以连接到电路接触插塞270并且可以在多个层中。

[0083] 图7A至图7C是根据示例实施例的半导体装置的平面图。图7A和图7B示出了与图4中的区域“C”对应的放大区域,图7C示出了与图4中的“TB1”对应的区域。

[0084] 参照图7A,在一些示例实施例中,在第二贯通布线区域TB2中,贯通接触插塞170和虚设沟道结构DCH可以按与参照图4和图6描述的示例实施例中的图案不同的图案布置。例如,虚设沟道结构DCH可以在每个贯通接触插塞170的在Y方向上的一侧上,而不是在沿X方向的两个相邻的贯通接触插塞170之间和在沿Y方向的两个相邻的贯通接触插塞170之间居中。如此,在一些示例实施例中,可以对虚设沟道结构DCH布置所按的图案进行各种改变。

[0085] 参照图7B,在一些示例实施例中,与参照图4和图6描述的示例实施例不同,在第二贯通布线区域TB2中,虚设沟道结构DCH可以在一个方向上具有与贯通接触插塞170不同的分离距离。更详细地,第二贯通布线区域TB2可以包括与贯通接触插塞170的分离距离是第一长度L1的虚设沟道结构DCH和与贯通接触插塞170的分离距离是比第一长度L1小的第二长度L2的虚设沟道结构DCH。另外,至少一个虚设沟道结构DCH可以设置为与贯通接触插塞170叠置。在这种情况下,由于首先形成虚设沟道结构DCH,然后形成贯通接触插塞170,所以贯通接触插塞170可以形成为穿透通过虚设沟道结构DCH。在由于图案密度的差异、工艺误差等而发生未对准的情况下,可以在半导体装置100中形成这样的结构。然而,即使在这样的情况下,由于虚设沟道结构DCH和贯通接触插塞170被绝缘区域IR围绕,所以可以避免或减轻电特性的劣化。

[0086] 参照图7C,在第一贯通布线区域TB1中,虚设沟道结构DCH可以以比图4的示例实施例中多的数量设置。例如,虚设沟道结构DCH可以布置在贯通接触插塞170的在Y方向上的外侧上和和在Y方向上的贯通接触插塞170之间,以及布置在沿X方向的两个相邻的贯通接触插塞170之间。虚设沟道结构DCH可以另外与贯通接触插塞170以Z字形形式布置。

[0087] 在图7C中,虚设沟道结构DCH被图示为沿着X方向进一步布置成三行,但是虚设沟道结构DCH的附加行的数量不限于附图中的图示。例如,在一些实施例中,可以省略在Y方向上的贯通接触插塞170之间的这行虚设沟道结构DCH。如此,在示例实施例中,可以对第一贯通布线区域TB1中的虚设沟道结构DCH的布置、形式和图案进行各种改变。

[0088] 图8和图9是根据一些示例实施例的半导体装置的示意性平面图和剖视图。图9示出了沿图8的线III-III'截取的剖面。

[0089] 参照图8和图9,在半导体装置100a中,并且与参照图4至图6描述的示例实施例不同,第一贯通布线区域TB1a和第二贯通布线区域TB2a中的虚设沟道结构DCHa可以分别与贯

通接触插塞170叠置。因此,如图9中所示,虚设沟道结构DCHa可以在贯通接触插塞170中。如此,可以防止因虚设沟道结构DCHa与两个或更多个相邻的贯通接触插塞170接触而在贯通接触插塞170之间发生电短路的缺陷。在一些示例实施例中,与图7B的示例实施例类似,虚设沟道结构DCHa的部分可以不完全在贯通接触插塞170中,而是可以与贯通接触插塞170叠置。

[0090] 在贯通接触插塞170中,虚设沟道结构DCHa可以具有与沟道结构CH对应的结构。例如,除了外延层105之外,虚设沟道结构DCHa可以具有与沟道结构CH相同的结构。在一些示例实施例中,虚设沟道结构DCHa的底部可以比沟道结构CH的底部低或比沟道结构CH的底部高。

[0091] 图10A和图10B是根据一些示例实施例的半导体装置的局部放大图。图10A和图10B是与图9中的区域“D”的区域对应的放大图。

[0092] 参照图10A,在半导体装置100b中,贯通接触插塞170中的虚设沟道结构DCHb可以不包括某些组件,例如,栅极介电层145。因此,虚设沟道结构DCHb可以仅包括沟道层140、沟道绝缘层150和沟道垫155。可以通过在形成用于形成贯通接触插塞170的接触孔时一起去掉栅极介电层145的材料来形成这样的结构。

[0093] 参照图10B,在半导体装置100c中,贯通接触插塞170中的虚设沟道结构DCHc可以不包括某些组件,例如,沟道绝缘层150和沟道垫155。因此,虚设沟道结构DCHc可以仅包括沟道层140和栅极介电层145。可以通过在形成用于形成贯通接触插塞170的接触孔时去除沟道垫155并去除其下方的沟道绝缘层150来形成这样的结构。根据一些示例实施例,虚设沟道结构DCHc可以仅包括沟道层140,沟道层140可以根据接触孔的蚀刻剂和蚀刻条件而改变。

[0094] 图11是根据一些示例实施例的半导体装置的示意性剖视图。图11示出了与图5B对应的剖面。

[0095] 参照图11,在半导体装置100d中,栅电极130的堆叠结构可以包括竖直地堆叠的第一堆叠结构GS1和第二堆叠结构GS2,沟道结构CHd中的每个可以包括竖直地堆叠的第一沟道结构CH1和第二沟道结构CH2,虚设沟道结构DCHd中的每个可以包括竖直地堆叠的第一虚设沟道结构DCH1和第二虚设沟道结构DCH2。可以引入沟道结构CHd和虚设沟道结构DCHd的结构,从而即使当堆叠的栅电极130的数量相对大时,也将沟道结构CHd和虚设沟道结构DCHd形成为在结构上是稳定的。

[0096] 沟道结构CHd可以具有第一堆叠结构GS1的第一沟道结构CH1和第二堆叠结构GS2的第二沟道结构CH2彼此连接的形式,并且可以具有因宽度上的差异而形成的弯曲部分。沟道层140、栅极介电层145和沟道绝缘层150可以在第一沟道结构CH1与第二沟道结构CH2之间彼此连接。沟道垫155可以仅在第二沟道结构CH2的上端上。然而,在一些示例实施例中,第一沟道结构CH1和第二沟道结构CH2中的每个可以包括沟道垫155,如此,第一沟道结构CH1的沟道垫155可以连接到第二沟道结构CH2的沟道层140。与参照图5A和图5B描述的示例实施例不同,沟道结构CHd可以省略外延层105,但是本公开不限于此。

[0097] 虚设沟道结构DCHd可以具有与沟道结构CHd的结构基本上类似的结构。例如,虚设沟道结构DCHd也可以具有第一虚设沟道结构DCH1和第二虚设沟道结构DCH2连接的形式。相对厚的上层间绝缘层125可以在第一堆叠结构GS1的顶部上。然而,在示例实施例中,可以对

层间绝缘层120和上层间绝缘层125的形状进行各种改变。对于至少一些构造,可以应用上面参照图4至图6提供的描述。

[0098] 图12A至图12C是根据一些示例实施例的半导体装置的示意性剖视图。图12A至图12C示出了与图11对应的剖面。

[0099] 参照图12A,在半导体装置100e中,虚设沟道结构DCHe的至少部分可以具有可以因在虚设沟道结构DCHe的形成过程中的工艺误差引起的第一虚设沟道结构DCH1和第二虚设沟道结构DCH2在水平方向(例如,Y方向)上偏移的形式。更详细地,在通过优先形成沟道结构CHd来确定工艺条件的情况下,在基本上不形成存储器单元串的虚设沟道结构DCHe中会形成这样的结构。

[0100] 参照图12B,半导体装置100f可以具有虚设沟道结构DCHf的至少部分(例如,第一虚设沟道结构DCH1和第二虚设沟道结构DCH2)在竖直方向上(例如,在Z方向上)彼此间隔开的形式。第一虚设沟道结构DCH1和第二虚设沟道结构DCH2可以彼此间隔开预定长度L3并且不彼此连接。在示例实施例中长度L3可以不同地改变,在两个或更多个虚设沟道结构DCHf中长度可以彼此不同。

[0101] 下部的第一虚设沟道结构DCH1可以具有与上部的第二虚设沟道结构DCH2的结构不同的结构。更详细地,第一虚设沟道结构DCH1可以具有其中填充有沟道牺牲层185的结构。例如,如果沟道牺牲层185在虚设沟道结构DCHf的制造中没有通过形成第二虚设沟道结构DCH2的沟道孔被去除而是保留,则会形成该结构。

[0102] 参照图12C,在半导体装置100g中,虚设沟道结构DCHg的至少部分可以具有下部的第一虚设沟道结构DCH1的结构和上部的第二虚设沟道结构DCH2的结构不同的结构。与参照图12B描述的示例实施例类似,第一虚设沟道结构DCH1中的至少一个可以具有填充有沟道牺牲层185的结构。然而,与参照图12B描述的示例实施例中不同,即使当第一虚设沟道结构DCH1和第二虚设沟道结构DCH2彼此连接时,第一虚设沟道结构DCH1也可以具有这样的结构。在第一虚设沟道结构DCH1的宽度相对小的情况下,如果沟道牺牲层185在制造虚设沟道结构DCHg中没有通过形成第二虚设沟道结构DCH2的沟道孔被去除,则会形成该结构。

[0103] 图13A至图13E是示出根据一些示例实施例的制造半导体装置的方法的示意性剖视图。在图13A至图13E中,示出了与图5A中所示的区域对应的区域。

[0104] 参照图13A,可以在基体基底201上形成包括电路器件220和下布线结构的外围电路区域PERI,可以在外围电路区域PERI上形成其上设置有存储器单元区域的基底101和基底绝缘层160,然后,可以交替地堆叠牺牲绝缘层180和层间绝缘层120。

[0105] 首先,可以在基体基底201上顺序地形成电路栅极介电层222和电路栅电极225。可以使用原子层沉积(ALD)或化学气相沉积(CVD)形成电路栅极介电层222和电路栅电极225。电路栅极介电层222可以由氧化硅形成,电路栅电极225可以由多晶硅和金属硅化物层中的至少一种形成,但是它们的示例实施例不限于此。接下来,可以在电路栅极介电层222的两个侧壁和电路栅电极225的两个侧壁上形成间隔件层224和源区/漏区205。在一些示例实施例中,间隔件层224也可以由多个层形成。随后,可以通过执行离子注入工艺来形成源区/漏区205。

[0106] 通过形成外围区域绝缘层290的一部分然后执行部分蚀刻和去除,并且填充导电材料,可以形成下布线结构的电路接触插塞270。可以通过例如沉积导电材料然后使导电材

料图案化来形成下布线280。

[0107] 外围区域绝缘层290可以由多个绝缘层形成。可以在形成下布线结构的相应的步骤中部分地形成外围区域绝缘层290,并且可以通过在最上面的下布线280上形成外围区域绝缘层290的一部分而将外围区域绝缘层290形成为最终覆盖电路器件220和下布线结构。

[0108] 接下来,可以在外围区域绝缘层290上形成基底101。基底101可以例如由多晶硅形成,并且可以通过CVD工艺形成。构成基底101的多晶硅可以包括杂质。基底101可以形成为小于或等于基体基底201的尺寸。

[0109] 可以通过从与第一贯通布线区域TB1和第二贯通布线区域TB2对应的区域去除基底101的一部分然后填充绝缘材料来形成基底绝缘层160。在填充绝缘材料之后,可以使用化学机械抛光(CMP)工艺进一步执行平坦化工艺。结果,基底绝缘层160的上表面可以与基底101的上表面基本上共面。

[0110] 牺牲绝缘层180可以是牺牲绝缘层180的部分通过后续工艺被栅电极130(见图5A)替代的层。牺牲绝缘层180可以由与层间绝缘层120的材料不同的材料形成,并且可以由可以利用在特定蚀刻条件下相对于层间绝缘层120的蚀刻选择性而被蚀刻的材料形成。例如,层间绝缘层120可以由氧化硅和氮化硅中的至少一种形成,牺牲绝缘层180可以由从硅、氧化硅、碳化硅和氮化硅中选择的并且与层间绝缘层120的材料不同的材料形成。在一些示例实施例中,层间绝缘层120的厚度可以不完全相同。层间绝缘层120和牺牲绝缘层180的厚度以及层间绝缘层120和牺牲绝缘层180的数量可以由附图中所示的那些而进行各种改变。

[0111] 在图4的第二区域B中,可以使用掩模层重复地执行对牺牲绝缘层180的光刻工艺和蚀刻工艺,使得上牺牲绝缘层180比下牺牲绝缘层180延伸得少。结果,牺牲绝缘层180可以具有台阶形状,并且可以提供垫区域。

[0112] 接下来,可以形成单元区域绝缘层190以覆盖牺牲绝缘层180和层间绝缘层120的堆叠结构的上部分。

[0113] 参照图13B,可以形成沟道结构CH和虚设沟道结构DCH以穿透通过牺牲绝缘层180和层间绝缘层120的堆叠结构。

[0114] 首先,可以去除牺牲绝缘层180和层间绝缘层120的一部分以在图13B中未示出的区域中形成串分离区域SS(见图4)。通过使用单独的掩模层暴露将在其中形成串分离区域SS的区域,从最上面的部分去除预定数量的牺牲绝缘层180和层间绝缘层120,然后沉积绝缘材料,可以形成串分离区域SS。串分离区域SS可以延伸为比其中形成有图4的上栅电极130S的区域的位低。

[0115] 可以通过各向异性地蚀刻牺牲绝缘层180和层间绝缘层120来形成沟道结构CH和虚设沟道结构DCH,并且可以通过形成孔的形式的沟道孔然后填充沟道孔来形成沟道结构CH和虚设沟道结构DCH。用于虚设沟道结构DCH的沟道孔与用于沟道结构CH的沟道孔可以一起形成在将要在其中形成第一贯通布线区域TB1和第二贯通布线区域TB2的区域中,使得沟道孔可以连续地形成,因此可以避免不连续。因此,沟道孔可以被形成为具有均匀的尺寸和形状而与区域无关,从而确保沟道结构CH的电特性。

[0116] 由于堆叠结构的高度,使得沟道结构CH的侧壁和虚设沟道结构DCH的侧壁可能不与基底101的上表面垂直。在一些示例实施例中,沟道结构CH和虚设沟道结构DCH可以分别形成为使基底101和基底绝缘层160的部分凹陷。接下来,可以在沟道结构CH中形成外延层

105,并且可以在沟道结构CH和虚设沟道结构DCH中顺序地形成栅极介电层145的至少部分、沟道层140、沟道绝缘层150和沟道垫155。

[0117] 在沟道结构CH中,可以使用选择性外延生长(SEG)形成外延层105。外延层105可以由单个层或多个层形成。外延层105可以包括掺杂有杂质的或没有杂质的多晶锗、单晶锗、单晶硅或多晶硅。在一些实施例中,可以省略外延层105。

[0118] 可以使用ALD或CVD工艺将栅极介电层145形成为具有均匀的厚度。在该步骤中,可以形成栅极介电层145的全部或一部分,并且可以在该步骤中形成沿着沟道结构CH和虚设沟道结构DCH垂直于基底101延伸的栅极介电层的部分。可以在沟道结构CH和虚设沟道结构DCH中的栅极介电层145上形成沟道层140。沟道绝缘层150可以形成为填充沟道结构CH和虚设沟道结构DCH,并且可以是绝缘材料。在一些示例实施例中,代替沟道绝缘层150的导电材料也可以填充在沟道层140之间。沟道垫155可以由导电材料形成,例如,由多晶硅形成。

[0119] 参照图13C,开口OP形成为穿透通过牺牲绝缘层180和层间绝缘层120的堆叠结构,并且可以通过开口OP去除牺牲绝缘层180的部分以形成隧穿部分LT。

[0120] 首先,在形成开口OP之前,可以在沟道结构CH和虚设沟道结构DCH上形成单元区域绝缘层190。可以在图4的第一分离区域MS1和第二分离区域MS2的位置中形成开口OP。可以通过使用光刻工艺形成掩模层并且各向异性地蚀刻堆叠结构来形成开口OP。开口OP可以形成为在Y方向上延伸的沟槽形状,基底101可以暴露于开口OP的下部分。

[0121] 可以从绝缘区域IR的外部(例如,第一贯通布线区域TB1和第二贯通布线区域TB2(见图4)的外部区域)去除牺牲绝缘层180。结果,可以限定包括层间绝缘层120、牺牲绝缘层180和基底绝缘层160的第一贯通布线区域TB1和第二贯通布线区域TB2的绝缘区域IR。可以例如使用湿法蚀刻相对于层间绝缘层120和基底绝缘层160选择性地去除牺牲绝缘层180。因此,可以在层间绝缘层120之间形成多个隧穿部分LT,并且可以通过第二隧穿部分暴露沟道结构CH的栅极介电层145的一些侧壁。

[0122] 形成有第一贯通布线区域TB1和第二贯通布线区域TB2的区域可以与开口OP间隔开,使得蚀刻剂可以到达不了所述区域,因此,所述区域可以是牺牲绝缘层180保留在其中的区域。因此,第一贯通布线区域TB1和第二贯通布线区域TB2可以在相邻的开口OP之间居中。其中保留有牺牲绝缘层180的区域可能没有与其中设置有基底绝缘层160的区域精确地匹配。

[0123] 参照图13D,通过用导电材料填充其中牺牲绝缘层180已经被部分地去除的隧穿部分LT来形成栅电极130,并且可以在开口OP中形成隔离绝缘层107和导电层110。

[0124] 形成栅电极130的导电材料可以填充隧穿部分LT。导电材料可以包括金属、多晶硅或金属硅化物材料。栅电极130的侧表面可以接触绝缘区域IR的牺牲绝缘层180的侧表面。在形成栅电极130之后,也可以通过附加工艺去除沉积在开口OP中的导电材料。

[0125] 隔离绝缘层107可以以间隔件的形式形成在开口OP中。例如,在沉积绝缘材料之后,可以通过去除形成在开口OP下方的基底101上的绝缘材料来形成隔离绝缘层107。接下来,可以在隔离绝缘层107上沉积导电材料以形成导电层110。例如,隔离绝缘层107和导电层110可以在同一工艺中形成在第一分离区域MS1和第二分离区域MS2中以具有相同的结构。在这种情况下,如上面所描述的,例如,第一分离区域MS1中的导电层110可以用作共源极线CSL,第二分离区域MS2中的导电层110可以用作虚设共源极线。在一些示例实施例中,

可以省略形成导电层110的工艺。

[0126] 参照图13E,可以形成用于形成贯通接触插塞170的接触孔VH。

[0127] 在形成接触孔VH之前,可以形成单元区域绝缘层190以覆盖隔离绝缘层107。接下来,可以从绝缘区域IR的上部分形成穿透通过单元区域绝缘层190和绝缘区域IR的接触孔VH。外围电路区域PERI的电路布线280可以暴露于接触孔VH的下端。

[0128] 接下来,一起参照图5B和图13E,可以通过用导电材料填充接触孔VH来形成贯通接触插塞170,从而形成第一贯通布线区域TB1和第二贯通布线区域TB2,可以通过形成连接到贯通接触插塞170的上端的布线175来制造半导体装置100。

[0129] 上面参照图13A至图13E描述的制造方法是用于制造参照图4至图6描述的半导体装置100的一个示例,可以通过各种制造方法来制造半导体装置100。

[0130] 图14A至图14F是示出根据一些示例实施例的制造半导体装置的方法的示意性剖视图。在图14A至图14F中,示出了与图11中所示的区域对应的区域。在下文中,为了简洁起见,将省略与上面参照图13A至图13E的描述重复的描述。

[0131] 参照图14A,在形成外围电路区域PERI并在外围电路区域PERI上形成设置有存储器单元区域的基底101和基底绝缘层160之后,可以形成第一堆叠结构GS1。第一堆叠结构GS1可以包括交替地堆叠的牺牲绝缘层180和层间绝缘层120。可以形成第一沟道孔CHH1并且可以用沟道牺牲层185填充第一沟道孔CHH1。

[0132] 可以形成比层间绝缘层120相对厚的上层间绝缘层125作为最上面的层间绝缘层。沟道牺牲层185可以由可以利用相对于牺牲绝缘层180和层间绝缘层120的蚀刻选择性而被蚀刻的材料形成。例如,沟道牺牲层185可以包括硅(Si)。

[0133] 参照图14B,可以通过在第一堆叠结构GS1上交替地堆叠牺牲绝缘层180和层间绝缘层120来形成第二堆叠结构GS2。

[0134] 与第一堆叠结构GS1类似,可以通过在上层间绝缘层125和沟道牺牲层185上交替地堆叠牺牲绝缘层180和层间绝缘层120并形成单元区域绝缘层190来形成第二堆叠结构GS2。

[0135] 参照图14C,可以形成穿透第二堆叠结构GS2的第二沟道孔CHH2,并且可以去除第一沟道孔CHH1中的沟道牺牲层185。

[0136] 首先,第二沟道孔CHH2可以形成为分别与第一沟道孔CHH1对齐。更详细地,于在第二堆叠结构GS2上使光致抗蚀剂层图案化以暴露第二堆叠结构GS2的部分之后,可以在暴露的区域中蚀刻第二堆叠结构GS2以形成第二沟道孔CHH2。接下来,可以通过去除经由第二沟道孔CHH2暴露的沟道牺牲层185来形成第一沟道孔CHH1和第二沟道孔CHH2在其中连接的沟道孔CHH。

[0137] 除了其中设置有沟道结构CHd的区域之外,沟道孔CHH还可以形成在其中设置有虚设沟道结构DCHd的区域中,因此,沟道孔CHH可以被连续地图案化,从而具有均匀的尺寸和形状。因此,通过随后的工艺,在与第一贯通布线区域TB1和第二贯通布线区域TB2相邻地形成的沟道结构CHd中,可以防止由于图案化问题引起的缺陷,并且可以确保电特性。

[0138] 参照图14D,可以形成沟道结构CHd和虚设沟道结构DCHd。

[0139] 可以使第一沟道结构CH1和第二沟道结构CH2以及第一虚设沟道结构DCH1和第二虚设沟道结构DCH2连接为一个这样的方式形成沟道结构CHd和虚设沟道结构DCHd。可以

通过在沟道孔CHH中顺序地形成栅极介电层145的至少部分、沟道层140、沟道绝缘层150和沟道垫155来形成沟道结构CHd和虚设沟道结构DCHd。可以从沟道孔CHH的下端去除栅极介电层145的部分,使得沟道层140可以与基底101和基底绝缘层160直接接触。

[0140] 参照图14E,可以在图14E中未示出的区域中形成开口(见图13C)以穿透第一堆叠结构GS1和第二堆叠结构GS2,并且可以通过该开口部分地去除牺牲绝缘层180。

[0141] 首先,可以形成单元区域绝缘层190。可以在图4的第一分离区域MS1和第二分离区域MS2的位置中形成开口。可以从绝缘区域IR的外部(例如,第一贯通布线区域TB1和第二贯通布线区域TB2(见图4)的外部区域)去除牺牲绝缘层180。结果,可以限定包括层间绝缘层120、牺牲绝缘层180和基底绝缘层160的第一贯通布线区域TB1和第二贯通布线区域TB2的绝缘区域IR。

[0142] 参照图14F,可以通过用导电材料填充已经在其中去除了牺牲绝缘层180的区域来形成栅电极130。可以填充开口,然后可以形成用于形成贯通接触插塞170的接触孔VH。

[0143] 可以用绝缘材料或者用绝缘材料和导电材料填充开口。在形成接触孔VH之前,可以形成单元区域绝缘层190。接下来,可以从绝缘区域IR的上部分形成穿透通过单元区域绝缘层190和绝缘区域IR的接触孔VH。外围电路区域PERI的电路布线280可以暴露于接触孔VH的下端。

[0144] 接下来,一起参照图11和图14F,通过用导电材料填充接触孔VH来形成贯通接触插塞170,以形成第一贯通布线区域TB1和第二贯通布线区域TB2,并且可以形成连接到贯通接触插塞170的上端的布线175,从而制造出半导体装置100d。

[0145] 上面参照图14A至图14F描述的制造方法是用于制造图11的半导体装置100d的一个示例,可以通过各种制造方法来制造半导体装置100d。

[0146] 如上面所阐述的,根据一些示例实施例,在贯通布线区域中规则地定位虚设沟道结构可以提供具有改善的可靠性的半导体装置。

[0147] 虽然上面已经示出和描述了一些示例实施例,但是对于本领域技术人员将清楚的是,在不脱离如由所附权利要求限定的本发明构思的范围的情况下,可以进行修改和变形。

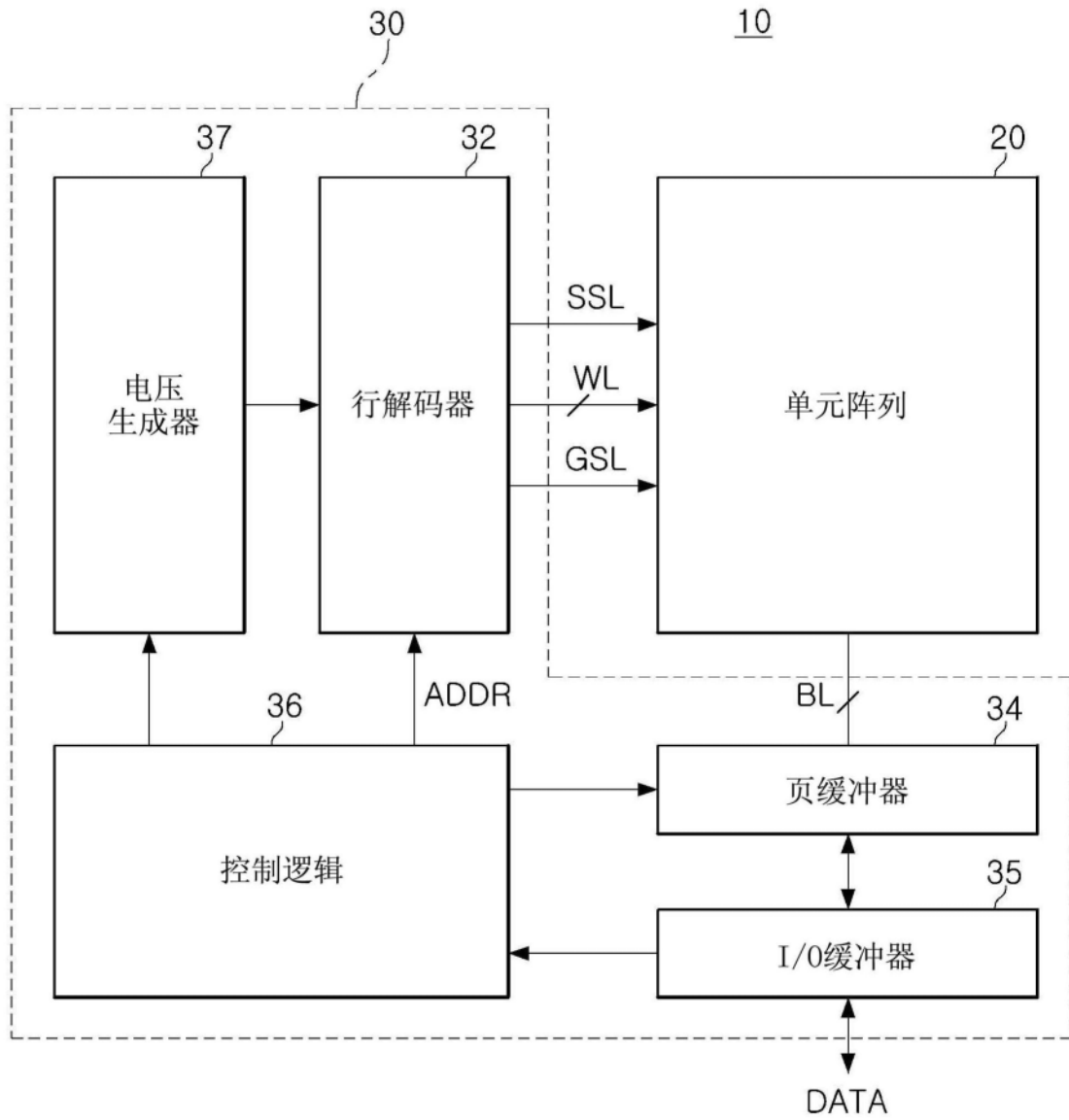


图1

20

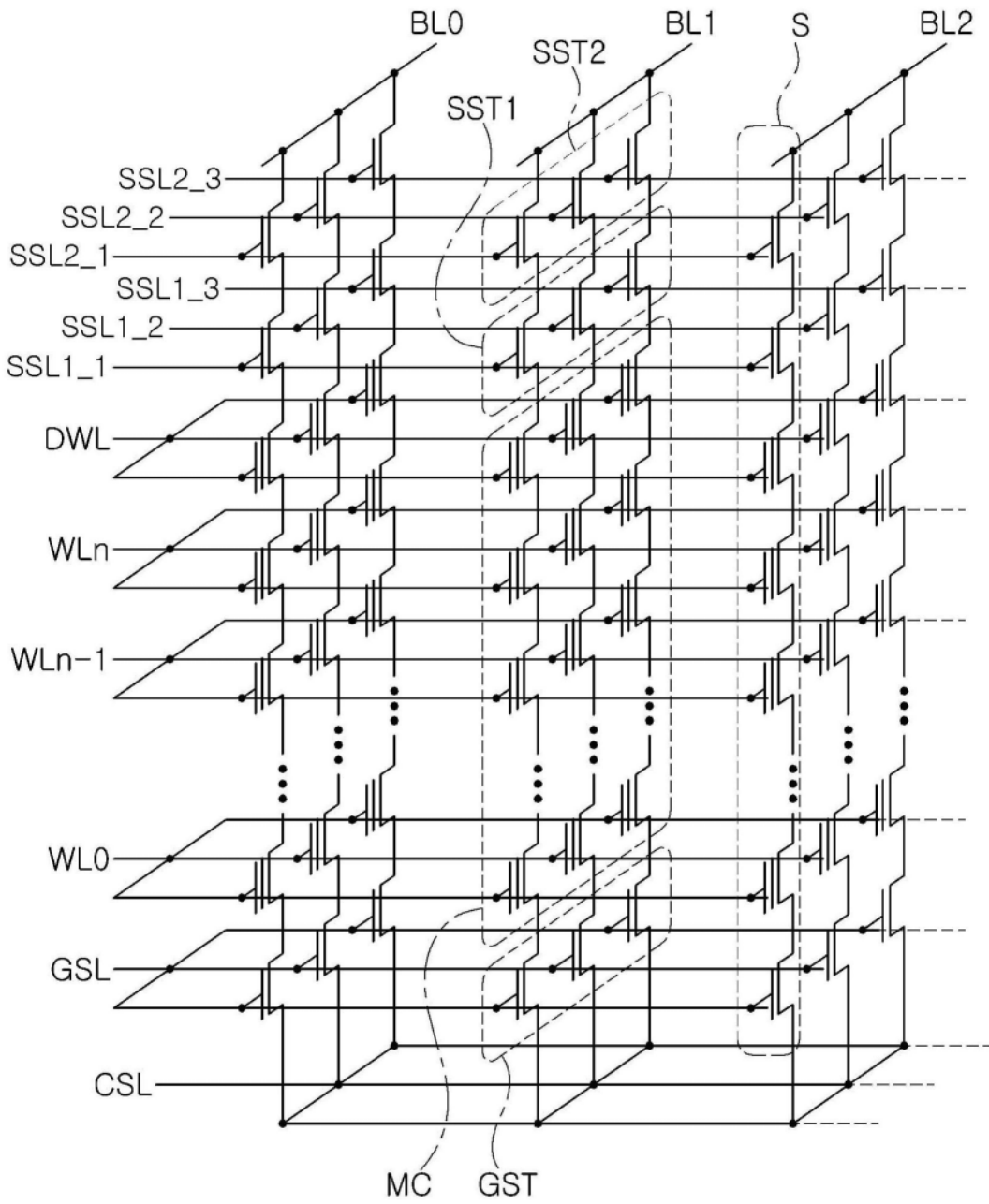


图2

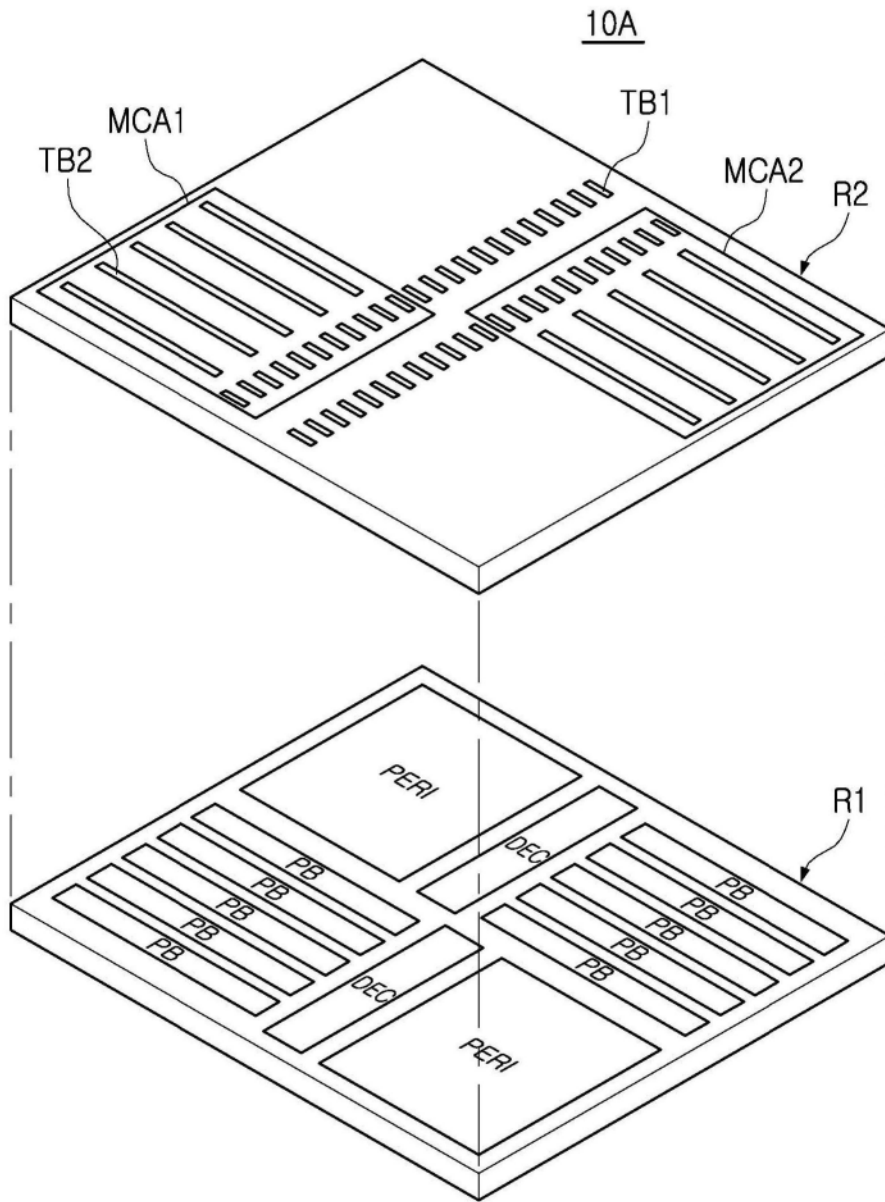


图3

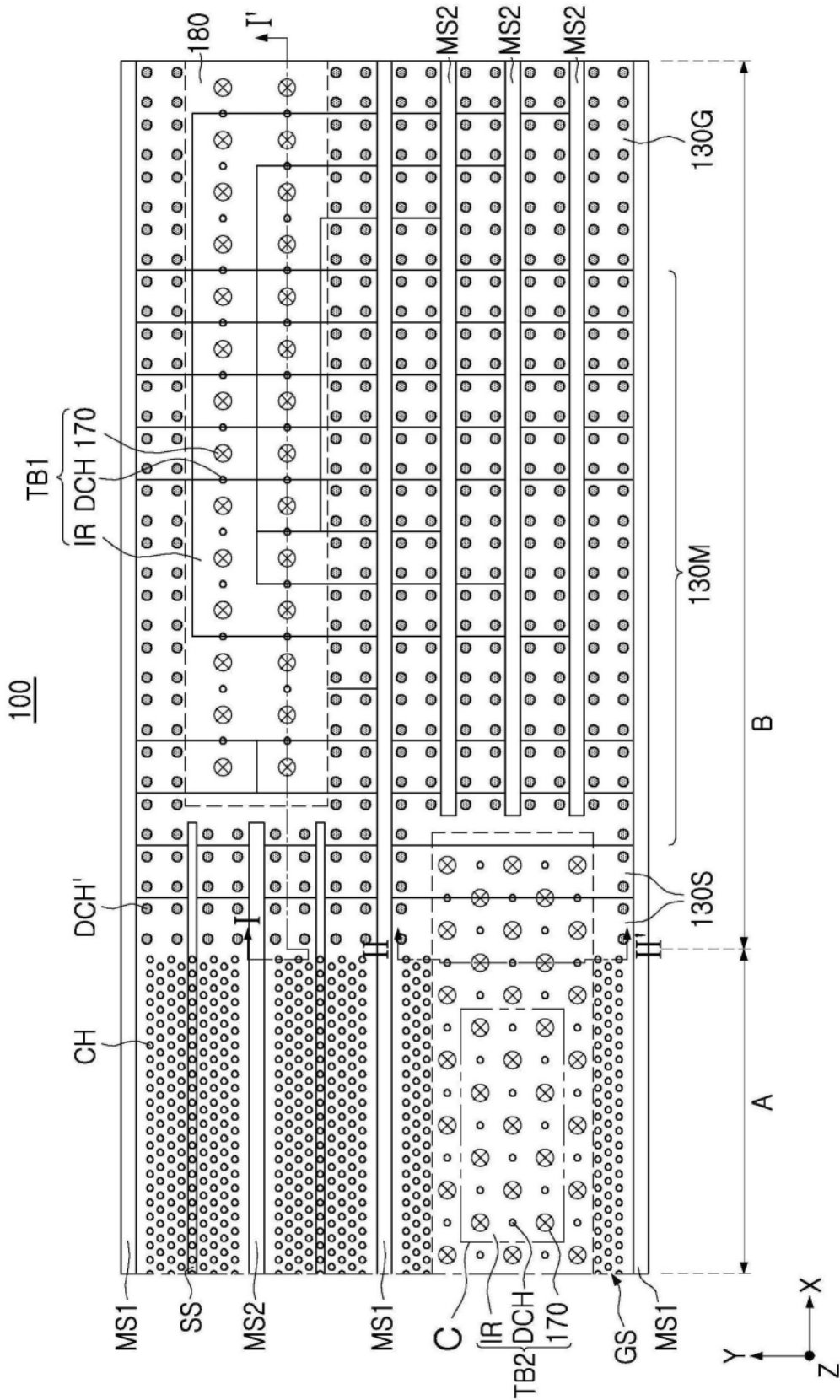


图4

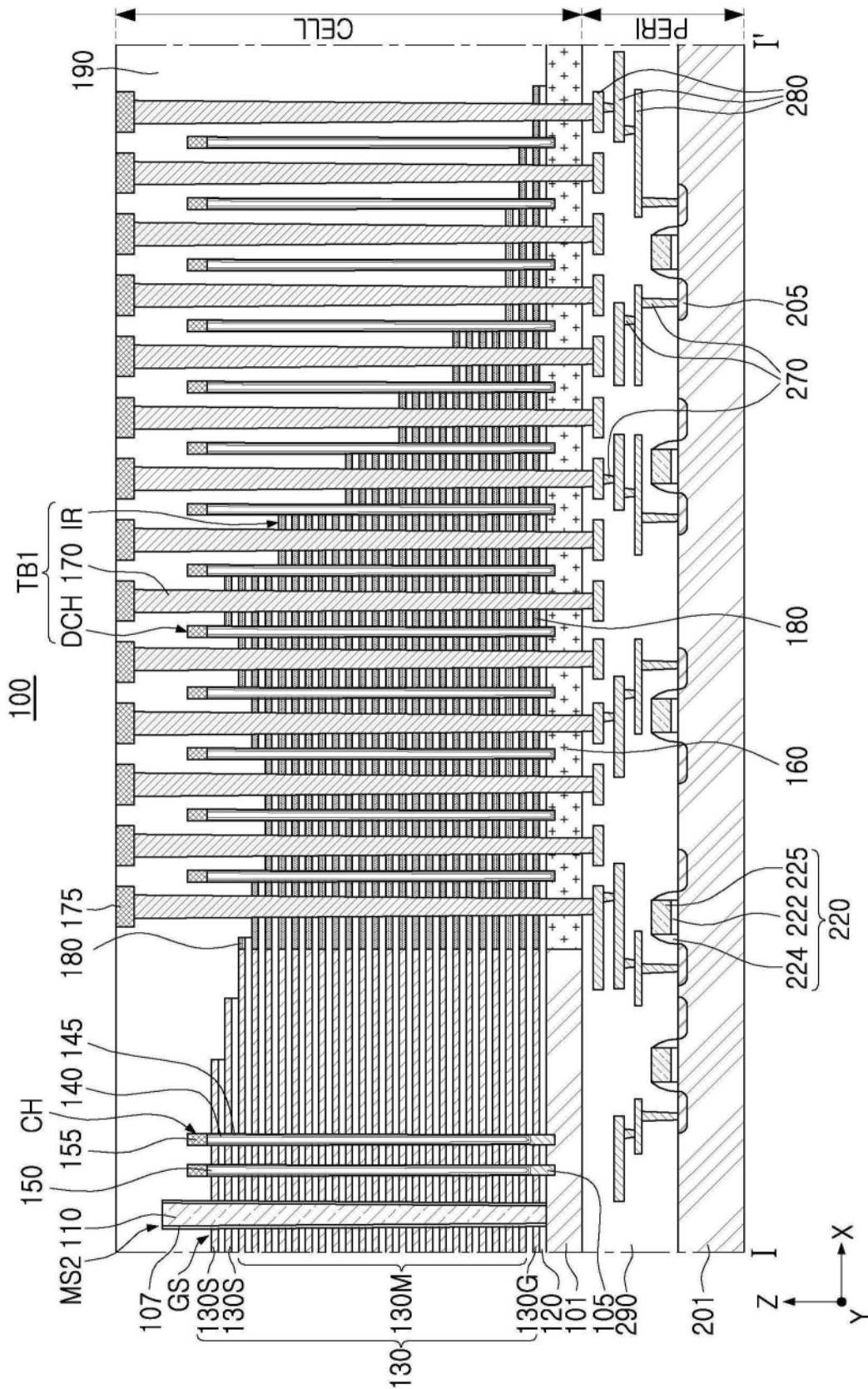


图5A

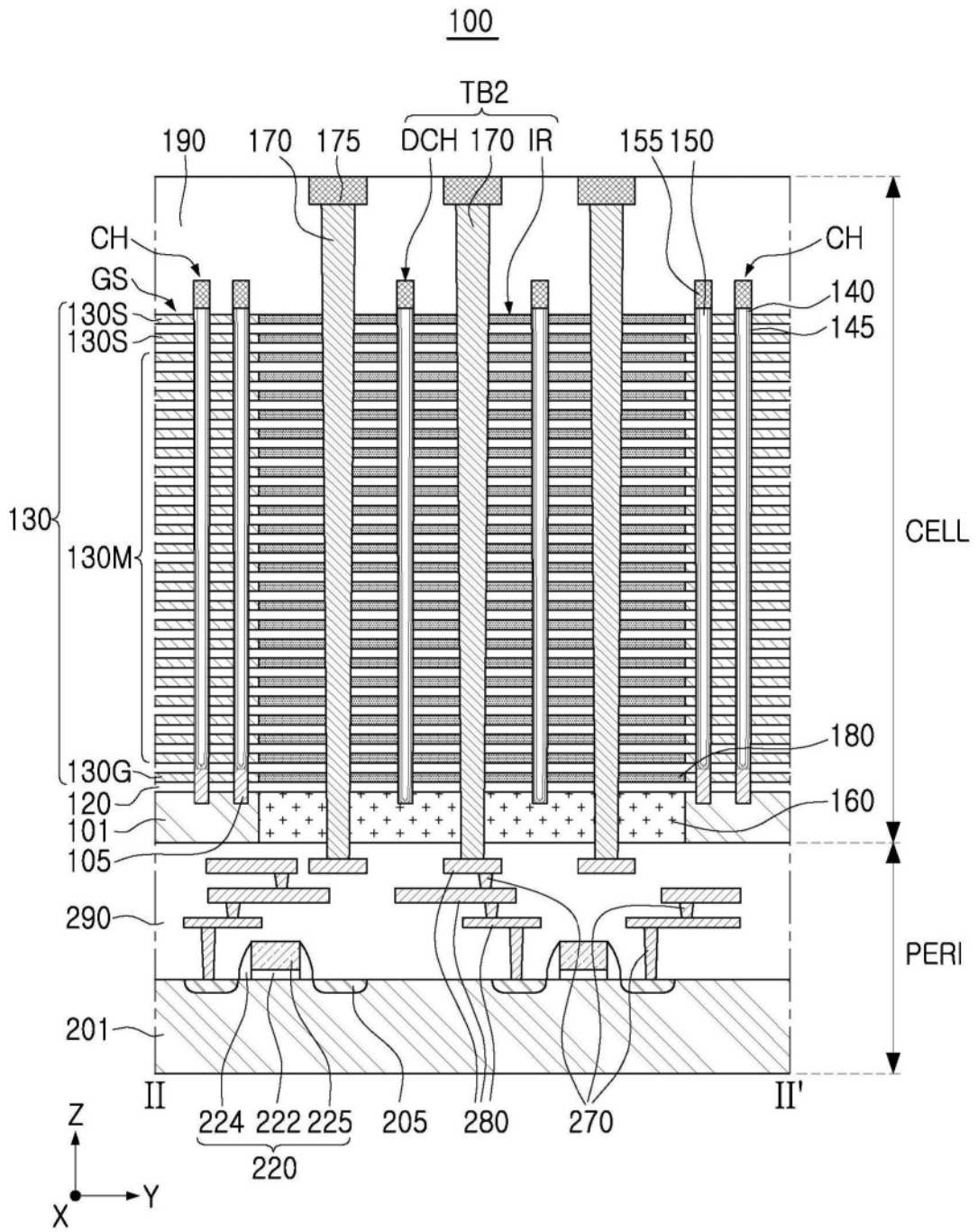
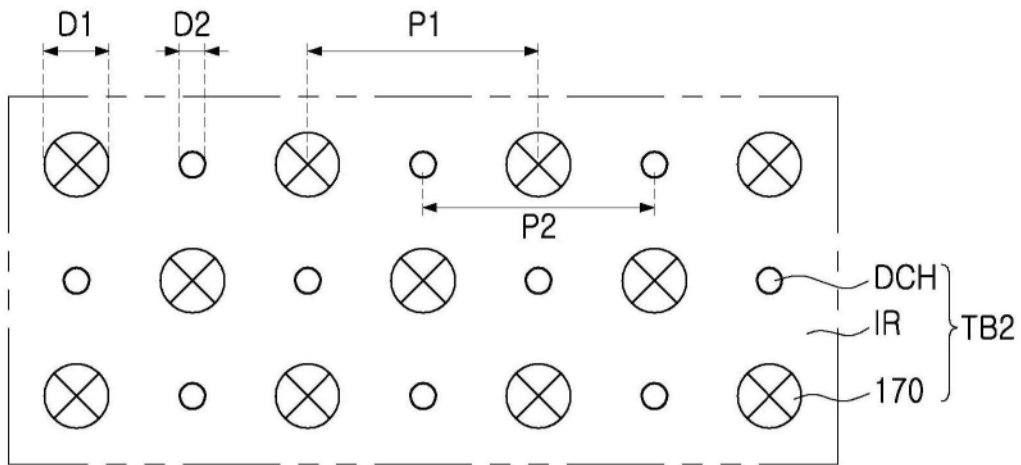
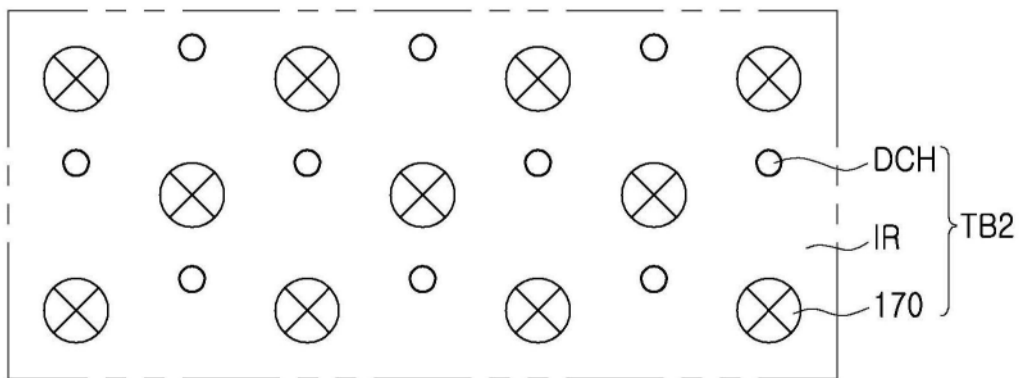


图5B



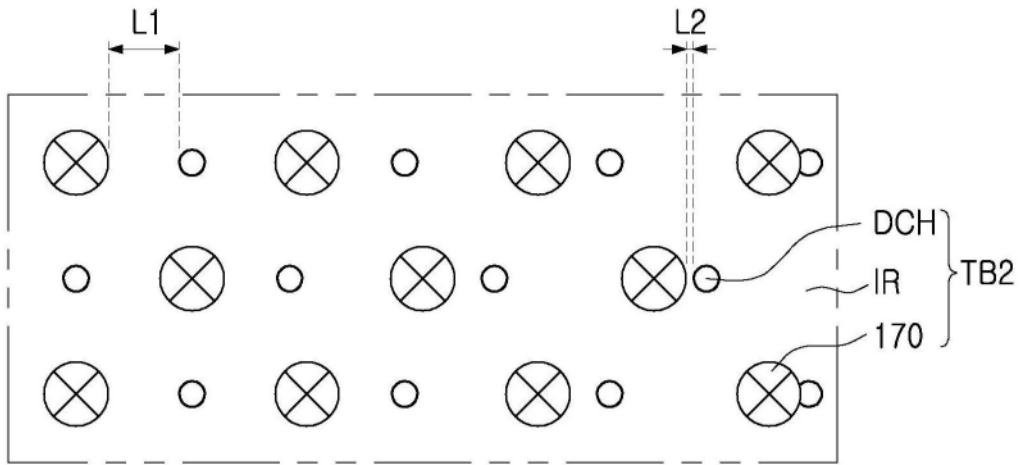
C

图6



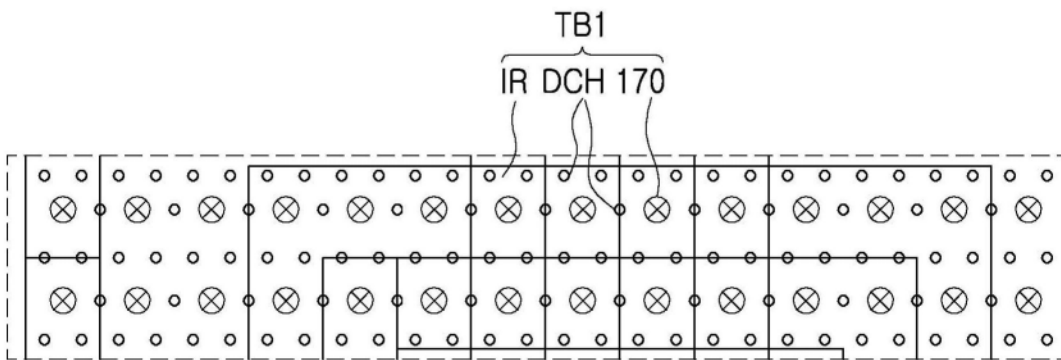
C

图7A



C

图7B



TB1

图7C

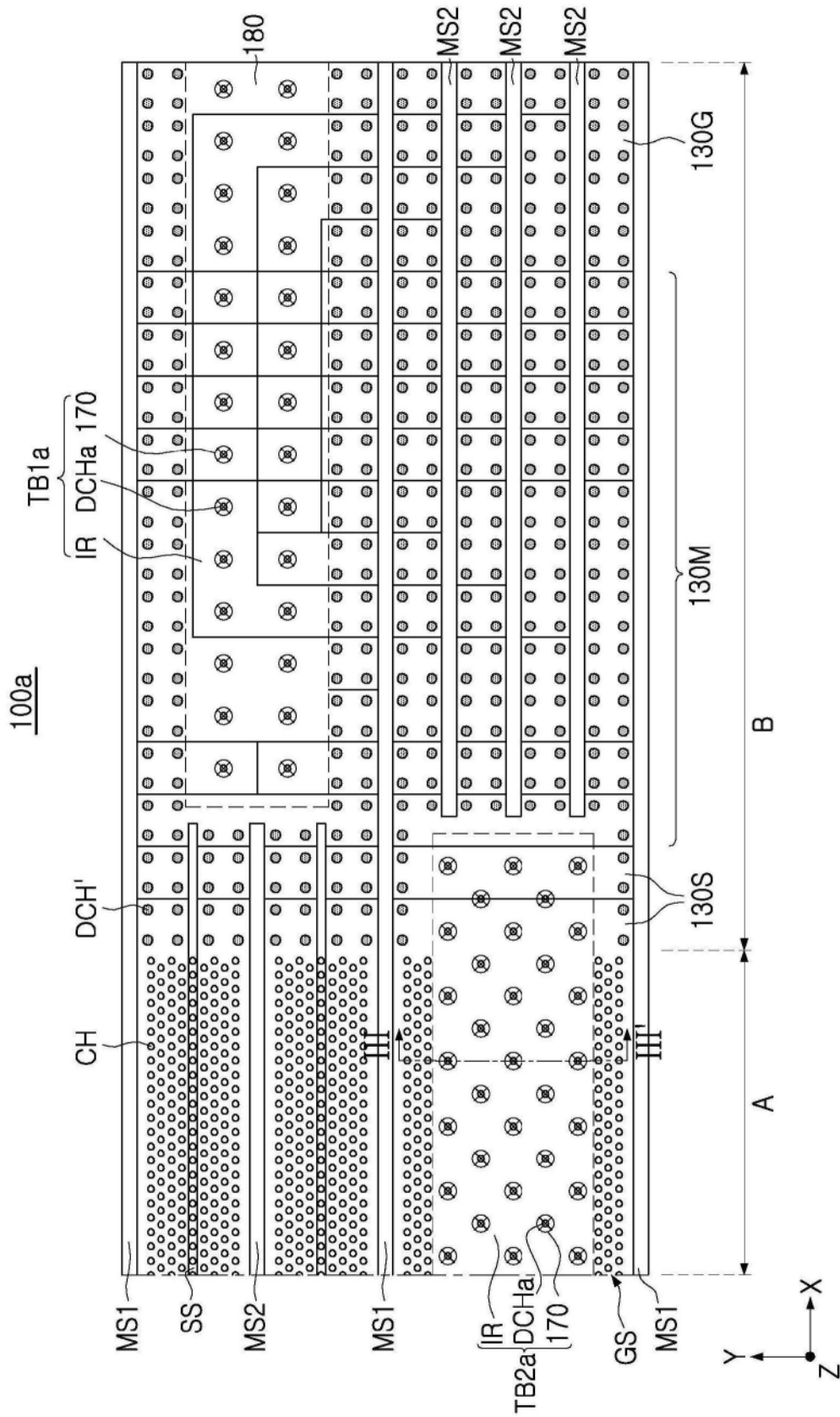


图8

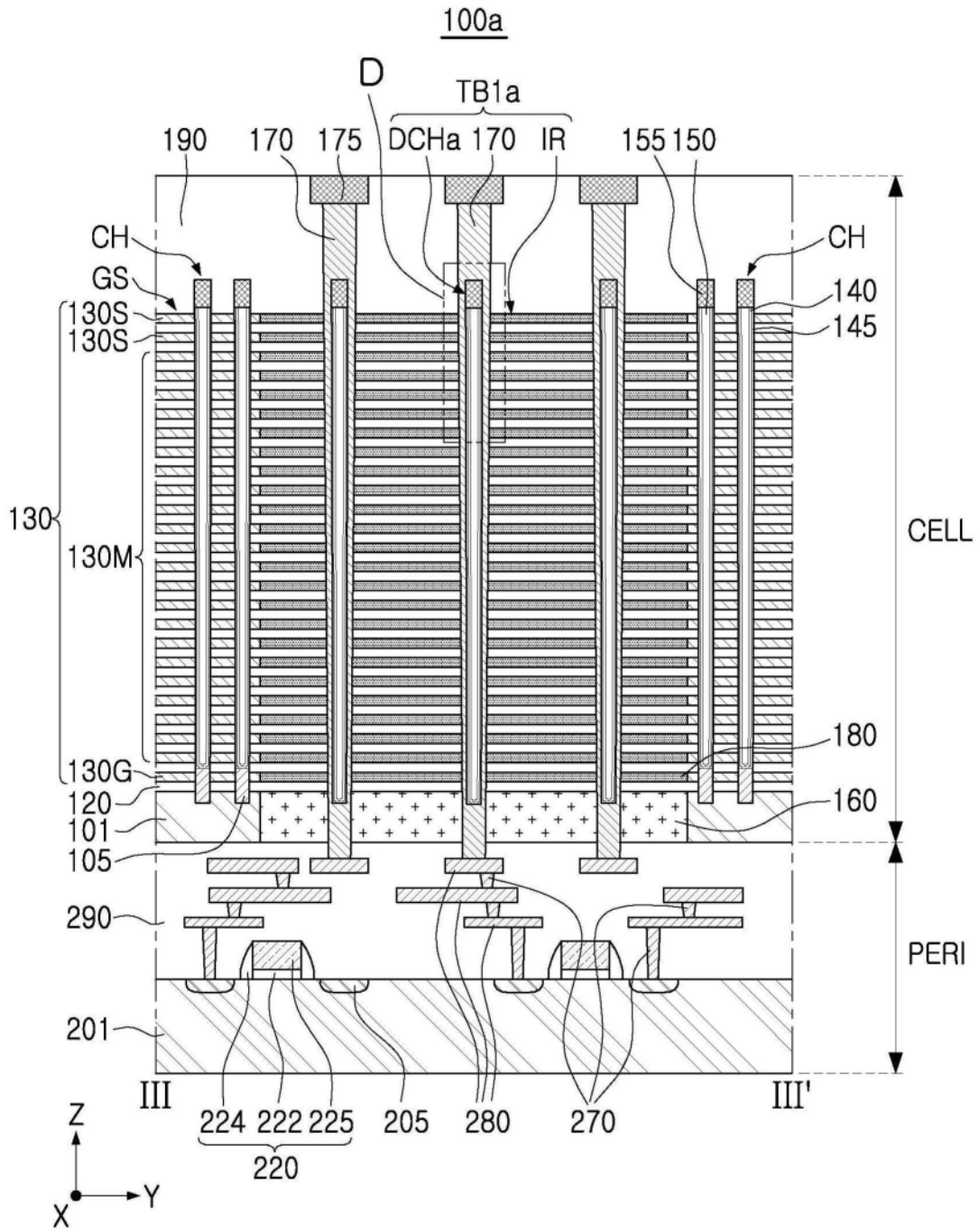


图9

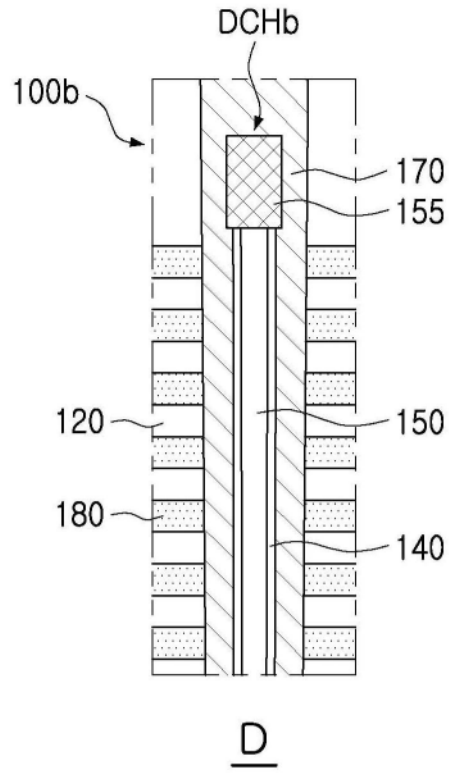


图10A

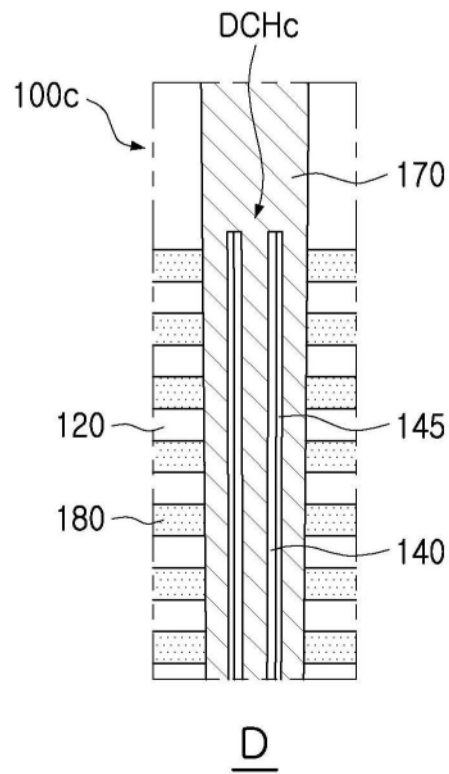


图10B

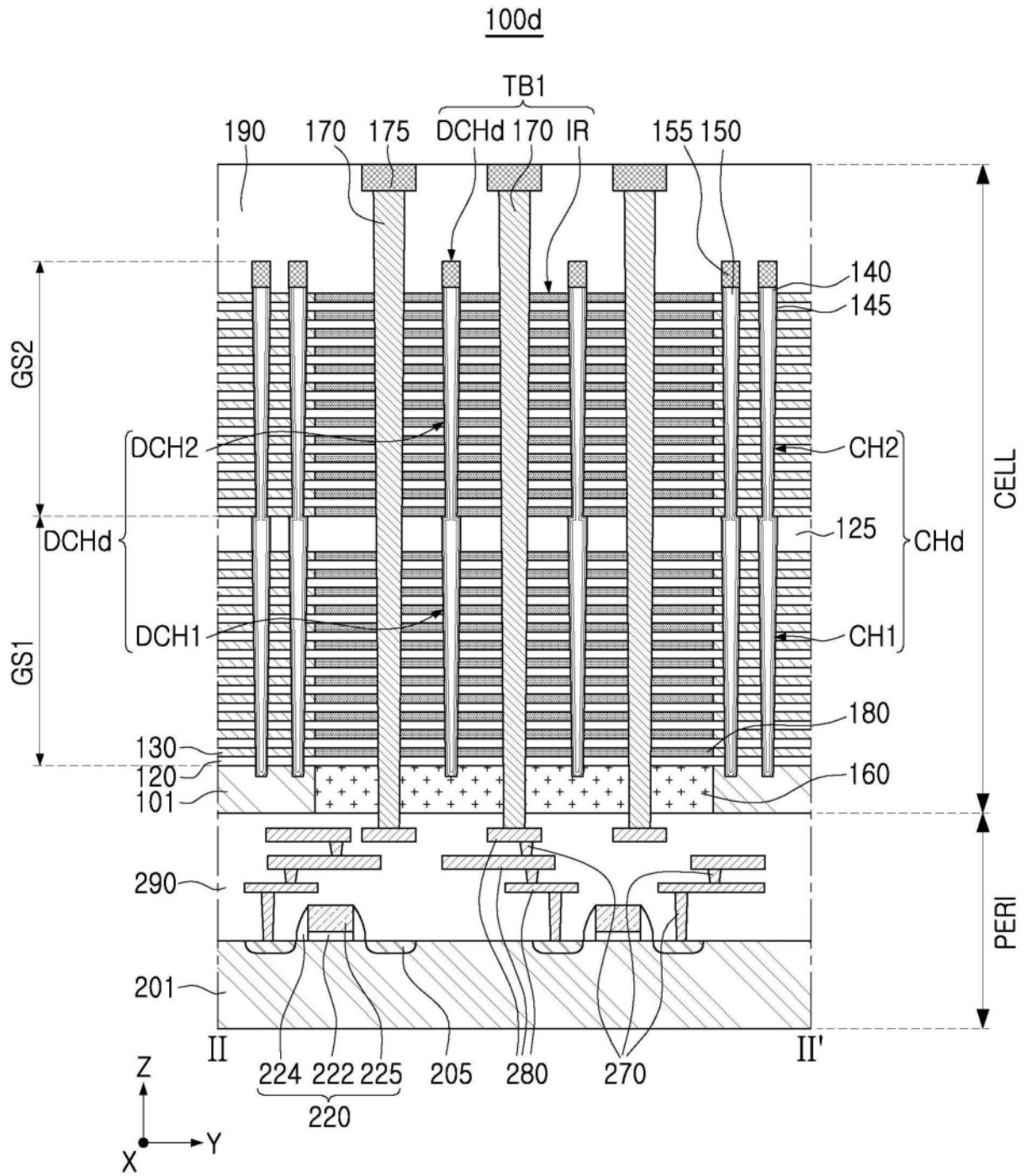


图11

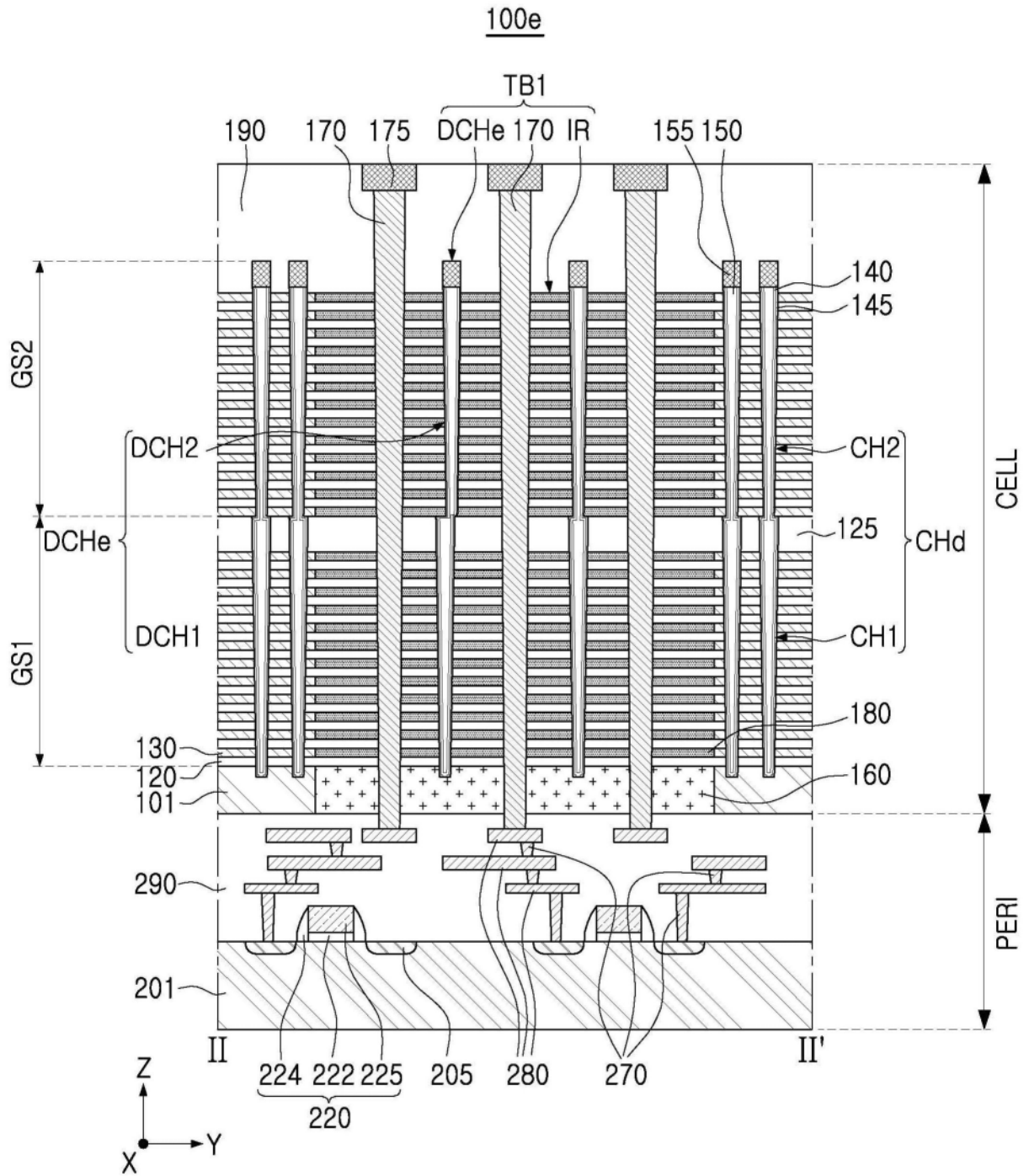


图12A

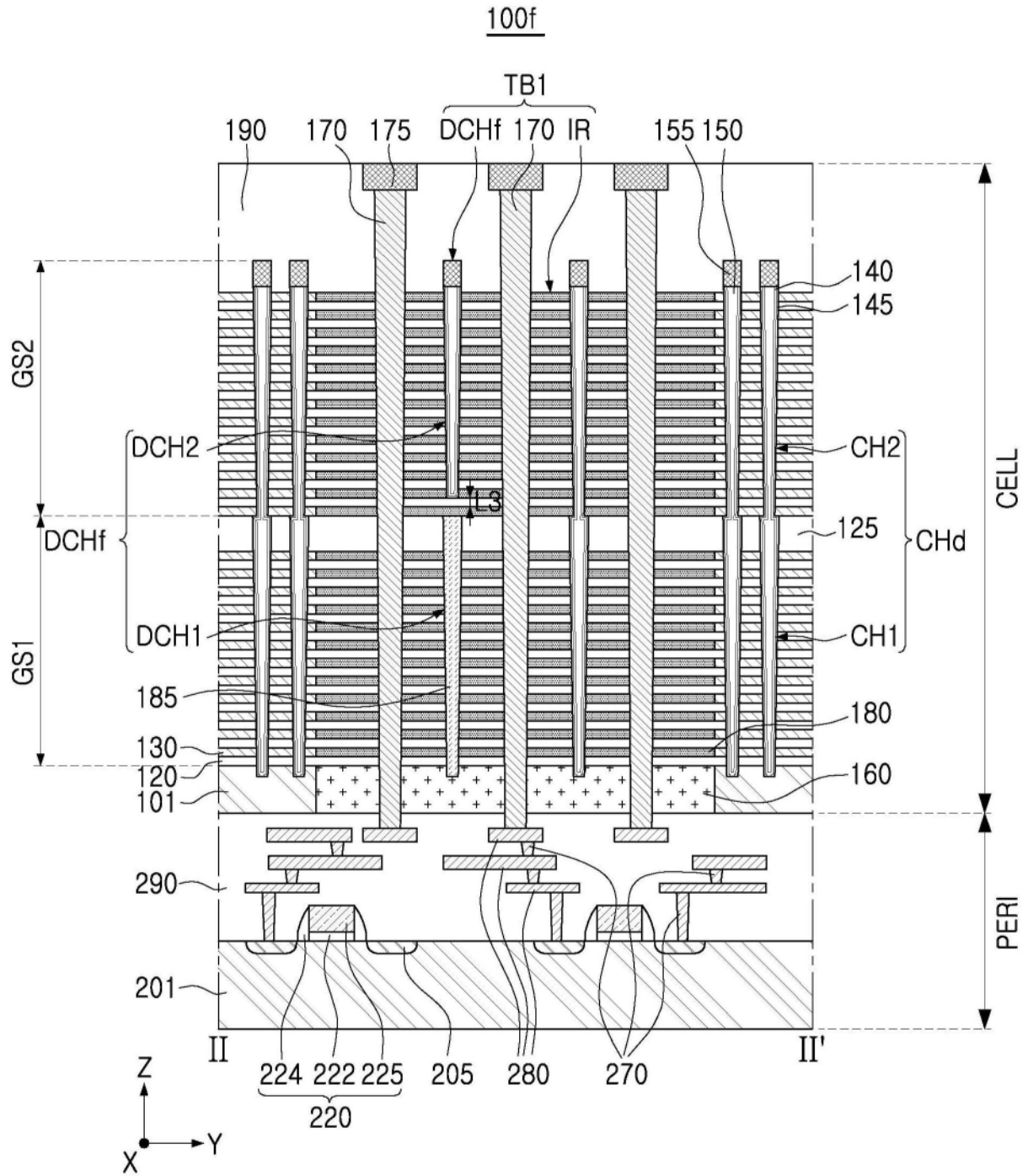


图12B

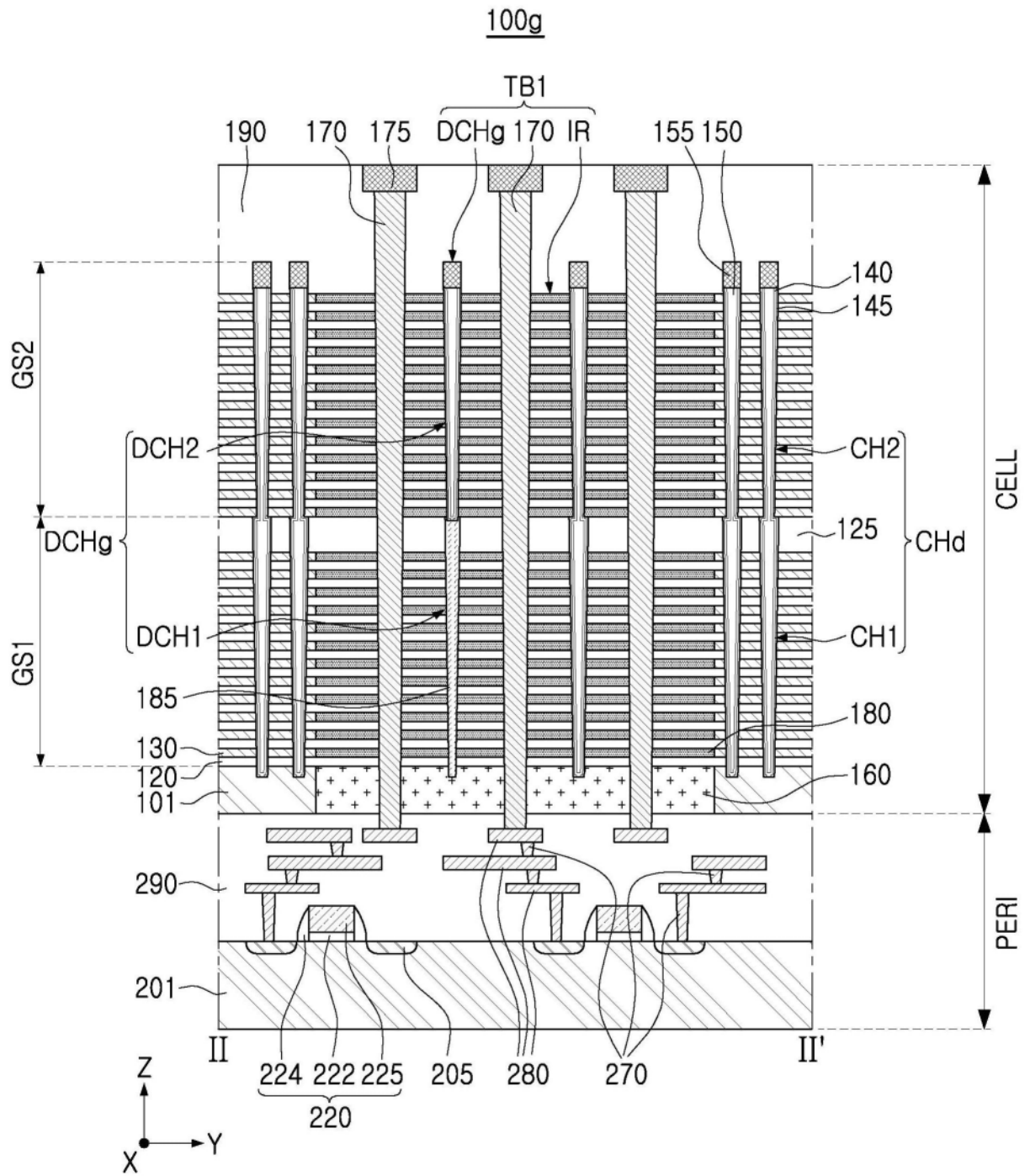


图12C

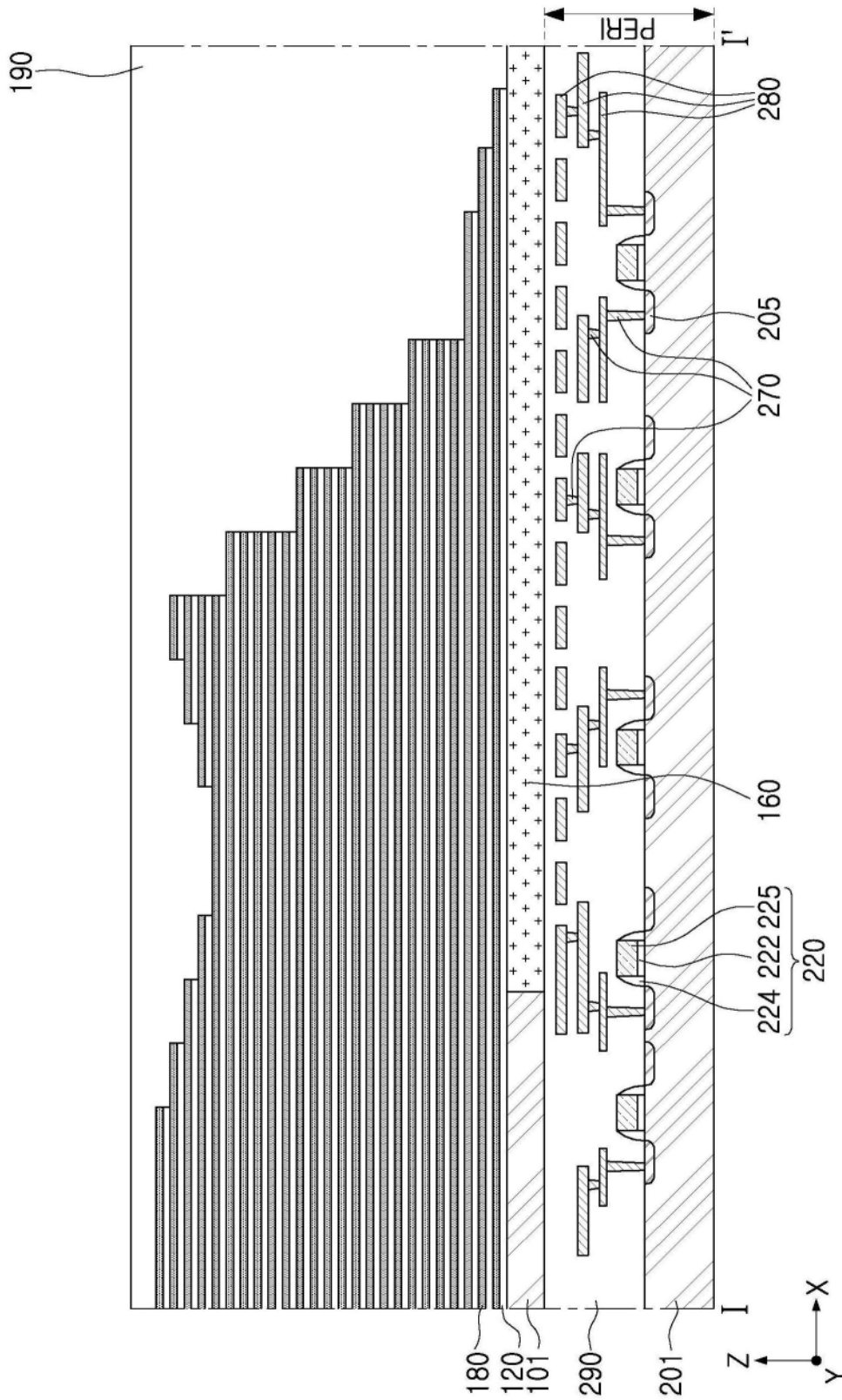


图13A

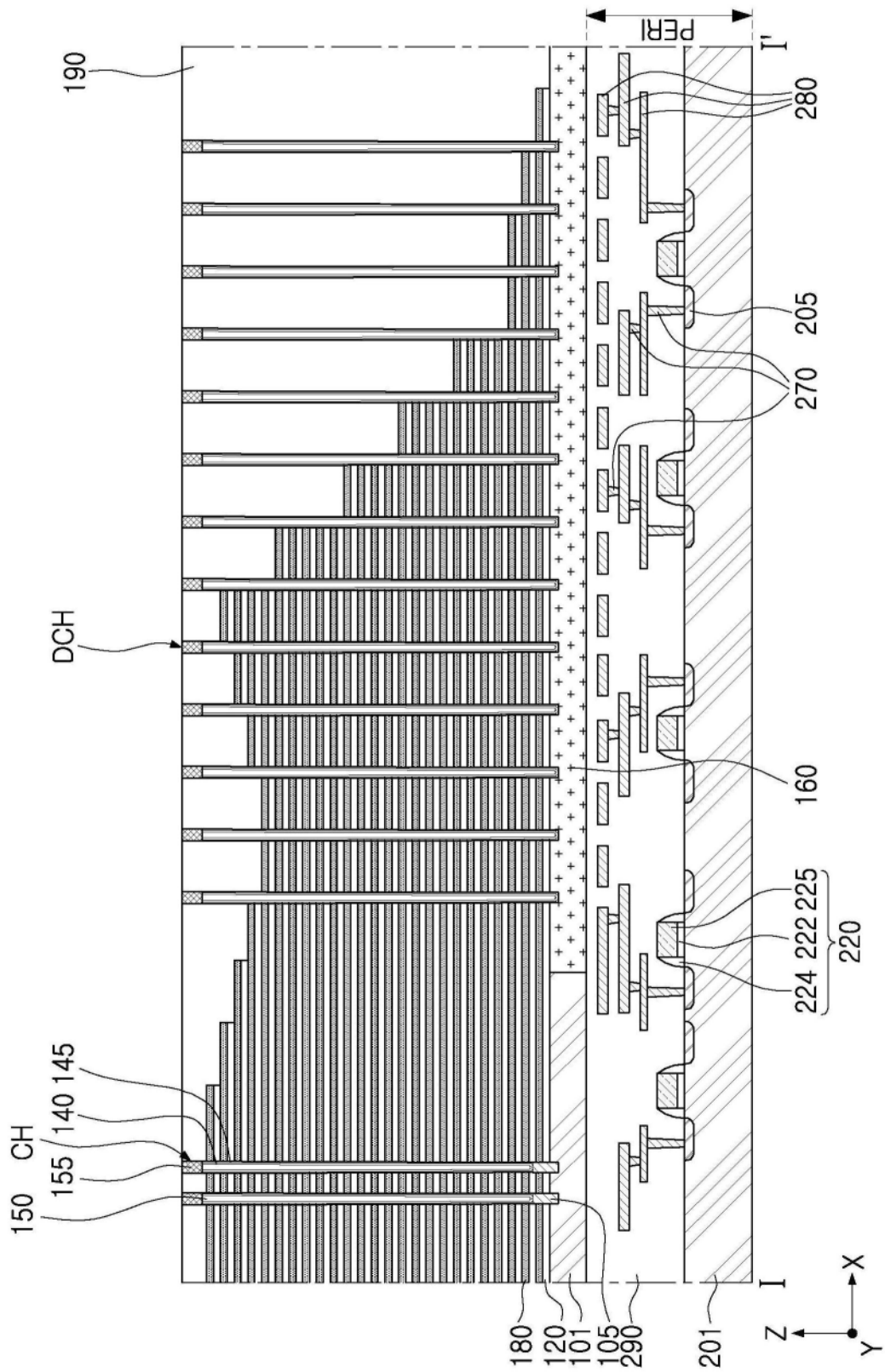


图13B

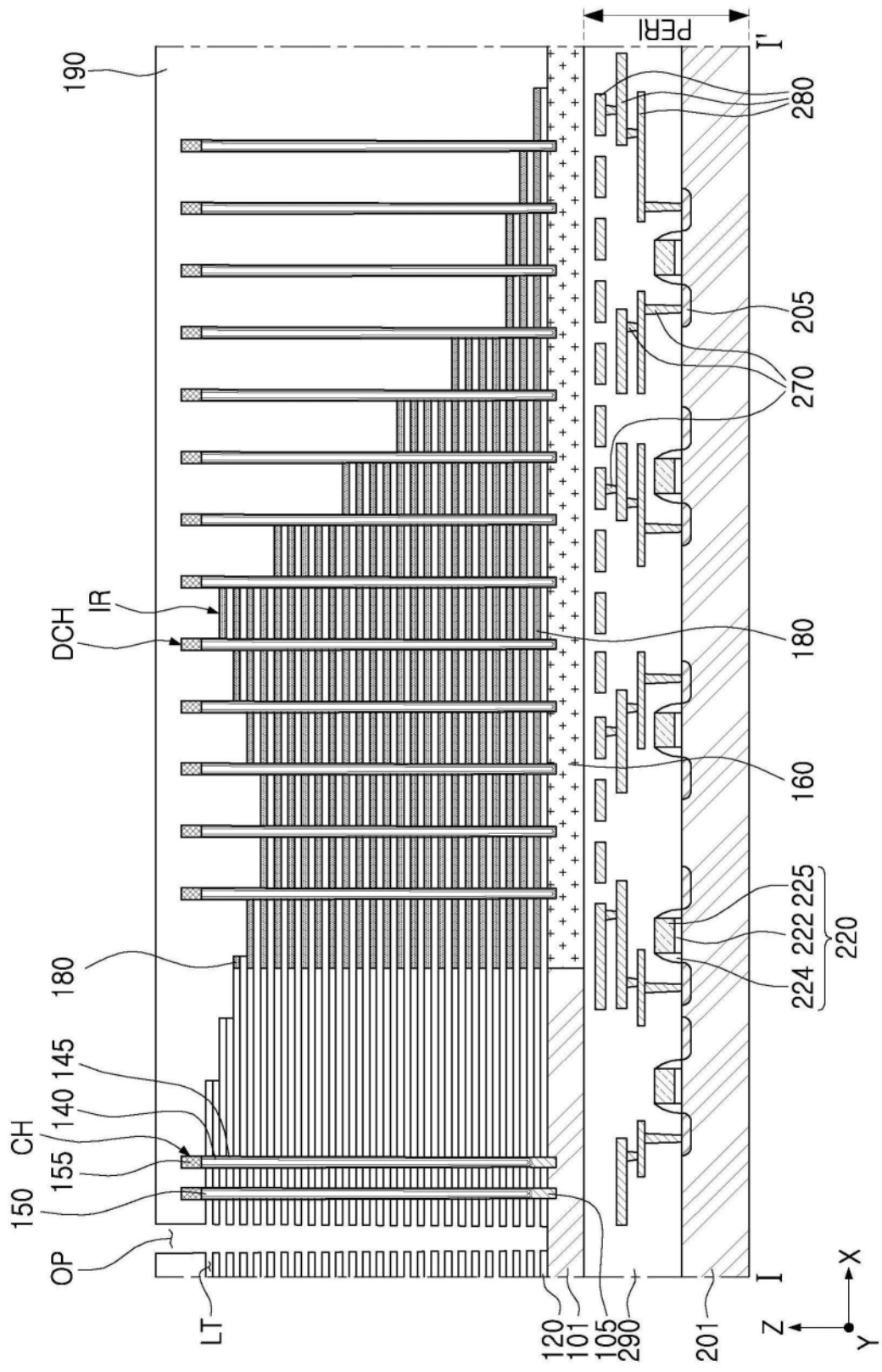


图13C

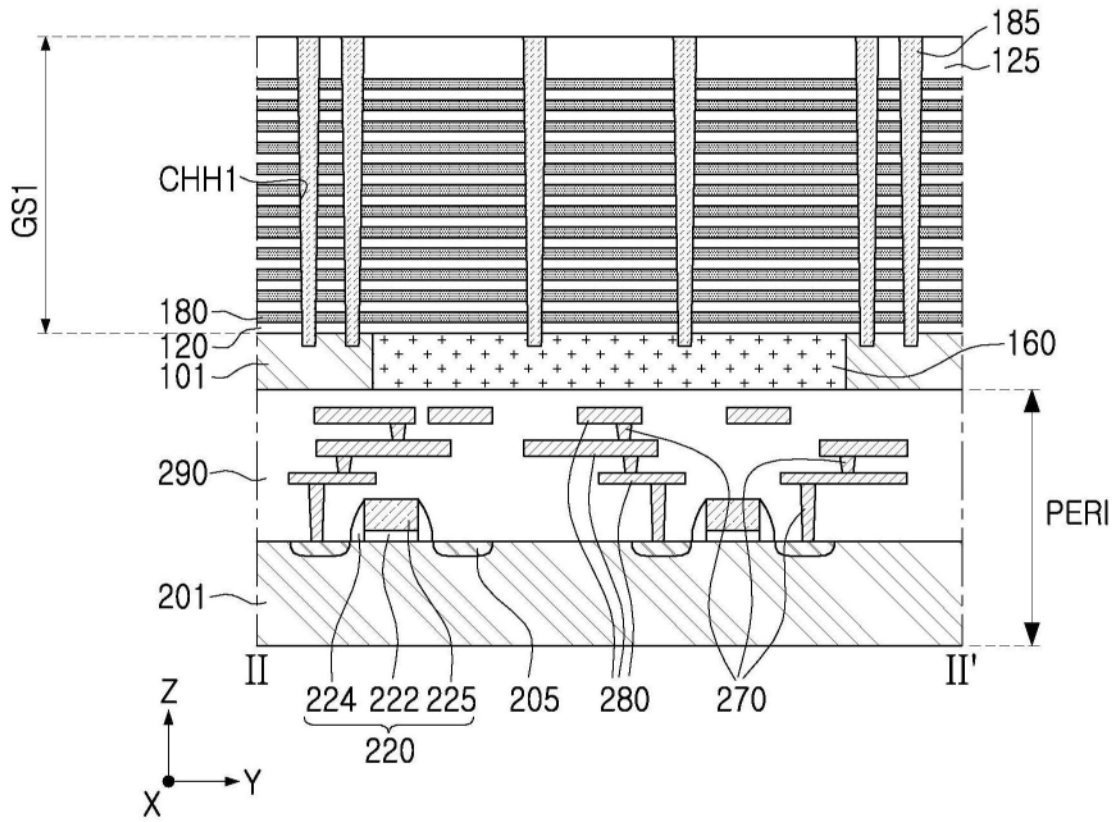


图14A

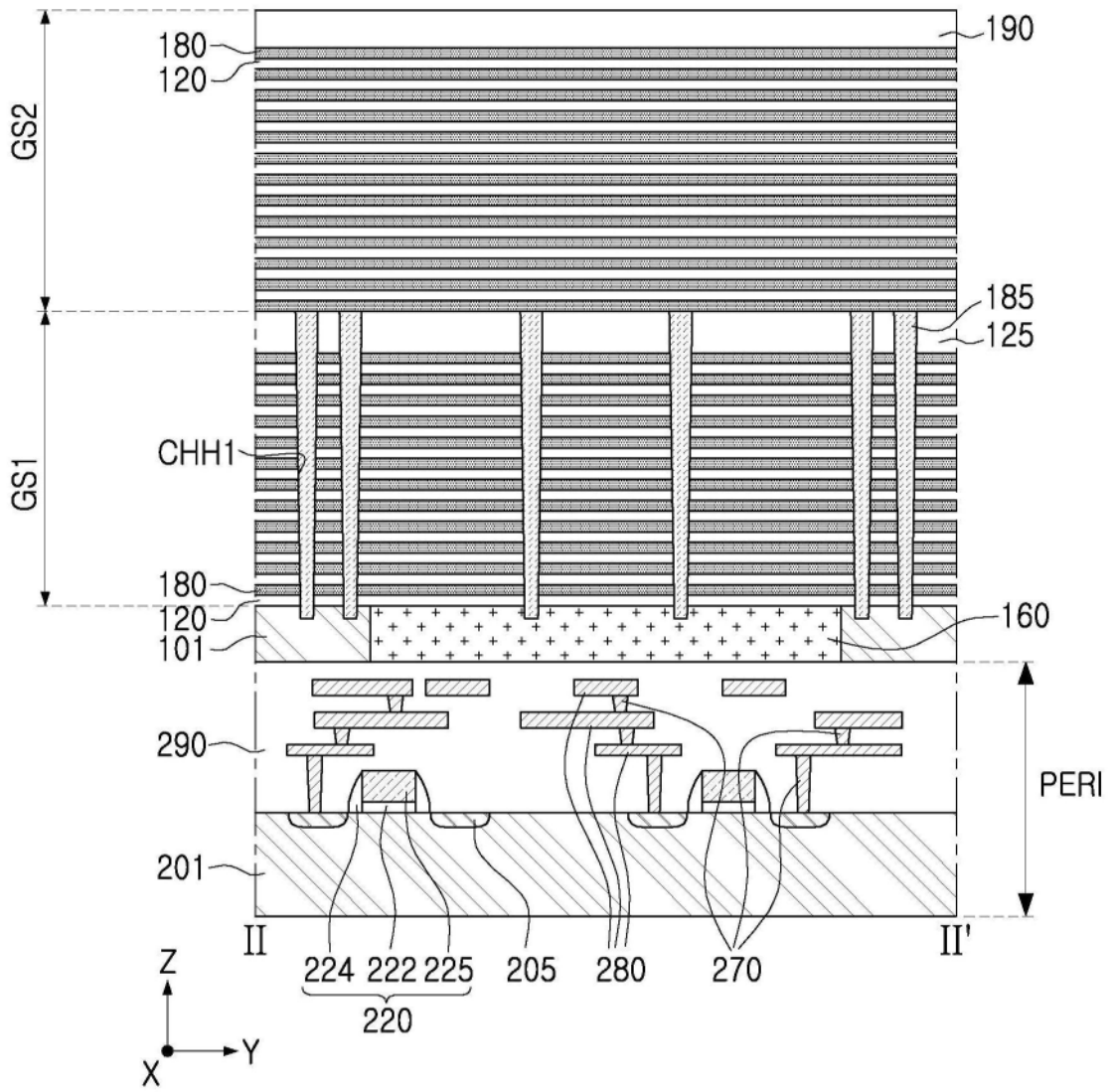


图14B

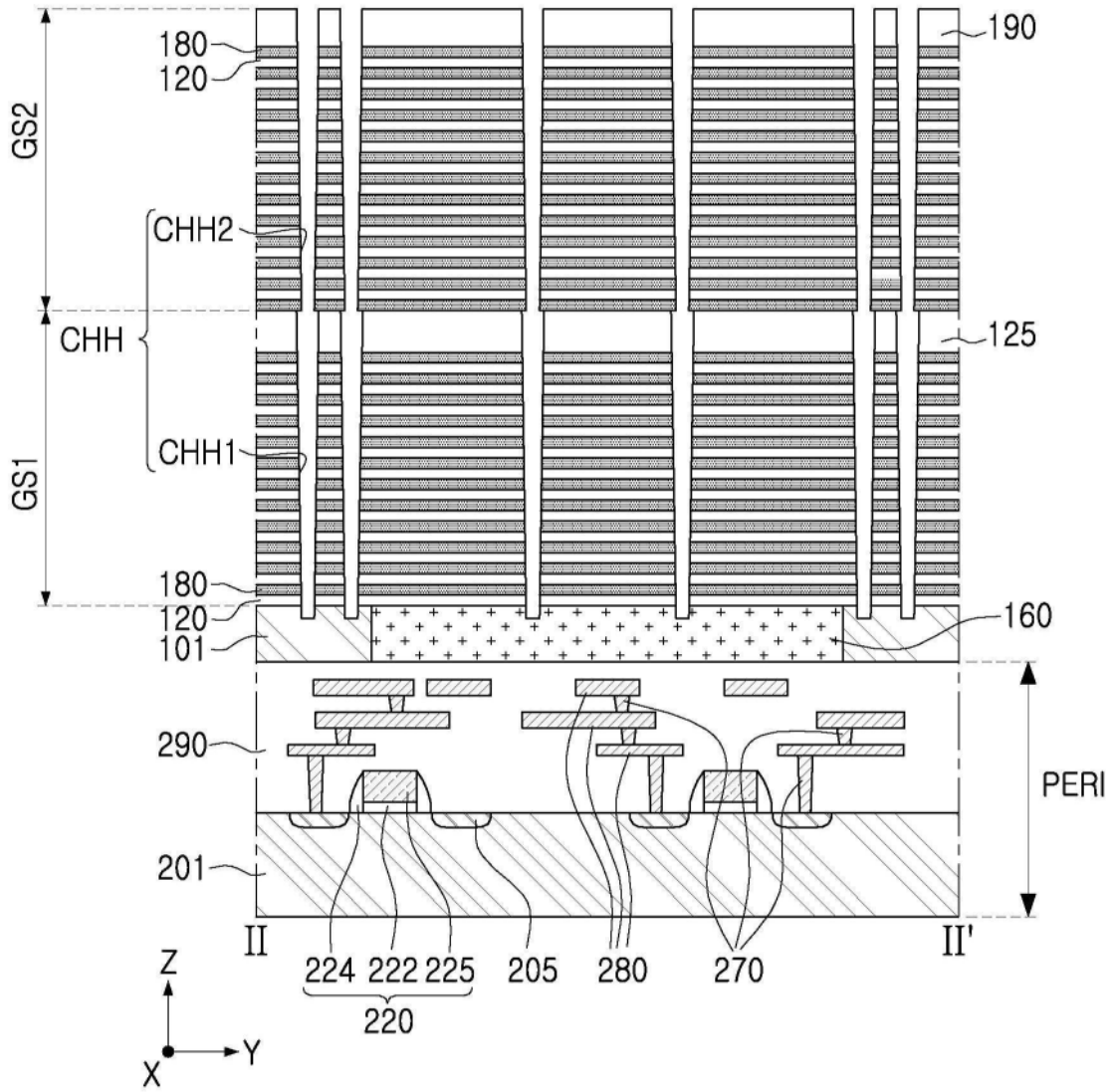


图14C

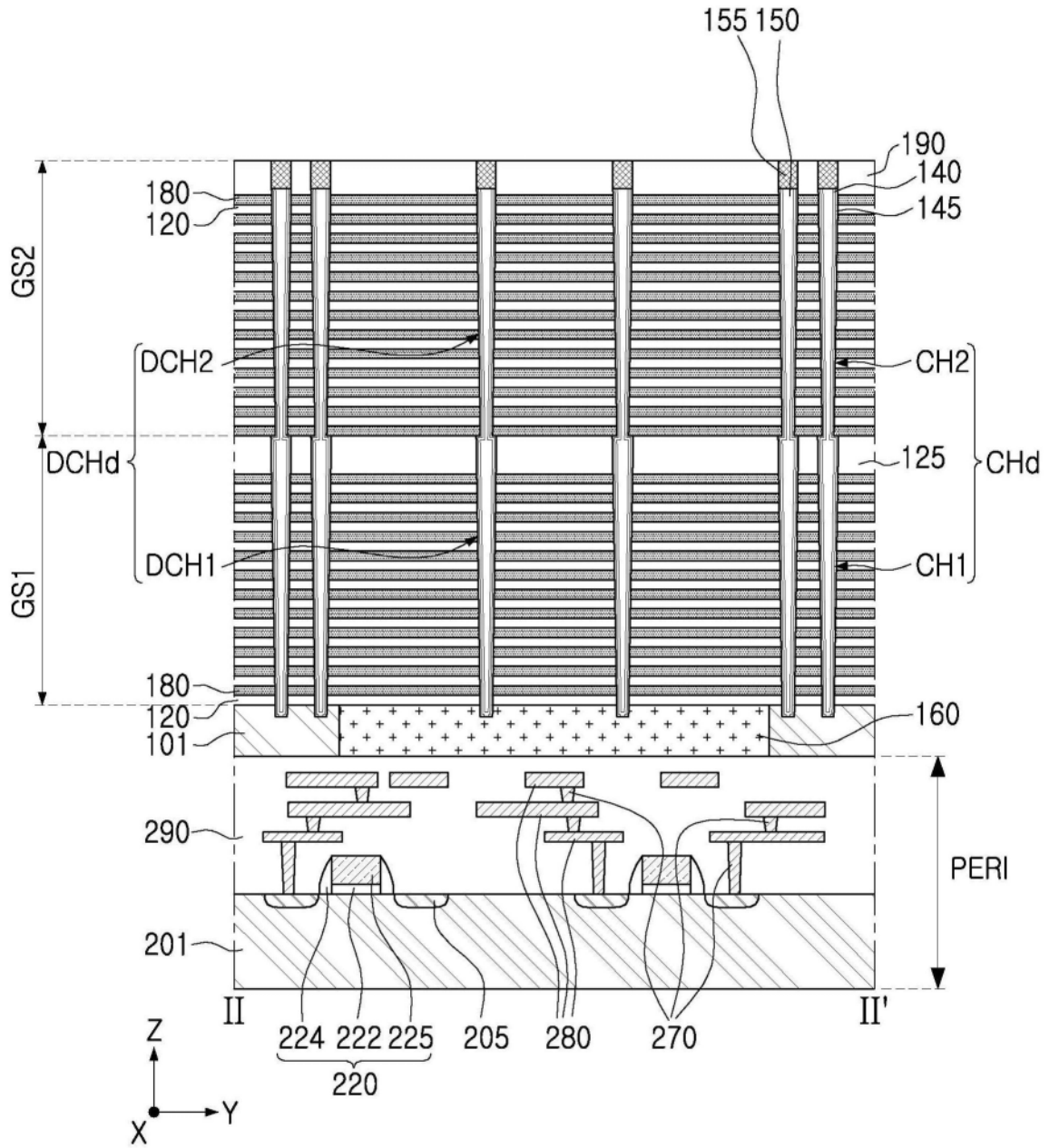


图14D

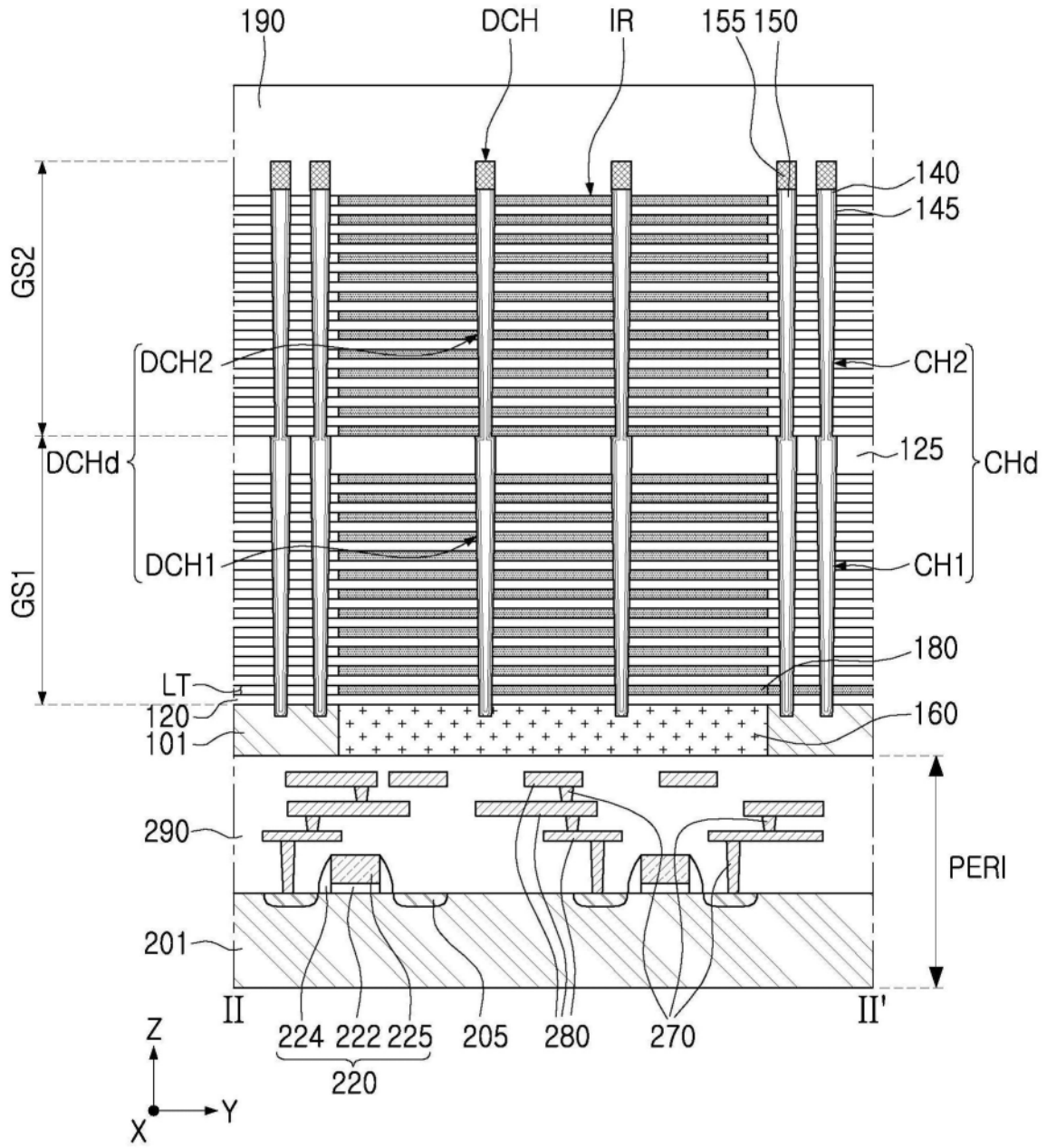


图14E

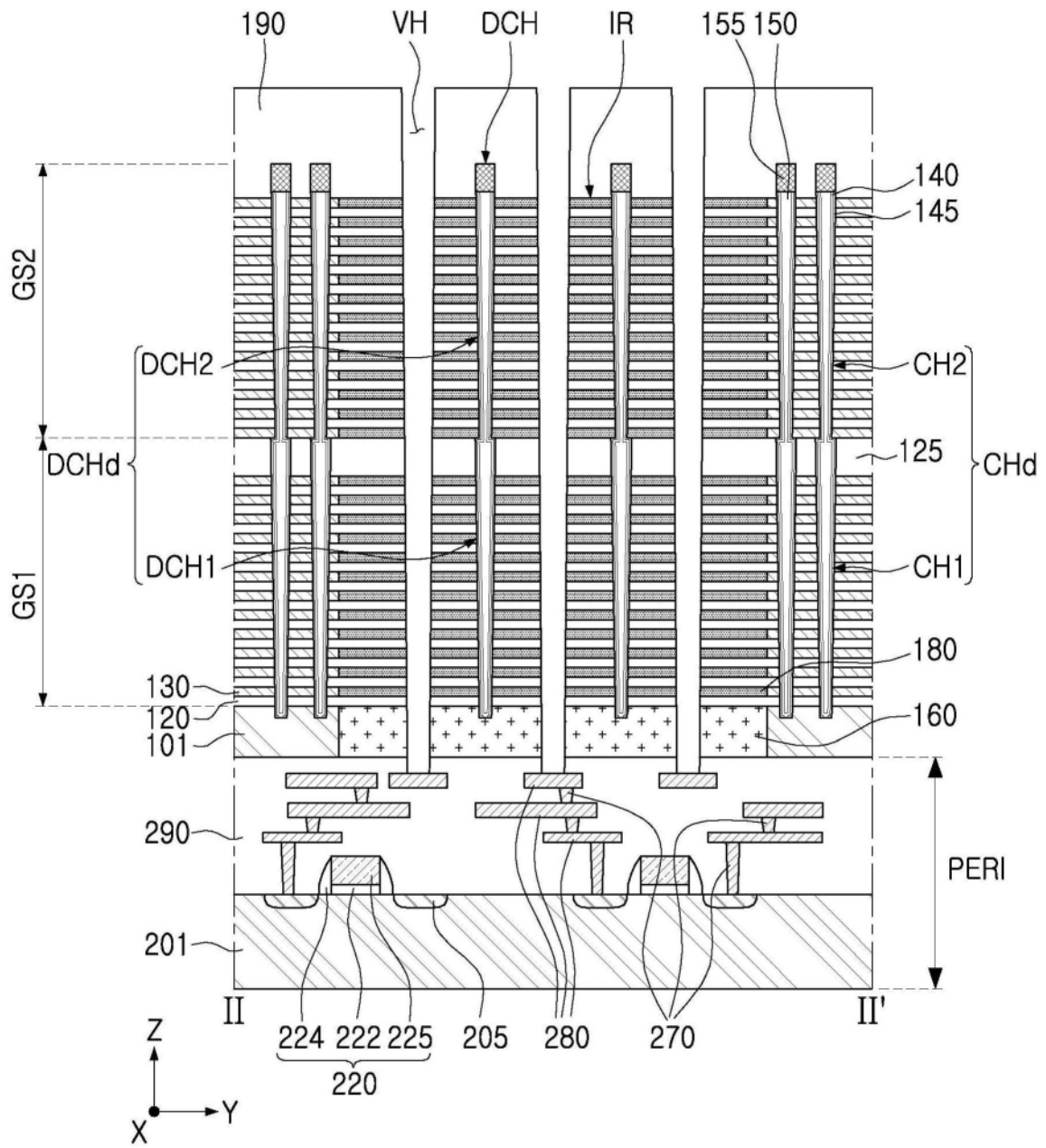


图14F