

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-514693

(P2025-514693A)

(43)公表日 令和7年5月9日(2025.5.9)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/3065(2006.01)	H 0 1 L 21/302 1 0 5 A	5 F 0 0 4
H 0 1 L 21/31 (2006.01)	H 0 1 L 21/31 B	5 F 0 4 5

審査請求 未請求 予備審査請求 未請求 (全33頁)

(21)出願番号	特願2024-560668(P2024-560668)	(71)出願人	390040660 アプライド マテリアルズ インコーポレイテッド APPLIED MATERIALS, INCORPORATED アメリカ合衆国 カリフォルニア 95054, サンタ クララ, パウアーズ アヴェニュー 3050 3050 Bowers Avenue Santa Clara CA 95054 U.S.A.
(86)(22)出願日	令和5年3月20日(2023.3.20)	(74)代理人	110002077 園田・小林弁理士法人
(85)翻訳文提出日	令和6年12月6日(2024.12.6)	(72)発明者	ブレイル, ニコラス ルイス アメリカ合衆国 カリフォルニア 95054 最終頁に続く
(86)国際出願番号	PCT/US2023/015640		
(87)国際公開番号	WO2023/204918		
(87)国際公開日	令和5年10月26日(2023.10.26)		
(31)優先権主張番号	63/332,622		
(32)優先日	令和4年4月19日(2022.4.19)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW), EA(AM,AZ,BY,KG,KZ,RU,TJ,TM), EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV) 最終頁に続く		

(54)【発明の名称】 CMOSデバイス用のコンタクト形成プロセス

(57)【要約】

半導体構造内にコンタクト層を形成するための方法が、基板上に形成された複数の第1の半導体領域と複数の第2の半導体領域の露出面上に予洗浄プロセスを実行することによって、複数の第1の半導体領域と複数の第2の半導体領域の露出面は、各々、基板の上に配置された誘電体層内に形成された開口部内に配置される、予洗浄プロセスを実行すること、第1の半導体領域の露出面上に第1のコンタクト層を形成し、第2の半導体領域の露出面上に第2のコンタクト層を形成するために、第1の選択的エピタキシャル堆積プロセスを実行すること、パターンニングスタックを形成するために、パターンニングプロセスを実行することによって、パターンニングスタックは、誘電体層内の各開口部内に配置された第1のコンタクト層の上に形成された開口部と、誘電体層内の各開口部内に配置された各第2のコンタクト層の上に配置されたパターンニングされた層の一部分とを含む、パターンニングされた層を含む、パターンニングプロセスを実行すること、並びに、複数の第1の半導体領域、誘電体層、及びパターンニングされた層に対して、選択的に第1のコンタ

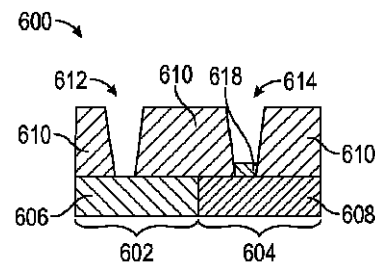


FIG. 6E

【特許請求の範囲】

【請求項 1】

半導体構造内に電気コンタクトを形成する方法であって、

基板上に形成された複数の第 1 の半導体領域と複数の第 2 の半導体領域の露出面に予洗浄プロセスを実行することであって、前記複数の第 1 の半導体領域と前記複数の第 2 の半導体領域の前記露出面は、各々、前記基板の上に配置された誘電体層内に形成された開口部内に配置される、予洗浄プロセスを実行すること、

前記第 1 の半導体領域の前記露出面上に第 1 のコンタクト層を形成し、前記第 2 の半導体領域の前記露出面上に第 2 のコンタクト層を形成するために、第 1 の選択的エピタキシャル堆積プロセスを実行すること、

10

パターニングスタックを形成するために、パターニングプロセスを実行することであって、前記パターニングスタックは、前記誘電体層内の各開口部内に配置された前記第 1 のコンタクト層の上に形成された開口部と、前記誘電体層内の各開口部内に配置された各第 2 のコンタクト層の上に配置されたパターニングされた層の一部分とを含む、前記パターニングされた層を含む、パターニングプロセスを実行すること、並びに

前記複数の第 1 の半導体領域、前記誘電体層、及び前記パターニングされた層に対して、選択的に前記第 1 のコンタクト層を除去するために、選択的除去プロセスを実行することを含む、方法。

【請求項 2】

前記基板上に形成された前記第 1 の半導体領域は、シリコンを含み、

20

前記基板上に形成された前記第 2 の半導体領域は、シリコンゲルマニウムを含み、

前記第 1 のコンタクト層と前記第 2 のコンタクト層は、シリコンゲルマニウムを含む、請求項 1 に記載の方法。

【請求項 3】

前記パターニングスタックは、有機誘電体層、シリコン反射防止コーティング、及びフォトレジスト、から選択された材料を含む、請求項 1 に記載の方法。

【請求項 4】

前記選択的除去プロセスは、

- 20 と 60 との間の温度、

1 Torr と 50 Torr との間の圧力、

30

約 5 sccm と約 40 sccm との間のフッ素含有前駆体の流量、

4 sccm と 1500 sccm との間のアルゴン (Ar) の流量、

100 sccm と 5000 sccm との間のヘリウム (He) の流量、及び

100 sccm と 5000 sccm との間の窒素 (N₂) の流量で実行される、請求項 1 に記載の方法。

【請求項 5】

前記選択的除去プロセスに続いて、前記パターニングスタックを除去するために、アッシングプロセスを実行することを更に含む、請求項 1 に記載の方法。

【請求項 6】

前記アッシングプロセスに続いて、前記第 1 の半導体領域の露出面及び前記第 2 の半導体領域上に形成された前記第 2 のコンタクト層の露出面上に金属層を形成するために、第 2 の堆積プロセスを実行することを更に含む、請求項 5 に記載の方法。

40

【請求項 7】

前記金属層は、チタン (Ti) ケイ化物、コバルト (Co) ケイ化物、ニッケル (Ni) ケイ化物、モリブデン (Mo) ケイ化物、及びタンタル (Ta) ケイ化物、から選択された材料を含む、請求項 6 に記載の方法。

【請求項 8】

半導体構造内にコンタクト層を形成する方法であって、

基板上に形成された複数の第 1 の半導体領域と複数の第 2 の半導体領域の露出面に予洗浄プロセスを実行することであって、前記複数の第 1 の半導体領域と前記複数の第 2 の半

50

導体領域の前記露出面は、各々、前記基板の上に配置された誘電体層内に形成された開口部内に配置される、予洗浄プロセスを実行すること、

前記第 1 の半導体領域の前記露出面上に第 1 の厚さを有する第 1 のコンタクト層と、前記第 2 の半導体領域の前記露出面上に第 2 の厚さを有する第 2 のコンタクト層と、を同時に形成するために、第 1 の選択的エピタキシャル堆積プロセスを実行することであって、前記第 2 の厚さは前記第 1 の厚さよりも大きい、第 1 の選択的エピタキシャル堆積プロセスを実行すること、並びに

前記第 1 のコンタクト層が前記第 1 の半導体領域から実質的に除去され、かつ、前記第 2 のコンタクト層の一部が前記第 2 の半導体領域上に残留するまで、前記複数の第 1 の半導体領域及び前記誘電体層に対して、選択的に前記第 1 のコンタクト層と前記第 2 のコンタクト層を除去するために、選択的除去プロセスを実行することを含む、方法。

10

【請求項 9】

前記基板上に形成された前記第 1 の半導体領域は、シリコンを含み、

前記基板上に形成された前記第 2 の半導体領域は、シリコンゲルマニウムを含み、

前記第 1 のコンタクト層と前記第 2 のコンタクト層は、シリコンゲルマニウムを含む、

請求項 8 に記載の方法。

【請求項 10】

前記選択的除去プロセスは、

- 20 と 60 との間の温度、

1 Torr と 50 Torr との間の圧力、

約 5 sccm と約 40 sccm との間のフッ素含有前駆体の流量、

4 sccm と 1500 sccm との間のアルゴン (Ar) の流量、

100 sccm と 5000 sccm との間のヘリウム (He) の流量、及び

100 sccm と 5000 sccm との間の窒素 (N₂) の流量で実行される、請求項 8 に記

載の方法。

20

【請求項 11】

前記第 1 の半導体領域の露出面及び前記第 2 の半導体領域上に形成された前記第 2 のコンタクト層の露出面上に金属層を形成するために、第 2 の選択的エピタキシャル堆積プロセスを実行することを更に含む、請求項 8 に記載の方法。

【請求項 12】

前記金属層は、チタン (Ti) ケイ化物、コバルト (Co) ケイ化物、ニッケル (Ni) ケイ化物、モリブデン (Mo) ケイ化物、及びタンタル (Ta) ケイ化物、から選択された材料を含む、請求項 11 に記載の方法。

30

【請求項 13】

第 1 の処理チャンバ、

第 2 の処理チャンバ、

第 3 の処理チャンバ、並びに

システムコントローラを備える、処理システムであって、前記システムコントローラは、

前記第 1 の処理チャンバ内で、基板上に形成された複数の第 1 の半導体領域と複数の第 2 の半導体領域の露出面に予洗浄プロセスを実行すること、

40

前記第 2 の処理チャンバ内で、前記基板の前記第 1 の半導体領域の前記露出面上に第 1 のコンタクト層をエピタキシャルに形成し、前記第 2 の半導体領域の前記露出面上に第 2 のコンタクト層をエピタキシャルに形成するために、第 1 の選択的堆積プロセスを実行すること、及び

前記第 3 の処理チャンバ内で、前記第 1 の半導体領域に対して選択的に前記第 1 のコンタクト層を除去するために、選択的除去プロセスを実行すること、を行うように構成されている、処理システム。

【請求項 14】

前記システムコントローラは、減圧環境を破壊することなしに、前記第 1 の処理チャン

50

バ、前記第 2 の処理チャンバ、及び前記第 3 の処理チャンバの間で、前記基板を移送するように更に構成されている、請求項 1 3 に記載の処理システム。

【請求項 1 5】

前記基板上に形成された前記第 1 の半導体領域は、シリコンを含み、
前記基板上に形成された前記第 2 の半導体領域は、シリコンゲルマニウムを含み、
前記第 1 のコンタクト層と前記第 2 のコンタクト層は、シリコンゲルマニウムを含む、
請求項 1 3 に記載の処理システム。

【請求項 1 6】

前記第 3 の処理チャンバ内の前記選択的除去プロセスは、
- 20 と 60 との間の温度、
1 Torr と 50 Torr との間の圧力、
約 5 sccm と約 40 sccm との間のフッ素含有前駆体の流量、
4 sccm と 1500 sccm との間のアルゴン (Ar) の流量、
100 sccm と 5000 sccm との間のヘリウム (He) の流量、及び
100 sccm と 5000 sccm との間の窒素 (N₂) の流量で実行される、請求項 1 3 に
記載の処理システム。

10

【請求項 1 7】

第 4 の処理チャンバを更に備え、前記システムコントローラは、
前記第 4 の処理チャンバ内で、前記基板上に形成された前記第 1 の半導体領域の露出面と前記第 2 の半導体領域上に形成された前記第 2 のコンタクト層の露出面上に金属層を
形成するために、第 2 の堆積プロセスを実行するように更に構成され、前記金属層は、チ
タン (Ti) ケイ化物、コバルト (Co) ケイ化物、ニッケル (Ni) ケイ化物、モリブデン
(Mo) ケイ化物、及びタンタル (Ta) ケイ化物、から選択された材料を含む、請求項 1
3 に記載の処理システム。

20

【請求項 1 8】

第 5 の処理チャンバを更に備え、前記システムコントローラは、
前記第 5 の処理チャンバ内で、前記金属層上にバリア金属層を形成するために、コン
フォーマル堆積プロセスを実行するように更に構成され、前記バリア金属層は、窒化チタ
ン (TiN) と窒化タンタル (TaN) から選択された材料を含む、請求項 1 7 に記載の処理
システム。

30

【請求項 1 9】

第 6 の処理チャンバを更に備え、
前記システムコントローラは、前記第 6 の処理チャンバ内で、前記第 4 の処理チャンバ
内の前記第 2 の堆積プロセスの前に、かつ、前記第 3 の処理チャンバ内の前記選択的除去
プロセスに続いて、パターニングスタックを除去するために、アッシングプロセスを実行
すること、を行うように更に構成されている、請求項 1 8 に記載の処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

【0001】本明細書で説明される実施形態は、広くは、半導体デバイス製造に関し、特
に、半導体構造内でコンタクトを形成するシステム及び方法に関する。

40

【背景技術】

【0002】

【0002】相補型金属酸化膜半導体 (CMOS) デバイスなどのマルチゲート金属酸化膜
半導体電界効果トランジスタ (MOSFET) は、その三次元 (3D) 設計と小型サイズのため
に、製造性に課題をもたらす。進んだ CMOS デバイスでは、トレンチコンタクトの下
部に形成されたシリコン含有材料 (例えば、ホウ素がドーブされた p 型シリコンゲルマ
ニウム又はリンがドーブされた n 型シリコン) のエピタキシャル層が、しばしば、コンタ
クト低効率を 10^{-9} cm² 領域まで低下させ、進んだ CMOS 技術用に必要とされる性能を
実現するために利用されている。

50

【0003】

【0003】しかし、例えば、nMOS領域又はpMOS領域を保護するためのハードマスクを使用する、そのようなエピタキシャル層の形成及びパターニングは、スペーサ、ゲートキャップ層、又はエピタキシャル成長層などの、CMOSデバイスの様々な部分に損傷を与える可能性がある。

【0004】

【0004】したがって、半導体デバイスの選択された部分にシリコン含有材料のエピタキシャル層を含むコンタクトを形成することができる方法及びシステムが必要とされている。

【発明の概要】

【0005】

【0005】本開示の複数の実施形態は、半導体構造内にコンタクト層を形成する方法を提供する。該方法は、基板上に形成された複数の第1の半導体領域と複数の第2の半導体領域の露出面に予洗浄プロセスを実行することであって、複数の第1の半導体領域と複数の第2の半導体領域の露出面は、各々、基板の上に配置された誘電体層内に形成された開口部内に配置される、予洗浄プロセスを実行すること、第1の半導体領域の露出面上に第1のコンタクト層を形成し、第2の半導体領域の露出面上に第2のコンタクト層を形成するために、第1の選択的エピタキシャル堆積プロセスを実行すること、パターニングスタックを形成するために、パターニングプロセスを実行することであって、パターニングスタックは、誘電体層内の各開口部内に配置された第1のコンタクト層の上に形成された開口部と、誘電体層内の各開口部内に配置された各第2のコンタクト層の上に配置されたパターニングされた層の一部分とを含む、パターニングされた層を含む、パターニングプロセスを実行すること、並びに、複数の第1の半導体領域、誘電体層、及びパターニングされた層に対して、選択的に第1のコンタクト層を除去するために、選択的除去プロセスを実行することを含む。

【0006】

【0006】本開示の複数の実施形態は、半導体構造内にコンタクト層を形成する方法を提供する。該方法は、基板上に形成された複数の第1の半導体領域と複数の第2の半導体領域の露出面に予洗浄プロセスを実行することであって、複数の第1の半導体領域と複数の第2の半導体領域の露出面は、各々、基板の上に配置された誘電体層内に形成された開口部内に配置される、予洗浄プロセスを実行すること、第1の半導体領域の露出面上に第1の厚さを有する第1のコンタクト層と、第2の半導体領域の露出面上に第2の厚さを有する第2のコンタクト層と、を同時に形成するために、第1の選択的エピタキシャル堆積プロセスを実行することであって、第2の厚さは第1の厚さよりも大きい、第1の選択的エピタキシャル堆積プロセスを実行すること、並びに、第1のコンタクト層が第1の半導体領域から実質的に除去され、かつ、第2のコンタクト層の一部分が第2の半導体領域上に残留するまで、複数の第1の半導体領域及び誘電体層に対して、選択的に第1のコンタクト層と第2のコンタクト層を除去するために、選択的除去プロセスを実行することを含む。

【0007】

【0007】本開示の複数の実施形態は、第1の処理チャンバ、第2の処理チャンバ、第3の処理チャンバ、並びにシステムコントローラを含む、処理システムを提供する。システムコントローラは、第1の処理チャンバ内で、基板上に形成された複数の第1の半導体領域と複数の第2の半導体領域の露出面に予洗浄プロセスを実行すること、第2の処理チャンバ内で、基板の第1の半導体領域の露出面上に第1のコンタクト層をエピタキシャルに形成し、第2の半導体領域の露出面上に第2のコンタクト層をエピタキシャルに形成するために、第1の選択的堆積プロセスを実行すること、及び、第3の処理チャンバ内で、第1の半導体領域に対して選択的に第1のコンタクト層を除去するために、選択的除去プロセスを実行すること、を行うように構成されている。

【0008】

10

20

30

40

50

【0008】上述の本開示の特徴を詳細に理解し得るように、上記で簡単に要約された本開示のより具体的な説明が、複数の実施形態を参照することによって得られ、一部の実施形態は、付随する図面に例示されている。しかし、添付の図面は、本開示の典型的な実施形態のみを例示しており、本開示は他の等しく有効な実施形態も許容し得るので、添付の図面は、本開示の範囲を限定すると見なすべきではないことに留意されたい。

【図面の簡単な説明】

【0009】

【図1】【0009】本開示の1以上の実施形態によるマルチチャンバ処理システムの概略上面図である。

【図2A】【0010】1以上の実施形態による処理チャンバの断面図である。

10

【図2B】【0011】図2Aの処理チャンバの一部分の拡大図である。

【図3】【0012】1以上の実施形態による処理チャンバの断面図である。

【図4】【0013】1以上の実施形態による処理チャンバの断面図である。

【図5】【0014】本開示の第1の実施形態による半導体構造内にコンタクト層を形成する方法のプロセスフロー図を示す。

【図6A】【0015】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図6B】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図6C】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図6D】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

20

【図6E】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図6F】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図6G】図5の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図7】【0016】本開示の第2の実施形態による半導体構造内にコンタクト層を形成する方法のプロセスフロー図を示す。

【図8A】【0017】図7の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図8B】図7の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図8C】図7の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【図8D】図7の方法の様々な段階に対応する半導体構造の一部分の断面図である。

30

【図8E】図7の方法の様々な段階に対応する半導体構造の一部分の断面図である。

【発明を実施するための形態】

【0010】

【0018】理解を容易にするために、可能な場合には、複数の図に共通する同一の要素を指し示すのに、同一の参照番号を使用した。一実施形態の要素及び特徴は、追加の記述がなくても、他の複数の実施形態に有益に組み込むことができると考えられている。

【0011】

【0019】本明細書で説明される複数の実施形態は、CMOSデバイスを形成するために使用される構造の選択された部分において（例えば、シリコン又はシリコンゲルマニウムの層の露出面上に）シリコン含有材料（例えば、ホウ素がドーブされたp型シリコンゲルマニウム又はリンがドーブされたn型シリコン）のエピタキシャル層を含む、コンタクトを形成するための方法及びシステムを提供する。該方法及びシステムは、シリコンを含む領域、シリコンゲルマニウムを含む領域、及びそれらの上に形成された誘電体層を有する、半導体構造内に、誘電体層内に形成された開口部又はフィーチャ（例えば、コンタクトトレンチ）内のシリコンゲルマニウム材料の露出面上に選択的にシリコンゲルマニウムを含む、エピタキシャル層を形成するために特に有用であり得る。コンタクトを形成するために、製造された半導体構造（例えば、スペーサ、ゲートキャップなど）に損傷を与える傾向がある、ハードマスクの形成及び様々なエッチングやパターンニングプロセスステップを必要とする従来のプロセスとは異なり、本明細書で説明されるプロセスは、これらの以前に形成された半導体構造に損傷を与えることなしに、コンタクトを形成するように構成

40

50

されている。

【0012】

[0020] 図1は、本開示の1以上の実施形態によるマルチチャンバ処理システム100の概略上面図である。処理システム100は、概して、ファクトリインターフェース102、ロードロックチャンバ104、106、それぞれの移送ロボット112、114を有する移送チャンバ108、110、保持チャンバ116、118、及び処理チャンバ120、122、124、126、128、130を含む。本明細書で詳述されるように、処理システム100内の基板は、処理システム100の外部の周囲環境（例えば、製造工場内などに存在してよい大気周囲環境）に基板を曝露することなしに、様々なチャンバ内で処理され、様々なチャンバの間で移送され得る。例えば、基板は、処理システム100内で基板に対して実行される様々なプロセスの間に、低圧又は減圧環境を壊すことなしに、低圧（例えば、約300 Torr以下）又は減圧環境に維持されている様々なチャンバ内で処理され、様々なチャンバの間で移送され得る。したがって、処理システム100は、基板の幾つかの処理用の統合された解決策を提供し得る。

10

【0013】

[0021] 本明細書で提供される教示に従って適切に改変されてよい処理システムの例には、カリフォルニア州サンタクララに所在するアプライドマテリアルズ社（Applied Materials, Inc.）から入手可能なEndura（登録商標）、Producer（登録商標）、若しくはCentura（登録商標）集積処理システム、又は他の適切な処理システムが含まれる。他の処理システム（他の製造業者からのものを含む）が、本明細書で説明される複数の態様から利益を受けるように適合されてよいことも考慮されている。

20

【0014】

[0022] 図1で示されている一実施例では、ファクトリインターフェース102が、基板の移送を容易にするために、ドッキングステーション132及びファクトリインターフェースロボット134を含む。ドッキングステーション132は、1以上の前方開口型統一ポッド（FOUP）136を受容するように適合されている。幾つかの実施例では、各ファクトリインターフェースロボット134が、概して、ファクトリインターフェース102からロードロックチャンバ104、106へ基板を移送するように適合されたそれぞれのファクトリインターフェースロボット134の一端に配置されたブレード138を備える。

30

【0015】

[0023] ロードロックチャンバ104、106は、ファクトリインターフェース102に結合されたそれぞれのポート140、142、及び移送チャンバ108に結合されたそれぞれのポート144、146を有する。移送チャンバ108は、保持チャンバ116、118に結合されたそれぞれのポート148、150、及び処理チャンバ120、122に結合されたそれぞれのポート152、154を更に有する。同様に、移送チャンバ110は、保持チャンバ116、118に結合されたそれぞれのポート156、158、及び処理チャンバ124、126、128、130に結合されたそれぞれのポート160、162、164、166を有する。ポート144、146、148、150、152、154、156、158、160、162、164、166は、例えば、移送ロボット112、114によってそこを通して基板を移送するための、及び、それぞれのチャンバの間でガスが通過することを防止するためにそれぞれのチャンバの間に密封を提供するための、スリットバルブを有するスリットバルブ開口部であり得る。概して、任意のポートは、そこを通して基板を移送するために開かれる。そうでなければ、ポートは閉じられる。

40

【0016】

[0024] ロードロックチャンバ104、106、移送チャンバ108、110、保持チャンバ116、118、及び処理チャンバ120、122、124、126、128、130は、ガス及び圧力制御システム（特に図示せず）に流体結合されてよい。ガス及び圧力制御システムは、1以上のガスポンプ（例えば、ターボポンプ、クライオポンプ、粗引きポンプ）、ガス源、様々なバルブ、及び様々なチャンバに流体結合された導管を含み

50

得る。動作では、ファクトリインターフェースロボット134が、基板をFOUP136からポート140又は142を通してロードロックチャンバ104又は106に移送する。次いで、ガス及び圧力制御システムは、ロードロックチャンバ104又は106をポンプダウンする。ガス及び圧力制御システムは、移送チャンバ108、110及び保持チャンバ116、118を、内部低圧又は減圧環境（不活性ガスを含んでよい）で更に維持する。したがって、ロードロックチャンバ104又は106のポンプダウンは、例えば、ファクトリインターフェース102の大気環境と移送チャンバ108の低圧又は減圧環境との間で、基板を通過させることを容易にする。

【0017】

【0025】ポンプダウンされたロードロックチャンバ104又は106内に基板がある状態で、移送ロボット112は、ロードロックチャンバ104又は106からポート144又は146を通して移送チャンバ108の中に基板を移送する。次いで、移送ロボット112は、処理のためにそれぞれのポート152、154を通して処理チャンバ120、122、及び、更なる移送を待つように保持するためにそれぞれのポート148、150を通して保持チャンバ116、118のいずれかに、並びに/又は、それらの間でウエハを移送することができる。同様に、移送ロボット114は、ポート156又は158を通して保持チャンバ116又は118内の基板にアクセスすることができ、処理のためにそれぞれのポート160、162、164、166を通して処理チャンバ124、126、128、130、及び、更なる移送を待つように保持するためにそれぞれのポート156、158を通して保持チャンバ116、118のいずれかに、並びに/又は、それらの間で基板を移送することができる。様々なチャンバ内で及び様々なチャンバの間で基板を移送及び保持することは、ガス及び圧力制御システムによって提供される低圧又は減圧環境内で行われ得る。

【0018】

【0026】処理チャンバ120、122、124、126、128、130は、基板を処理するための任意の適切なチャンバであり得る。幾つかの実施例では、処理チャンバ120が、エッチングプロセスを実行することができ、処理チャンバ122は、洗浄プロセスを実行することができ、処理チャンバ124は、選択的除去プロセスを実行することができ、処理チャンバ126、128、130は、それぞれのエピタキシャル成長プロセスを実行することができる。処理チャンバ120は、カリフォルニア州サンタクララのアプライドマテリアルズ社から入手可能なSelectra（商標）Etchチャンバであってよい。処理チャンバ122は、カリフォルニア州サンタクララのアプライドマテリアルズ社から入手可能なSiCoNi（商標）予洗浄チャンバであってよい。処理チャンバ126、128、又は130は、カリフォルニア州サンタクララのアプライドマテリアルズ社から入手可能なCentura（商標）Epiチャンバであってよい。

【0019】

【0027】システムコントローラ168が、処理システム100又はその構成要素を制御するために処理システム100に結合されている。例えば、システムコントローラ168は、処理システム100のチャンバ104、106、108、110、116、118、120、122、124、126、128、130の直接制御を使用して、又はチャンバ104、106、108、110、116、118、120、122、124、126、128、130に関連付けられたコントローラを制御することによって、処理システム100の動作を制御してよい。動作では、システムコントローラ168が、処理システム100の性能を調整するために、それぞれのチャンバからのデータ収集及びフィードバックを可能にする。

【0020】

【0028】システムコントローラ168は、概して、中央処理装置（CPU）170、メモリ172、及びサポート回路174を含む。CPU170は、産業用設定で使用できる任意の形態の汎用プロセッサのうちの一つであってよい。メモリ172又は非一時的なコンピュータ可読媒体は、CPU170によってアクセス可能であり、ローカル若しくはリ

モートの、ランダムアクセスメモリ（RAM）、リードオンリーメモリ（ROM）、フロッピーディスク、ハードディスク、又は任意の他の形態のデジタルストレージなどの、1以上のメモリであってよい。サポート回路174は、CPU170に結合され、キャッシュ、クロック回路、入/出力サブシステム、電源などを備えてよい。本明細書で開示される様々な方法は、概して、CPU170、例えば、ソフトウェアルーチンとしてメモリ172内（又は特定のプロセスチャンバのメモリ内）に記憶されたコンピュータ命令コードを実行することによって、CPU170の制御の下で実施されてよい。コンピュータ命令コードがCPU170によって実行されると、CPU170は、様々な方法に従ってプロセスを実行するようにチャンバを制御する。

【0021】

[0029] 他の処理システムは、他の構成を採り得る。例えば、より多くの又はより少ない処理チャンバが、移送装置に結合されてよい。図示されている一実施例では、移送装置が、移送チャンバ108、110及び保持チャンバ116、118を含む。他の複数の実施例では、より多くの又はより少ない移送チャンバ（例えば、1つの移送チャンバ）及び/又はより多くの又はより少ない保持チャンバ（例えば、保持チャンバなし）が、処理システム内の移送装置として実装されてよい。

【0022】

[0030] 図2Aは、以下で詳述されるように予洗浄プロセスを実行するように適合された、1以上の実施形態による処理チャンバ200の断面図である。処理チャンバ200は、図1で示されている処理チャンバ122であってよい。図2Bは、図2Aの処理チャンバ200の一部分の拡大図である。

【0023】

[0031] チャンバ200は、熱又はプラズマベースの洗浄プロセス及び/又はプラズマ支援型ドライエッチングプロセスを実行するのに特に有用であり得る。処理チャンバ200は、チャンバ本体202、リッドアセンブリ204、及び支持アセンブリ206を含む。リッドアセンブリ204は、チャンバ本体202の上端に配置され、支持アセンブリ206は、チャンバ本体202内に少なくとも部分的に配置される。減圧システムを使用して、処理チャンバ200からガスを除去することができる。減圧システムには、チャンバ本体202内に配置された減圧ポート210に結合された減圧ポンプ208が含まれる。処理チャンバ200はまた、処理チャンバ200内のプロセスを制御するためのコントローラ212も含む。

【0024】

[0032] リッドアセンブリ204は、処理チャンバ200内の処理領域214にガス及び/又はプラズマを提供するように適合された積層部品を含む。第1のプレート216は、第2のプレート218に結合されている。第3のプレート220は、第2のプレート218に結合されている。リッドアセンブリ204は、リッドアセンブリ204内に形成された円錐形チャンバ222にプラズマを供給するための電源（図示せず）に接続され得る。リッドアセンブリ204はまた、リッドスタックの上流でプラズマを生成する遠隔プラズマ源224にも接続され得る。遠隔プラズマキャビティ（例えば、図2A～図2Bの処理領域214、第1のプレート216、及び第2のプレート218）は、ガス源226に結合される（又はガス源226が、遠隔プラズマ源224なしにリッドアセンブリ204に直接的に結合される）。ガス源226は、ヘリウム、アルゴン、又は他の不活性ガスを提供するように適合されたガス源を含み得る。幾つかの構成では、ガス源226によって提供されるガスが、プラズマへと励起され得る。プラズマは、遠隔プラズマ源224の使用によってリッドアセンブリ204に提供される。代替的な複数の実施形態では、ガス源226が、処理チャンバ200内に配置された基板の表面に導入される前に、遠隔プラズマ源224によって活性化され得るプロセスガスを提供し得る。図2Bを参照すると、円錐形チャンバ222が、開口部228を有する。開口部228は、生成されたプラズマが遠隔プラズマ源224からリッドアセンブリ204の第4のプレート232内に形成された空間230に流れることを可能にする。

10

20

30

40

50

【 0 0 2 5 】

【0033】リッドアセンブリ 2 0 4 の幾つかの構成では、プラズマが、プラズマ源から供給されるエネルギーの印加によって円錐形チャンバ 2 2 2 内で生成される。一実施例では、RF、VHF、及び / 又は UHF エネルギーを、円錐形チャンバ 2 2 2 内に配置されたガスに容量結合するように、リッドアセンブリ 2 0 4 にバイアスをかけることによって、エネルギーが提供され得る。リッドアセンブリ 2 0 4 のこの構成では、遠隔プラズマ源 2 2 4 が使用されないか又はリッドアセンブリ 2 0 4 内に設置されないことがある。

【 0 0 2 6 】

【0034】第 4 のプレート 2 3 2 内に形成された中央導管 2 3 4 は、空間 2 3 0 から提供されるプラズマ生成種を、第 5 のプレート 2 3 6 を通してリッドアセンブリ 2 0 4 の第 6 のプレート 2 4 0 内に形成された混合チャンバ 2 3 8 に提供するように適合されている。中央導管 2 3 4 は、第 5 のプレート 2 3 6 内の開口部 2 4 2 を通して混合チャンバ 2 3 8 と連通する。開口部 2 4 2 は、中央導管 2 3 4 の直径よりも小さいか、それよりも大きいか、又は同じ直径を有し得る。図 2 B の実施形態では、開口部 2 4 2 が、中央導管 2 3 4 と同じ直径を有する。

10

【 0 0 2 7 】

【0035】第 4 のプレート 2 3 2 はまた、ガスを混合チャンバ 2 3 8 に提供するように適合された入口 2 4 4 及び 2 4 6 も含む。入口 2 4 4 は、第 1 のガス源 2 4 8 に結合され、入口 2 4 6 は、第 2 のガス源 2 5 0 に結合される。第 1 のガス源 2 4 8 及び第 2 のガス源 2 5 0 は、処理ガス、ならびに不活性ガス（例えば、キャリアガスとして利用される、アルゴン及び / 又はヘリウムなどの不活性ガス）を含み得る。第 1 のガス源 2 4 8 は、アンモニア（ NH_3 ）、ならびにアルゴン（Ar）を含み得る。第 2 のガス源 2 5 0 は、フッ素含有ガス、水素含有ガス、又はそれらの組み合わせを含み得る。一実施例では、第 2 のガス源 2 5 0 が、フッ化水素（HF）、ならびにアルゴン（Ar）を含み得る。

20

【 0 0 2 8 】

【0036】図 2 B で示されているように、幾つかの構成では、入口 2 4 4 が、円筒形チャンネル 2 5 2（ファントム線で示されている）と第 5 のプレート 2 3 6 内に形成された孔 2 5 4 とを通して混合チャンバ 2 3 8 に結合されている。入口 2 4 6 は、円筒形チャンネル 2 5 6（ファントム線で示されている）と第 5 のプレート 2 3 6 内に形成された孔 2 5 8 とを通して混合チャンバ 2 3 8 に結合されている。第 5 のプレート 2 3 6 内に形成された孔 2 5 4、2 5 8 は、概して、それらが均一なガスの流れを可能にするようにサイズ決定されている。ガスは、それらのそれぞれのガス源 2 4 8、2 5 0 から、混合チャンバ 2 3 8 の中に提供される。1つの構成では、孔 2 5 8 が、第 4 のプレート 2 3 2 内に形成された円筒形チャンネル 2 5 6 の対向する側壁によって画定される開口部の幅よりも小さい直径を有する。孔 2 5 8 は、典型的には、混合チャンバ 2 3 8 への均一な流体の流れを提供するために、円筒形チャンネル 2 5 6 の中心線の円周上に分布している。1つの構成では、孔 2 5 4 が、第 4 のプレート 2 3 2 内に形成された円筒形状チャンネル 2 5 2 の対向する側壁によって画定される開口部の幅よりも小さい直径を有する。孔 2 5 4 は、典型的には、混合チャンバ 2 3 8 への均一な流体の流れを提供するために、円筒形チャンネル 2 5 2 の中心線の円周上に分布している。

30

40

【 0 0 2 9 】

【0037】入口 2 4 4 と 2 4 6 は、それぞれ、第 4 のプレート 2 3 2 を側方を通り、第 5 のプレート 2 3 6 に向けて曲がり、第 5 のプレート 3 2 6 を貫通し、混合チャンバ 2 3 8 に入る流体の流路を提供する。リッドアセンブリ 2 0 4 はまた、第 7 のプレート又は第 1 のガス分配器 2 6 0 も含む。第 7 のプレート又は第 1 のガス分配器 2 6 0 は、シャワーヘッドなどのガス分配プレートであってよい。その場合、リッドアセンブリ 2 0 4 内で混合された様々なガスが、内部に形成された穿孔 2 6 2 を通して流される。穿孔 2 6 2 は、混合チャンバ 2 3 8 から第 1 のガス分配器 2 6 0 を通る流路を提供するために、混合チャンバ 2 3 8 と流体連通している。図 2 A に戻って参照すると、シャワーヘッドなどの、ブロッカープレート 2 6 4 及び（第 2 のガス分配器 2 6 6 などの）ガス分配プレートが、リ

50

ッドアセンブリ 204 の下方に配置されている。第 2 のガス分配器 266 は、ガス分配プレートであってよい。

【0030】

【0038】 代替的に、基板表面を洗浄するために、異なる洗浄プロセスが使用されてもよい。例えば、ヘリウム (He) 及びアンモニア (NH₃) を含有する遠隔プラズマが、リッドアセンブリ 204 を通して処理チャンバ 200 の中に導入され得る。一方で、アンモニア (NH₃) が、チャンバ本体 202 の側部に配置され、ガス源 (図示せず) に結合された別のガス入口 268 を介して、処理チャンバ 200 の中に直接的に注入され得る。

【0031】

【0039】 支持アセンブリ 206 は、処理中に基板 272 をその上で支持するための基板支持体 270 を含んでよい。基板支持体 270 は、チャンバ本体 202 の下部に形成された中央に配置された開口部を通して伸びるシャフト 276 によってアクチュエータ 274 に結合され得る。アクチュエータ 274 は、シャフト 276 の周りの減圧漏れを防ぐベローズ (図示せず) によってチャンバ本体 202 に柔軟に密封されてもよい。アクチュエータ 274 により、基板支持体 270 をチャンバ本体 202 内で処理位置と装填位置との間で垂直に移動させることができる。装填位置は、チャンバ本体 202 の側壁に形成されたトンネルの開口部 (図示せず) のわずかに下方にある。

10

【0032】

【0040】 基板支持体 270 は、その上で処理される基板 272 を支持するために平坦であるか又は実質的に平坦な基板支持面を有する。基板支持体 270 は、シャフト 276 によって基板支持体 270 に結合されたアクチュエータ 274 によってチャンバ本体 202 内で垂直に移動し得る。幾つかのステップでは、基板支持体 270 が、処理されている基板 272 の温度を制御するために、リッドアセンブリ 204 に近接した位置まで上昇され得る。したがって、基板 272 は、第 2 のガス分配器 266、若しくは別の放射線源から発された放射線を介して、又は介在するガスを介した第 2 のガス分配器 266 からの対流若しくは伝導によって加熱され得る。幾つかのプロセスステップでは、アニーリングステップを実行することなどの更なる熱処理ステップを実行するために、基板がリフトピン 278 上に配置され得る。

20

【0033】

【0041】 図 3 は、以下で詳述されるようにエピタキシャル (Epi) 堆積プロセスを実行するように適合された、1 以上の実施形態による処理チャンバ 300 の断面図である。処理チャンバ 300 は、図 1 で示されている処理チャンバ 126、128、又は 130 であってよい。

30

【0034】

【0042】 処理チャンバ 300 は、アルミニウム又はステンレス鋼 (例えば 316 L ステンレス鋼) などのプロセス耐性材料で作製されたハウジング構造 302 を含む。ハウジング構造 302 は、石英チャンバ 304 などの処理チャンバ 300 の様々な機能要素を囲む。石英チャンバ 304 は、上部石英チャンバ 306 及び下部石英チャンバ 308 を含む、内部に処理空間 310 を含む。反応種が、ガス分配アセンブリ 312 によって石英チャンバ 304 に提供され、処理副生成物が、出口ポート 314 によって処理空間 310 から除去される。出口ポート 314 は、通常、減圧源 (図示せず) と連通している。

40

【0035】

【0043】 基板支持体 316 は、処理空間 310 に移送される基板 318 を受け入れるように適合されている。基板支持体 316 は、処理チャンバ 300 の長手軸 320 に沿って配置されている。基板支持体 316 は、シリコン材料 (炭化ケイ素など) 又は他のプロセス耐性材料で被覆されたセラミック材料又はグラファイト材料で作製され得る。前駆体反応材料からの反応種は、基板 318 の表面 322 に付加され、副生成物が、その後、基板 318 の表面 322 から除去され得る。基板 318 及び / 又は処理空間 310 の加熱は、上部ランプモジュール 324 A 及び下部ランプモジュール 324 B などの放射線源によって提供され得る。

50

【0036】

【0044】一実施形態では、上部ランプモジュール324A及び下部ランプモジュール324Bが、赤外線(IR)ランプである。ランプモジュール324A及び324Bからの非熱エネルギー又は放射線は、上部石英チャンバ306の上部石英窓326を通り、下部石英チャンバ308の下部石英窓328を通して移動する。上部石英チャンバ306用の冷却ガスが、必要とされる場合、入口330を通して入り、出口332を通して出る。前駆体反応材料、ならびに処理チャンバ300用の希釈、パージ、及びベントガスは、ガス分配アセンブリ312を通して入り、出口ポート314を通して出る。上部石英窓326は、湾曲し又は凸状に図示されているが、上部石英窓326は、平面的又は凹状であり得る。というのも、上部石英窓326の両側面への圧力は、実質的に同じ(すなわち、大気圧)だからである。

10

【0037】

【0045】反応種にエネルギーを与え、反応物の吸着、及び基板318の表面322からのプロセス副生成物の脱着を支援するために使用される、処理空間310内の低波長放射線は、通常、約0.8 μm から約1.2 μm の範囲、例えば、約0.95 μm から約1.05 μm の間であり、例えば、エピタキシャル成長している膜の組成に応じて、様々な波長の組み合わせが提供される。

【0038】

【0046】成分ガスは、ガス分配アセンブリ312を介して、処理空間310に入る。ガスは、流路334によっておおまかに示されているように、ガス分配アセンブリ312から流れ、出口ポート314を通して出る。成分ガスの組み合わせは、基板表面を洗浄/不動態化し、又はシリコン及び/若しくはゲルマニウム含有膜(エピタキシャル成長する)を形成するために使用され、通常、処理空間310の中に入る前に混合される。処理空間310内の全体圧力は、出口ポート314の弁(図示せず)によって調整され得る。処理空間310の内面の少なくとも一部分は、ライナー336で覆われている。一実施形態では、ライナー336が、不透明な石英材料を含む。このやり方で、チャンバ壁は、処理空間310内の熱から絶縁される。

20

【0039】

【0047】処理空間310内の表面の温度は、冷却ガスの流れと、上部石英窓326の上方に配置された上部ランプモジュール324Aからの放射線と、の組み合わせによって約200 から約600 の温度範囲又はそれよりも上に制御され得る。冷却ガスは、入口330を通して入り、出口332を通して出る。下部石英チャンバ308内の温度は、図示されていないプロワの速度を調整することによって、及び下部石英チャンバ308の下方に配置された下部ランプモジュール324Bからの放射線によって、約200 から約600 の温度範囲又はそれよりも上に制御され得る。処理空間310内の圧力は、約5 Torrから約30 Torrの間などの、約0.1 Torrから約600 Torrの間であり得る。

30

【0040】

【0048】基板318の表面322の温度は、下部石英チャンバ308内の下部ランプモジュール324Bに対する電力調整によって、又は上部石英窓326の上に重なる上部石英モジュール324Aと下部石英チャンバ308内の下部ランプモジュール324Bとの両方に対する電力調整によって制御され得る。処理空間310内の電力密度は、約80 W/cm²から約120 W/cm²の間などの、約40 W/cm²から約400 W/cm²の間であり得る。

40

【0041】

【0049】一態様では、ガス分配アセンブリ312が、処理チャンバ300又は基板318の長手軸320に対して垂直に又は径方向338に配置される。この方向では、ガス分配アセンブリ312が、基板318の表面322にわたり又はそれと平行に径方向338にプロセスガスを流すように適合されている。1つの処理用途では、プロセスガスが、処理チャンバ300への導入のポイントにおいて予熱されて、処理空間310への導入の前にガスの予熱を開始し、及び/又はガス中の特定の結合を切断する。このやり方で、表

50

面反応速度は、基板 3 1 8 の熱温度とは無関係に修正され得る。

【 0 0 4 2 】

[0050] 動作では、シリコン (Si) 及びシリコンゲルマニウム (SiGe) のブランケット膜又は選択的エピタキシャル膜を形成するために使用される前駆体が、1以上のガス源 3 4 0 A 及び 3 4 0 B からガス分配アセンブリ 3 1 2 に提供される。IRランプ 3 4 2 (図 3 では 1 つのみが示されている) は、ガス分配アセンブリ 3 1 2 内の、ならびに流路 3 3 4 に沿って、前駆体を加熱するように利用され得る。ガス源 3 4 0 A、3 4 0 B は、上面図から見たときに、径方向外側ゾーン及び外側ゾーンの間の径方向内側ゾーンなどの、ガス分配アセンブリ 3 1 2 内の導入ゾーンを容易にするように適合されたやり方で、ガス分配アセンブリ 3 1 2 に結合され得る。ガス源 3 4 0 A、3 4 0 B は、ゾーンへの導入の速度を制御するための弁 (図示せず) を含み得る。

10

【 0 0 4 3 】

[0051] ガス源 3 4 0 A、3 4 0 B は、シラン (SiH₄)、ジシラン (Si₂H₆)、ジクロロシラン (SiH₂Cl₂)、ヘキサクロロジシラン (Si₂Cl₆)、ジブロモシラン (SiH₂Br₂)、高次シラン、それらの誘導体、及びそれらの組合せを含む、シランなどのシリコン前駆体を含み得る。ガス源 3 4 0 A、3 4 0 B はまた、ゲルマン (GeH₄)、ジゲルマン (Ge₂H₆)、四塩化ゲルマニウム (GeCl₄)、ジクロロゲルマン (GeH₂Cl₂)、それらの誘導体、及びそれらの組み合わせなどの、ゲルマニウム含有前駆体も含み得る。シリコン及び / 又はゲルマニウム含有前駆体は、塩化水素 (HCl)、塩素ガス (Cl₂)、臭化水素 (HBr)、及びそれらの組み合わせと組み合わせで使用され得る。ガス源 3 4 0 A、3 4 0 B は、ガス源 3 4 0 A、3 4 0 B のうちの一方又は両方においてシリコン含有前駆体とゲルマニウム含有前駆体とのうちの 1 以上を含み得る。

20

【 0 0 4 4 】

[0052] 前駆体材料は、この励起状態で穿孔プレート 3 4 6 内の開口部又は孔 3 4 4 (図 3 では 1 つのみが示されている) を通して処理空間 3 1 0 に入る。穿孔プレート 3 4 6 は、一実施形態では石英材料であり、貫通して形成された複数の孔 3 4 4 を有する。穿孔プレート 3 4 6 は、IR エネルギーに対して透明であり、透明な石英材料で作製され得る。他の複数の実施形態では、穿孔プレート 3 4 6 が、IR エネルギーに対して透明であり、プロセス化学及び他の処理化学に対して耐性がある任意の材料であってよい。励起された前駆体材料は、穿孔プレート 3 4 6 内の孔 3 4 4 を通って、チャンネル 3 4 8 (図 3 では 1 つのみが示されている) を通って、処理空間 3 1 0 に向けて流れる。IRランプ 3 4 2 からの光子及び非熱エネルギーの一部もまた、孔 3 4 4、穿孔プレート 3 4 6、及びチャンネル 3 4 8 を通過し、それによって、前駆体材料の流路 3 3 4 を照らす。該通過は、ガス分配アセンブリ 3 1 2 の内面に配置された反射材料及び / 又は表面によって促進される。このやり方で、前駆体材料の振動エネルギーは、流路に沿った処理空間 3 1 0 への導入のポイントから維持され得る。

30

【 0 0 4 5 】

[0053] 図 4 は、以下で詳述されるように、選択的除去プロセス (SRP) を実行するように適合された、1以上の実施形態による処理チャンバ 4 0 0 の断面図である。処理チャンバ 4 0 0 は、図 1 で示されている処理チャンバ 1 2 4 であってよい。

40

【 0 0 4 6 】

[0054] 処理チャンバ 4 0 0 は、チャンバ本体 4 0 2、リッドアセンブリ 4 0 4、及び支持アセンブリ 4 0 6 を含む。リッドアセンブリ 4 0 4 は、チャンバ本体 4 0 2 の上端に配置され、支持アセンブリ 4 0 6 は、チャンバ本体 4 0 2 内に少なくとも部分的に配置される。減圧システムを使用して、処理チャンバ 4 0 0 からガスを除去することができる。減圧システムには、チャンバ本体 4 0 2 内に配置された減圧ポート 4 1 0 に結合された減圧ポンプ 4 0 8 が含まれる。

【 0 0 4 7 】

[0055] リッドアセンブリ 4 0 4 は、フッ素含有前駆体を処理し得る遠隔プラズマシステム (RPS) 4 1 2 を含む。フッ素含有前駆体は、次いで、ガス入口アセンブリ 4 1

50

4 を通って移動する。2 つの別個のガス供給チャンネルが、ガス入口アセンブリ 4 1 4 内に見える。第 1 のチャンネル 4 1 6 は、RPS 4 1 2 を通過するガスを運び、一方で、第 2 のチャンネル 4 1 8 は、RPS 4 1 2 を迂回する。いずれかのチャンネルが、フッ素含有前駆体用に使用されてよい。幾つかの実施態様では、第 1 のチャンネル 4 1 6 が、プロセスガス用に使用されてよく、第 2 のチャンネル 4 1 8 が、処理ガス用に使用されてよい。リッド（「導電性上部分」とも呼ばれる）4 2 0 と穿孔仕切り（「シャワーヘッド」とも呼ばれる）4 2 2 が、間に絶縁リング 4 2 4 を挟んで示されている。絶縁リング 4 2 4 は、AC 電位が穿孔仕切り 4 2 2 に対してリッド 4 2 0 に印加されることを可能にする。AC 電位は、チャンバプラズマ領域 4 2 6 内にプラズマを発生させる。プロセスガスは、第 1 のチャンネル 4 1 6 を通ってチャンバプラズマ領域 4 2 6 に移動し、チャンバプラズマ領域 4 2 6 内のプラズマによって単独で、又は RPS 4 1 2 との組み合わせで励起され得る。プロセスガス（例えば、フッ素含有前駆体）が第 2 のチャンネル 4 1 8 を通って流れる場合、チャンバプラズマ領域 4 2 6 のみが励起用に使用される。穿孔仕切り 4 2 2 は、チャンバプラズマ領域 4 2 6 を穿孔仕切り 4 2 2 の下方の基板処理領域 4 2 8 から分離する。穿孔仕切り 4 2 2 は、チャンバプラズマ領域 4 2 6 内に存在するプラズマが、基板処理領域 4 2 8 内のガスを直接的に励起することを避けることを可能にするが、一方で、励起種がチャンバプラズマ領域 4 2 6 から基板処理領域 4 2 8 へ移動することを依然として可能にする。

10

【0048】

[0056] 穿孔仕切り 4 2 2 は、チャンバプラズマ領域 4 2 6 と基板処理領域 4 2 8 との間に配置され、RPS 4 1 2 及び / 又はチャンバプラズマ領域 4 2 6 内で生成されたプラズマ放出物（前駆体又は他のガスの励起された誘導体）が、プレートの厚さを横断する貫通孔 4 3 0 を通過することを可能にする。穿孔仕切り 4 2 2 はまた、1 以上の中空の空間 4 3 2 も有する。1 以上の中空の空間 4 3 2 は、蒸気又はガス（フッ素含有ガスなど）の形態を採る前駆体で満たされ得、小さな孔 4 3 4 を通過して基板処理領域 4 2 8 の中へ入り得るが、チャンバプラズマ領域 4 2 6 の中へは直接的に入り得ない。穿孔仕切り 4 2 2 は、この実施形態では、貫通孔 4 3 0 の最も小さい直径 4 3 6 の長さよりも厚い。貫通孔 4 3 0 の最も小さい直径 4 3 6 の長さ 4 3 8 は、チャンバプラズマ領域 4 2 6 から基板処理領域 4 2 8 へ貫通する励起種の有意な濃度を維持するために、貫通孔 4 3 0 のより大きい直径の部分穿孔仕切り 4 2 2 の途中まで形成することによって制限され得る。貫通孔 4 3 0 の最も小さい直径 4 3 6 の長さは、幾つかの実施形態では、貫通孔 4 3 0 の最も小さい直径 4 3 6 と同じ桁であり得るか又はそれよりも小さい。

20

30

【0049】

[0057] 穿孔仕切り 4 2 2 は、イオンサプレッサの目的で働くように適合され得る。代替的には、別個の処理チャンバ要素が含まれ得る（図示せず）。別個の処理チャンバ要素は、基板処理領域 4 2 8 の中へ移動するイオンの濃度を抑制する。リッド 4 2 0 と穿孔仕切り 4 2 2 は、それぞれ、第 1 の電極と第 2 の電極として機能し得る。それによって、リッド 4 2 0 と穿孔仕切り 4 2 2 は、異なる電圧を受け得る。これらの構成では、電力（例えば、RF 電力）が、リッド 4 2 0、穿孔仕切り 4 2 2、又はそれらの両方に印加され得る。例えば、電力がリッド 4 2 0 に印加され得る一方で、穿孔仕切り 4 2 2（イオンサプレッサとして働く）は接地される。RF 生成器は、リッド 4 2 0 及び / 又は穿孔仕切り 4 2 2 に電力を供給し得る。リッド 4 2 0 に印加される電圧は、チャンバプラズマ領域 4 2 6 内のプラズマの均一な分布を容易にし得る（すなわち、局所的なプラズマを低減させる）。チャンバプラズマ領域 4 2 6 内のプラズマの生成を可能にするために、絶縁リング 4 2 4 が、リッド 4 2 0 を穿孔仕切り 4 2 2 から電気的に絶縁し得る。絶縁リング 4 2 4 は、セラミックから作製されてよく、スパークを回避するために、高い絶縁破壊電圧を有し得る。上述された容量結合されたプラズマ構成要素の近くの処理チャンバ 4 0 0 の部分は、循環する冷却剤（例えば、水）でプラズマに曝露された表面を冷却するために、1 以上の冷却流体チャンネルを含む冷却ユニット（図示せず）を更に含み得る。

40

【0050】

[0058] 図示されている実施形態では、穿孔仕切り 4 2 2 が、（貫通孔 4 3 0 を介し

50

て) プロセスガスを分配し得る。プロセスガスは、フッ素、水素、及び/又はチャンバプラズマ領域 4 2 6 内のプラズマによって励起されたそのようなプラズマガスのプラズマ放出物を含む。幾つかの実施形態では、RPS 4 1 2 及び/又はチャンバプラズマ領域 4 2 6 の中へ導入されるプロセスガスが、フッ素(例えば、 F_2 、 NF_3 、又は XeF_2)を含み得る。プロセスガスはまた、ヘリウム(He)、アルゴン(Ar)、窒素(N_2)などの希釈ガスも含み得る。プラズマ放出物は、プロセスガスのイオン化された誘導体又は中性誘導体を含み得、本明細書で、導入されるプロセスガスの原子状構成要素を指して、ラジカルフッ素及び/又はラジカル水素とも呼ばれ得る。

【0051】

[0059] 貫通孔 4 3 0 は、チャンバプラズマ領域 4 2 6 から出るイオン帯電種の移動を抑制する一方で、非帯電の中性又はラジカル種が、穿孔仕切り 4 2 2 を通過して基板処理領域 4 2 8 の中へ入ることを可能にする。これらの非帯電種は、貫通孔 4 3 0 によって反応が弱いキャリアガスと共に搬送される非常に反応性の高い種を含み得る。上述されたように、貫通孔 4 3 0 によるイオン種の移動は、低減され、幾つかの事例では完全に抑制され得る。穿孔仕切り 4 2 2 を通過するイオン種の量を制御することによって、下層のパターニングされた基板と接触するようになったガス混合物に対する制御を高めることができる。これは、今度は、ガス混合物の堆積及び/又はエッチング特性の制御を高める。例えば、混合ガスのイオン濃度を調整することで、エッチング選択性(例えば、シリコンのエッチング速度に対するシリコンゲルマニウムのエッチング速度の比)を変化させることができる。

【0052】

[0060] 幾つかの実施形態では、貫通孔 4 3 0 の数が、約 6 0 と約 2 0 0 0 との間であってよい。貫通孔 4 3 0 は、様々な形状を有し得るが、最も容易には円形にされる。貫通孔 4 3 0 の最も小さい直径 4 3 6 は、幾つかの実施形態では、約 0 . 5 mm と約 2 0 mm との間、又は約 1 mm と約 6 mm との間であってよい。貫通孔の断面形状を選択するに際しても自由裁量があり、それは、円錐形、円筒形、又はその 2 つの形状の組み合わせで作製され得る。基板処理領域 4 2 8 の中に励起されていない前駆体を導入するために使用される小さな孔 4 3 4 の数は、種々の実施形態において、約 1 0 0 から約 5 0 0 0 の間、又は約 5 0 0 から約 2 0 0 0 の間であってよい。小さな孔 4 3 4 の直径は、約 0 . 1 mm と約 2 mm との間であってよい。

【0053】

[0061] 貫通孔 4 3 0 は、穿孔仕切り 4 2 2 を通過するプラズマ活性ガス(すなわち、イオン種、ラジカル種、及び/又は中性種)の通過を制御し得る。例えば、孔のアスペクト比(すなわち、孔の長さに対する直径)及び/又は孔の形状寸法は、穿孔仕切り 4 2 2 を通過する活性ガスの中のイオン帯電種の流量が減少するように制御され得る。穿孔仕切り 4 2 2 内の貫通孔 4 3 0 は、チャンバプラズマ領域 4 2 6 に面するテーパ部と基板処理領域 4 2 8 に面する円筒部を含み得る。円筒部は、基板処理領域 4 2 8 の中へ入るイオン種の流量を制御するように、均整が取られ、寸法決定され得る。穿孔仕切り 4 2 2 を通るイオン種の流量を制御するための更なる手段として、調整可能な電気バイアスがまた、穿孔仕切り 4 2 2 に印加され得る。

【0054】

[0062] 代替的に、貫通孔 4 3 0 は、穿孔仕切り 4 2 2 の上面に向けてより小さな内径(ID)を有し、下面に向けてより大きなIDを有する。加えて、貫通孔 4 3 0 の下縁は、プラズマ放出物が穿孔仕切り 4 2 2 を出るときに、基板処理領域 4 2 8 内のプラズマ放出物を均一に分布させるのを助け、プラズマ放出物及び前駆体ガスの均一な分布を促進するように面取りされ得る。より小さなIDは、貫通孔 4 3 0 に沿って様々な位置に置かれ、穿孔仕切り 4 2 2 が基板処理領域 4 2 8 内のイオン密度を低減させることを依然として可能にし得る。イオン密度の減少は、基板処理領域 4 2 8 の中に入る前の壁との衝突の数の増加からもたらされる。衝突の各々が、壁からの電子の獲得又は喪失によりイオンが中性化される確率を増加させる。一般的に言うと、貫通孔 4 3 0 のより小さなIDは、約 0

10

20

30

40

50

．2 mmと約20 mmとの間であってよい。他の複数の実施形態では、より小さなIDが、約1 mmと6 mmとの間、又は約0.2 mmと約5 mmとの間であってよい。更に、貫通孔430のアスペクト比（すなわち、孔の長さに対するより小さなID）は、略1から20であってよい。貫通孔430のより小さなIDは、貫通孔430の長さに沿って見出される最小IDであってよい。貫通孔430の断面形状は、概して、円筒、円錐、又はそれらの任意の組合せであり得る。

【0055】

【0063】支持アセンブリ406は、処理中に基板442をその上で支持するための基板支持体440を含んでよい。基板支持体440は、チャンパ本体402の下部に形成された中央に配置された開口部を通して延びるシャフト446によってアクチュエータ444に結合され得る。アクチュエータ444は、シャフト446の周りの減圧漏れを防ぐペローズ（図示せず）によってチャンパ本体402に柔軟に密封されてもよい。アクチュエータ444により、基板支持体440をチャンパ本体402内で処理位置と装填位置との間で垂直に移動させることができる。装填位置は、チャンパ本体402の側壁に形成されたトンネルの開口部（図示せず）のわずかに下方にある。

10

【0056】

【0064】基板支持体440は、その上で処理される基板442を支持するための平坦であるか又は実質的に平坦な基板支持表面を有する。基板支持体440は、シャフト446によって基板支持体440に結合されたアクチュエータ444によってチャンパ本体402内で垂直に移動し得る。幾つかのプロセスステップでは、基板が、アニーリングステップを実行することなどの、更なる熱処理ステップを実行するために、基板がリフトピン488上に配置され得る。

20

【0057】

プロセス実施例

【0065】図5は、本開示の第1の実施形態による半導体構造600内にコンタクト層を形成する方法500のプロセスフロー図を示す。図6A、図6B、図6C、図6D、図6E、図6F、及び図6Gは、方法500の様々な段階に対応する半導体構造600の一部分の断面図である。図6A、図6B、図6C、図6D、図6E、図6F、及び図6Gは、半導体構造600の部分的な概略図のみを示し、半導体構造600は、図において示されているような複数の態様を有する任意の数のトランジスタセクション及び更なる材料を含み得ることが理解されるべきである。図5で示されている方法は、順次説明されているが、省略され及び/若しくは追加され並びに/又は別の所望な順序で再配置された1以上の動作を含む他のプロセスシーケンスが、本明細書で提供される開示の複数の実施形態の範囲内に入ることも留意されるべきである。

30

【0058】

【0066】図6A、図6B、図6C、図6D、図6E、図6F、及び図6Gを参照すると、半導体構造600は、基板上に形成された第1のトランジスタデバイス602と第2のトランジスタデバイス604とを含み得る。

【0059】

【0067】本明細書で使用される「基板」という用語は、後続の処理動作の土台として働く材料の層であって、洗浄されるべき表面を含む材料の層のことを指す。基板は、必要に応じて、シリコンベース材料又は任意の適切な絶縁材料若しくは導電性材料であってよい。基板は、結晶シリコン（例えば、Si 100 又はSi 111 ）、酸化ケイ素、ストレインドシリコン、シリコンゲルマニウム、ドーパされた若しくはドーパされていないポリシリコン、ドーパされた若しくはドーパされていないシリコンウエハ及びパターンニングされた若しくはパターンニングされていないウエハ、シリコンオンインシュレータ（SOI）、炭素がドーパされた酸化ケイ素、窒化ケイ素、ドーパされたシリコン、ゲルマニウム、ヒ化ガリウム、ガラス、又はサファイアといった材料を含んでよい。

40

【0060】

【0068】図6Aで示されているように、基板上に形成された複数の第1のトランジスタ

50

トランジスタデバイスの第1のトランジスタデバイス602の一部分は、第1の材料で形成された第1の半導体領域606を含む。基板上に形成された複数の第2のトランジスタデバイスの第2のトランジスタデバイス604の一部分は、第2の材料で形成された第2の半導体領域608を含む。第1及び第2の材料は、異なる組成を有する材料を含む。それによって、第2の材料は、第1の材料に対して選択的にエッチングされ得る（すなわち、第2の材料のエッチング速度は、第1の材料のエッチング速度よりも高い）。第2の材料のエッチング選択性（すなわち、第1の材料のエッチング速度に対する第2の材料のエッチング速度）は、約10:1から500:1の間である。第1の材料と第2の材料の例示的な組み合わせには、それぞれ、シリコン(Si)/シリコンゲルマニウム(SiGe)、ゲルマニウム(Ge)/シリコンゲルマニウム(SiGe)、又はシリコン(Si)/ゲルマニウムスズ(GeSn)が含まれる。 10

【0061】

[0069] 第1の半導体領域606は、第1のトランジスタデバイス602の所望の導電特性に応じて、約 $1.0 \times 10^{20} \text{ cm}^{-3}$ と $5 \times 10^{21} \text{ cm}^{-3}$ との間の濃度で、リン(P)やアンチモン(Sb)などのn型ドーパントでドーパされてよい。第2の半導体領域608は、第2のトランジスタデバイス604の所望の導電特性に応じて、約 $1.0 \times 10^{20} \text{ cm}^{-3}$ と $5 \times 10^{21} \text{ cm}^{-3}$ との間の濃度で、ホウ素(B)又はゲルマニウム(Ga)などのp型ドーパントでドーパされてよい。

【0062】

[0070] 半導体構造600は、第1の半導体領域606の各々の上に形成された第1の開口部612と、第2の半導体領域608の各々の上に形成された第2の開口部614と、を有する誘電体層610を更に含む。誘電体層610は、二酸化ケイ素(SiO_2)又は窒化ケイ素(Si_3N_4)などの、誘電材料で形成され得る。 20

【0063】

[0071] 第1の半導体領域606と第2の半導体領域608は、エピタキシャル(Epi)堆積、化学気相堆積(CVD)、原子層堆積(ALD)、又は物理的気相堆積(PVD)などの、任意の適切な堆積技術を使用して形成されてよく、開口部612及び614は、リソグラフィ及びエッチングプロセスなどのパターンニング技法によって形成される。

【0064】

[0072] 方法500は、ブロック510において、予洗浄プロセスで開始する。予洗浄プロセスは、図1で示されている処理チャンバ122又は図2で示されている処理チャンバ200などの、処理チャンバ内で実行され得る。 30

【0065】

[0073] 予洗浄プロセスは、第1の開口部612内の第1の半導体領域606及び第2の開口部614内の第2の半導体領域608の露出面上に形成された、自然酸化層又はパターンニング残留物（例えば、フルオロカーボン）などの汚染物質を除去するように構成される。予洗浄プロセスを使用して、第1の開口部612内の第1の半導体領域606及び第2の開口部614内の第2の半導体領域608の露出面を調製する。この露出面上に、後続のエピタキシャル堆積プロセスでエピタキシャル層が形成され得る。予洗浄プロセスを使用することによって、後続のエピタキシャル堆積プロセスにおいて、第1の半導体領域606の表面（例えば、シリコン(Si)）及び第2の半導体領域608の表面（例えば、シリコンゲルマニウム(SiGe)）上に、引き続き堆積されるエピタキシャル層の成長速度を更に調整することができる。引き続き堆積されるエピタキシャル層の成長速度の調整は、残留酸化層材料の量などの第1の半導体領域606と第2の半導体領域608の表面に配置される残留材料の量を制御すること、表面活性化プロセス、及び/又は、予洗浄プロセスを実行した後で、第1の半導体領域606と第2の半導体領域608の表面の材料の結晶構造を変化させること（例えば、非晶質若しくは結晶構造を促進すること）によって実行され得る。幾つかの実施形態では、予洗浄プロセスが、酸化されるSiGe:B含有領域の表面と酸化されるSi:P含有領域の表面との間のエッチング速度選択性を有し得る。それによって、予洗浄プロセスは、例えば、SiGe:B表面を「洗浄し」（例えば 40 50

、その上から酸化物を除去し)、Si:P表面にその上に形成された酸化物の少なくとも一部分を残すようにする。

【0066】

[0074] 予洗浄プロセスは、アルゴン(Ar)、ヘリウム(He)、又はそれらの組み合わせを含むガスから生成されるプラズマを使用する、反応性イオンエッチング(RIE)プロセスなどの異方性遠隔プラズマ支援型ドライエッチプロセスを含み得る。プラズマ放出物は、第1の開口部612及び第2の開口部614内の残留誘電体層に指向的に衝突され、残留誘電体層を除去する。

【0067】

[0075] 予洗浄プロセスは、アンモニア(NH₃)、三フッ化窒素(NF₃)、フッ化水素(HF)、又はそれらの組み合わせを含むガスと、窒素(N₂)、水素(H₂)、又はそれらの組み合わせなどのキャリアガスと、から生成されるプラズマを使用する、SiCoNi(商標)ドライケミカルエッチングプロセスなどの等方性プラズマエッチングプロセスを含み得る。ドライケミカルエッチングプロセスは、酸化物層に選択的であり、したがって、非晶質、結晶、又は多結晶のいずれの層であっても、シリコン、ゲルマニウム、又は窒化物層を容易にエッチングすることはできない。酸化物対シリコン又はゲルマニウムのドライケミカルエッチングプロセスの選択性は、少なくとも約3:1、通常は5:1、又はそれよりも上、しばしば10:1である。ドライケミカルエッチングプロセスは、酸化物対窒化物の選択性も高い。窒化物に対するドライケミカルエッチングプロセスの選択性は、少なくとも約3:1、通常は5:1、又はそれよりも上、しばしば10:1である。

【0068】

[0076] 予洗浄プロセスは、塩素(Cl₂)及び水素(H₂)を含むガス並びにアルゴン(Ar)及びヘリウム(He)を含むキャリアガスから生成されるプラズマを使用する、誘導結合プラズマ(ICP)エッチングプロセスを含み得る。ICPエッチングプロセスは、シリコン内に滑らかな側壁を持つ深いリッジを形成するために使用される。

【0069】

[0077] 予洗浄プロセスは、アンモニア(NH₃)、三フッ化窒素(NF₃)、フッ化水素(HF)、又はそれらの組み合わせを含むガスと、窒素(N₂)、水素(H₂)、又はそれらの組み合わせなどのキャリアガスと、から生成されるプラズマを使用する、SiCoNi(商標)ドライケミカルエッチングプロセスなどの等方性プラズマエッチングプロセスに基づく表面活性化プロセスを含み得る。一実施例では、プラズマ洗浄プロセスが、遠隔プラズマ支援型ドライエッチングプロセスである。遠隔プラズマ支援型ドライエッチングプロセスは、HF及びNH₃への基板の同時曝露を含み、任意選択的にガスの1以上のプラズマ副生成物を含む。アルゴンやヘリウムなどの不活性ガスも使用され得る。不活性ガス/HF/NH₃の3つのガスのいずれかが1つ又は組み合わせを、上述されたようにエネルギーに曝露して、所望の汚染物質を除去し、基板の表面の少なくとも一部分を不動態化するために使用されるプラズマを生成することができる。基板をプラズマに曝露した後で、基板の表面上に残留する化合物は、次いで、基板を所望の温度に加熱することにより除去することができる。

【0070】

[0078] ブロック520において、図6Bで示されているように、第1の選択的堆積プロセスが実行され、第1の開口部612内の第1の半導体領域606の露出面上の第1のコンタクト層616、及び、第2の開口部614内の第2の半導体領域608の露出面上の第2のコンタクト層618をエピタキシャルに形成する。第1の選択的堆積プロセスは、図1で示されている処理チャンバ126、128、若しくは130又は図3で示されている処理チャンバ300などの、処理チャンバ内で実行され得る。

【0071】

[0079] その後、後述されるように、第1のコンタクト層616が除去される。第2のコンタクト層618は、第2の半導体領域608と第2の開口部614内に形成される金属コンタクトプラグとの間の界面として形成されて、寄生抵抗を最小限に抑える。第1

10

20

30

40

50

のコンタクト層 6 1 6 と第 2 のコンタクト層 6 1 8 は、第 3 の材料で形成される。第 3 の材料の例には、ゲルマニウム (Ge) の比率が 2 0 % と 1 0 0 % との間の範囲であるシリコンゲルマニウム (SiGe) が含まれる。第 1 のコンタクト層 6 1 6 と第 2 のコンタクト層 6 1 8 は、第 2 のコンタクト層 6 1 8 の所望の導電特性に応じて、約 $1.0 \times 10^{20} \text{ cm}^{-3}$ と $5 \times 10^{21} \text{ cm}^{-3}$ との間の濃度で、ホウ素 (B) 又はゲルマニウム (Ga) などの p 型ドーパントでドーパされてよい。

【0072】

【0080】幾つかの実施形態では、第 1 の選択的堆積プロセスが、第 1 の堆積プロセスと第 1 のエッチングプロセスを含む。第 1 の堆積プロセスは、エピタキシャル堆積プロセスである。第 1 の選択的堆積プロセスにおける選択性は、第 1 の半導体領域 6 0 6 と第 2 の半導体領域 6 0 8 (例えば、シリコン (Si) 又はシリコンゲルマニウム (SiGe)) の露出面上の第 3 の材料の核形成と、誘電体層 6 1 0 (例えば、二酸化ケイ素 (SiO₂) 又は窒化ケイ素 (Si₃N₄)) の露出面上の第 3 の材料の核形成との違いから生じ得る。核形成は、半導体構造 6 0 0 が第 1 の堆積プロセスにおいて堆積ガスに曝露されたときに、誘電体層 6 1 0 (例えば、二酸化ケイ素 (SiO₂) 又は窒化ケイ素 (Si₃N₄)) の露出面上よりも、第 1 の半導体領域 6 0 6 と第 2 の半導体領域 6 0 8 (例えば、シリコン (Si) 又はシリコンゲルマニウム (SiGe)) の露出面上で、より速い速度で生じ得る。したがって、第 3 の材料のエピタキシャル層は、第 1 の半導体領域 6 0 6 と第 2 の半導体領域 (例えば、シリコン (Si) 又はシリコンゲルマニウム (SiGe)) 6 0 8 の露出面上で形成され得る一方で、誘電体層 6 1 0 (例えば、二酸化ケイ素 (SiO₂) 又は窒化ケイ素 (Si₃N₄)) の露出面上には、第 3 の材料の非晶質層が形成され得る。後続の第 1 のエッチングプロセスでは、適切なエッチングガスによって、誘電体層 6 1 0 の露出面上に形成された第 3 の材料の非晶質層は、第 1 の半導体領域 6 0 6 と第 2 の半導体領域 6 0 8 の露出面上に形成された第 3 の材料のエピタキシャル層よりも速い速度でエッチングされ得る。したがって、第 1 の堆積プロセスと第 1 のエッチングプロセスとを組み合わせた全体的な結果は、第 1 の半導体領域 6 0 6 と第 2 の半導体領域 6 0 8 の露出面上の第 3 の材料のエピタキシャル成長であり得る一方で、誘電体層 6 1 0 の露出面上の第 3 の材料の成長は、あるとしても最小限に抑えられる。

【0073】

【0081】幾つかの実施形態では、堆積ガスが、シリコン含有前駆体、ゲルマニウム含有前駆体、及びドーパント源を含む。シリコン含有前駆体は、シラン (SiH₄)、ジシラン (Si₂H₆)、テトラシラン (Si₄H₁₀)、又はそれらの組み合わせを含み得る。ゲルマニウム含有前駆体は、ゲルマン (GeH₄)、四塩化ゲルマニウム (GeCl₄)、及びジゲルマン (Ge₂H₆) を含み得る。ドーパント源は、第 2 のコンタクト層 6 1 8 の所望の導電特性に応じて、例えば、ホウ素又はガリウムを含み得る。ドーパント源は、前駆体ジボラン (B₂H₆) を含み得る。エッチングガスは、エッチャントガスとキャリアガスを含む。エッチャントガスは、塩化水素 (HCl)、塩素 (Cl₂)、又はフッ化水素 (HF) などの、ハロゲン含有ガスを含み得る。キャリアガスは、窒素 (N₂)、アルゴン (Ar)、ヘリウム (He)、又は水素 (H₂) を含み得る。

【0074】

【0082】第 1 の堆積プロセスと第 1 のエッチングプロセスは、約 450 未満の低温、及び 5 Torr と 600 Torr との間の圧力で実行され得る。

【0075】

【0083】第 1 のコンタクト層 6 1 6 と第 2 のコンタクト層 6 1 8 との所望の厚さを得るために必要とされるように、第 1 の堆積プロセスと第 1 のエッチングプロセスとのサイクルが繰り返され得る。第 1 のコンタクト層 6 1 6 と第 2 のコンタクト層 6 1 8 との厚さは、約 30 と約 100 との間であってよい。

【0076】

【0084】ブロック 530 において、図 6C で示されているように、第 2 のコンタクト層 6 1 8 をカバーするように、第 2 の半導体領域 6 0 8 の上にパターンニング層 6 2 0 を形

成するために、パターニングプロセスが実行される。パターニングプロセスは、従来のフォトリソグラフィパターニングプロセスを使用して実行され得る。

【0077】

[0085] パターニングスタック620が、平坦化充填プロセス（例えば、スピニング）を使用して半導体構造600の露出面の上に堆積されてよく、その後、適切なりソグラフィ及びエッチングプロセスによってパターニングされ得る。パターニングスタック620は、有機誘電体層（ODL）、シリコン反射防止コーティング（SiARC）、又はフォトレジストで形成され得る。

【0078】

[0086] ブロック540において、図6Dで示されているように、第1の半導体領域606（例えば、シリコン（Si））及び誘電体層610（例えば、二酸化ケイ素（SiO₂）又は窒化ケイ素（Si₃N₄））に対して、選択的に第1のコンタクト層616（例えば、シリコンゲルマニウム（SiGe））を除去するために、選択的除去プロセス（SRP）が実行される。SRPは、図1で示されている処理チャンバ124又は図4で示されている処理チャンバ400などの、処理チャンバ内で実行され得る。

10

【0079】

[0087] SRPは、フッ素含有前駆体（例えば、三フッ化窒素（NF₃））から生成されたプラズマ放出物を使用するプラズマエッチングを含む。遠隔プラズマ源（例えば、図4で示されている遠隔プラズマ源224）からのプラズマ放出物が、基板処理領域（例えば、図4で示されている基板処理領域428）の中へ流される。プラズマ放出物は、半導体構造600の露出面と反応し、第1のコンタクト層616（例えば、シリコンゲルマニウム（SiGe））を選択的に除去する一方で、第1の半導体領域606（例えば、シリコン（Si））を非常にゆっくりと除去する。一般的に言うと、本明細書で説明されるSRPは、全てのX>Yについて、Si_(1-Y)Ge_Yよりも速くSi_(1-X)Ge_X（ゲルマニウム、すなわち、X=1を含む）を除去するために有用である。幾つかの実施形態では、シリコンゲルマニウムのエッチング選択性は、チャンバプラズマ領域（例えば、図4で示されているチャンバプラズマ領域426）と基板処理領域（例えば、図4で示されている基板処理領域428）との間に配置されたイオンサプレッサ（例えば、図4で示されている穿孔仕切り422）の存在から部分的にもたらされる。

20

【0080】

[0088] フッ素含有前駆体は、三フッ化窒素、フルオロカーボン、原子フッ素、二原子フッ素、ハロゲン間フッ化物（例えば、三フッ化臭素、三フッ化塩素）、六フッ化硫黄、二フッ化キセノン、又はそれらの組み合わせを含む。希釈ガス（例えば、アルゴン（Ar）、ヘリウム（He）、窒素（N₂）、又はそれらの組み合わせ）も、チャンバプラズマ領域の中へ流され、フッ素含有前駆体と共に同時にプラズマ内で励起される。希釈ガスは、プラズマ放出物の拡散性を低下させ、シリコンゲルマニウムのエッチング選択性を高める。

30

【0081】

[0089] 幾つかの実施形態では、フッ素含有前駆体（例えば、三フッ化窒素（NF₃））が、約5 sccm（立方センチメートル/分）と約40 sccmとの間の流量で供給され、アルゴン（Ar）は約4 sccmと約1500 sccmとの間の流量で、ヘリウム（He）は約100 sccmと約5000 sccmとの間の流量で、窒素（N₂）は約100 sccmと約5000 sccmとの間の流量で供給される。SRPは、約-20 と約60 との間の温度で、1 Torrと50 Torrとの間の圧力で実行され得る。ゲルマニウム（Ge）が30%の比率であるシリコンゲルマニウム（SiGe）のエッチング選択性は、リンがドーブされたシリコン（Si:P）に対して200：1よりも高く、熱酸化ケイ素（SiO_x）に対して500：1よりも高く、及び窒化ケイ素（Si₃N₄）に対して500：1よりも高くなり得る。

40

【0082】

[0090] ブロック550において、図6Eで示されているように、パターニングスタック620を除去するために、従来のプラズマアッシングプロセスが実行される。プラズ

50

マアッシングプロセスは、図 1 で示されている処理チャンバ 1 2 2 又は図 2 で示されている処理チャンバ 2 0 0 などの、処理チャンバ内で実行され得る。

【 0 0 8 3 】

[0091] プラズマアッシングプロセスは、酸素 (O_2) を含むガスから生成されたプラズマを使用し得る。アッシングプロセスは、半導体構造 6 0 0 上のパターンングスタック 6 2 0 の残留物を除去するために、硫酸 (H_2SO_4) と過酸化水素 (H_2O_2) の混合物などの溶液を使用する、湿式洗浄プロセスを使用し得る。

【 0 0 8 4 】

[0092] ブロック 5 6 0 において、図 6 F で示されているように、第 2 の堆積プロセスが実行される。第 2 の堆積プロセスは、図 1 で示されている処理チャンバ 1 2 6、1 2 8、若しくは 1 3 0 又は図 3 で示されている処理チャンバ 3 0 0 などの、処理チャンバ内で実行され得る。

【 0 0 8 5 】

[0093] 第 2 の堆積プロセスでは、金属層 6 2 2 が、第 1 の半導体領域 6 0 6 と第 2 のコンタクト層 6 1 8 との露出面上に形成される。金属層 6 2 2 は、第 2 のコンタクト層 6 1 8 に接触し、第 2 の開口部 6 1 4 内に形成されるコンタクトプラグと第 2 の半導体領域 6 0 8 との間の電氣的接続を提供しながら、その電氣的接続を維持する。金属層 6 2 2 は、チタン (Ti)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo)、タンタル (Ta) などの金属材料、又はそれらのケイ化物で形成され得る。

【 0 0 8 6 】

[0094] 幾つかの実施形態では、金属源が、チタン (Ti)、タンタル (Ta)、コバルト (Co)、ニッケル (Ni)、若しくはモリブデン (Mo)、又はそれらの組み合わせを含む、前駆体を含み得る。第 2 の堆積プロセスは、各々、約 3 0 0 と約 8 0 0 との間の温度で、1 Torr と 5 0 Torr との間の圧力で実行され得る。

【 0 0 8 7 】

[0095] 第 2 の堆積プロセスでは、バリア金属層 6 2 4 も、第 1 の開口部 6 1 2 と第 2 の開口部 6 1 4 との露出された内面、及び誘電体層 6 1 0 の露出面上に形成され得る。バリア金属層 6 2 4 は、金属層 6 2 2 を保護し、以下で説明されるように、第 1 の開口部 6 1 2 と第 2 の開口部 6 1 4 とにおけるコンタクトプラグの核形成及び成長を可能にする。バリア金属層 6 2 4 は、窒化チタン (TiN) 又は窒化タンタル (TaN) であるバリア金属材料で形成され得る。幾つかの実施形態では、金属層 6 2 2 が、スパイクアニールプロセスの使用によってバリア金属層 6 2 4 の一部分から形成されるケイ化物層である。幾つかの他の実施形態では、金属層 6 2 2 が、バリア金属層 6 2 4 を形成する前に実行される別の選択的堆積プロセスによって形成されるケイ化物層である。

【 0 0 8 8 】

[0096] ブロック 5 6 0 において実行される第 2 の堆積プロセスは、約 1 0 0 と約 3 0 0 との間の温度で、図 1 で示されている処理チャンバ 1 2 6、1 2 8、又は 1 3 0 などの処理チャンバ内で、原子層堆積 (ALD)、化学気相堆積 (CVD)、物理的気相堆積 (PVD) などの任意の適切な堆積プロセスを含み得る。

【 0 0 8 9 】

[0097] ブロック 5 7 0 において、図 6 G で示されているように、第 1 の開口部 6 1 2 内の第 1 のコンタクトプラグ 6 2 6 と第 2 の開口部 6 1 4 内の第 2 のコンタクトプラグ 6 2 8 とを形成するために、金属充填プロセスが実行される。第 1 のコンタクトプラグ 6 2 6 と第 2 のコンタクトプラグ 6 2 8 は、タングステン (W)、コバルト (Co)、ルテニウム (Ru)、又はモリブデン (Mo) などの、コンタクトプラグ金属材料で形成され得る。第 1 のコンタクトプラグ 6 2 6 と第 2 のコンタクトプラグ 6 2 8 は、所望の仕事関数を有する金属を含み得る。ブロック 5 7 0 における金属充填プロセスは、図 1 で示されている処理チャンバ 1 2 6、1 2 8、又は 1 3 0 などの処理チャンバ内で、 WF_6 などのタングステン含有前駆体又はコバルト含有前駆体を使用する、化学気相堆積 (CVD) プロセスを含み得る。

10

20

30

40

50

【0090】

【0098】金属充填プロセスの後で、半導体構造600は、化学機械平坦化（CMP）プロセスの使用などによって平坦化され得る。

【0091】

代替例

【0099】図7は、本開示の第2の実施形態による半導体構造800内にコンタクト層を形成する方法700のプロセスフロー図を示す。図8A、図8B、図8C、図8D、及び図8Eは、方法700の様々な段階に対応する半導体構造800の一部分の断面図である。図8A、図8B、図8C、図8D、及び図8Eは、半導体構造800の部分的な概略図のみを示しており、半導体構造800は、図面において示されているような複数の態様を有する任意の数のトランジスタセクション及び更なる材料を含んでよいことが理解されるべきである。図7で示されている方法は、順次説明されているが、省略され及び/若しくは追加され並びに/又は別の所望な順序で再配置された1以上の動作を含む他のプロセスシーケンスが、本明細書で提供される開示の複数の実施形態の範囲内に入ることも留意されるべきである。以下の説明では、第1の実施形態と実質的に同一の構成要素には同一の参照数字を付し、繰り返しの構成要素の説明は省略する場合がある。

10

【0092】

【0100】方法700は、ブロック710において、予洗浄プロセスで開始する。ブロック710における予洗浄プロセスは、概して、ブロック510の予洗浄プロセスと同じである。ブロック710における予洗浄プロセスは、第2の半導体領域608（例えば、シリコンゲルマニウム（SiGe））の露出面上の第3の材料（例えば、シリコンゲルマニウム（SiGe））のエピタキシャル層の成長速度が、第1の半導体領域606（例えば、シリコン（Si））の露出面上の第3の材料（例えば、シリコンゲルマニウム（SiGe））のエピタキシャル層の成長速度よりも高くなるように調整され得る。予洗浄プロセスを制御するためのノブは、ガス化学、ガス比、ガス流量、基板温度、温度勾配、チャンバ圧力、電源の電力及び/若しくは周波数、RF励起周波数、RF電力のデューティサイクル及び/若しくは周波数、エッチング時間、又はそれらの組み合わせを含み得る。上述されたように、引き続いて堆積されるエピタキシャル層の成長速度の調整は、第1の半導体領域606及び第2の半導体領域608の表面に配置された材料の組成を制御すること若しくは調整すること、並びに/又は、予洗浄プロセスを実行した後で、第1の半導体領域606及び第2の半導体領域608の表面の材料の結晶構造を変化させることによって調整され得る。

20

30

【0093】

【0101】ブロック720において、図8Bで示されているように、第1の開口部612内の第1の半導体領域606の露出面上の第1のコンタクト層816、及び、第2の開口部614内の第2の半導体領域608の露出面上の第2のコンタクト層818をエピタキシャルに形成するために、第1の選択的堆積プロセスが実行される。ブロック720における第1の選択的堆積プロセスは、概して、ブロック520における第1の選択的堆積プロセスと同じであり得る。幾つかの実施形態では、ブロック710における予洗浄プロセスが実行されたやり方、したがって、第1の選択的堆積プロセス中の第1の半導体領域606と第2の半導体領域608との表面の状態に起因して、第2のコンタクト層818は、同じ処理期間中に第1のコンタクト層816の厚さよりも大きい厚さに成長することになる。

40

【0094】

【0102】ブロック720の幾つかの他の実施形態では、第2のコンタクト層818と第1のコンタクト層816とを同時に形成するために使用されるプロセスパラメータが、次のように調整される。すなわち、第2の半導体領域608上に形成される第2のコンタクト層818の厚さが、同じ処理期間中に第1の半導体領域606上に形成される第1のコンタクト層816の厚さよりも大きくなる。堆積プロセスパラメータ（例えば、温度、プロセス圧力、前駆体ガス組成など）のうちの1以上を制御することによって、シリコン

50

ゲルマニウム (SiGe) 含有第 2 の半導体領域 6 0 8 上のシリコンゲルマニウム (SiGe) 含有第 2 のコンタクト層 8 1 8 の成長速度は、シリコン含有第 1 の半導体領域 6 0 6 上のシリコンゲルマニウム (SiGe) 含有第 1 のコンタクト層 8 1 6 の成長速度よりも著しく大きくなり得る。

【0095】

[0103] ブロック 7 2 0 のいずれかの実施例において、第 1 のコンタクト層 8 1 6 は、約 5 と約 1 0 0 との間の厚さに形成され得、第 2 のコンタクト層 8 1 8 は、約 3 0 と約 1 0 0 との間の厚さに形成され得る。その場合、第 1 のコンタクト層 8 1 6 の厚さは、第 2 のコンタクト層 8 1 8 の厚さよりも小さい。

【0096】

[0104] ブロック 7 3 0 において、図 8 C で示されているように、第 1 の半導体領域 6 0 6 (例えば、シリコン (Si)) 及び誘電体層 6 1 0 (例えば、二酸化ケイ素 (SiO₂) 又は窒化ケイ素 (Si₃N₄)) に対して、選択的に第 1 のコンタクト層 8 1 6 (例えば、シリコンゲルマニウム (SiGe)) を除去するために、選択的除去プロセス (SRP) が実行される。ブロック 7 3 0 における SRP は、概して、ブロック 5 4 0 の SRP と同じである。しかし、第 2 のコンタクト層 8 1 8 は露出しており (図 6 C 及び図 6 D で示されているように、パターニングスタック 6 2 0 によってカバーされている第 2 のコンタクト層 6 1 8 とは異なり)、したがって、第 2 のコンタクト層 8 1 8 も選択的に除去される。このプロセスでは、第 1 のコンタクト層 8 1 6 と第 2 のコンタクト層 8 1 8 とのある量が除去され、例えば、第 1 のコンタクト層 8 1 6 の全てが除去され、したがって、ブロック 7 2 0 中に形成された第 1 のコンタクト層 8 1 6 の厚さに対する第 2 のコンタクト層 8 1 8 の増加した厚さに起因して、第 2 の半導体領域 6 0 8 の上に第 2 のコンタクト層 8 1 8 が一定量残留する。ブロック 7 2 0 における第 1 の選択的堆積プロセスとブロック 7 3 0 における SRP とのサイクルは、第 2 のコンタクト層 8 1 8 の所望の厚さを取得するために必要とされるように繰り返され得る。第 2 のコンタクト層 6 1 8 の厚さは、約 3 0 と約 1 0 0 との間であってよい。

【0097】

[0105] ブロック 7 4 0 において、図 8 D で示されているように、金属層 6 2 2 とバリア金属層 6 2 4 とを形成するために、第 2 の堆積プロセスが実行される。ブロック 7 4 0 において提供される第 2 の堆積プロセスは、ブロック 5 6 0 における第 2 の堆積プロセスと同じであり得る。

【0098】

[0106] ブロック 7 5 0 において、図 6 E で示されているように、第 1 の開口部 6 1 2 内に第 1 のコンタクトプラグ 6 2 6 を形成し、第 2 の開口部 6 1 4 内に第 2 のコンタクトプラグ 6 2 8 を形成するために、金属充填プロセスが実行される。ブロック 7 5 0 において提供される金属充填プロセスは、ブロック 6 7 0 における金属充填プロセスと同じであり得る。

【0099】

[0107] 本明細書で説明される複数の実施形態は、トランジスタ構造の選択された一部分のトレンチ内にコンタクトエピタキシャル層を形成するための方法及びシステムを提供する。コンタクトトレンチ構造は、隣接するデバイスモジュール間のトレンチ内に形成された金属コンタクトプラグ、及び、コンタクトプラグとデバイスモジュール内のシリコンベースチャネルとの間で相互作用するコンタクトを含む。コンタクトは、選択的堆積プロセスによって形成され、寄生抵抗を低減させる。金属コンタクトプラグは、堆積プロセスの反復によってポイドがないように形成され、コンタクト抵抗を低減させる。コンタクトエピタキシャル層は、p 型 MOS デバイス (例えば、ゲルマニウム) の露出面上に形成された p 型シリコンゲルマニウムであってよいが、一方で、n 型 MOS (例えば、シリコン) の上、又は p 型 MOS デバイスと n 型 MOS デバイスの上に形成された誘電体層上には、エピタキシャル層がなくともよい。該方法及びシステムは、フォトマスクを使用するエピタキシャル層のパターニングを必要とせず、したがって、製造される半導体構造への損傷

10

20

30

40

50

が低減される。

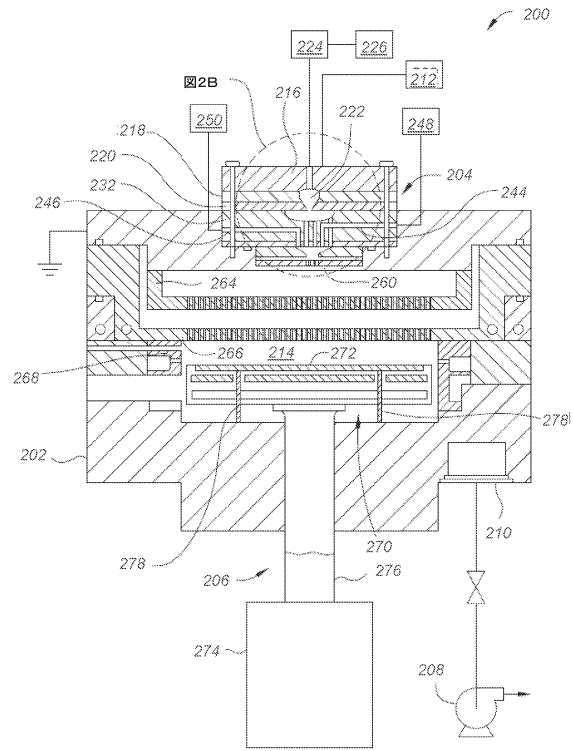
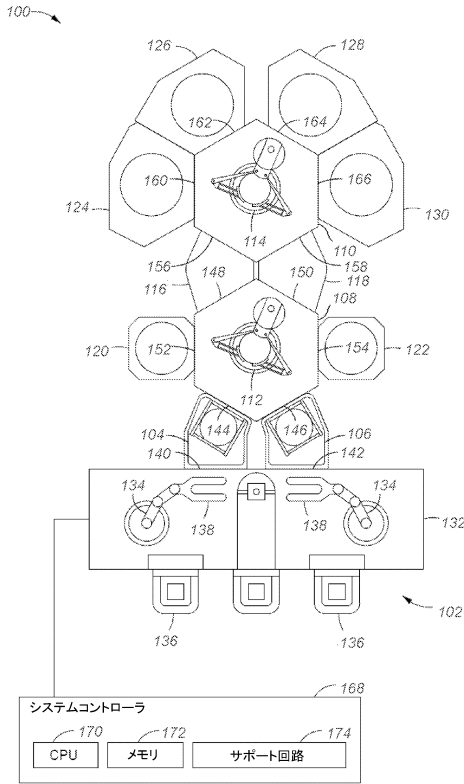
【0100】

[0108] 前述されたことは本開示の複数の実施形態を対象としているが、本開示の他の及び更なる複数の実施形態が、その基本的な範囲から逸脱することなしに考案されてよく、その範囲は以下の特許請求の範囲によって規定される。

【図面】

【図1】

【図2A】



10

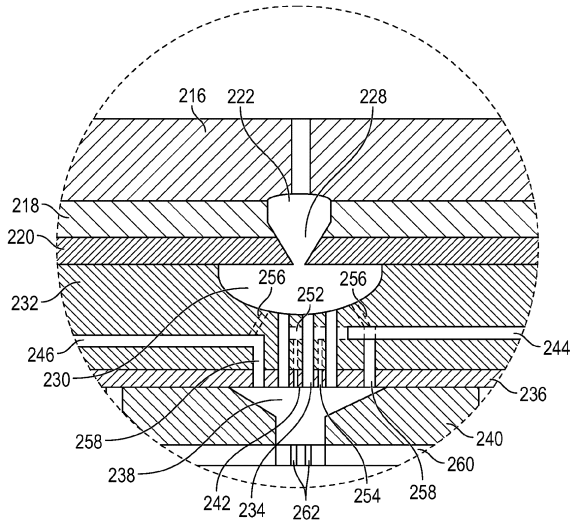
20

30

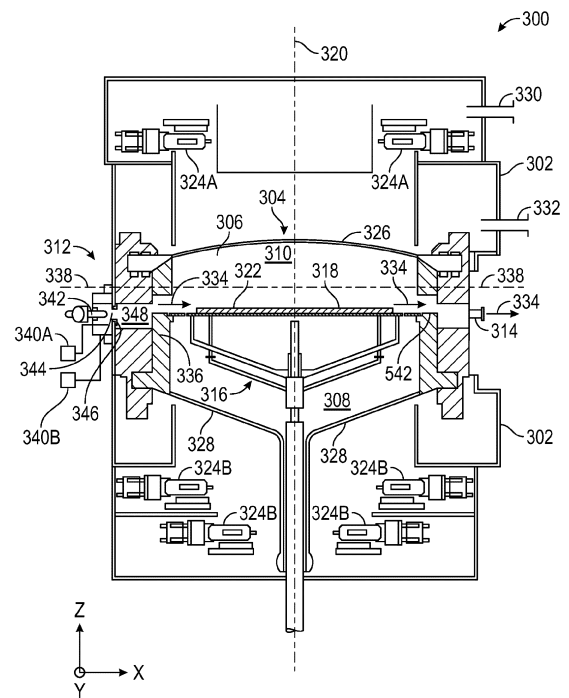
40

50

【 図 2 B 】



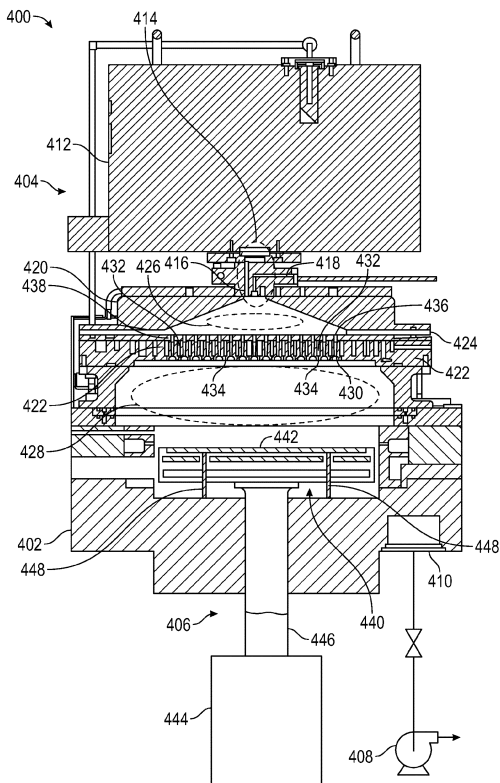
【 図 3 】



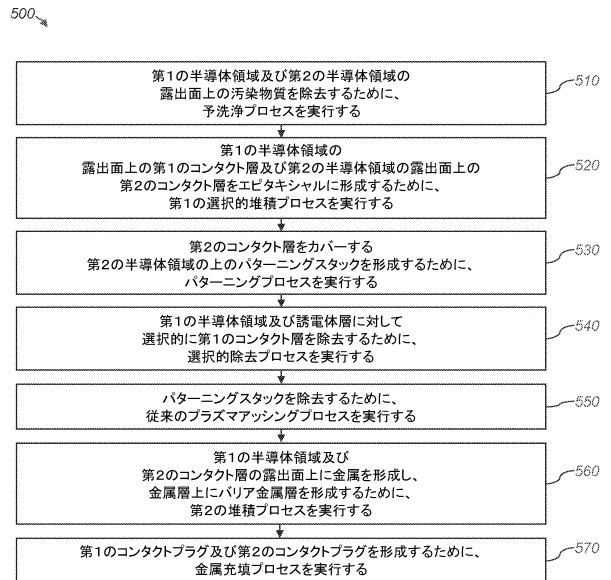
10

20

【 図 4 】



【 図 5 】

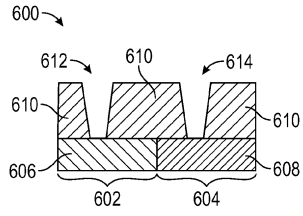


30

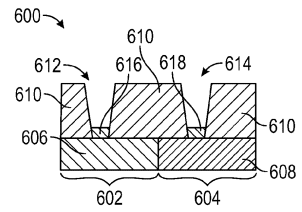
40

50

【 図 6 A 】

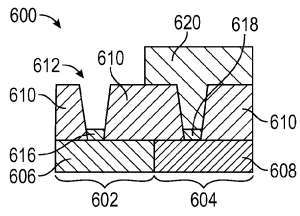


【 図 6 B 】

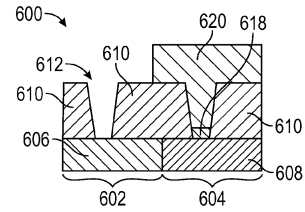


10

【 図 6 C 】

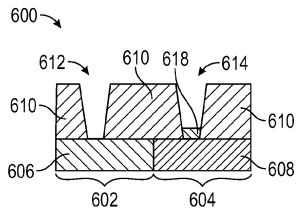


【 図 6 D 】

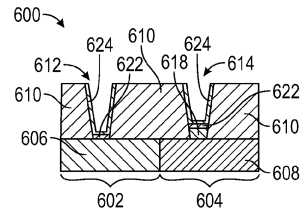


20

【 図 6 E 】



【 図 6 F 】

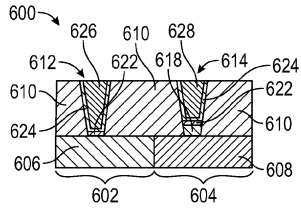


30

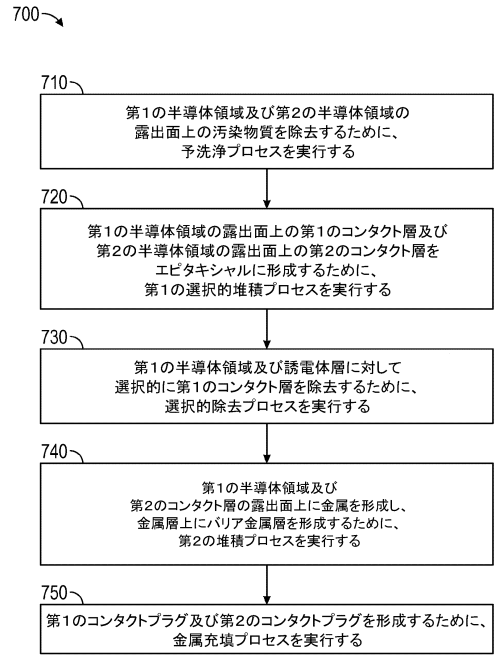
40

50

【 図 6 G 】



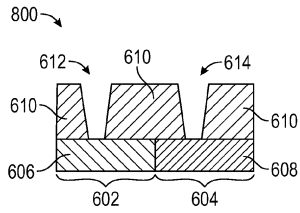
【 図 7 】



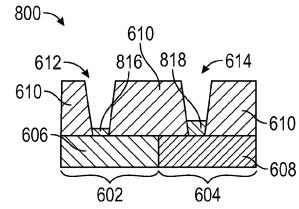
10

20

【 図 8 A 】



【 図 8 B 】

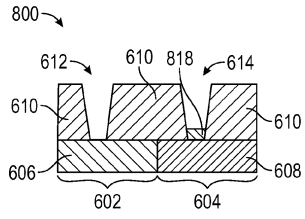


30

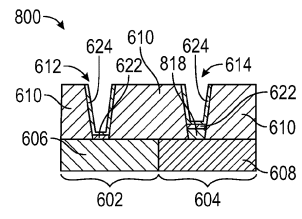
40

50

【 8 C 】

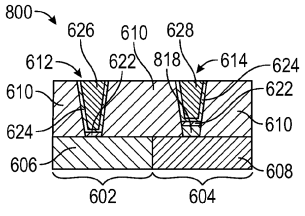


【 8 D 】



10

【 8 E 】



20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2023/015640

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/768(2006.01)i; H01L 21/285(2006.01)i; H01L 21/3213(2006.01)i; H01L 21/67(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 21/768(2006.01); H01L 21/02(2006.01); H01L 21/28(2006.01); H01L 21/285(2006.01); H01L 21/304(2006.01); H01L 21/3205(2006.01); H01L 21/335(2006.01); H01L 21/56(2006.01); H01L 25/00(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: complementary metal oxide semiconductor (CMOS), contact, formation, process		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2012-0214303 A1 (SESHADRI GANGULI et al.) 23 August 2012 (2012-08-23) paragraphs [0012], [0020], [0063], [0109]-[0110], [0118], [0152], [0155], [0167]; claim 1; and figures 1, 9	13-14,17-19 1-12,15-16
A	US 11232947 B1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 25 January 2022 (2022-01-25) column 3, line 3 - column 14, line 48; and figures 1A-8	1-19
A	WO 2019-190795 A1 (LAM RESEARCH CORPORATION) 03 October 2019 (2019-10-03) paragraphs [0031]-[0058]; and figures 1-7	1-19
A	US 2018-0277530 A1 (MONOLITHIC 3D INC.) 27 September 2018 (2018-09-27) paragraphs [0058]-[0360]; and figures 1-29	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed		“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family
Date of the actual completion of the international search 05 July 2023		Date of mailing of the international search report 06 July 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer PARK, Hye Lyun Telephone No. +82-42-481-3463

Form PCT/ISA/210 (second sheet) (July 2022)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2023/015640

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009-0239344 A1 (YONG KUK JEONG et al.) 24 September 2009 (2009-09-24) paragraphs [0013]-[0021]; and figures 1-3D	1-19

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2023/015640

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2012-0214303	A1	23 August 2012	CN	101466863	A	24 June 2009
				CN	101466863	B	10 August 2011
				CN	102132383	A	20 July 2011
				CN	106024598	A	12 October 2016
				CN	106024598	B	20 November 2020
				JP	2005-504885	A	17 February 2005
				JP	2006-500472	A	05 January 2006
				JP	2009-533877	A	17 September 2009
				JP	2012-501543	A	19 January 2012
				JP	2017-085131	A	18 May 2017
				JP	6449217	B2	09 January 2019
				KR	10-1174946	B1	17 August 2012
				KR	10-1599488	B1	07 March 2016
				KR	10-2008-0110897	A	19 December 2008
				KR	10-2011-0059741	A	03 June 2011
				US	2003-0022487	A1	30 January 2003
				US	2003-0029715	A1	13 February 2003
				US	2004-0211665	A1	28 October 2004
				US	2006-0276020	A1	07 December 2006
				US	2007-0202254	A1	30 August 2007
				US	2008-0268635	A1	30 October 2008
				US	2008-0268636	A1	30 October 2008
				US	2009-0004850	A1	01 January 2009
				US	2009-0053426	A1	26 February 2009
				US	2011-0086509	A1	14 April 2011
				US	2011-0124192	A1	26 May 2011
				US	2012-0264291	A1	18 October 2012
				US	2015-0255333	A1	10 September 2015
				US	6740585	B2	25 May 2004
				US	7416979	B2	26 August 2008
				US	7611990	B2	03 November 2009
				US	8110489	B2	07 February 2012
				US	8187970	B2	29 May 2012
US	8563424	B2	22 October 2013				
US	8815724	B2	26 August 2014				
US	9051641	B2	09 June 2015				
US	9209074	B2	08 December 2015				
WO	2003-030224	A3	19 February 2004				
WO	2003-080887	A3	26 August 2004				
WO	2007-121249	A2	25 October 2007				
WO	2007-121249	A3	27 December 2007				
WO	2009-134916	A2	05 November 2009				
WO	2009-134916	A3	04 February 2010				
WO	2009-134925	A2	05 November 2009				
WO	2009-134925	A3	04 March 2010				
WO	2010-025068	A2	04 March 2010				
WO	2010-025068	A3	14 May 2010				
US	11232947	B1	25 January 2022	CN	114121599	A	01 March 2022
				TW	202211511	A	16 March 2022
WO	2019-190795	A1	03 October 2019	CN	111902912	A	06 November 2020

Form PCT/ISA/210 (patent family annex) (July 2022)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2023/015640

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
				KR	10-2020-0126011	A	05 November 2020
US	2018-0277530	A1	27 September 2018	US	10002865	B2	19 June 2018
				US	10014292	B2	03 July 2018
				US	10297586	B2	21 May 2019
				US	10658358	B2	19 May 2020
				US	10840222	B2	17 November 2020
				US	10840239	B2	17 November 2020
				US	10950581	B2	16 March 2021
				US	10950599	B1	16 March 2021
				US	11031394	B1	08 June 2021
				US	11088130	B2	10 August 2021
				US	11107808	B1	31 August 2021
				US	11145657	B1	12 October 2021
				US	11276687	B2	15 March 2022
				US	11398569	B2	26 July 2022
				US	2015-0171079	A1	18 June 2015
				US	2015-0357257	A1	10 December 2015
				US	2016-0218046	A1	28 July 2016
				US	2017-0207214	A1	20 July 2017
				US	2017-0213821	A1	27 July 2017
				US	2017-0301667	A1	19 October 2017
				US	2019-0172826	A1	06 June 2019
				US	2020-0243487	A1	30 July 2020
				US	2021-0043607	A1	11 February 2021
				US	2021-0082910	A1	18 March 2021
				US	2021-0167056	A1	03 June 2021
				US	2021-0193655	A1	24 June 2021
				US	2021-0257357	A1	19 August 2021
				US	2021-0343722	A1	04 November 2021
				US	2021-0351135	A1	11 November 2021
				US	2021-0407991	A1	30 December 2021
				US	2022-0157983	A1	19 May 2022
				US	8994404	B1	31 March 2015
				US	9142553	B2	22 September 2015
				US	9318408	B2	19 April 2016
				US	9640531	B1	02 May 2017
				US	9691760	B2	27 June 2017
US	2009-0239344	A1	24 September 2009	KR	10-1599725	B1	07 March 2016
				KR	10-2009-0101831	A	29 September 2009
				US	7863201	B2	04 January 2011

Form PCT/ISA/210 (patent family annex) (July 2022)

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
54, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス1269, シー/オー
アブライド マテリアルズ インコーポレイテッド, ロー デパートメント

(72)発明者 プラナタルティハラン, バラスブラマニアン

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス1269, シー/オー アブライド マテリアルズ インコーポレイテッド, ロー デパートメント

(72)発明者 コロンボー, ベンジャミン

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス1269, シー/オー アブライド マテリアルズ インコーポレイテッド, ロー デパートメント

(72)発明者 ワン, アンチョアン

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス1269, シー/オー アブライド マテリアルズ インコーポレイテッド, ロー デパートメント

Fターム(参考) 5F004 BA03 BA04 BA20 BB05 BB29 BC05 BC06 DA00 DA04 DA17
DA19 DA20 DA22 DA23 DA24 DA25 DA26 DA29 DB01 DB19 EB01
5F045 AA03 AC01 AC03 AC05 AC13 EK11

【要約の続き】

ト層を除去するために、選択的除去プロセスを実行することを含む。

【選択図】図6E