



# 权 利 要 求 书

1. 一种低功耗输入缓冲器, 包括:

5 根据输入和输出信号进行开/关 ( on/off ) 操作的开关单元;  
接收、反相和输出输入信号的缓冲单元; 及  
接收芯片启动信号以控制缓冲单元的输出操作单元。

10 2. 根据权利要求 1 的缓冲器, 其特征在于, 开关单元包括相互并  
联的第一 PMOS 晶体管 and 第一 NMOS 晶体管。

3. 根据权利要求 2 的缓冲器, 其特征在于, 第一 NMOS 晶体管根  
15 据输入信号进行开/关操作, 第一 PMOS 晶体管根据输出信号进行开/关  
操作。

15 4. 根据权利要求 1 的缓冲器, 其特征在于, 缓冲单元包括:

接收输入信号的第二 PMOS 晶体管;

相互串联于开关单元中的输出端和操作单元之间的第三 PMOS 晶  
20 体管和第一 NMOS 晶体管。

20 5. 根据权利要求 4 的缓冲器, 其特征在于, 第二 PMOS 晶体管的  
漏与第三 PMOS 晶体管的栅相连, 第二 PMOS 晶体管接收输入信号, 第  
二 PMOS 晶体管和第一 NMOS 晶体管各自的源共接于操作单元。

25 6. 根据权利要求 1 的缓冲器, 其特征在于, 所述输出信号加到第  
三 PMOS 晶体管的源和第一 NMOS 晶体管的漏。

30 7. 根据权利要求 4 的缓冲器, 还包括, 在彼此串联于开关单元的  
输出端和操作单元之间的第三 PMOS 晶体管和第一 NMOS 晶体管中,  
与第一 NMOS 晶体管串联的第二 NMOS 晶体管。

8. 根据权利要求 7 的缓冲器, 其特征在于, 外电压施加在第一  
NMOS 晶体管的输入端, 以进行稳定的工作。

9. 根据权利要求 1 的缓冲器, 其特征在于, 操作单元包括:

35 接收芯片启动信号的第四 NMOS 晶体管, 该晶体管接在缓冲单元

与地电压之间;

接收芯片启动信号的反相器; 及

接收反相器的输出值的第五 NMOS 晶体管, 该晶体管接在输出信号端和地电压之间。

5

10. 一种低功耗输入缓冲器, 包括:

根据输入和输出信号进行开/关 ( on/off ) 操作的开关单元;

接收、反相和输出输入信号的缓冲单元;

接收芯片启动信号控制缓冲单元的输出的操作单元; 及

10

接在外电压和关开装置之间的第四 PMOS 晶体管, 用于接收反相器的输出。

11. 根据权利要求 10 的缓冲器, 其特征在于, 开关单元包括彼此并联的第一 PMOS 晶体管和第一 NMOS 晶体管。

15

12. 根据权利要求 11 的缓冲器, 其特征在于, 第一 NMOS 晶体管根据输入信号进行开/关操作, 第一 PMOS 晶体管根据输出信号进行开/关操作。

20

13. 根据权利要求 10 的缓冲器, 其特征在于, 缓冲单元包括:

接收输入信号的第二 PMOS 晶体管;

彼此串联于开关单元中的输出端和操作单元之间的第三 PMOS 晶体管和第一 NMOS 晶体管。

25

14. 根据权利要求 13 的缓冲器, 其特征在于, 第二 PMOS 晶体管的漏与第三 PMOS 晶体管的栅相连, 第二 PMOS 晶体管接收输入信号, 第二 PMOS 晶体管和第二 NMOS 晶体管各自的源共接于操作单元。

30

15. 根据权利要求 10 的缓冲器, 其特征在于, 给第三 PMOS 晶体管的源和第二 NMOS 晶体管的漏加输出信号。

16. 根据权利要求 13 的缓冲器, 还包括, 在彼此串联于开关单元的输出端和操作单元之间的第三 PMOS 晶体管和第二 NMOS 晶体管中, 与第二 NMOS 晶体管串联的第二 NMOS 晶体管。

35

17. 根据权利要求 16 的缓冲器, 其特征在于, 外电压施加给第三



NMOS 晶体管的输入端，以进行稳定的工作。

- 5 18. 根据权利要求 10 的缓冲器，其特征在于，操作单元包括：
- 接收芯片启动信号的第四 NMOS 晶体管，该晶体管接在缓冲单元与地电压之间；
  - 接收芯片启动信号的反相器；
  - 接收反相器的输出的第四 PMOS 晶体管；
  - 接收反相器的输出值的第五 NMOS 晶体管，该晶体管接在输出信号端和地电压之间。

# 说明书

## 低功耗输入缓冲器

5 本发明涉及一种输入缓冲器，特别涉及一种低功耗输入缓冲器，用于减小所需电流和峰值电流，使半导体芯片稳定工作。

10 如图 1 所示，根据常规技术的输入缓冲器包括：第二 PMOS 晶体管 P2，其源与外电压  $V_{cc}$  相连，栅与反相器 IN1 的输出相连；第一 PMOS 晶体管 P1，其源与第二 PMOS 晶体管的漏相连，漏与输出端 OUT 相连，栅与输入端 IN 相连；第一 NMOS 晶体管 N1，其漏与输出端 OUT 相连，源与地电压  $V_{ss}$  相连，栅与输入端 IN 相连；接收芯片启动信号 CE 的反相器 IN1；及第二 NMOS 晶体管 P2，其漏与输出端 OUT 相连，栅与反相器 IN1 相连，源与地电压  $V_{ss}$  相连。

15

下面结合图 1 - 4 说明这样构成的常规输入缓冲器的工作情况。

20

首先，当芯片启动信号 CE 为高电位时，反相器 IN1 的输出值变成低电位，以便使第二 PMOS 晶体管 P2 导通，第二 NMOS 晶体管 N2 截止。

25

此时，如图 2 所示，当输入信号 AI 为高电位时，第一 PMOS 晶体管 P1 截止，第一 NMOS 晶体管 N1 导通，以使输出信号 AO 变为低电位。

相反，当输入信号 AI 为低电位时，第一 PMOS 晶体管 P1 导通，第一 NMOS 晶体管 N1 截止，以使输出信号 AO 变为高电位。

30

接着，在芯片启动信号为低电位时，反相器 IN1 的输出值保持高电位，以使第二 PMOS 晶体管 P2 截止，第二 NMOS 晶体管 N2 导通。因此，不管输入信号 AI 的电平如何，输出信号 AO 保持低电位。

35

如图 4 所示，当给输入信号 AI 加约 1.5V 的逻辑阈值电压时，第一 PMOS 晶体管 P1 和第一 NMOS 晶体管 N1 皆导通，结果由于过剩工作电流  $I_{SS}$  致使功耗增加。

另外，如图 3 所示，当输入信号 AI 从高电位变为低电位或反过来时，峰值电流变大，于是产生噪声，影响芯片工作。

5 因此，本发明的目的是提供一种低功耗输入缓冲器，以降低工作电流消耗来降低功耗，防止由于输入信号变换期间峰值电流增大所致的噪声。

10 为了实现上述目的，根据本发明的低功耗输入缓冲器包括：根据输入和输出信号进行开/关（on/off）操作的开关单元；接收、反相和输出输入信号的缓冲单元；及接收芯片启动信号控制缓冲单元的输出的操作单元。

图 1 是常规输入缓冲器的示意性框图；

15 图 2 是表示图 1 中输入信号和输出信号间随时间变化的关系曲线图；

图 3 是表示图 1 中峰值工作电流随时间变化的曲线图；

图 4 是表示图 1 中工作电流随输入信号变化的曲线图；

20 图 5 是根据本发明第一实施例的低功耗输入缓冲器的输入缓冲器的示意图；

图 6 是表示图 5 中输入信号和输出信号间随时间变化的关系曲线图；

图 7 是表示图 5 中峰值工作电流随时间变化的曲线图；

图 8 是表示图 5 中工作电流随输入信号变化的曲线图；

25 图 9 是根据本发明第二实施例低功耗输入缓冲器的示意性方框图；

图 10 是表示图 9 中输入信号和输出信号间随时间变化的关系曲线图；

图 11 是表示图 9 中峰值工作电流随时间变化的曲线图；

30 图 12 是表示图 9 中工作电流随输入信号变化的曲线图。

如图 5 所示，根据本发明第一实施例的低功耗输入缓冲器包括：截断工作电流 ISS 通路的开关单元 10；接收输入信号 AI 并输出由输入信号 AI 反相的输出信号 AO 的缓冲单元 20；及接收芯片启动信号 CE 并控制来自缓冲单元 20 的输出的操作单元 30。

开关单元 10 包括： PMOS 晶体管 P3，其栅与输入端 IN 相连，漏与外电压 Vcc 相连，源与缓冲单元 20 相连；及 NMOS 晶体管 N3，其栅与输出端 OUT 相连，源与外电压 Vcc 相连，漏与缓冲单元 20 相连。

5 缓冲单元 20 包括： PMOS 晶体管 P5，其漏与开关单元 10 相连，源与输出端 OUT 相连； PMOS 晶体管 P4，其栅与输入端 IN 相连，漏与 PMOS 晶体管 P5 的栅相连，源与操作单元 30 相连； NMOS 晶体管 N4，其栅与输入端 IN 相连，源与输出端 OUT 相连； NMOS 晶体管 N5，其栅与外电压 Vcc 相连，源与 NMOS 晶体管 N4 相连，漏与操作单元 30 相连。

10 操作单元 30 包括： NMOS 晶体管 N6，其栅与芯片启动信号 CE 相连，漏与缓冲单元 20 相连，源与地电压 Vss 相连；接收芯片启动信号 CE 的反相器 IN2；及 NMOS 晶体管 N7，其栅与反相器 IN2 相连，漏与输出端 OUT 相连，源与地电压 Vss 相连。

下面结合图 5 - 8 说明这样构成的根据本发明的低功耗缓冲器的工作情况。

20 首先，当芯片启动信号 CE 为高电位时， NMOS 晶体管 N6 导通，NMOS 晶体管 N7 截止。此时， NMOS 晶体管 N5 保持导通。

接着，当芯片启动信号 CE 为为高电位时， NMOS 晶体管 N6 导通，NMOS 晶体管 N7 截止。此时， NMOS 晶体管 N5 保持导通。

25 如图 6 所示，当输入信号为高电位时， PMOS 晶体管 P4 截止，NMOS 晶体管 N4 导通，以使输出信号 AO 变为低电位。

相反，当输入信号 AI 为低电位时， PMOS 晶体管 P3、 P4、 P5 导通， NMOS 晶体管 N4 截止，以使输出信号 AO 变为高电位。

30 另外，当芯片启动信号 CE 为低电位时， NMOS 晶体管 N6 截止，NMOS 晶体管 N7 导通，以使输出信号 AO 不管输入信号 AI 的电平如何一直保持低电位。

35 如图 9 所示，除开关单元 10 外，根据本发明第二实施例的低电压

输入缓冲器与展示本发明第一实施例的图 5 所示缓冲器相同，该实施例的开关单元包括：PMOS 晶体管 P6，其栅与操作单元 30 中反相器 IN2 的输出相连，源与外电压 Vcc 相连；PMOS 晶体管 P3，其栅与输入端 IN 相连，漏与 PMOS 晶体管 P6 的漏相连，源与缓冲单元 20 相连；NMOS 晶体管 N3，其栅与输出端 OUT 相连，源与 PMOS 晶体管 P6 的漏相连，漏与缓冲单元 20 相连。

下面结合图 9 - 12 说明根据本发明的输入缓冲器的工作情况。

首先，当芯片启动信号 CE 为高电位时，NMOS 晶体管 N6 导通，NMOS 晶体管 N7 截止，PMOS 晶体管 P6 导通。

这里，在等待模式期间，当使输入信号 AI 为高电位，并加上中间信号时，电流可以流过开关单元 10 中彼此串联的 PMOS 晶体管 P3 和 NMOS 晶体管 N3，PMOS 晶体管 P6 用作电流的开关。此时，NMOS 晶体管 N5 保持导通。

如图 10 所示，当输入信号 AI 为高电位时，PMOS 晶体管 P4 截止，NMOS 晶体管 N4 导通，以使输出信号 AO 变为低电位。

相反，当输入信号 AI 为低电位时，PMOS 晶体管 P4 导通，NMOS 晶体管 N4 截止，以使输出信号 AO 变为高电位。

接着，当芯片启动信号 CE 为低电位时，NMOS 晶体管 N6 截止，NMOS 晶体管 N7 导通，PMOS 晶体管 P6 截止，以使输出信号 AO 不管输入信号 AI 如何皆保持低电位。

因此，当输出信号 AO 变为低电位时，NMOS 晶体管 N3 截止，输入信号 AI 保持高电位，以使 PMOS 晶体管 P3 导通，由此截断从外电压 Vcc 到地电压 Vss 的电流通路，以减小电流消耗。

然而，当输出信号 AO 为高电位时，NMOS 晶体管 N3 变导通，因为输入信号 AI 为低电位，所以 PMO 晶体管 P3 变导通。

另外，由于输入信号 AI 为低电位，NMOS 晶体管 N4 变截止。



而且，NMOS 晶体管 N5 长宽比差异很小，这使其电阻减小，从而减小了电流消耗。

5 如上所述，及如图 6 - 9 所示，由于开关单元 10 中的电流通路截断，NMOS 晶体管 N5 有较大电阻，所以，与常规技术相比，根据本发明的低功耗缓冲器可以使工作电流 ISS 极大地减小。

10 而且，如图 8 - 11 所示，在根据本发明的低功耗缓冲器中，由于 NMOS 晶体管 N5 永远导通，所以，与常规技术相比，峰值电流极大地减小，从而减小了噪声，实现了稳定工作。

# 说明书附图

图 1

现有技术

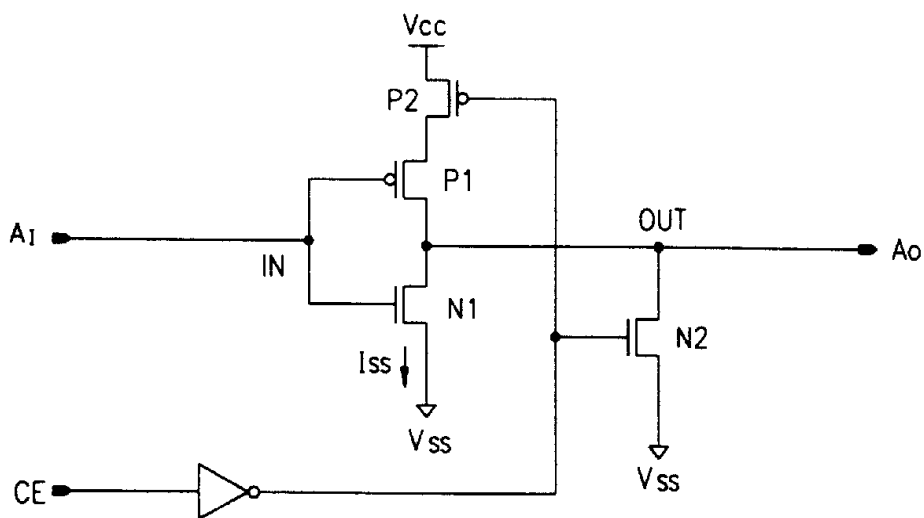
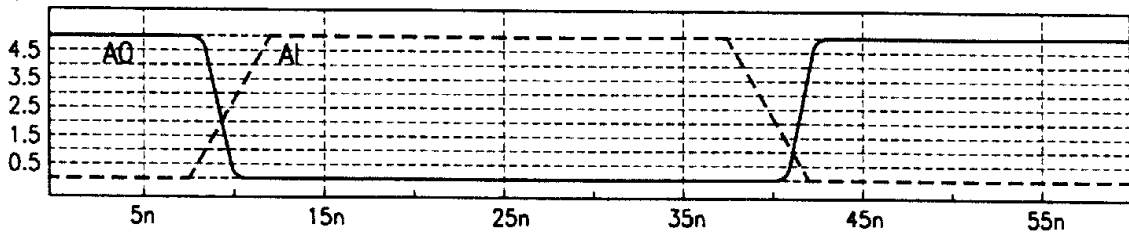


图 2

现有技术

电压  
(V)

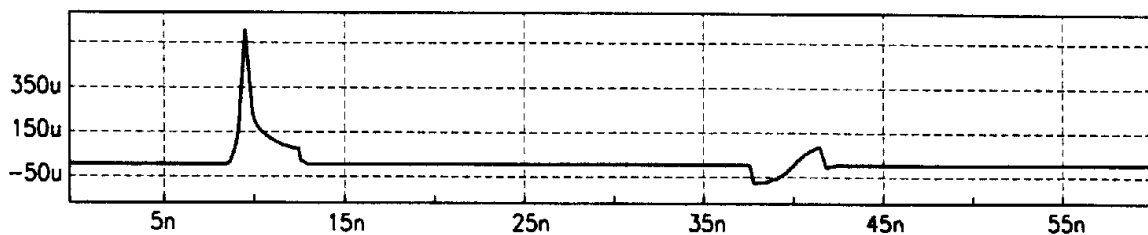


时间(秒)

图 3

现有技术

$I_{ss}$  (A)



时间(秒)

图 4

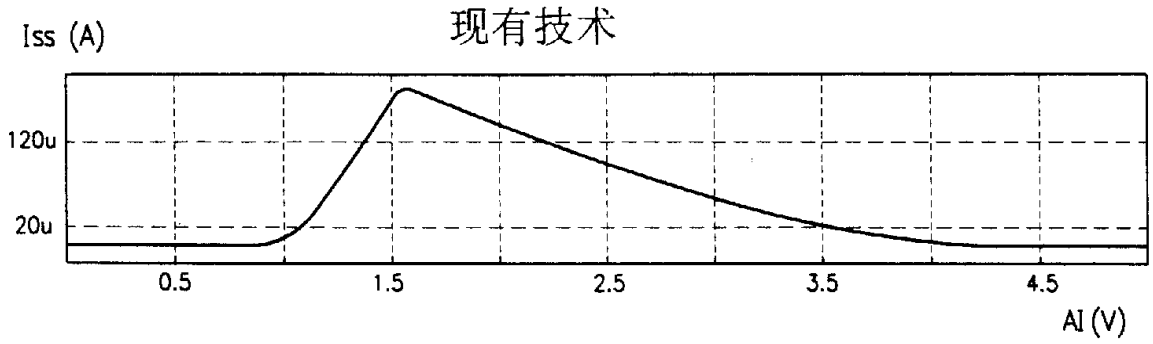


图 5

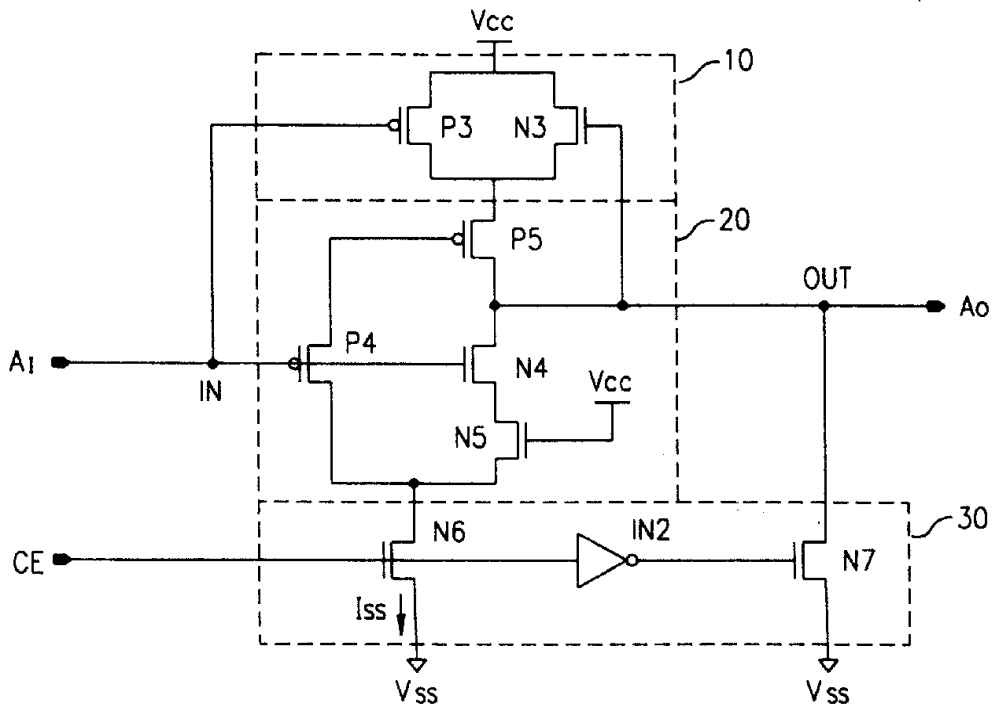


图 6

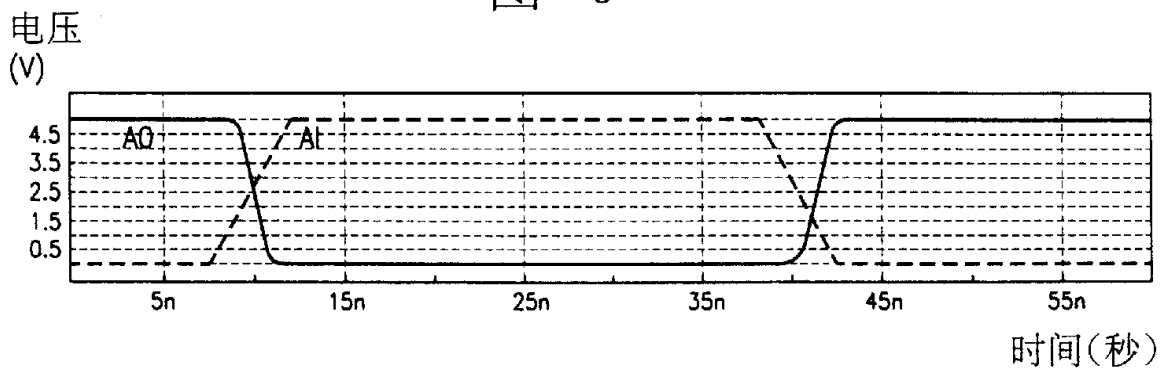


图 7

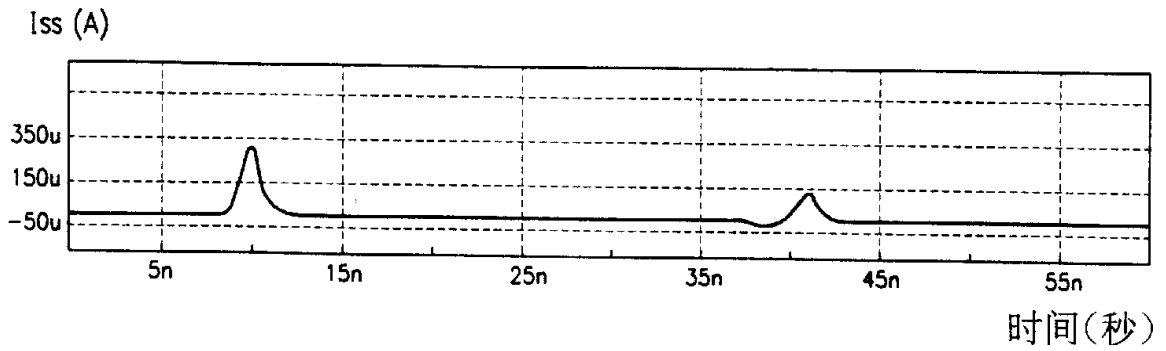


图 8

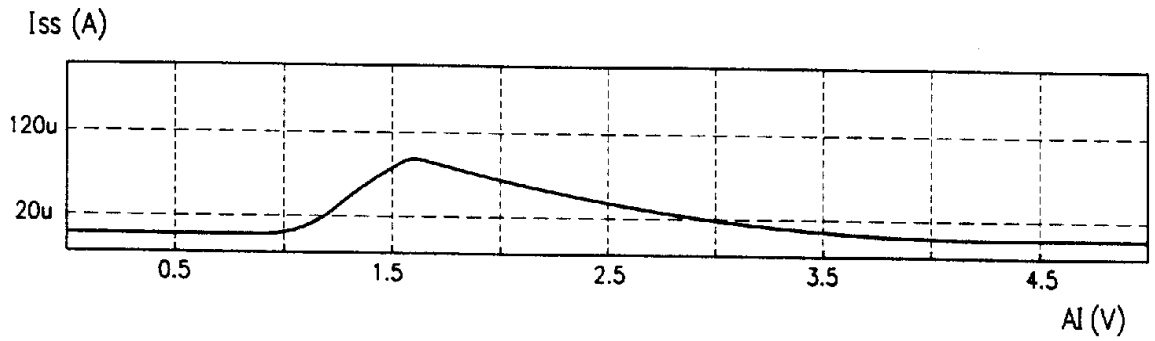


图 9

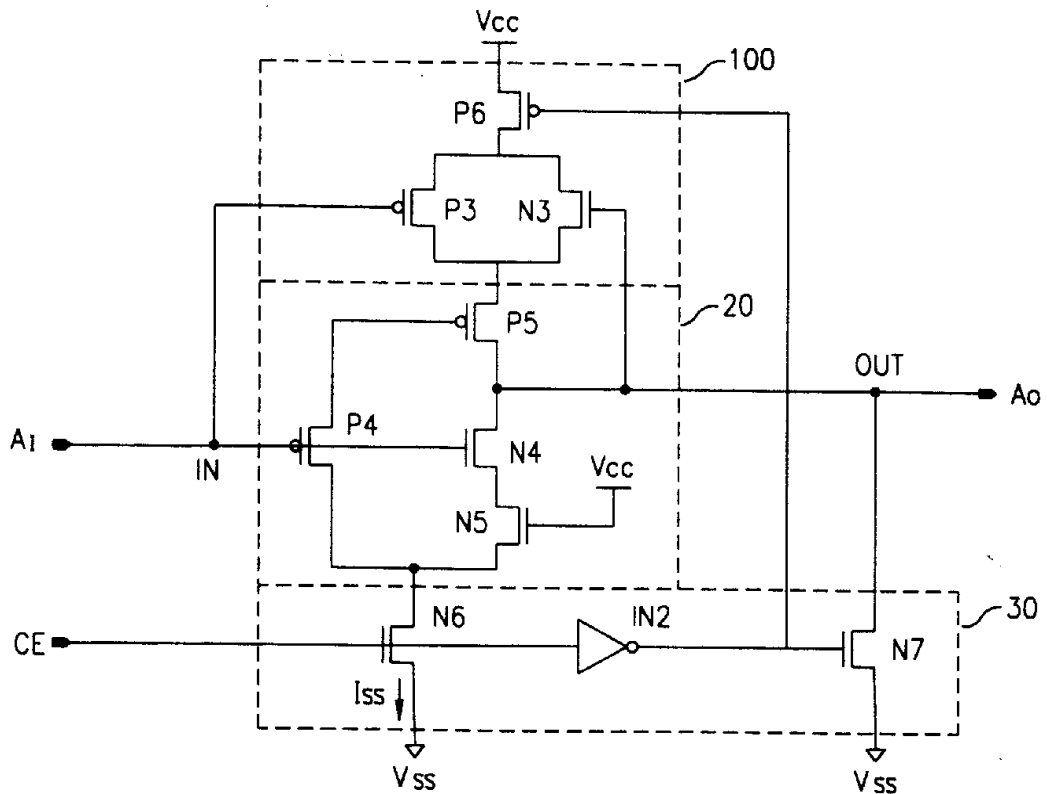


图 10

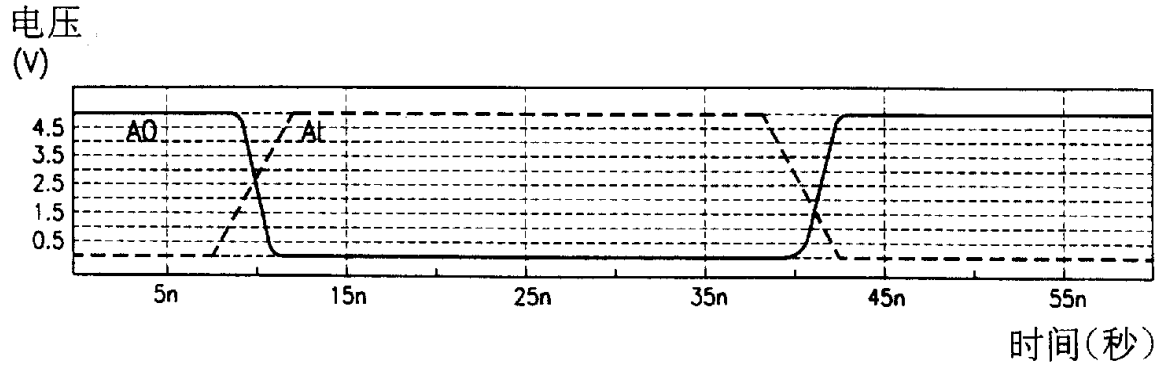


图 11

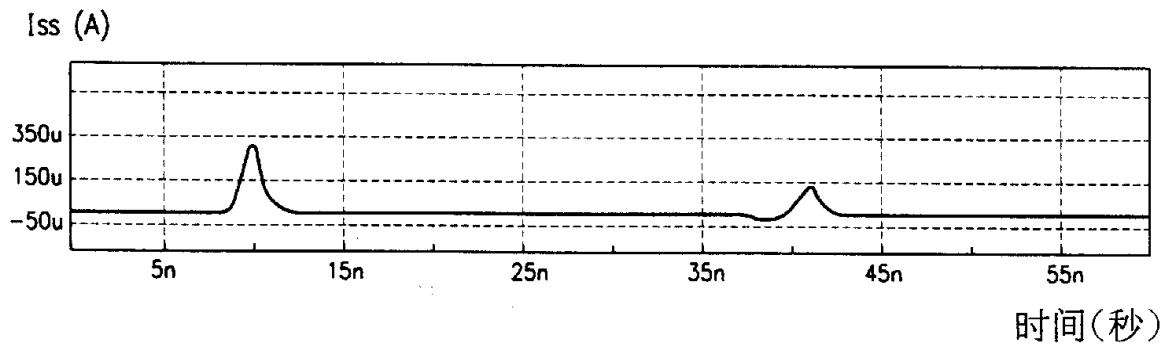


图 12

