

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成21年12月24日 (2009.12.24)

【公表番号】特表2009-522707(P2009-522707A)

【公表日】平成21年6月11日 (2009.6.11)

【年通号数】公開・登録公報2009-023

【出願番号】特願2008-548835(P2008-548835)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 A

G 1 1 C 17/00 6 1 3

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 4 1

【手続補正書】

【提出日】平成21年11月5日 (2009.11.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

境界しきい値電圧に関して 1 グループのメモリセルを並行してプログラムする方法であって、

(a) 前記グループのメモリセルにプログラミングパルスを加えるステップと、

(b) 前記グループのメモリセルを、前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関してベリファイするステップと、

(c) 前記セルのうちの 1 つが前記第 1 基準しきい値電圧に関してベリファイされるまで (a) から (b) までを反復するステップと、

(d) ベリファイされたメモリセルのためのプログラミングセットアップを、これらのセルのためのその後のプログラミングを低速化するために前記第 1 の基準しきい値電圧に変更するステップと、

(e) 前記グループのメモリセルにプログラミングパルスを加えるステップと、

(f) 前記グループのメモリセルを、前記境界しきい値電圧のものから所定のマージン下の前記第 1 の基準しきい値電圧に関してベリファイするステップと、

(g) ベリファイされたメモリセルのための前記プログラミングセットアップを、これらのセルのためのその後のプログラミングを低速化するために前記第 1 の基準しきい値電圧に変更するステップと、

(h) 前記グループのメモリセルを前記境界しきい値電圧に関してベリファイするステップと、

(i) 前記境界しきい値電圧に関してベリファイされたメモリセルがさらにプログラムされるのを妨げるステップと、

(j) 前記グループ中の全てのセルが前記境界しきい値電圧に関してプログラムベリファイされるまで (e) から (i) までを反復するステップと、

を含む方法。

【請求項 2】

請求項 1 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップをさらに含み、

前記プログラミングセットアップを変更するステップは、ベリファイされた前記セルのビット線の電圧を、前記プログラミングを低速化するために前記第 1 の基準しきい値電圧に高めるステップを含む方法。

【請求項 3】

請求項 1 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップと、供給電圧を提供するステップと、をさらに含み、

前記メモリセルがさらにプログラムされるのを妨げるステップは、妨げられないセルのビット線が実質的にゼロ電圧である間に前記メモリセルと関連する前記ビット線を実質的に前記供給電圧に高めるステップを含む方法。

【請求項 4】

請求項 1 記載の方法において、

前記プログラミングパルスは、全てのパルスで単調に増大する方法。

【請求項 5】

請求項 1 記載の方法において、

前記グループのメモリセルは、フラッシュ E E P R O M の一部分である方法。

【請求項 6】

請求項 1 記載の方法において、

前記グループのメモリセルは、メモリカードにおいて具体化される方法。

【請求項 7】

境界しきい値電圧に関して 1 グループのメモリセルを並行してプログラムする方法であって、

交互にプログラミングパルスを加え、前記グループのメモリセルについてのプログラムされた結果を並行してベリファイするステップを含み、

前記ベリファイするステップは、

前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関しての第 1 のベリファイと、

前記第 1 の基準しきい値電圧に関してベリファイされた前記セルのプログラミングを低速化するステップと、

前記境界しきい値電圧に関しての第 2 のベリファイと、

前記境界しきい値電圧に関してベリファイされた前記メモリセルがさらにプログラムされるのを妨げるステップと、をさらに含み、

前記グループのメモリセルのうちの少なくとも 1 つが前記第 1 のしきい値電圧に関してベリファイされるまで前記第 2 のベリファイは省かれる方法。

【請求項 8】

請求項 7 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップをさらに含み、

前記プログラミングを低速化するステップは、ベリファイされた前記セルのビット線の電圧を前記第 1 の基準しきい値電圧に高めるステップを含む方法。

【請求項 9】

請求項 7 記載の方法において、

関連するビット線により前記グループのメモリセルにアクセスするステップと、供給電圧を提供するステップと、をさらに含み、

前記メモリセルがさらにプログラムされるのを妨げるステップは、妨げられないセルのビット線が実質的にゼロ電圧である間に前記メモリセルと関連する前記ビット線を実質的に前記供給電圧に高めるステップを含む方法。

【請求項 10】

請求項 7 記載の方法において、
前記プログラミングパルスは、全てのパルスで単調に増大する方法。

【請求項 1 1】

請求項 7 記載の方法において、
前記グループのメモリセルは、フラッシュ E E P R O M の一部分である方法。

【請求項 1 2】

請求項 7 記載の方法において、
前記グループのメモリセルは、メモリカードにおいて具体化される方法。

【請求項 1 3】

請求項 7 ~ 1 2 のいずれか記載の方法において、
個々のメモリセルは各々 2 つの状態のうちの一方にプログラム可能であり、前記境界しきい値電圧は前記 2 つの状態を区別するためのものである方法。

【請求項 1 4】

請求項 7 ~ 1 2 のいずれか記載の方法において、
個々のメモリセルは各々 3 つ以上の状態のうちの 1 つにプログラム可能であり、前記境界しきい値電圧は前記 3 つ以上の状態を区別するための複数の境界しきい値電圧のうちの 1 つである方法。

【請求項 1 5】

請求項 7 ~ 1 2 のいずれか記載の方法において、
個々のメモリセルは各々 3 つ以上の状態のうちの 1 つにプログラム可能であり、前記境界しきい値電圧は前記 3 つ以上の状態を区別するための複数の境界しきい値電圧のうちの 1 つであり、前記複数の境界しきい値電圧の各々に関して前記ステップの全てを反復するステップをさらに含む方法。

【請求項 1 6】

不揮発性メモリであって、
境界しきい値電圧に関してプログラムされるべきメモリセルアレイと、
グループのメモリセルにプログラミングパルスを加えるためのプログラミング回路と、
前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関して前記グループのメモリセルをベリファイする第 1 の構成を有する感知回路と、
メモリコントローラであって、
前記セルのうちの 1 つが前記第 1 の基準しきい値電圧に関してベリファイされるまで前記プログラミング回路と前記第 1 の構成を有する前記感知回路とを前記コントローラが交互に制御するメモリコントローラと、
前記第 1 の基準しきい値電圧に関してベリファイされたメモリセルのその後のプログラミングを低速化するためのプログラミング遅延回路と、
前記境界しきい値電圧に関してベリファイされたメモリセルがそれ以上プログラムされることを妨げるためのプログラミング禁止回路と、を含み、
前記グループ中の全てのセルが前記境界しきい値電圧に関してプログラムベリファイされるまで、前記プログラミング回路の操作と、前記境界しきい値電圧に関してのベリファイが次に行われる、前記第 1 の基準しきい値電圧に関して前記グループのメモリセルをベリファイする前記感知回路の操作とを前記コントローラが交互に制御する不揮発性メモリ。

【請求項 1 7】

請求項 1 6 記載の不揮発性メモリにおいて、
関連するビット線により前記グループのメモリセルにアクセスすることをさらに含み、
前記プログラミングセットアップを変更することは、ベリファイされた前記セルのビット線の電圧を、前記プログラミングを低速化するために前記第 1 の基準しきい値電圧に高めることを含む不揮発性メモリ。

【請求項 1 8】

請求項 1 6 記載の不揮発性メモリにおいて、

関連するビット線により前記グループのメモリセルにアクセスすることをさらに含み、前記プログラミング禁止回路は、妨げられないセルのビット線が実質的にゼロ電圧である間に、妨げられるべき前記メモリセルと関連する前記ビット線を実質的に供給電圧に高めることを含む不揮発性メモリ。

【請求項 19】

請求項 16 記載の不揮発性メモリにおいて、
前記プログラミングパルスは、全てのパルスで単調に増大する不揮発性メモリ。

【請求項 20】

請求項 16 記載の不揮発性メモリにおいて、
前記グループのメモリセルは、フラッシュ E E P R O M の一部分である不揮発性メモリ

。

【請求項 21】

請求項 16 記載の不揮発性メモリにおいて、
前記グループのメモリセルは、メモリカードにおいて具体化される不揮発性メモリ。

【請求項 22】

境界しきい値電圧に関してプログラムされるべきメモリセルアレイと、
グループのメモリセルにプログラミングパルスを加えるためのプログラミング回路と、
前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関して前記グループのメモリセルをベリファイする第 1 の構成を有する感知回路と、
交互にプログラミングパルスを加え、前記グループのメモリセルについてのプログラムされた結果を並行してベリファイするメモリコントローラと、を含む不揮発性メモリであって、

前記ベリファイすることは、

前記境界しきい値電圧のものから所定のマージン下の第 1 の基準しきい値電圧に関しての第 1 のベリファイと、

前記第 1 の基準しきい値電圧に関してベリファイされた前記セルのその後のプログラミングのレートを減らすステップと、

前記境界しきい値電圧に関しての第 2 のベリファイと、

前記境界しきい値電圧に関してベリファイされた前記メモリセルがさらにプログラムされるのを妨げることと、をさらに含み、

前記グループのメモリセルのうちの少なくとも 1 つが前記第 1 のしきい値電圧に関してベリファイされるまで前記第 2 のベリファイは省かれる不揮発性メモリ。

【請求項 23】

請求項 22 記載の不揮発性メモリにおいて、

前記グループのメモリセルにアクセスするための 1 組の関連するビット線と、

前記セルのその後のプログラミングを低速化するために、前記第 1 の基準しきい値電圧に関してベリファイされた前記セルのビット線の電圧を高めるための供給電圧と、

をさらに含む不揮発性メモリ。

【請求項 24】

請求項 22 記載の不揮発性メモリにおいて、

前記グループのメモリセルにアクセスするための 1 組の関連するビット線とをさらに含み、

前記プログラミング禁止回路は、妨げられないセルのビット線が実質的にゼロ電圧である間に、妨げられるべき前記メモリセルと関連する前記ビット線を実質的に供給電圧に高めることを含む不揮発性メモリ。

【請求項 25】

請求項 22 記載の不揮発性メモリにおいて、

前記プログラミングパルスは、全てのパルスで単調に増大する不揮発性メモリ。

【請求項 26】

請求項 22 記載の不揮発性メモリにおいて、

前記グループのメモリセルは、フラッシュ E E P R O M の一部分である不揮発性メモリ。

【請求項 27】

請求項 22 記載の不揮発性メモリにおいて、
前記グループのメモリセルは、メモリカードにおいて具体化される不揮発性メモリ。

【請求項 28】

請求項 22 記載の不揮発性メモリにおいて、
前記グループのメモリセルは、N A N D 構造で組織されたメモリアレイからのものである不揮発性メモリ。

【請求項 29】

請求項 22 記載の不揮発性メモリにおいて、
個々のメモリセルは、各々 2 つ以上のデータビットを格納する不揮発性メモリ。