

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年3月8日(2012.3.8)

【公表番号】特表2011-503850(P2011-503850A)

【公表日】平成23年1月27日(2011.1.27)

【年通号数】公開・登録公報2011-004

【出願番号】特願2010-532325(P2010-532325)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

G 11 C 16/04 (2006.01)

H 01 L 27/115 (2006.01)

【F I】

H 01 L 29/78 3 7 1

G 11 C 17/00 6 2 2 Z

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成24年1月20日(2012.1.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に位置し、論理ゲート及び/又は揮発性メモリと関連するトランジスタデバイス用のゲートとして使用される材料から成る浮遊ゲートと、

ソース領域と、

ドレイン領域と、

前記ソース領域と前記ドレイン領域とを結合するn型チャネルと
を備え、

前記ドレイン領域は、前記ドレイン領域に印加されるデバイス用プログラム供給電圧を、前記浮遊ゲートと前記ドレイン領域との間に有る容量結合によって前記浮遊ゲートに付与できるように前記ゲートの大部分に重なる、基板上に位置するプログラマブル不揮発性デバイス。

【請求項2】

前記プログラム供給電圧は5ボルトより大きい、請求項1に記載のプログラマブルデバイス。

【請求項3】

前記浮遊ゲートは消去可能である、請求項1に記載のプログラマブルデバイス。

【請求項4】

前記デバイスは再プログラムできる、請求項3に記載のプログラマブルデバイス。

【請求項5】

前記浮遊ゲートは前記ソース領域に印加される消去電圧によって消去可能である、請求項3に記載のプログラマブルデバイス。

【請求項6】

前記浮遊ゲートの状態は前記ドレインに適用された読み取り信号によって決定できる、

請求項 1 に記載のプログラマブルデバイス。

【請求項 7】

前記読み取り信号は約1ボルト未満である、請求項 1 に記載のプログラマブルデバイス。

【請求項 8】

前記デバイスは、集積回路において別個の各論理回路及び／又は各メモリ回路に組み込まれたプログラム可能なアレイの一部である、請求項 1 に記載のプログラマブルデバイス。

【請求項 9】

前記デバイスは、データ暗号化回路、リファレンス調整 (reference trimming) 回路、製造 I D、及び／又はセキュリティ I D のうちの一つと関連する、請求項 8 に記載のプログラマブルデバイス。

【請求項 10】

前記容量結合は前記基板に位置する第 1 トレンチで行われる、請求項 1 に記載のプログラマブルデバイス。

【請求項 11】

前記基板にある一組の第 2 トレンチは組込み型 D R A M として使用される、請求項 10 に記載のプログラマブルデバイス。

【請求項 12】

一対のラッチの配列に結合された第 2 プログラマブルデバイスをさらに有し、データやその補数が前記一対のラッチに保存される、請求項 11 に記載のプログラマブルデバイス。

【請求項 13】

電荷蓄積位置としての機能を果たす各不純物を有し、基板上に位置する他の各非プログラマブルデバイス用の絶縁層として利用される材料から成る浮遊ゲートと、

ソース領域と、

ドレイン領域と、

前記ソース領域と前記ドレイン領域とを結合させる n 型チャネルとを備え、

前記ドレイン領域は、前記ドレイン領域に印加されるプログラム供給電圧を、前記浮遊ゲートと前記ドレイン領域との間にある容量結合によって前記浮遊ゲートに付与できるよう前記ゲートの大部分に重なる、基板上に位置するプログラマブルデバイス。

【請求項 14】

基板上に位置して論理ゲート及び／又は揮発性メモリと関連するトランジスタデバイス用の相互接続ゲート及び／又は別のゲートが共用する材料から成る浮遊ゲートと、

ソース領域と、

前記浮遊ゲートの一部分に重なり、前記浮遊ゲートと前記ドレイン領域との間にある容量結合をもたらすドレイン領域と、

前記ソース領域と前記ドレイン領域とを結合させる n 型チャネルとを備え、

前記浮遊ゲートの閾値は、O T P デバイスにデータを保存するよう各チャネル熱電子によって恒久的に変更できる、基板上に位置するワンタイムプログラマブル (O T P) デバイス。

【請求項 15】

一つ以上の他の追加論理デバイス及び／又は非 O T P メモリデバイスと共にシリコン基板上に組み込まれるワンタイムプログラマブル (O T P) メモリデバイスであって、

a . 前記 O T P メモリデバイスは n 型チャネルを有し、

b . 前記 O T P メモリデバイスの任意及びすべての領域と各構造とは、前記追加論理デバイス及び／又は非 O T P メモリデバイスの各構成要素として使用される各対応領域及び構造から単に由来するものであり、

前記OTPメモリデバイスは、ソース端子とドレイン端子とを介して、容量結合に使用するプログラム供給電圧を浮遊ゲートにプログラム可能にすることを特徴とするメモリデバイス。

【請求項16】

シリコン基板上にゲート、n型不純物ソース、及びn型不純物ドレインを有するプログラマブルメモリデバイスであって、

n型チャネルを備え、

前記n型不純物ドレインは、前記n型不純物ドレインに印加されるプログラム供給電圧を、前記n型不純物ドレインと前記ゲートとの間にある容量結合によって前記ゲートに付与できるように前記ゲートの大部分に重なり、

前記ゲートは、前記デバイスが前記プログラム供給電圧によって前記ゲート上に蓄積された電荷量によって画定されるプログラム状態にあるように浮遊ゲートとしての機能に適応し、

さらに、前記浮遊ゲート上の前記電荷は、前記デバイスが再プログラム可能となるように消去できる、プログラマブルメモリデバイス。

【請求項17】

シリコン基板上にゲート、n型不純物ソース、及びn型不純物ドレインを有するワンタイムプログラマブル(OTP)メモリデバイスであって、

n型チャネルを備え、

前記n型不純物ドレインは、前記n型不純物ドレインに印加される電圧を、前記n型不純物ドレインと前記ゲートとの間にある容量結合によって前記ゲートに付与できるように前記ゲートの大部分に重なり、

前記ゲートは、OTPデバイスが前記ゲートの荷電状態によって画定されるプログラム状態にあるように構成される、メモリデバイス。