



(12) 发明专利

(10) 授权公告号 CN 1914787 B

(45) 授权公告日 2011.12.21

(21) 申请号 200580003514.1

(22) 申请日 2005.01.14

(30) 优先权数据

020517/2004 2004.01.28 JP

(85) PCT申请进入国家阶段日

2006.07.28

(86) PCT申请的申请数据

PCT/JP2005/000329 2005.01.14

(87) PCT申请的公布数据

W02005/074110 JA 2005.08.11

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 细川恭一 工藤良太郎 长泽俊夫

立野孝治

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 张浩

(51) Int. Cl.

H02M 3/155(2006.01)

H01L 21/822(2006.01)

H01L 21/8234(2006.01)

H01L 27/04(2006.01)

H01L 27/088(2006.01)

H03K 17/687(2006.01)

(56) 对比文件

US 5914591 A, 1999.06.22, 全文.

CN 2362232 Y, 2000.02.02, 全文.

审查员 吴伟

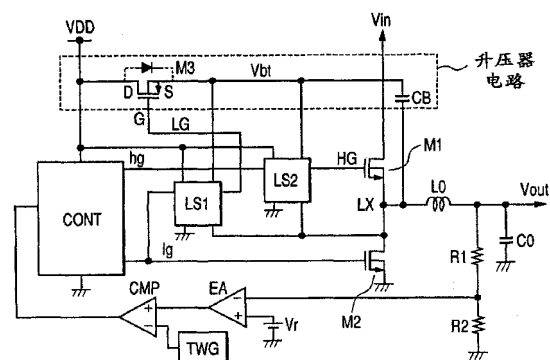
权利要求书 4 页 说明书 10 页 附图 7 页

(54) 发明名称

开关式电源和半导体集成电路

(57) 摘要

本发明提供一种开关式电源和半导体集成电路,即使当电源电压 VDD 为低电压时,其也能够获得高电位侧开关元件 M1 的足够的驱动电压。在控制电流通过开关元件流入感应器的开关式电源中,开关元件响应 PWM 信号执行开关操作,并通过与感应器串联提供的电容器形成输出电压,在开关元件的输出节点与预定电压端之间提供由自举电容和 MOSFET 构成的升压器电路,升高的电压用作开关元件的驱动电路的工作电压,源极和漏极区域中的另一个与衬底栅极彼此连接,使得在 MOSFET 呈 OFF 状态时,在源极和漏极区域之一与衬底栅极之间的结型二极管相对于由自举电容形成的升高电压被反向定向。



1. 一种开关式电源,包括:

电感器;

电容器,其一端连接到所述电感器的一端而其另一端连接到电路的地电位,并形成输出电压;

第一开关元件,连接到所述电感器的另一端,并基于输入电压控制流入所述电感器的电流;

第二开关元件,连接到电感器的所述另一端并当所述第一开关元件呈 OFF 状态时使所述电感器的另一端的电位为预定的电位;

驱动电路,用于驱动所述第一和第二开关元件;

升压器电路,包括自举电容和 MOSFET,所述自举电容的一端连接到所述电感器的所述另一端,所述 MOSFET 的源漏极布线连接在所述自举电容的另一端与外部电源端子之间,该升压器电路能够产生升高的电压,作为自举电容的所述另一端上的驱动电路的工作电压;

电平移位电路,形成开关控制信号,该开关控制信号在所述第二开关元件处于导电状态时允许所述 MOSFET 呈 ON 状态,在所述第二开关元件没有处于导电状态时允许所述 MOSFET 呈 OFF 状态;以及

PWM 控制电路,形成 PWM 信号并通过所述驱动电路控制所述第一和第二开关元件的操作;其中

MOSFET 被配置为连接源极和漏极区域中的一个与衬底栅极,使得在源极和漏极区域中的另一个与所述衬底栅极之间的结型二极管被定向在与从所述自举电容的所述另一端朝向外外部电源端子方向相反的方向上,并在通过响应所述 PWM 信号允许所述 MOSFET 呈 OFF 状态时利用所述结型二极管防止电流从所述自举电容的所述另一端流向外部电源端子。

2. 如权利要求 1 所述的开关式电源,其中

该开关式电源包括电源电路,用于接收对应于输入电压的高电压并形成通过使该高电压降压获得的内部电压,和

使用通过电源电路形成的所述内部电压作为提供到所述升压器电路和 PWM 控制电路的工作电压。

3. 如权利要求 1 所述的开关式电源,其中所述第一开关元件和第二开关元件由 N 沟道 MOSFET 形成,其中

所述升压器电路的 MOSFET 由 P 沟道 MOSFET 形成,所述升压器电路的 MOSFET 的所述衬底栅极连接到所述自举电容的所述另一端。

4. 如权利要求 1 所述的开关式电源,其中

所述第一开关元件、所述第二开关元件和所述升压器电路中的 MOSFET 由 N 沟道 MOSFET 形成;和

所述升压器电路的 MOSFET 的所述衬底栅极连接到外部电源端子一侧。

5. 如权利要求 4 所述的开关式电源,其中

所述开关式电源进一步包括另一个升压器电路,该另一个升压器电路升高从外部电源端子提供的外部电源电压,和

电平移位电路,响应通过另一个升压器电路形成的所述外部电源电压的升高的电压而允许所述升压器电路的 MOSFET 呈 ON 状态。

6. 如权利要求 3 所述的开关式电源, 其中

所述电平移位电路响应通过所述自举电容形成的所述升高的电压而允许所述升压器电路的 MOSFET 呈 OFF 状态。

7. 如权利要求 6 所述的开关式电源, 其中

所述 PWM 控制电路包括用于接收对应于参考电压和所述输出电压的电压信号的误差放大器、三角波发生电路、接收所述误差放大器的输出信号和由所述三角波发生电路形成的三角波的比较器、和响应所述比较器的输出信号形成 PWM 信号的控制电路。

8. 如权利要求 7 所述的开关式电源, 其中

所述第一开关元件、第二开关元件、自举电容、电感器和电容器分别由外部元件形成 ; 以及

所述升压器电路的 MOSFET、电平移位电路、驱动电路和 PWM 控制电路由一个半导体集成电路形成, 并形成所述 PWM 信号使得当所述 PWM 控制电路的误差放大器接收对应于输出电压的电压信号时所述输出电压呈现为预定电压。

9. 如权利要求 7 所述的开关式电源, 其中

所述自举电容、电感器和电容器分别由外部元件形成 ; 以及

所述第一开关元件、第二开关元件、升压器电路的 MOSFET、驱动电路、电平移位电路和 PWM 控制电路由一个半导体集成电路形成, 并形成所述 PWM 信号使得当所述 PWM 控制电路的误差放大器接收对应于输出电压的电压信号时所述输出电压呈现为预定电压。

10. 如权利要求 7 所述的开关式电源, 其中

所述自举电容、电感器和电容器分别由外部元件形成 ;

所述第一开关元件、第二开关元件、驱动电路、升压器电路的 MOSFET 和电平移位电路由第一半导体集成电路构成 ; 和

所述控制电路由第二半导体集成电路器件形成, 形成 PWM 信号使得当所述 PWM 控制电路的误差放大器接收对应于输出电压的电压信号时输出电压呈现为预定电压, 并将所述 PWM 信号发送至第一半导体集成电路。

11. 如权利要求 1 所述的开关式电源, 其中

所述开关式电源进一步包括电源电路, 该电源电路接收对应于输入电压的高电压并形成通过使该高电压降压而获得的内部电压 ;

自举电容、电感器和电容器分别由外部元件形成 ;

所述第一开关元件、第二开关元件、驱动电路、MOSFET 和电平移位电路由第一半导体集成电路构成 ;

所述 PWM 控制电路由第二半导体集成电路器件形成, 形成对应于所述高电压的 PWM 信号使得当 PWM 控制电路接收对应于输出电压的电压信号时输出电压呈现为预定电压, 并将所述 PWM 信号发送至第一半导体集成电路, 以及

第一半导体集成电路包括用于将 PWM 信号的电平箝位到所述内部电压与电路的地电位之间幅度的电压箝位电路。

12. 如权利要求 11 所述的开关式电源, 其中第一半导体集成电路包括构成所述第一开关元件的第三半导体集成电路、构成所述第二开关元件的第四半导体集成电路和构成所述 MOSFET 和电平移位电路的第五半导体集成电路。

13. 一种半导体集成电路,包括:

第一开关元件,其通过使允许用于形成输出电压的电流流入第一开关元件的输入电压降压来执行针对用于形成所述输出电压的所述电流的开关控制;

该第一开关元件的第一端子,允许所述电流流过其中;

第二端子,一端连接到第一端子的自举电容的另一端连接到该第二端子;

MOSFET,其源漏极布线连接在外部电源端子与第二端子之间;和

驱动电路,用于驱动所述第一开关元件,其中

所述自举电容和 MOSFET 构成了升压器电路,该升压器电路产生用作所述驱动电路的工作电压的升高的电压,和

MOSFET 被配置成连接源极和漏极区域中的一个与衬底栅极,使得当所述 MOSFET 呈 OFF 状态时,在源极和漏极区域中的另一个与衬底栅极之间的结型二极管被定向在与从自举电容的所述另一端朝向外外部电源端子方向相反的方向上,并防止所述电流通过结型二极管从所述自举电容的所述另一端流向外外部电源端子。

14. 如权利要求 13 所述的半导体集成电路,其中

所述自举电容设置在该半导体集成电路的外部。

15. 如权利要求 14 所述的半导体集成电路,其中

所述电流是从输入电压流入电感器的电流,所述电感器的一端连接到第一端子,通过所述电感器和电容器形成所述输出电压,所述电容器的一端连接到所述电感器的另一端,而所述电容器的另一端连接到电路的地电位。

16. 如权利要求 15 所述的半导体集成电路,其中

所述第一开关元件由 N 沟道 MOSFET 形成;

所述升压器电路的所述 MOSFET 由 P 沟道 MOSFET 形成,并且升压器电路的 MOSFET 的所述衬底栅极连接到所述自举电容的所述另一端。

17. 如权利要求 15 所述的半导体集成电路,其中

所述第一开关元件和所述升压器电路的 MOSFET 由 N 沟道 MOSFET 形成;和

所述升压器电路的 MOSFET 的所述衬底栅极连接到外部电源端子侧。

18. 如权利要求 15 所述的半导体集成电路,其中

所述半导体集成电路进一步包括用于当所述第一开关元件呈 OFF 状态时使所述电感器的所述一端成为预定电位的第二开关元件;

该第二开关元件形成在第一半导体衬底上;

所述第一开关元件形成在第二半导体衬底上;

所述驱动电路是在接收了允许输出电压呈现为预定电压的控制信号时执行所述第一开关元件和所述第二开关元件的 ON 和 OFF 控制的电路,所述驱动电路形成在第三半导体衬底上;

第一半导体衬底、第二半导体衬底和第三半导体衬底被密封在一个封装中。

19. 如权利要求 18 所述的半导体集成电路,其中

所述控制信号由 PWM 信号形成。

20. 如权利要求 19 所述的半导体集成电路,其中

所述驱动电路包括电平移位电路,该电平移位电路用于形成在所述第二开关元件处于

ON 状态时允许所述 MOSFET 呈 ON 状态以及在所述第二开关元件处于 OFF 状态时允许所述 MOSFET 呈所述 OFF 状态的开关控制信号。

21. 如权利要求 20 所述的半导体集成电路, 其中

PWM 信号是由接收对应于所述输出电压和参考电压的电压信号的误差放大器、三角波发生电路、接收所述误差放大器的输出信号和由所述三角波发生电路形成的三角波的比较器、以及接收所述比较器的输出信号的控制电路所形成的信号。

22. 如权利要求 21 所述的半导体集成电路, 其中

所述半导体集成电路进一步包括电源电路, 该电源电路接收对应于输入电压的高电压并形成通过使该高电压降压所获得的内部电压, 以及

在所述半导体集成电路中形成电压箝位电路, 该电压箝位电路用于将 PWM 信号的电平箝位到内部电压与电路的所述地电位之间的幅度。

23. 如权利要求 22 所述的半导体集成电路, 其中

所述电压箝位电路包括:

输入端子, PWM 信号被提供到该输入端子;

N 沟道 MOSFET, 其源极和漏极布线之一连接到输入端子, 并允许其栅极接收提供的内部电压;

电流源, 设置在 N 沟道 MOSFET 的源极和漏极布线中的另一个与该电路的所述地电位之间; 和

电容器, 其与所述电流源并联形成。

24. 如权利要求 20 所述的半导体集成电路, 其中

所述电平移位电路由以下电路构成:

以第一幅度工作的第一电路;

包括第一 MOSFET 和电阻的第二电路, 第一 MOSFET 接收从第一电路输出的信号, 所述电阻与第一 MOSFET 串联, 并且所述电阻在所述自举电容的所述另一端与第一 MOSFET 之间; 和

第三电路, 其接收从连接了第二电路之第一 MOSFET 和电阻的节点所输出的信号并使用所述自举电容的所述另一端的电压作为电源, 并产生所述开关控制信号。

开关式电源和半导体集成电路

技术领域

[0001] 本发明涉及一种开关式电源和半导体集成电路,例如,涉及一种可有效地应用于将高电压转换成低电压的开关式电源的技术,以及该开关式电源中使用的半导体集成电路。

背景技术

[0002] 开关式电源需要满足低成本、小型化、高效率、低电压和大电流。因此,在许多情况下使用以低成本制造的并表现出低导通电阻(低 R_{on}) 和低 Q_{gd} (低栅极电荷量)的 N 沟道型功率 MOSFET(以下简称为 NMOS) 作为开关元件。图 12 显示了在本发明之前研究的降压型开关式电源的构成。在高电位侧开关元件 M1 中使用 NMOS,附图中所示的被称作“自举”的升压器电路和电平移位电路是必须的。在图 13 所示的升压器电路中,施加电压 ($V_{DD}-V_f$) 用于驱动高电位侧开关元件 M1,电压 ($V_{DD}-V_f$) 比电源电压 V_{DD} 低于相当于二极管 D4 的正向电压 V_f 的量。也就是,将电压施加到开关元件 M1 的栅极,该电压比开关元件 M1 的源极(中间点 LX) 高出存储在自举 CB 中的电压 ($V_{DD}-V_f$)。为了增加上述电压 ($V_{DD}-V_f$),使用具有低正向电压 V_f 的肖特基势垒二极管作为二极管 D4。

[0003] 图 14 显示了图 13 中所示的降压型开关电源的各个部分的工作波形。在降压型开关元件中,高电位侧开关元件 M1 与低电位侧开关元件 M2 之间的中间点 LX 变为用于每次开关的输入电压 V_{in} 和地电位 V_{SS} 。在中间点 LX 的电位呈现出地电位 V_{SS} 期间,升压器电路通过二极管 D4 从电源电压 V_{DD} 充电自举电容 CB。因此,自举电容 CB 的两端电压呈现为电压 ($V_{DD}-V_f$),电压 ($V_{DD}-V_f$) 是从电源电压 V_{DD} 下降对应于二极管 D4 的正向电压 V_f 的量。当中间点 LX 的电位呈现出输入电压 V_{in} 时,二极管 D4 防止向后流到电源电压 V_{DD} ,并将电流从自举电容 CB 提供至高电位侧开关元件 M1 的驱动电路。高电位侧开关元件 M1 的驱动电压 V_{gs} 变为 ($V_{DD}-V_f$)。

[0004] 另一方面,观察出一种趋势,包括控制电路的外围电路的电源电压 V_{DD} 下降。因此,不可再忽略二极管 D4 的正向电压 V_f 的下降量,由此增加了高电位侧开关元件 M1 不能获得足够的驱动电压的可能性。当驱动电压变得不充分时,开关元件不能表现出其最初的性能,由此使得损失等增加。因此,在日本专利公开 Hei11(1999)-501500 中已知一种开关式电源,一种使用结型 FET(以下简称 JFET) 构成自举电路并在此处结合 IC 的开关式电源的示例。在此开关式电源中,自举电容器通过 JFET 充电。

[0005] 专利文献 1:日本专利公开 Hei11(1999)-501500

发明内容

[0006] 发明所要解决的问题

[0007] 但是在 JFET 中,OFF 状态下的漏电流是不可忽略的,因此串联连接用于防止逆流的二极管,以确保足够的升高电压。也就是说,为了构成实际的电路,在上述专利文献 1 的开关式电源中,认为连接逆流防止二极管是必要的,因此最终出现类似于图 13 所示电路具

有的缺陷。

[0008] 因此,本发明的一个目的是提供开关式电源和该开关式电源中使用的半导体集成电路,该开关式电源即使在电源电压 VDD 为低电压时也能够获得高电位侧开关元件 M1 的足够的驱动电压。

[0009] 根据此说明书和附图的描述,本发明上述和其它的特征将显而易见。

[0010] 解决问题的手段

[0011] 为了简要地说明本申请中所述发明的典型发明的概述,提供如下说明。也就是,在控制电流通过开关元件流入电感器的开关式电源中,开关元件响应 PWM(脉宽调制)信号执行开关操作,并通过与电感器串联提供的电容器形成输出电压,在开关元件的输出节点与预定电压端之间提供由自举电容和 MOSFET 构成的升压器电路,升高的电压用作开关元件的驱动电路的工作电压,源极和漏极区域中的另一个与衬底栅极彼此连接,使得在 MOSFET 呈 OFF 状态时,在源极和漏极区域之一与衬底栅极之间的结型二极管相对于由自举电容形成的升高电压被反向定向。

[0012] 本发明的优点

[0013] 开关式电源和使用这样的开关式电源的半导体集成电路即使在电源电压 VDD 为低电压时也能够获得高电位侧开关元件的足够的驱动电压。

附图说明

[0014] 图 1 是显示按照本发明的开关式电源的一个实施例的示意图;

[0015] 图 2 是用于说明图 1 所示的开关式电源的驱动电路工作的波形图;

[0016] 图 3 是显示图 1 所示的 P 沟道 MOSFET M3 的一个实施例的元件的示意性剖面图;

[0017] 图 4 是按照本发明的开关式电源的一个实施例的构成图;

[0018] 图 5 是按照本发明的开关式电源的另一个实施例的构成图;

[0019] 图 6 是按照本发明的开关式电源的另一个实施例的构成图;

[0020] 图 7 是按照本发明的开关式电源的另一个实施例的示意性电路图;

[0021] 图 8 是按照本发明的开关式电源的另一个实施例的构成图;

[0022] 图 9 是显示图 8 所示的电压箝位电路 VCL 的一个实施例的电路图;

[0023] 图 10 是显示按照本发明的用于开关式电源的电平移位电路 LS2 的一个实施例的电路图;

[0024] 图 11 是显示按照本发明的开关式电源的另一个实施例的示意性电路图;

[0025] 图 12 是显示按照本发明的开关式电源的另一个实施例的构成图;

[0026] 图 13 是在本发明之前研究的降压型开关式电源的构成图;

[0027] 图 14 是显示图 13 中所示的降压型开关式电源的各个部分的工作波形图。

[0028] 符号说明

[0029] D1 至 D4 :二极管 ;M1 至 M3,M3':MOSFET ;I_o :电流源 ;C_i :电容器 ;CONT :控制电路 ;EA :误差放大器 ;CMP :电压比较器 ;TWG :三角波发生电路 ;I_B :输入电路 ;CB :自举电容 ;L_O :电感器 ;C_O :电容器 ;R1 至 R4 :电阻 ;INV1 至 INV4 :CMOS 反相器电路 ;Reg :电源电路 ;LS1、2 :电平移位电路。

具体实施方式

[0030] 图 1 显示了按照本发明的开关式电源的一个实施例的示意图。此实施例涉及一种所谓的降压型开关式电源,其通过使输入电压 V_{in} 降压来形成输出电压 V_{out} 。尽管没有特别的限制,输入电压 V_{in} 可以是大约 12V 的相当高的电压,输出电压 V_{out} 可以是大约 3V 的低电压。

[0031] 上述输入电压 V_{in} 通过高电位侧开关元件 M1 从电感器 L0 的一端供应电流。电容器 C0 设置在电感器 L0 的另一端与电路的地电位 VSS 之间,并通过电容器 C0 形成平滑的输出电压 V_{out} 。在电感器 L0 的一端与电路的地电位 VSS 之间设置开关元件 M2,当开关元件 M1 呈 OFF 状态时,通过使得中间点 LX 呈现出电路的地电位,开关元件 M2 箝位电感器 L0 中产生的反电动势。开关元件 M1、M2 由 N 沟道功率 MOSFET 形成。开关元件 M1、M2 的节点构成了所谓的反相推挽式输出电路的中间点 LX,并连接到电感器 L0 的一端。

[0032] 为了将输出电压 V_{out} 控制为大约 3V 的预定电位,提供下面的 PWM 控制电路。作为示例,通过由电阻 R1、R2 构成的分压电路来分割上述输出电压 V_{out} ,并将其施加到误差放大器 EA 的一个输入 (-) 端。将参考电压 V_r 施加到误差放大器 EA 的另一个输入 (+) 端。将分割的电压与参考电压 V_r 之间的差分电压施加到电压比较器 CMP 的一个输入 (+) 端。将通过三角波发生电路 TWG 形成的三角波施加到电压比较器 CMP 的另一个输入 (-) 端。将电压比较器 CMP 的输出信号施加到控制电路 CONT,控制电路 CONT 形成使得分割的电压与参考电压 V_r 彼此一致的 PWM 信号。信号不特别地限于 PWM 信号,可以使用能够通过控制功率 MOSFET 的开关来控制输出电压 V_{out} 的任何信号,例如 PFW(脉冲频率调制)信号、PDM(脉冲密度调制)信号等。

[0033] 控制电路 CONT 产生了对应于上述 PWM 的高电压侧控制信号 hg 和低电位侧控制信号 lg。在此实施例中,使用具有低导通电阻和低 Q_{gd} 的 N 沟道型功率 MOSFET 作为上述开关元件 M1,由此允许控制电路 CONT 作为源极跟随器输出电路工作。因此,为了允许中间点 LX 的电位获得对应于输入电压 V_{in} 的高电压,也就是为了防止中间点 LX 的电位下降对应于 MOSFET M1 的阈值电压的量以及产生损失的现象,而提供升压器电路。也就是说,当 MOSFET M1 处于 ON 状态时,升压器电路执行操作,将栅极电压设置为等于输入电压 V_{in} 或比输入电压 V_{in} 高出相当于阈值电压的量的高电压。

[0034] 上述中间点 LX 连接到自举电容 CB 的一端。自举电容 CB 的另一端通过 P 沟道型开关 MOSFET M3 的源漏极布线连接到电源电压 VDD。电源电压 VDD 是例如 5V 的低电压,并且是构成包括上述控制电路 CONT 的 PWM 控制电路的误差放大器 EA、电压比较器 CMP 和三角波发生电路 TWG 的工作电压,其中电源电压 VDD 也用作稍后所述的电平移位电路 LS1、LS2 的低电压侧电路的工作电压。

[0035] 对应于上述 PWM 信号的高电压侧控制信号 hg 通过电平移位电路 LS2 使其电平移位,由此形成高电位侧开关元件 M1 的驱动信号 HG。电平移位电路 LS2 使用上述的电源电压 VDD 和通过上述自举电容 CB 形成的升高的电压 V_{bt} 作为工作电压,其中通过将电源电压 VDD 和具有地电位(在此实施例中大约为 5V)幅度的高压侧控制信号 hg 的电平移位到升高的电压 V_{bt} 和具有中间点 LX 幅度的信号,能够在开启开关元件 M1 时将栅极电压增加至例如升高的电压 V_{bt} 的电压。

[0036] 对应于 PWM 信号的低压侧控制信号 lg 使用缓冲器等基本上被直接提供至低电位

侧开关元件 M2 的栅极。电平移位电路 LS1 移位低压侧控制信号 lg 的电平,由此形成提供至 P 沟道型 MOSFET M3 的栅极的控制信号 LG。也就是,当开关元件 M2 的低压侧控制信号 lg 通过电平移位电路反相由此关闭开关 M2 时,形成对应于升高的电压 Vbt 的控制信号 LG,并将控制信号 LG 传输至 P 沟道型 MOSFET M3 的栅极由此关闭 MOSFET M3。

[0037] 如图 12 所示,通过使用替代二极管 D4 构成开关元件的 P 沟道型 MOSFET (简称 PMOS) M3 来描述本发明升压器电路的特性。此处,PMOS M3 使其漏极端子 D 连接到电源 VDD,使其源极端子 S 连接到自举电容 CB 侧。MOSFET 的源极和漏极可以根据电压施加的方向而颠倒,因此附图中所示的漏极端子 D 和源极端子 S 是出于方便的原因而设置的。也就是,漏极端子 D 和源极端子 S 表示在形成由自举电容 CB 引起的高于电源电压 VDD 的升高电压 Vbt 的状态下的漏极和源极。PMOS M3 的衬底栅极(背栅极、沟道区域或 N 型阱区域)连接到源极端子 S 侧,也就是自举电容 CB 侧。

[0038] 图 2 显示了用于说明图 1 所示的开关式电源的驱动电路工作的波形。基本上,在响应对应于 PWM 信号的控制信号 hg、lg 而开启开关元件 M2 期间(也就是在开关元件 M1 关闭期间),开关元件 M3 开启,通过电源电压 VDD 对自举电容 CB 充电。在附图中,此充电电压表示为 $VDD-V3(on)$ 。V3(on) 表示在充电操作期间 MOSFET M3 的源漏极布线中的电压损失,基本上视为零。

[0039] 将此处 PMOS M3 的操作称作反向特性。也就是,将低电平(例如地电位)的控制信号 LG 从电平移位电路 LS1 施加到 PMOS M3 的栅极,电源电压 VDD 侧(漏极端子 D)作为源极区域工作以呈 ON 状态,因此开始对自举电容 CB 充电。此处,也通过由衬底栅极与作为源极工作的漏极端子 D 的 PN 结所构成的寄生二极管形成充电线路,因此当作为漏极区域工作的源极端子 S 侧上的电位 Vbt 低于 $(VDD-Vf)$ (Vf 是寄生二极管的正向电压)时,充电电流也流过这样的寄生二极管。

[0040] 在响应对应于 PWM 信号的控制信号 hg、lg 而开启开关元件 M1 期间(也就是在开关元件 M2 开启期间),由于开关元件 M1 的开启使得中间点 LX 的电位从低电平上升。对应于低电平的上升,自举电容 CB 的升高电压 Vbt 升高到高出相当于充电电压 VDD 的量的电压。也就是,在栅极与开关元件 M1 的源极(HG-LX)之间,通过电平移位电路 LS2 施加了自举电容 CB 的保持电压 VDD ($VDD-V3(on)$),因此从源极侧获得的中间点 LX 的电位升高到对应于输出电压 Vin 的高电压。此处,VDD 大约是 5V,开关元件 M1 的阈值电压大约是 1V,由此建立关系 $VDD > V_{th}$ 。

[0041] 由于升高电压 Vbt 的上升,在与上述充电操作中向一对源极和漏极区域施加电压方向相反的方向上向 MOSFET M3 的一对源极、漏极施加电压,因此如图 1 所示,升高电压 Vbt 侧作为源极端子 S 工作,电源电压 VDD 侧作为漏极端子 D 工作。因此,假设将施加到栅极 G 的控制信号 LG 设为高电平,例如电源电压 VDD,当源极端子 S 的电位上升到阈值电压 V_{th} 或更高时,开关元件再次呈现为 ON 状态,形成升高电压 Vbt 的自举电容 CB 的电荷泄漏到电源电压 VDD 侧。电平移位电路 LS1 将高电平的控制信号 LG 设置为对应于升高电压 Vbt 的高电压,并通过将栅极 G 和源极端子 S 设在相同电位(等于或低于 V_{th})来维持 OFF 状态。此外,在相反方向上将电压施加到寄生二极管,并且没有用于使自举电容 Cb 的电荷放电的电流流过。

[0042] 能够通过 $C_g \times V_{gs}$ 粗略地计算在一次充电操作中用于使开关元件 M1 成为 ON 状态

所消耗的自举电容 C_b 的电荷。此处,符号 C_g 表示开关元件 M1 的栅极输入电容,符号 V_{gs} 表示栅极与源极之间的驱动电压。通过使电荷与开关频率相乘,能够获得平均充电电流。作为例子,为了计算充电电流,将 C_g 、 V_{gs} 和开关频率设置为 $C_g = 3000\text{pF}$ 、 $V_{gs} = 5\text{V}$ 、开关频率 $= 1\text{MHz}$,充电电流为 15mA 。此外,一般情况下 MOSFET M3 的导通电阻是几十 $\text{m}\Omega$,充电时的压降 $V_{3(\text{on})}$ 很小,被视为零。因此,与传统的二极管 D4 的正向电压 V_f 引起的压降相比,此实施例能够将压降抑制到极小的值。

[0043] 以上所述在开关元件 M2 关闭期间(在开关元件 M1 开启期间),必须关闭 P 沟道 MOSFET M3。为了关闭 P 沟道 MOSFET M3,电平移位电路 LS1 通过使用升高电压 V_{bt} 作为工作电压,将施加到 P 沟道 MOSFET M3 的栅极端子 G 的控制信号 LG 的电平移位至等于源极端子 S 的升高电压 V_{bt} 的电压电平。此外,具有在 MOSFET M3 的漏极端子 D 与衬底栅极之间寄生的二极管(也称作体二极管)。由于此寄生二极管, MOSFET M3 进入上述的 OFF 状态,同时能够防止从升高的电位 V_{bt} 向电源电压 VDD 逆流。因此,不必重新提供在上述专利文献 1 中用作 JFET 的二极管用于防止逆流。

[0044] 由于到开关元件 M1、M2、M3 的 ON 状态或 OFF 状态的渡越时间具有由元件等引起的不规则性,所以在开关元件 M1、M2、M3 的转变中提供停止时间,用于防止直通电流。以相同的方式,在开关元件 M1 完全关闭之前,当开关元件 M3 开启时,产生从升高的电位侧向电源电压 VDD 的逆流,因此以相同的方式提供停止时间。尽管没有特别的限制,但是通过对应于 PWM 信号形成信号 lg 和 hg 的控制电路 CONT 来设置停止时间。如上所述,本发明提供了升压器电路,即使将电源电压 VDD 设置为低电压也能够获得开关元件 M1 的足够的驱动电压。

[0045] 图 3 是显示图 1 所示的 P 沟道型 MOSFET M3 的一个实施例的元件的示意性剖面图。图 3(A) 显示了一般 MOSFET 的示例,图 3(B) 显示了高电介质强度 MOSFET 的示例。从图 2 中各个部分的信号的波形可以理解,升高电压 V_{bt} 达到了电源电压 VDD+ 输入电压 V_{in} 。因此,出于安全的目的,期望使用图 3(B) 所示的具有高电介质强度的 LDMOS(横向扩散 MOS)作为 P 沟道 MOSFET M3。

[0046] 在图 3(A) 所示的一般的 P 沟道型 MOSFET 中,在 P 型衬底 PSUB 上形成 N 型阱区域 NWEL,并在 N 型阱区域 NWEL 中形成一对 P+ 型源漏极区域。在这样一对源极和漏极区域之间的阱区域(沟道或衬底栅极)上,形成具有小的膜厚度的栅极绝缘膜。在栅极绝缘膜上,以栅极电极跨在该对源极和漏极区域上的状态形成栅极电极。此外,当使用 P 沟道型 MOSFET 作为构成上述升压器电路的开关元件 M3 时,构成图 1 中的源极端子 S 侧的阱区域 NWEL 和 P+ 区域彼此连接。在构成图 1 中的漏极端子 D 的 P+ 区域与衬底栅极(NWEL)之间,存在图 1 中所示的寄生二极管。

[0047] 在图 3(B) 所示的高电介质强度 MOSFET 中,在 P 型衬底 PSUB(P-) 上形成用于构成漏极端子 D 的 P+ 区域。相对于与源极端子 S 对应的半导体区域,在 N 型阱区域 NWEL 中按照 P+ 区域面对以相反方式构成漏极端子 D 的 P+ 区域的状态形成 P+ 区域,并且在 N 型阱区域 NWEL 中形成用于获得欧姆接触的 N+ 区域。此外,通过在 P+ 区域和 N+ 区域上形成电极,建立了与 N 型阱区域 NWEL 的连接。在此高电介质强度 MOSFET 中, P+ 区域和 P- 衬底作为有效的漏极区域工作,而在 N 型阱区域 NWEL 中形成的 P+ 区域之间的阱区域(沟道或衬底栅极)用作有效的衬底栅极(沟道区域)。

[0048] 在该对 P+ 区域和衬底 PSUB 之间的 N 阱区域 NWEL 上,形成具有小的膜厚度的栅

极绝缘膜。在栅极绝缘膜上,以栅极电极跨在该对 P+ 区域上的状态形成栅极电极。此外,当使用高电介质强度 MOSFET 作为构成上述升压器电路的开关元件 M3 时,构成图 1 中的源极端子 S 侧的阱区域 NWEL 和 P+ 区域彼此连接。在构成图 1 所示的一部分漏极区域的衬底 PSUB 与衬底栅极 (NWEL) 之间,存在图中所示的寄生二极管。在这样的 LDMOS 中,源极区域和漏极区域的结构是不对称的,因此如附图所示地表示源极和漏极以显示此不对称。

[0049] 如作为元件的示意性结构剖面图的图 3(A)、(B) 所示,在源极和衬底栅极 (阱区域) 彼此连接的状态下使用该 MOSFET,因此在图 3(A) 所示的一般 P 沟道 MOSFET 和图 3(B) 所示的 LDMOS 中,在漏极与源极之间存在寄生二极管。因此,在本发明的开关元件 M3 中使用 P 沟道 MOSFET 和 LDMOS 不会出现问题。此外,在向图 3(B) 所示的 LDMOS 的自举电容 CB 充电过程中,电流从图 3(B) 中的漏极流到源极。但是,此操作是在线性区域 (低电流) 中执行的操作,因此不会有极大地降低开关元件 M3 的性能的可能。

[0050] 按照此实施例的开关式电源,即使当电源电压 VDD 降低时,高电位侧开关元件也能够获得足够的驱动电压。由于 N 沟道功率 MOSFET 能够用在高电位侧开关元件中,因此能够构成廉价且小型化的开关式电源。此外,此实施例的开关式电源也具有能够将开关元件结合在 IC 中的优点,如稍后所述。通过将开关式电源结合在 IC 中,能够减少外部安装部件的数量,由此有助于小型化和降低电源的成本。

[0051] 在本发明的升压器电路中,通过对应于升高电压来移位 MOSFET 的栅极电压的电平,并通过使用体二极管,通过开启 P 沟道 MOSFET M3 对自举电容 CB 进行充电,通过关闭 MOSFET 来防止从升高的电位侧的逆流。因此,能够省略用于防止逆流的二极管,该二极管在上述专利文献 1 所述的开关式电源中是必须的。此外,由于 MOS 的导通电阻很小,也就是几十 $m\Omega$,所以与二极管的正向电压 V_f 相比,能够抑制充电期间内电压的下降。只要能够设置足够的充电时间,就能够将自举电容 CB 升高到 VDD。

[0052] 如上所述,即使电源电压 VDD 为低电压,也能够获得高电位侧开关元件 M1 的足够的驱动电压。因此,此实施例能够采用可以低成本制造的、可以小型化并表现出低的 R_{on} 和低的 Q_{gd} 的 N 沟道功率 MOSFET 作为高电位侧开关元件,因此能够构成可以低成本制造且小型化的开关式电源。此外,与肖特基势垒二极管相比,由于该 MOSFET 表现出较小的芯片面积,因此可以容易地将该 MOSFET 合并到 IC 中。因此,能够省略外部安装的二极管,所以此实施例适于电源的小型化和成本降低。

[0053] 图 4 显示了按照本发明的开关式电源的一个实施例的构成。在此实施例的开关式电源中,实线框包围的部分由半导体集成电路 (IC) 构成。也就是,高电位侧开关元件 M1 和低电位侧开关元件 M2 由外部安装的单元元件构成。此外,电感器 L0、自举电容 CB 和电容器 C0、以及构成分压电路的电阻 R1 和 R2 也构成了单元元件。在此实施例中,在开关元件 M3 结合在半导体集成电路中的状态下形成用于构成升压器电路的开关元件 M3。也就是,在半导体集成电路中,除了 MOSFET M3 之外,还形成误差放大器 EA、电压比较器 CMP、三角波发生电路 TWG、控制电路 CONT、电平移位电路 LS1、LS2 等。尽管附图中没有显示,但是用于驱动 MOSFET M1 和 M2 的驱动电路也结合在半导体集成电路中。在此实施例中,通过在半导体集成电路中形成控制部件,并且通过将自举开关元件 M3 结合在半导体集成电路中,能够实现部件数量的减少和电源的小型化。

[0054] 图 5 显示了按照本发明的开关式电源的另一个实施例的构成图。在此附图中,实

线框包围的部分按照与上述实施例相同的方式由半导体集成电路 (IC) 构成。在此实施例中,也通过将开关元件 M1、M2 结合在半导体集成电路中,能够进一步减少外部安装部件的数量,所以此实施例适于电源的小型化和成本降低。

[0055] 图 6 显示了按照本发明的开关式电源的另一个实施例的构成。在此附图中,实线框包围的部分按照与上述实施例相同的方式由半导体集成电路 (IC) 构成。在此实施例中,针对控制 IC 和驱动器 IC 使用两个半导体集成电路。控制 IC 安装了误差放大器 EA、电压比较器 CMP、三角波发生电路 TWG 和构成其上的 PWM 控制部件并输出 PWM 信号的控制电路 CONT。驱动器 IC 包括开关元件 M1、M2,电平移位电路 LS1、LS2,构成升压器电路的 MOSFET M3 以及在接收 PWM 信号时在低电位侧形成控制信号 LG' 的反相器电路 INV1。在此实施例中,当接收 PWM 信号时电平移位电路 LS1 形成开关 MOSFET M3 的控制信号 LG。

[0056] 图 7 显示了按照本发明的开关式电源的另一个实施例的示意性电路。此实施例是图 1 所示实施例的修改例,其中使用二极管 D1 替换低压侧的开关 MOSFET M2。当以此方式使用二极管 D1 时,尽管产生了相当于 ON 状态下正向电压 V_f 的数量的电压损失,但是由于阳极与阴极之间的电位关系使得 ON/OFF 被自动地操作,因此上述控制信号 lg 变得不必要。在所谓的降压型开关式电源中,上述控制信号 lg、hg 具有如图 2 所示的互补关系。可以根据 MOSFET M1 的控制信号 hg 来产生此实施例的升压器电路的 MOSFET M3 的控制信号 LG。此实施例也采用图 4、图 5 和图 6 所示的构成。

[0057] 图 8 显示了按照本发明的开关式电源的另一个实施例的构成。在此附图中,按照与图 6 所示的实施例相同的方式针对控制 IC 和驱动器 IC 使用两个半导体集成电路。例如,将公用的工作电压 VCC 施加到控制 IC 和驱动器 IC。电压 VCC 可以是例如上述 VDD 的低电压或者是对应于输入电压 V_{in} 的高电压。因此,驱动器 IC 包括降压电源电路 Reg,并形成对应于 VDD 的内部电压。另一方面,控制 IC 形成对应于上述电源电压 VCC 的 PWM 信号。因此,驱动器 IC 包括接收 PWM 信号的电压箝位电路 VCL。其它的构成基本上与图 6 所示实施例中的构成相同,因此省略其说明。

[0058] 在此实施例中,驱动器 IC 不要求特别的电源电压 VDD,并且能够使用输入电压 V_{in} 作为电源电压 VCC。通过使驱动器 IC 内部的这样的高电压降压,并且通过使用降压的电压作为低电压,能够降低内部驱动器电路的功耗。在此情况下,PWM 控制 IC 和驱动器 IC 以彼此不同的工作电压工作。也就是,控制 IC 以 12V 工作,驱动器 IC 以 5V 的内部电压工作,因此为 PWM 信号的输入电路 (VCL) 提供了适当的电压箝位装置。

[0059] 图 9 显示了图 8 所示的电压箝位电路 VCL 的一个实施例的电路。附图所示的电压箝位电路 VCL,将具有从驱动器 IC 外部端子施加的高信号幅度 VCC 的输入信号 (PWM) 的电平箝位到对应于驱动器 IC 的反相器电路 INV1 和电平移位电路 LS1、LS2 的低压侧的工作电压 VDD 电平的电平。

[0060] 在输入端子 PWM 中,提供了构成静电击穿保护电路的二极管 D2、D3。尽管没有特别的限制,此实施例的驱动器 IC 包括两个工作电压,即,高电压 VCC 和由电源电路 Reg 形成的低的内部电压 VDD。二极管 D2 设置在输入端子 PWM 与电源端子 VCC 之间,而二极管 D3 设置在输入端子 PWM 与电路的地电位 VSS 之间。尽管没有特别的限制,但是电源电压 VCC 是大约 12V 的高电压,内部电压 VDD 是大约 5V 的低电压。

[0061] 输入端子 PWM 连接到构成电压箝位电路的 N 沟道 MOSFET M4 的一个源漏极布线。

内部电压 VDD 施加到 MOSFET M4 的栅极作为将要限制的电压。从 MOSFET M4 的另一个源漏极布线获得通过内部电压 VDD 箝位的输出电压,并将该输出电压传输到输入电路 IB 的输入端子。在此实施例中,为了以稳定的状态通过 MOSFET M4 执行电压箝位操作,在另一个源漏极布线与电路的地电位之间设置电流源 I_o 。此外,与电流源 I_o 并联的设置电容器 C_i 。

[0062] 在此实施例中,将具有例如表示为附图中波形的 VCC-0V (12V-0V) 的大信号幅度的输入信号提供给输入端子 PWM,而从 MOSFET M4 的另一个源漏极布线的输出其信号幅度被电源 VDD 移位到例如 $(V_{DD}-V_{th})-0V$ 的小的限制值的电压。此外,通过输入电路 IB 的输出电压 V_o 具有如附图中波形表示的 CMOS 幅度,例如 VDD-0V (5V-0V)。此处, V_{th} 是 MOSFET M4 的阈值电压。尽管没有特别的限制,但是 MOSFET M4 形成在与衬底电隔离的 P 型阱区域上,这样的 P 型阱(沟道区域)连接到构成 MOSFET M4 的输出侧的另一个源漏极布线。

[0063] 在上述的电压箝位电路中,当在 MOSFET M4 输出侧的节点处形成由电路的不良绝缘等产生的高电阻所引起的漏电流时,电位升高,因此 MOSFET M4 的保持在 OFF 状态,因此除非提供上述的电流源 I_o ,否则电压箝位操作变得不可执行。通过提供电流源 I_o ,能够抑制输出节点侧的电位的上升,因此能执行稳定的电压箝位操作。因此,为电流源 I_o 设置成大于漏电流并且不视为缺陷的细小电流,足以实现低功耗。

[0064] 此外,在 MOSFET M4 的源极和漏极之间存在寄生电容 C_{ds} 。由于此寄生电容 C_{ds} ,所以当输入信号 PWM 变为例如 VCC 的高电压时,会出现由于耦合导致输出侧的电压变为等于或高于电源电压 VDD 的电平的缺点。为了避免这样的缺点,与电流源 I_o 并联的设置电容器 C_i 。由于这样的构成,所以寄生电容 C_{ds} 和电容器 C_i 串联连接,对应于电容比的反比来分割输入电压 PWM,因此防止了输出侧节点具有等于或大于电源电压 VDD 的电平。

[0065] 此处,尽管在输入电路 IB 中存在构成输入电路的 MOSFET 的栅极电容,但是只有通过这样的栅极电容,输出侧节点的电压才由于上述的耦合而变为等于或高于电源电压 VDD 的电平。因此,将电容器 C_i 的值设置成与输入电路 IB 的输入电容相比为足够大的值。在此实施例中,尽管将电压箝位电路应用到输入信号 PWM,但是此电路可应用于电压电平高于内部工作电压的输入信号。作为示例,可以命名驱动器 IC 等的工作 ON/OFF 控制信号。通过将图 9 所示的电压箝位电路应用到输入了图 8 所示的输入信号 PWM 的端子,此实施例能够响应 PWM 信号的高速改变,由此实现驱动器 IC 的精确控制。

[0066] 图 10 显示了按照本发明的用在开关式电源中的电平移位电路 LS2 的一个实施例的电路。在此实施例的电平移位电路中,提供以电源电压 VDD 工作的 CMOS 反相器电路 INV2 作为输入电路。作为反相器电路 INV2 的输入,施加控制信号 hg。将反相器电路 INV2 的输出信号施加到 N 沟道 MOSFET M5 的栅极。负载电阻 R3 设置在 MOSFET M5 的漏极与升高电压 V_{bt} 之间。尽管没有特别的限制,但是电阻 R4 设置在 MOSFET M5 的源极与电路的地电位之间。上述 MOSFET M5 的漏极输出作为驱动信号 HG,驱动信号 HG 通过 CMOS 反相器电路 INV3 和 INV4 为使其电平移位,反相器电路 INV3 和 INV4 以升高电压 V_{bt} 和中间点 LX 的电位工作。

[0067] 当控制信号 hg 位于低电平 (VSS) 时,反相器电路 INV2 的输出信号呈现出高电平,使得 MOSFET M5 成为 ON 状态。可以获得如下所述的在此状态下的电路的工作点。在图 10 中,假设 MOSFET M5 的栅极电压为 V_i ,源极电压为 V_s ,漏极电压为 V_o ,栅极-源极电压为 V_{gs} ,流过电阻 R4 的电流为 I_s ,流过电阻 R3 的电流为 I_d ,则建立下面的关系。

[0068] $V_s = V_i - V_{gs} = I_s \times R_4$ 公式 (1)

[0069] $I_s \approx I_d$ 公式 (2)

[0070] $V_o = V_{bt} - I_d \times R_3 \approx V_{bt} - I_s \times R_3$ 公式 (3)

[0071] 在公式 (1) 中, V_{gs} 是根据上述 MOSFET M5 的特性确定的值。

[0072] 从上述的公式得到下面的关系。

[0073] $V_o = V_{bt} - (V_i - V_{gs}) \times (R_3/R_4)$ 公式 (3)

[0074] 此处, 确定上述电阻 R_3 、 R_4 的值, 以便将反相器电路 INV3 的输入电压, 即上述的漏极电压 V_o 设置为低于漏极电压 V_o 的逻辑阈值的电位。因此, 反相器电路 INV3 输出对应于升高电压 V_{bt} 的高电平, 并通过反相器电路 INV4 形成对应于中间点 LX 电位的低电平驱动信号 HG。

[0075] 当控制信号 hg 呈现出高电平 (VDD) 时, 反相器电路 INV2 的输出信号呈现出低电平, 使得 MOSFET M5 成为 OFF 状态。因此, 由于电阻 R_3 使得 MOSFET M5 的漏极输出成为高电压, 例如为升高电压 V_{bt} 。因此, 反相器电路 INV3 的输入电压呈现为高于输入电压之逻辑阈值的电位, 并输出对应于中间点 LX 电位的低电平, 同时通过反相器电路 INV4 形成对应于升高电压 V_{bt} 的高电平驱动信号 HG。上述的电平移位电路特征在于, 即使在施加电源时电路的输出也是固定的, 并且不会落入传统锁存型电平移位电路所落入的不稳定状态。

[0076] 用于形成将要提供至开关 MOSFET M3 栅极的控制信号 LG 的电平移位电路 LS1 也由如图 10 中括号所示的基本相同的电路构成。此处, 反相器电路 INV3、INV4 的低电位侧呈现出电路的地电位 (VSS)。当控制信号 (lg) 的反相信号作为控制信号 (LG) 输出时, 省略上述的反相器电路 INV4。

[0077] 图 11 显示了按照本发明的开关式电源的另一个实施例的示意性电路。此实施例是图 1 所示实施例的修改例, 其中使用 N 沟道 MOSFET M3' 作为升压器电路的开关元件。在以此方式使用 N 沟道 MOSFET M3' 中, 为了开启用于将自举电容 CB 充电至电源电压 VDD 的 MOSFET M3', 必须将栅极电压设置为电源电压 VDD 或更高。为了此目标, 电平移位电路 LS1 基于升高电压 VCC 工作。可以从外侧提供此 VCC, 或者可以由类似的升压器电路形成 VCC。以此方式, 当使用 N 沟道 MOSFET 时, 电源电压 VDD 侧的源极和漏极区域以及衬底栅极彼此连接, 并利用升高电压侧的源极和漏极区域与衬底栅极之间的寄生二极管来防止逆流。由于必须具有用于产生升高电压 VCC 的电路, 所以作为升压器电路的开关元件, P 沟道 MOSFET 优于 N 沟道 MOSFET。

[0078] 图 12 显示了按照本发明的开关式电源的另一个实施例的构成。此实施例是图 6 所示实施例的修改例。尽管驱动器 IC 可以由如图 6 所示形成在一个半导体衬底上的半导体集成电路形成, 但是在此实施例中, 使用适于各自电路的工艺在半导体芯片 (半导体衬底) 上, 在由图 12 中虚线所示的芯片 1、芯片 2、芯片 3 上分别制备上述的 MOSFET M1、M2 和其它电路, 并将这些部件密封在一个封装中作为多芯片模块结构, 由此形成了半导体集成电路器件。此外, 可以通过在各自的封装中分别密封半导体芯片 1、芯片 2、芯片 3 来构成三个半导体集成电路器件, 并且可以通过在一个安装衬底上彼此连接这些半导体集成电路器件来构成电路。

[0079] 尽管已经结合实施例具体说明了本发明的发明人所作出的发明, 但是本发明不限于这样的实施例, 在不脱离本发明要旨的情况下能够进行各种修改。例如, 低电位侧的开

关元件 M2 可以具有通过高电压驱动的驱动电路。在此情况下,通过开关元件 M2 的小的导通电阻值,能够将电感器中产生的中间点 LX 箝位到地电位,因此开关元件能够进一步小型化,或者进一步有效地工作。电平移位电路 LS1、LS2 的具体电路可以采用用于执行本发明的各种模式。本发明可广泛应用于开关式电源器件中。

图 1

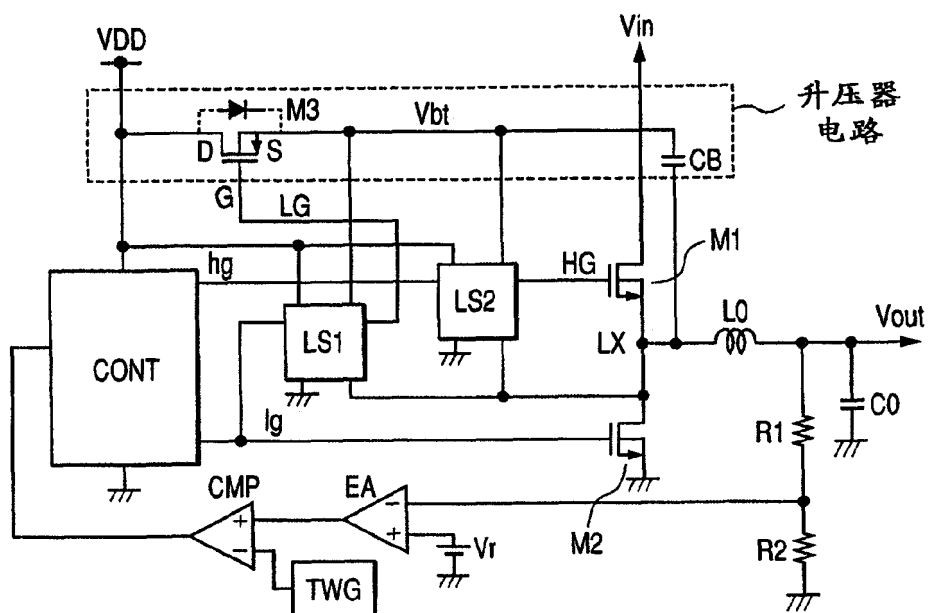


图 2

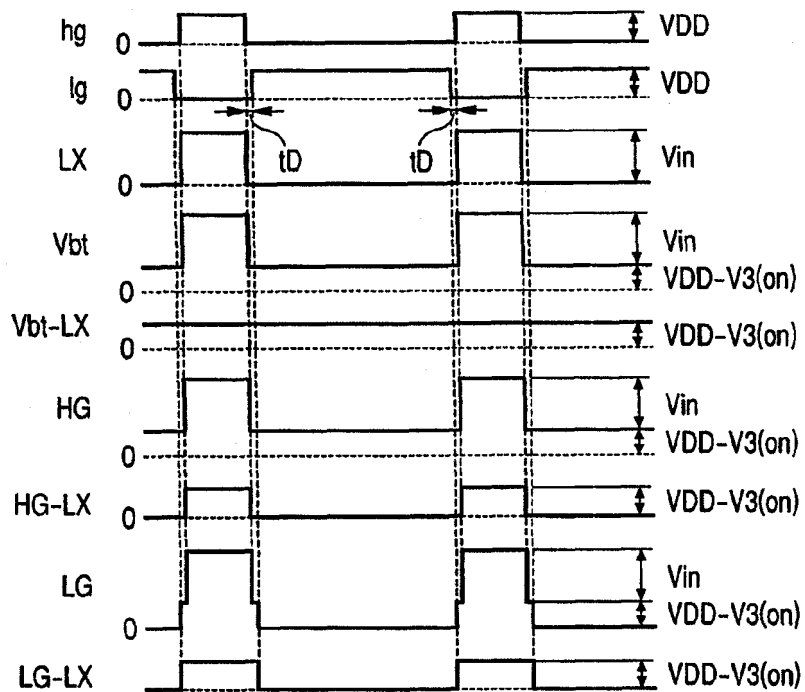


图 3 (A)

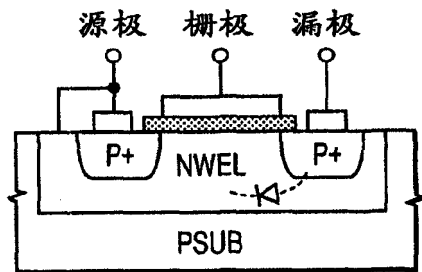


图 3 (B)

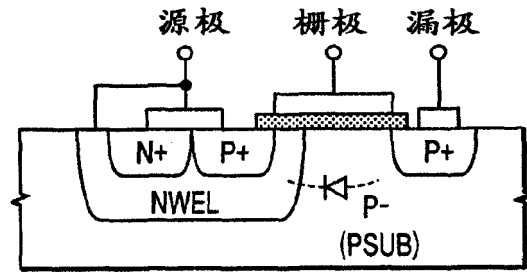


图 4

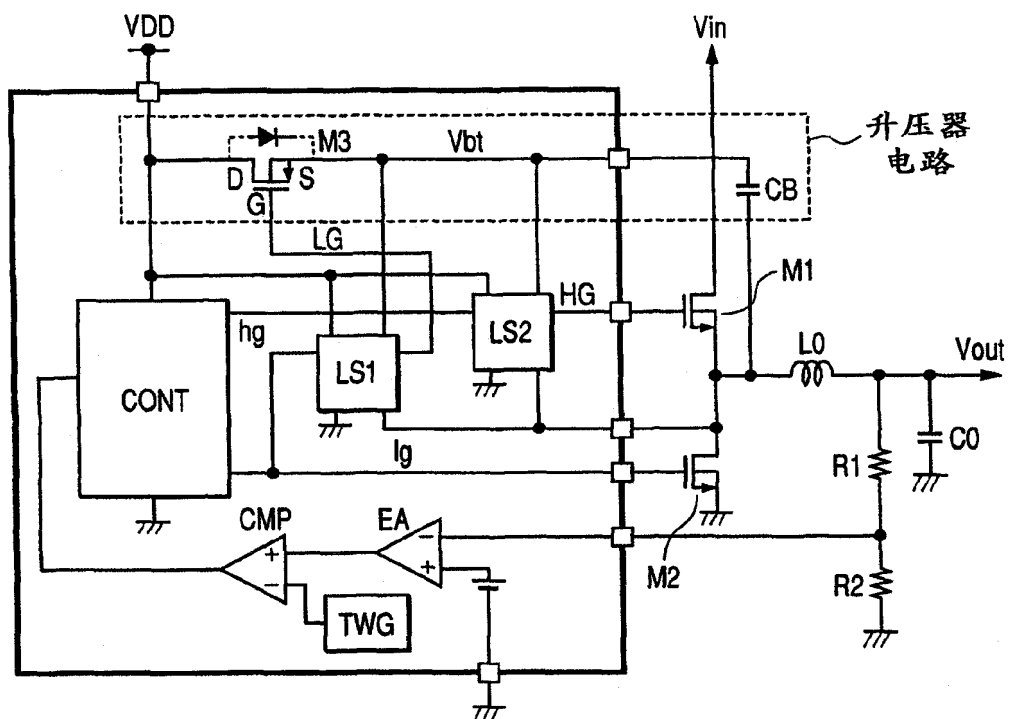


图 5

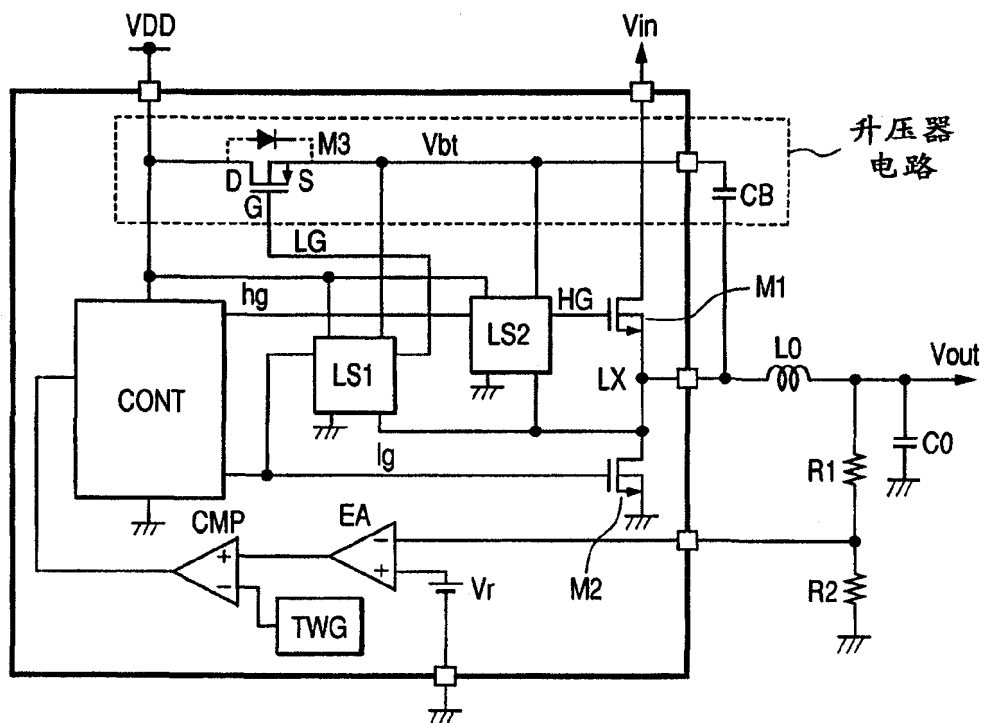


图 6

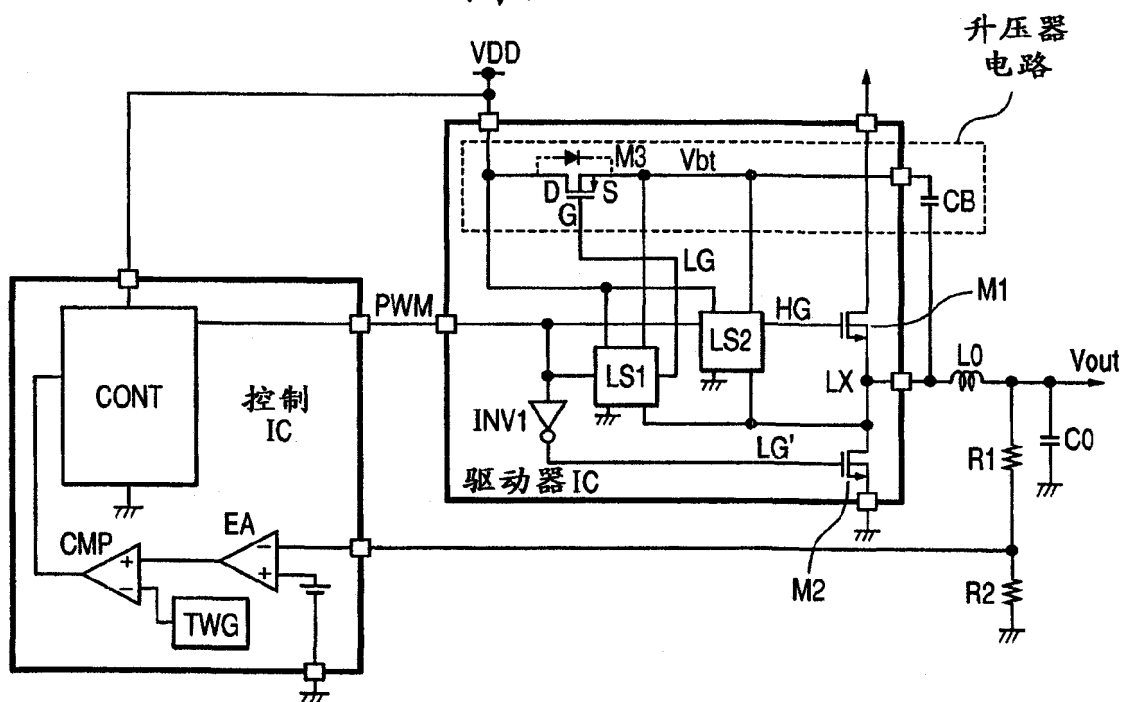


图 7

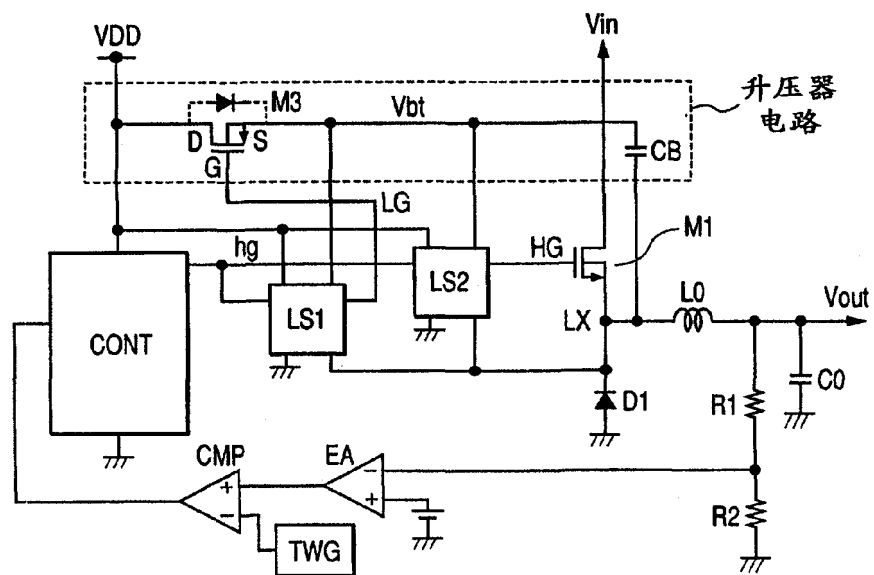


图 8

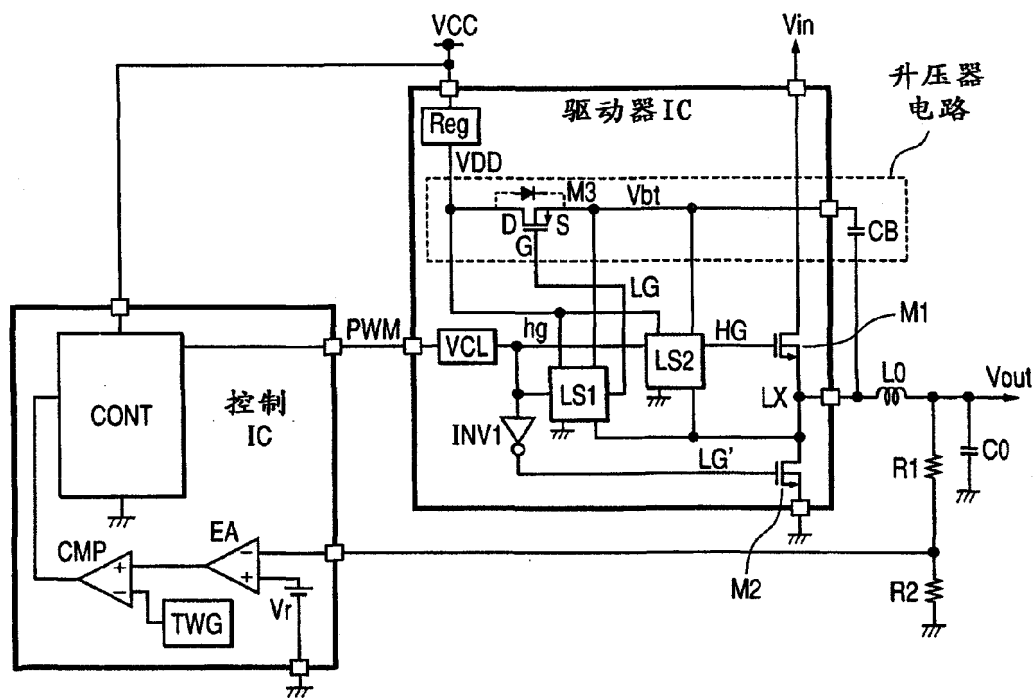


图 9

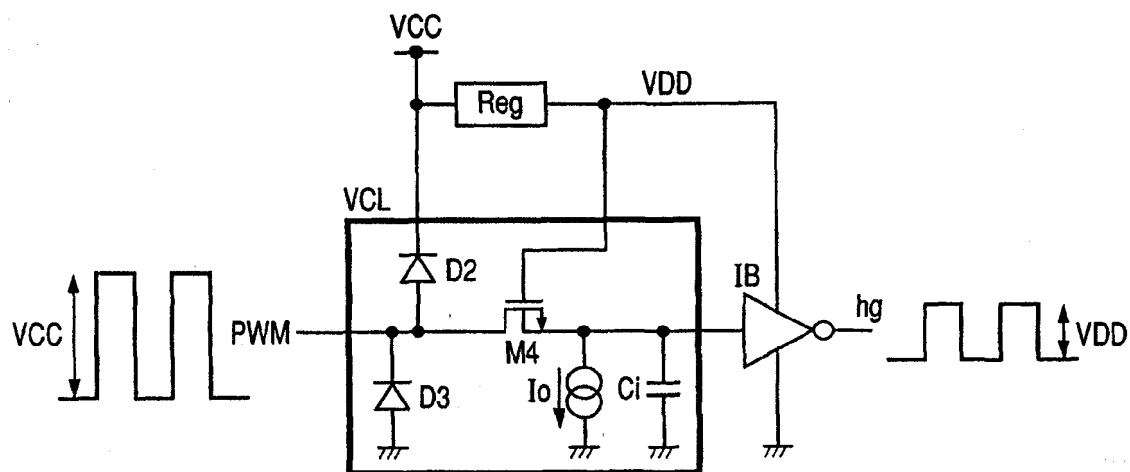


图 10

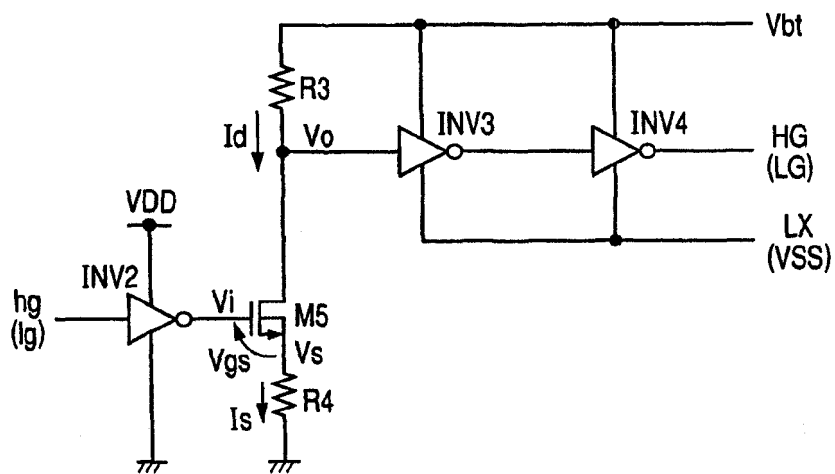


图 11

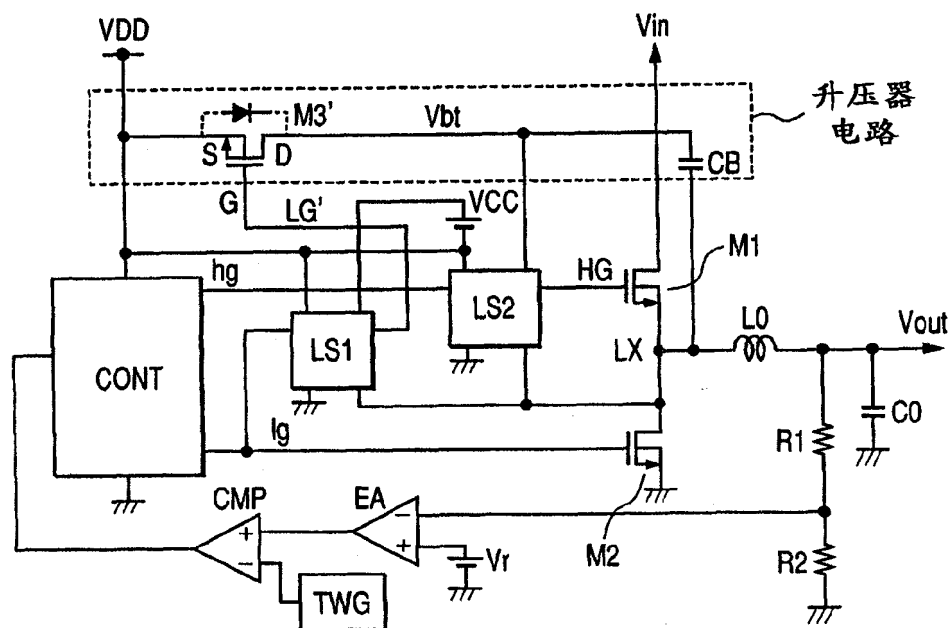


图 12

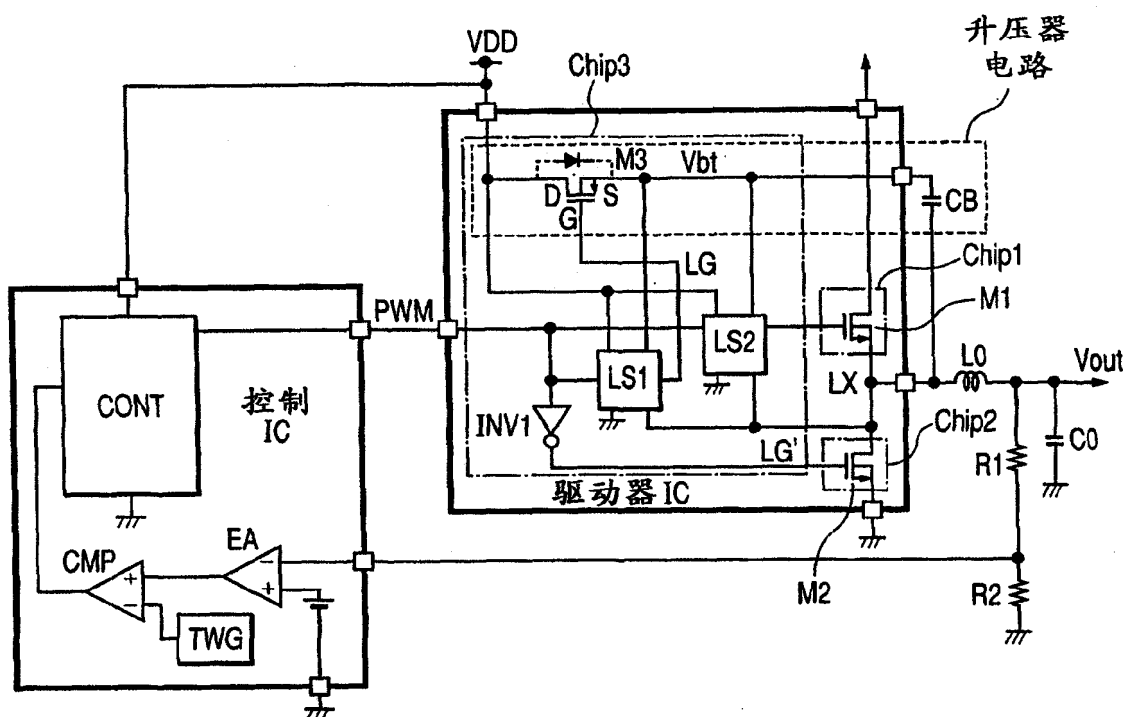


图 13

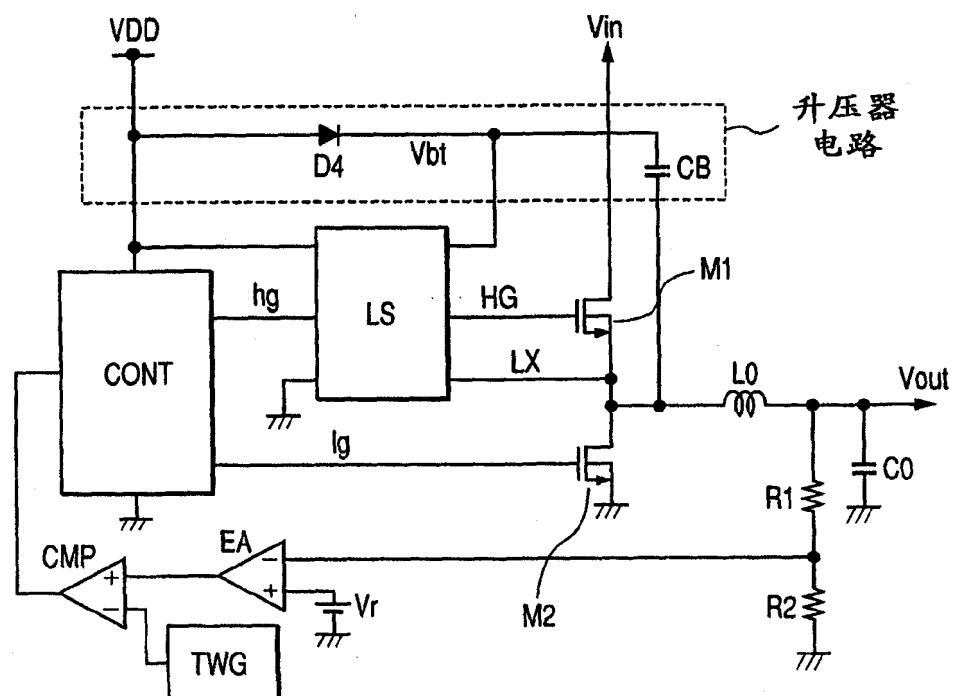


图 14

