

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4750236号
(P4750236)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int. Cl. F I
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 6 L
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 6 N

請求項の数 4 (全 18 頁)

<p>(21) 出願番号 特願平10-249510 (22) 出願日 平成10年9月3日(1998.9.3) (65) 公開番号 特開平11-135802 (43) 公開日 平成11年5月21日(1999.5.21) 審査請求日 平成17年8月29日(2005.8.29) 審判番号 不服2009-11410(P2009-11410/J1) 審判請求日 平成21年6月22日(2009.6.22) (31) 優先権主張番号 08/927,023 (32) 優先日 平成9年9月10日(1997.9.10) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 501263810 トムソン ライセンシング Thomson Licensing フランス国, 92130 イッシー レ ムーリノー, ル ジヤンヌ ダルク, 1-5 1-5, rue Jeanne d' A rc, 92130 ISSY LES MOULINEAUX, France (74) 復代理人 100115624 弁理士 濱中 淳宏 (74) 復代理人 100155284 弁理士 井原 光雅 (74) 代理人 100077481 弁理士 谷 義一</p>
--	---

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの半導体構造

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタの半導体構造の製造方法であって、
 透明基板にゲート電極を形成するステップと、
 前記ゲート電極の上に透明なゲート絶縁層を形成するステップと、
 前記ゲート絶縁層の上に半導体層を形成するステップと、
 前記半導体層の上に二次層の積層からなる光学フィルタ層を形成するステップと、
 フォトリソを用い、前記透明基板の下方向から露光して、前記ゲート電極によって
 遮蔽された前記光学フィルタ層の一部に光学フィルタアイランドを形成するステップと、
 ドーピングされる元素を含んだ半透明のソース薄膜を前記光学フィルタアイランドの上
 に配置し、前記ソース薄膜の上方向から照射されたレーザを前記光学フィルタアイランド
 が反射すると共に、レーザドーピングを阻止することで前記光学フィルタアイランドの下
 に残されたチャンネル領域を形成するステップであって、レーザドーピングにより、前記チ
 ャネル領域の一方の側に隣接したソース領域と、前記チャンネル領域の他方の側に隣接した
 ドレイン領域を形成するステップと、
 を有し、
 前記ソース領域に設けられたソース電極と前記ドレイン領域に設けられたドレイン電極
 とは前記チャンネル領域にオーバーラップしないように構成されている製造方法。

【請求項2】

請求項1記載の製造方法であって、

前記ソース領域と前記ドレイン領域は、波長 λ のレーザを用いてレーザドーピングにより形成され、さらに

前記光学フィルタアイランドは、照射されたレーザを反射させるため、少なくとも屈折率 n と光学厚さ T をもつ材料からなる複数の層を有し、

前記光学フィルタアイランドの各層の厚さ T は、 $T = 1/4 \cdot \lambda / n + m/2 \cdot \lambda / n$ (m は正の整数) である製造方法。

【請求項 3】

請求項 1 記載の製造方法であって、

前記光学フィルタアイランドはリソグラフィの波長である 400 nm の輻射光を 80% 以上透過させ、かつ、レーザドーピングの波長である 308 nm の輻射光を 80% 以上反射させるものである製造方法。

10

【請求項 4】

請求項 1 から 3 のいずれかに記載の製造方法により製造された薄膜トランジスタの半導体構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、薄膜構造とその製作方法に関する。特に本発明は薄膜トランジスタに関し、該薄膜トランジスタはソースおよびドレイン電極の各々をいかなる部分もトランジスタのチャンネルにオーバーラップしないように形成して、寄生容量およびフィードスルー電圧を低減もしくは解消したものである。

20

【0002】

【従来の技術】

一般にボトムゲート形トランジスタ構造においては、金属のゲート材が基板上に形成される。基板は紫外 (UV) 光を透過させ、ゲート金属は透過させない。絶縁層がゲート金属上に形成され、チャンネル形成用の活性材料層がこの絶縁層上に成膜される。活性材料層の例として、真性水素化アモルファスシリコン ($a-Si:H$) あるいは他の類似の材料がある。窒化物保護層が前記活性材料層上に成膜され、次工程でこの保護層からアイランドが形成される。これらの各付加層も一般に UV 光を透過させる。次にフォトレジスト層が前記保護層上に成膜される。この後 UV 光が基板、絶縁層、活性材料層、および保護層を通して照射される。この UV 光はゲート金属で遮蔽された領域以外のフォトレジストに達して、該フォトレジストを露光する。次いでこの UV 光で露光された領域のフォトレジストの現像が行われる。このパターン形成されたフォトレジストをマスクに用いて窒化物保護層がエッチングされる。このエッチングは、前記フォトレジストの露光がゲート金属で遮蔽された部分以外 (若干の側面エッチングを除いて) の全ての領域について行われる。これによって窒化物保護アイランドが形成され、このアイランドはゲート電極で範囲を規定されている。以後、この部分の構造を「自己整合的」とする。

30

【0003】

次に、接点層 (例えば $n+$ になるようにドーピングされた $a-Si:H$ など) が前記各層上に成膜される。続いてリソグラフィ (または他の類似の工法) を用いて、ゲート金属上に位置した部分の接点層が大まかに除去される。ドーピングされた $a-Si:H$ を真性 $a-Si:H$ 上で選択的にエッチングする (すなわち前者を除去して後者を除去しない) ことは困難であるため、表層の保護用アイランドをエッチング防止材に用いてソースおよびドレイン電極を形成する。完成した構造を図 1 (a) および図 1 (b) に示す。図において、薄膜トランジスタ (TFT) 10 は、基板 12、基板 12 上に形成されたゲート金属 14、ゲート絶縁層 16、活性層 18、表面保護用アイランド 20、ドレイン電極 22、およびソース電極 24 からなる。しかしながら、前述したようにドーピングされた $a-Si:H$ と真性 $a-Si:H$ との選択的なエッチングの制御は困難であるため、オーバーラップ 28 および 30 に示すように、これまではドーピングされた $a-Si:H$ だけをエッチングして、一定量のドーピングされた $a-Si:H$ が保護用アイランド 20 にオーバーラッ

40

50

プして残るようにされていた。したがって、この部分の構造は自己整合的ではない。

【0004】

オーバーラップ28および30を残すことによってドーピングされたa-Si:Hを通した真性a-Si:H内のエッチングの問題は軽減されるが、いくつかの理由によりゲート金属上を覆う接点層はできるだけ多く除去されるべきである。第一の理由は、ソースおよびドレイン電極間の隙間26が大きくなると、両電極間の電氣的絶縁性が向上することである。第二の理由は、トランジスタのチャンネル長はトランジスタの動作特性、材料およびその他のパラメータによって事前設定されることである。オーバーラップ28および30によってチャンネルは本来必要な長さより長くなり、さらにこれによって構造全体の小寸法化が制限される。例えば、チャンネル26、ソース側オーバーラップ28、およびドレイン側オーバーラップ30の各長さが5マイクロメートル(μm)以上で、全体で15 μm 以上になることがある。今日の競合の激しいアクティブマトリクス薄膜センサセルでは、光センサや電気接続端子を含んだ両端の長さが約50 μm 以下になるようにされる。したがって、オーバーラップを少なくすることによりトランジスタ長が縮小し、その結果セル内の検出器用材料の領域および(あるいは)所定寸法のアレー中のセル数を増加させることができる。

10

【0005】

最後にもっとも重要な問題として、寄生容量の形成の問題がある。この寄生容量は、ソースまたはドレイン電極材料とゲート材料間のオーバーラップした箇所に形成される。寄生容量を図2の、表示装置あるいは感知装置用のセル50についての概略回路図に示す。セル50はTF T 5 2を備え、TF T 5 2はセルアドレス用のスイッチとして機能する。TF T 5 2のゲート54はゲートライン60に接続され、TF T 5 2のドレイン56はデータライン62に接続される。TF T 5 2のソース58はセンサ素子(p-i-n光検出器など、図示せず)あるいは表示素子(液晶層構造など、図示せず)のいずれかに接続される。図2ではこれらの素子をまとめて画素66とする。

20

【0006】

図1(a)に示したオーバーラップ28および30の影響によってソースおよびゲート間に寄生容量(キャパシタ64)が発生する。この寄生容量は画素電極上のフィードスルー電圧の発生原因となり、表示素子の場合には画像のちらつき(オフ状態からオン状態への遷移異常)と焼き付き(オン状態からオフ状態への遷移異常)が発生する。センサ素子の場合には、寄生容量は読み出しノイズの原因になる。また、前記オーバーラップは(例えば基板やリソグラフィの解像度等の変動によって)アレー間のセル毎に変化するため、フィードスルー電圧もこれに応じてセル毎に変化する。

30

【0007】

図3に寄生容量とフィードスルー電圧によるいくつかの悪影響を示す。図3には、時刻 t_1 から t_5 にかけてのTF T 5 2のゲート54電圧 V_g とドレイン56の電圧 V_d が示されている。また図3には、実線で表した画素66における実電圧 V_{pix} と破線で表した画素66における理想電圧 V_{ideal} も示されている。時刻 t_1 で、データライン62の電圧レベルはハイ(通常5~10V)である。一方、ゲートライン60の電圧レベルはロー(通常0V)である。したがって、TF T 5 2のチャンネルは閉じており、電圧がデータライン62と画素66間にかかることはなく、例えば典型的なバックライト付き液晶表示素子の場合には、前記画素は不透明すなわちオフ状態である。

40

【0008】

時刻 t_2 では、データライン62の電圧レベルはハイのままであるが、ゲートライン60の電圧レベルはローからハイ(通常10~15V)に移行する。この結果TF T 5 2のチャンネルが開く。この結果データライン62から画素66にかけて電圧が印加され、バックライト付き液晶の場合には画素66が透明すなわちオン状態になる。画素66は、通常 C_{pix} で示した一定の固有容量をもつ。また、TF Tと画素とが集積された構造構成であるため、TF T 5 2のソース電極と画素電極間には通常オーバーラップが存在する。このため、ソースと画素の間に C_{pix} と並列な容量 C_s が生じる。しかしながら先に述べたように、ソース58とゲート54間にはオーバーラップ30(図1(a))に起因する容量も存在する

50

。ゲート54はゲートライン60に接続され、ソース58は画素66の電極に接続されている。前記容量は、ゲートライン60と画素66間の容量 C_{gs} で表される(図2)。したがって、時刻 t_2 と時刻 t_3 の間では想定通りの電圧が画素66にかかる。

【0009】

時刻 t_3 で、ゲートライン60の電圧レベルはローにスイッチされる。これによりTFT52のチャンネル中の電荷は消失する。しかしながら、この時刻で C_{gs} の両端に電位差があり、この電位差によって C_{pix} に蓄えられた電荷の一部が C_{gs} に再分布し、電圧降下 V_p が発生する。この電圧降下をフィードスルー電圧とする。時刻 t_4 で、データライン62の電圧レベルはローであり、ゲートライン60の電圧レベルはローからハイにスイッチされる。この結果TFT52のチャンネルは再び開く。しかしながら、データライン62の電圧レベルはローであるため、容量 C_{pix} 、 C_s および C_{gs} はデータライン62のライン電圧レベルまで放電され、これにより画素66はオフにスイッチされる。時刻 t_5 で、ゲートライン60とデータライン62の電圧は共にローである。しかしながら、この場合も C_{gs} の両端に電位差があり、この電位差によって C_{gs} から画素66に電荷が再分布して、別のフィードスルー電圧降下 V_p が発生する。

【0010】

理想的には、点線 V_{ideal} で示すようにオフ状態の電圧とオン状態の電圧は一定である。しかしながら、ゲート電極にオーバーラップしたソース電極の影響で生じる寄生容量がこの理想的な応答を得ることを妨げる。実際には、時刻 t_3 でゲート電圧レベルがハイからローに変化する時は、データライン62で設定された値からの電圧降下が生じる。表示装置の場合は、このフィードスルー電圧によって前述の画像「ちらつき」(オフ状態からオン状態に移る時の明るさの変動)が発生する。同様に、時刻 t_5 では、フィードスルー電圧は C_{pix} および C_s の完全な放電を妨げ、前述の画像の「焼き付き」(残留電圧、この場合はオン状態からオフ状態に移る時の表示画素中の光透過)が発生する。

【0011】

同様に、セル50をセンサ装置に適用した場合は、前述の容量とフィードスルー電圧による諸現象がセンサノイズの原因になる。すなわち、 C_{gs} を通したゲートライン60からのフィードスルー電圧が画素66からの読み出し電圧に加わり、信号エラーを招く。

【0012】

フィードスルー電圧の大きさはデータラインでの電圧レベルの関数であり、次式で表される。

【0013】

すなわち、

$$V_p = f(C_{pix}, C_{gs}) \cdot V_d$$

したがって、例えば階調表示の用途では、 V_d の変化にしたがってフィードスルー電圧が変動し、さらにこの変動が V_d で想定された値からの画素応答の変動を招く。このことは、表示装置と感知装置の両方の用途において階調レベルの制御が一様でないことを意味する。

【0014】

これまでいくつかの手法の検討により、寄生容量とフィードスルー電圧の問題の解決が図られてきた。ある手法においては、イオン注入を用いてソースおよびドレイン電極がチャンネル層と同じ層内に形成されている。イオンは、保護用アイランドをマスクに用いて上側の面から導入される。しかしながら、イオン注入は注入位置での素子構造の損傷を招く。アニールを用いてこの損傷を解消することがおこなわれている。熱アニールではなくレーザアニールを用いて水素の外部拡散を減らすようにされている。水素の外部拡散はチャンネルの導電性を失わせるものである。レーザビームは基板側面から構造中に導入され、ゲート電極をマスクに用いてソースおよびドレイン電極が形成される。しかしながら、構造の基板側面から導入されたレーザビームではチャンネルの最近傍の材料をアニールすることはできない。この理由は、該領域はゲート電極端部の陰となるためである。このため損傷を受けた材料が、ソースとチャンネル間およびゲートとチャンネル間に残る。

【0015】

別の手法では、構造の形成は前述の通りに行われる。その後クロムの層が a - Si : H のソースおよびドレイン電極層上に成膜される。これによりクロムシリサイドが形成されるものとする。この材料は、下部の真性 a - Si : H チャンネル層に損傷を与えることなく選択的にエッチングすることができる。エッチングは、保護用アイランドの最表面の下方に達するまで継続される。しかしながら、この手法には二つの問題がある。一つは、前述と同様にゲート電極と保護用アイランドの幅の違いによって、ソースまたはドレインとゲートとの間にオーバーラップが発生することである。このオーバーラップは寄生容量の問題を完全に解消する上での妨げとなる。二つ目は、クロムシリサイドの接触抵抗がきわめて高いことである。このことは、導電性を高めるために行われる層へのドーピングと本質的に相容れない。

10

【0016】

また別の手法では、ネガ型のフォトリソを用いた選択的エッチングが提案されている（ネガ型フォトリソでは露光部の材料がエッチングに対する耐性をもつ）。構造の製作は前述の通りに行われる。活性なフォトリソが a - Si : H のソースおよびドレイン電極層上に成膜される。この構造物はゲート電極をマスクに用いて下方から露光される。この構造物がエッチングされることにより、ゲート電極上に重なった未露光部分が除去される。この構造物のエッチングは（ソースおよびドレイン電極層の厚みを消失させる上で）十分長い時間行われるものとして、側面エッチングを用いてゲート電極とオーバーラップする部分の材料が除去される。しかしながら、この手法では明らかに、チャンネル厚さを T F T の適正厚さ以上にしてチャンネル層中のオーバエッチングを避ける必要がある。

20

【0017】

【発明が解決しようとする課題】

したがって、新規改良された薄膜トランジスタ構造およびその製作方法が必要とされる。前記構造は、ソースおよびドレインとゲート電極との双方の間におけるオーバーラップを解消したものである。この構造物の配列の、T F T スイッチ画素においては、該構造により素子性能の著しい向上が得られる。この素子性能の向上はソース電極と画素間の寄生容量とフィードスルー電圧が解消されることによる。またセル間での素子寸法や性能の変動が著しく低減されると共に、素子の外形寸法を小さくすることができる。

30

【0018】

【課題を解決するための手段】

本発明により、電極間のオーバーラップのない改良された薄膜トランジスタが提供される。ソース電極とゲート電極間の寄生容量とフィードスルー電圧は、本構造において著しく低減もしくは解消される。

【0019】

本発明によって得られる特長として、表示装置における画像のちらつきと焼き付きの減少、画像形成装置における読み出しノイズの低減、および表示装置と画像形成装置の両方における階調レベル特性の向上がある。また本発明により T F T 画素スイッチの寸法を小さくすることができる。

【0020】

40

本発明はレーザドーピング法を用いて自己整合的な T F T のソースおよびドレイン領域を形成するものである。本発明に係る半導体構造は、薄膜トランジスタの半導体構造であって、透明基板に形成されたゲート電極と、ゲート電極の上に形成された透明なゲート絶縁層と、ゲート絶縁層の上に形成された半導体層と、半導体層の上に形成され、二次層の積層からなる光学フィルタ層と、透明基板の下方から露光され、フォトリソにより、ゲート電極によって遮蔽された光学フィルタ層の一部に形成された光学フィルタアイランドと、ドーピングされる元素を含んだ半透明のソース薄膜を光学フィルタアイランドの上に配置し、透明基板の上方向から照射されたレーザを光学フィルタアイランドが反射すると共に、レーザドーピングを阻止することで光学フィルタアイランドの下に残されたチャンネル領域と、チャンネル領域の一方に隣接してレーザドーピングにより形成されたソース領

50

域と、チャンネル領域の他方に隣接してレーザドーピングにより形成されたドレイン領域と、を有し、ソース領域に設けられたソース電極とドレイン領域に設けられたドレイン電極とはチャンネル領域にオーバーラップしない電極であることを特徴とする。

また、本発明に係る薄膜トランジスタの半導体構造であって、前記ソース領域と前記ドレイン領域は、波長 λ のレーザを用いてレーザドーピングにより形成され、前記光学フィルタアイランドは、照射されたレーザを反射させるため、少なくとも屈折率 n と光学厚さ T をもつ材料からなる複数の層を有し、前記光学フィルタアイランドの各層の厚さ T は、 $T = 1/4 \cdot \lambda / n + m/2 \cdot \lambda / n$ (m は正の整数)であることを特徴とする。

さらに、本発明に係る薄膜トランジスタの半導体構造であって、前記光学フィルタアイランドはリソグラフィの波長である 400 nm の輻射光を 80% 以上透過させ、かつ、レーザドーピングの波長である 308 nm の輻射光を 80% 以上反射させるものであることを特徴とする。このように、ドーピング用マスクは光学フィルタによって形成され、この光学フィルタは、レーザドーピングでの波長(例えば約 308 nm)を反射し、リソグラフィの波長(例えば約 400 nm)を透過させるものである。自己整合的なドーピングマスクはチャンネルの保護用アイランドとしても機能する。製造工程全体は現在の大面積素子の製造工程と同様のものである。

【0021】

一実施形態においては、ゲート電極をマスクに用いて裏面リソグラフィにより保護用アイランドが形成される。次いで前面レーザドーピングを用いてTFT内のチャンネルにきわめて近接した領域にドーピングが行われ、これによりゲート電極をマスクに用いてソースおよびドレイン領域を形成する時の端部の陰影効果という問題は解決される。

【0022】

また残留不純物による側壁の漏洩電流も減少する。前記漏洩電流の減少は、最表面の保護層をパターン形成してエッチングマスクとして使用し、次いで活性層の側壁をエッチングして不純物を除去することにより得られる。前記最表面の保護層は適当な寸法、すなわち現在のマスク位置合わせ技術の許容範囲内での位置合わせが可能な寸法を有している。

【0023】

【発明の実施の形態】

図4(a)および図4(b)に、本発明の一実施形態による製造工程の各ステップを、製作したTFT構造100の構造と併せて示す。本発明によるTFTの製造初期の各ステップは従来工程によるものと同じである。具体的には、チャンネル長が $3 \sim 15 \mu\text{m}$ の金属ゲート層(例えばCr、TiW、MoCr他)がガラス(例えばCorning Glass社(日本)製Corning 1737)または石英などの透明基板104上に $400 \mu\text{m} \sim 1000 \mu\text{m}$ 程度の厚さに形成される。この層形成は、スパッタ成膜および標準的なリソグラフィ手法および湿式エッチングによって行われる。金属ゲート層は公知の処理によってパターン化され、金属ゲート電極102が形成される。

【0024】

金属ゲート電極102上に、窒化シリコンのゲート絶縁層106がプラズマ強化(plasma enhanced)化学的気相成長法によって約 350 \AA で約 3000 \AA 厚さに形成される。ゲート絶縁層106上に、約 500 \AA の真性a-Si:H層108が約 275 \AA で成膜され、TFTのチャンネルが形成される。次に光学フィルタ層110が真性a-Si:H層108上に成膜される。光学フィルタ層110は、厚さと組成が精密に制御された二次層の積層からなる。光学フィルタ層110の機能と特徴については後に詳細に述べる。プラズマ強化化学的気相成長法(PECVD)を用いて上記各層の成膜が行われる。この工程段階での、該製作された構造を図4(a)の断面図および図4(b)の平面図に示す(層106、108および110は透明)。

【0025】

次いで図5(a)および図5(b)に示すように、自己整合的光学フィルタアイランド112が光学フィルタ層110から形成される。フォトリソ層(図示せず)が光学フィルタ層110上に成膜される。このフォトリソ層は裏面露光により(すなわち透明基

10

20

30

40

50

板 104 を通して) パターン形成される。金属ゲート電極 102 はフォトリソ露光用の光を透過させないため、露光マスクとしての機能を果たす。後述するように、光学フィルタ層 110 はフォトリソ露光用の光を相当程度透過させるため、フォトリソは、金属ゲート電極 102 上に重なった部分以外は露光される。現像液を用いてフォトリソが表面から現像され、緩衝剤処理された HF エッチング液を用いて光学フィルタ 110 のエッチングが行われ、アイランド 112 が形成される。

【0026】

レーザドーピングは半導体材料へのドーピング方法の一種であり、レーザアブレーションを用いて比較的高エネルギーのドーパント原子を生成させるものである。レーザパルスが、ドーピングされる元素を含んだ半透明のソース層上に照射される(このソース層はパターン形成されていてもよく、また P S i などの n 形または B S i などの p 形のいずれでもよい)。前記ソース層は基板のごく近傍に設けられる。レーザビーム印加の間に、ソース層内のドーパント原子が高エネルギー化する。また、このレーザビームはドーピングされる領域の基板の表面層を短時間局部溶融させる。この短時間の溶融の間に、高エネルギー化したドーパント原子が溶融した基板表面層内に入り込む。この溶融した層が固化する時に、ドーパント原子が層内に分布して電氣的に活性化する。前記ドーピング処理の間の高温サイクルは数十ナノ秒と短いため、この工法は実質的に低温製造と変わらない。このことは a - S i : H T F T の製造において特に重要な意味をもつ。

【0027】

図 6 に示すように、レーザドーピングの開始時に先ず a - S i : H 層 108 の上側表面 116 の近傍にソース薄膜 114 が設置される。ソース薄膜 114 は一般にリンとシリコンの合金からなり、この合金を用いて a - S i : H 層 108 中の選択された領域にドーピングが行われ、該領域が n 形にされる。ソース薄膜 114 は担持体 118 の一方の表面上に均一に分布しており、前記担持体 118 はガラスまたは石英などのレーザビームを透過させる性質のものである。ソース薄膜 114 を担持した担持体 118 が上側表面 116 にごく近接して設置され、ソース薄膜 114 が上側表面 116 に向き合うようにされる。ソース薄膜 114 と上側表面 116 間の隙間 120 は、最小でアイランド 112 の厚さ 122 に等しく(例えば約 0.5 μm)、最大で数 μm である。スペーサ 124 および(あるいは)アイランド 112 が、隙間 120 の大きさを決定する。一般に、ソース薄膜 114 と上側表面 116 間の隙間が小さくなる程、a - S i : H 層 108 中に含まれるドーパント原子の数が増える。

【0028】

ソース薄膜 114 が適切に設置されると、レーザビーム B が担持体 118 の上方からソース薄膜 114 中の領域 126 上に照射される。あるいは、該レーザで層 114 全体の両端を走査してもよい。この処理の間に、レーザがソース薄膜 114 をアブレーションし、高エネルギー化したドーパント原子を隙間 120 内に放つ。このドーパント原子は 100 eV 以上の運動エネルギーを有している。この処理に適したレーザとして約 308 nm の波長の X e C l エキシマレーザがある。ソース薄膜 114 の例として P S i があり、この P S i はプラズマ強化化学的気相成長法によって担持体 118 上に約 250 nm で約 100 nm の厚さに成膜される。

【0029】

ソース薄膜 114 のアブレーションに加えて、前記レーザのエネルギーは上側表面 116 中のレーザ入射部分をも溶かす。重要なことは、アイランド 112 が(例えば干渉を経た反射の作用により)レーザビーム B を透過させないことである。このために、アイランド 112 下の領域すなわちチャネル 130 はレーザビームによる損傷を受けない。一方、領域 126 の下方ではドーパント原子が層 108 内に入り、それによって例えば n + にドーピングされたソース領域 132 と n + にドーピングされたドレイン領域 134 を形成する。これにより、従来技術で解決不能であった、ゲート電極端部の陰に隠されることによってチャネル最近傍の材料にレーザが届かないという問題が解決される。

【0030】

10

20

30

40

50

またこのことは本発明の重要な特徴の一つを明確に表している。つまり、光学フィルタ層 110 を形成する材料は層 110 上に成膜されたフォトリソ露光用の輻射光（例えば波長約 400 nm の光）を相当程度透過させ、これによってアイランド 112 が形成されるようにする必要があるが、同時にソース薄膜 114 および局部溶融される上側表面 116 のアブレーションに使用されるレーザ光（例えば波長約 308 nm のレーザ光）を相当程度透過させないことが必要なことである。

【0031】

図 7 に、アイランド 112 中の一部 135 の断面を示す。アイランド 112（つまり光学フィルタ層 110）は二次層が数層積層された構造からなる。この積層物の一例として二酸化シリコン 136 と窒化シリコン 138 を交互に積層したものがある。図に示すように、窒化シリコンが最上層として選択される。この理由は、窒化シリコンがレーザドーピング処理の間のドーパントの侵入を阻止することで、下層材料に対する高い保護機能が得られるためである。最下層 140 にも窒化シリコンが選択され、a-Si:H チャンネル上でのドーピング耐性の向上と適正な保護とが得られるようにされる。本用途に適したその他の材料系として Si/SiO₂、Si/Al₂O₃、SiO₂/TiO₂ 他があり、基本的特徴として、各材料対中の二つの層の各々は異なる屈折率をもつ。得られた構造の一例としていわゆる分布反射器 (DBR) がある。別の例としていわゆるグレーデッド形 DBR があり、この DBR において材料の屈折率は材料の厚さ方向の位置の関数として変化する。

【0032】

各二次層の材料の種類と厚さの両方が、光学フィルタ層 110 に必要な選択的な透過と反射を得る上で重要な役割を果たす。理想的には、各酸化物および窒化物層の光学厚さ T をレーザビーム B の 1/4 波長のほぼ倍数になるようにして、 $T = (1/4) \cdot (n/\lambda) + (m/2) \cdot (n/\lambda)$ の関係を成立させ、該ビームとの位相を整合させることにより最適な反射率が得られるようにする（前記式中、 n は材料の屈折率で、 m は正の整数 1, 2...）。例えば、酸化物層 136 の厚さを、 $(1/4) \times (308 \text{ nm}) \times (1/1.48) = 52 \text{ nm}$ とし、窒化物層 138 の厚さを、 $(1/4) \times (308 \text{ nm}) \times (1/2.1) = 36.7 \text{ nm}$ とする（1.48 と 2.1 はそれぞれ二酸化シリコンと窒化シリコンの屈折率）。最下層の窒化物層 140 の厚さは他の各窒化物層の厚さと異なり、例えば 60 ~ 65 nm 程度にして、上方の層対と位相が整合するようにされる。すなわち、最下層 140 の下部の材料は SiO₂ または SiN ではなく、a-Si:H であるため、層 140 の厚さを上方の窒化物層と変えることで位相が整合するようにされる。

【0033】

光学フィルタ層 110 の選択的な反射率と透過率を得るためのもう一つの重要な因子として二次層の層数がある。反射レベルを適正化することによりアイランド 112 の下部の a-Si:H チャンネルが保護される。図 8 に 308 nm のレーザビームの反射率のシミュレーションを、光学フィルタアイランド 112 を構成する酸化物と窒化物の層対の数の関数で表す。本実施形態では、必要な反射率を 80% 以上とした。図 8 に示すように、この要求仕様は二つの層対からなる光学フィルタ層によって満たされる。また、単一の層対でも反射率はレーザ出力その他に依存した関数として変化する。

【0034】

図 9 (a) および図 9 (b) に、二つの層対からなる光学フィルタ層 110 の光反射スペクトルのシミュレーションと実測値を示す。明らかに、シミュレーションは実データによく一致している。光反射率におけるシミュレーションと実測値の相違は、主に (1) シミュレーションでは散乱が無視される（ n の変化に対して屈折率は変化しない）と仮定し、(2) シミュレーションでは各層における光学厚さを均一と仮定していることによる。二つの層対をもつ光学フィルタ層 110 は 308 nm で 80% の反射率を示しており、この反射率で a-Si:H チャンネルを十分に保護し得る。波長 400 nm の UV 光の透過率は約 80% であり、この透過率で自己整合的裏面リソグラフィ処理が実施可能である。二つの層対をもつ光学フィルタ層の全厚は約 241 nm である。この厚さは標準的な緩衝剤処理された HF 湿式エッチングでの処理に適した厚さである。

【0035】

最後の特徴として、本提案のアイランド112は標準的な絶縁材料で形成することができるため、アイランド112をゲート絶縁層として使用することも可能である。したがって、アイランド112はボトムゲート形TFT構造だけでなくトップゲート形TFT構造にも使用することができる。

【0036】

TFT構造100の製造工程に戻る。約250で5～10分程度のプラズマ水素化処理が行われ、レーザードーピングによって誘起されるソース領域132とドレイン領域134中の欠陥が防止される。

【0037】

次に図10(a)および図10(b)に示すように、金属ゲート電極102に接触したビア142(図10(b))がパターン形成並びにエッチングされる。次いでTiW/Alなどの金属接点層(図示せず)が構造上に成膜される。この後、この金属層が標準的なリソグラフィおよび湿式エッチング、あるいは従来公知の他の工法によってパターン形成ならびにエッチングされて、ソース電極144とドレイン電極146が形成される。金属電極144, 146の端部とアイランド112の端部との間隔(xで示す)は5μm以上の長さにされる。

【0038】

図11(a)および図11(b)に示すように、窒化シリコンまたは二酸化シリコン148からなる保護層がPECVDによって成膜され、さらにパターン形成されてTFT構造100の幅が規定される。最後に、シリコンエッチングによりTFT構造100が完成する。前記シリコンエッチングは、ソース電極144、ドレイン電極146、ゲートビア142、およびパターン形成された保護層148によって覆われた領域以外の全a-Si:Hを除去するものである。

【0039】

薄膜トランジスタに共通の問題として、ソースおよびドレイン間の側壁の漏洩電流がある。この漏洩電流は層18の側壁に残留した不純物によって生じるものである。従来のTFT構造(図1(a)、図1(b)および図1(c))では、チャンネル幅Wはドレイン電極22およびソース電極24の幅で規定される。上記各電極はチャンネルにオーバーラップしているため、活性層の側壁は150の部分(図1(b))でオーバエッチングされて、漏洩電流を減少させる。ソース領域とチャンネル間およびドレイン領域とチャンネル間の電氣的接触への影響はない。この理由は、a-Si:H層のソースおよびドレイン電極によってオーバーラップされた部分で保護されるためである。

【0040】

しかしながら本発明によるTFTの場合は、前記オーバエッチングはソース領域とチャンネル間およびドレイン領域とチャンネル間に電氣的接触を起こさせる。この理由は、接点端部が保護されていない(すなわち電極がオーバーラップしていない)ためである。図11(b)に示すように、保護層148をソース電極144とドレイン電極146の両方を覆うように形成して前記電極と光学フィルタ層112間の隙間が覆われるようにする。この後、オーバエッチングが進行しても、ソース領域132とチャンネル130間およびドレイン領域134とチャンネル130間では電氣的接触が起こらない。さらに、保護層148は、幅W方向では光学フィルタアイランド112よりも若干狭く(例えば2～5μm程度狭く)形成されており、リソグラフィ時のマスク不整合を避けるようにされている。リソグラフィのマスクが光学フィルタアイランド112と整合しない場合は、層108は領域152でオーバエッチング(図11(c))されない。この理由は、保護層148によって前記領域が覆われるためである。つまり、オーバエッチングされる領域152を層108中に設けることで、側壁漏洩電流の発生原因である不純物が除去される。

【0041】

図11(a)に明示したように、本構造中のTFT構造100のソース電極144またはドレイン電極146のいずれも金属ゲート電極102とはオーバーラップしていない。ソー

10

20

30

40

50

スおよびドレイン領域の端部はチャネル端部に一致しており、すなわちチャネルとの「自己整合」が行われている。ソース（およびドレイン）接点のゲート接点上でのオーバーラップに起因する寄生容量 C_{gs} が解消され、フィードスルー電圧の問題は完全に解決される。したがって（図2の構成の画素66などの）画素における電圧特性は、図3の破線 $V_{id,ea1}$ で示した理想特性に緊密に近似する。前述の工法により製作した構造素子についての解析結果は上記理論解析を裏付けている。

【0042】

我々はレーザドーピングについていくつかの研究を行ってきた。その中の一つにおいて、100nmのa-Si:Hを減圧化学的気相成長法（LPCVD）によって石英基板上に成膜した。ドーパントであるリンをXeClエキシマレーザを用いてレーザアブレーションにより基板から融除した。

10

【0043】

ドーピング効率およびドーピング深さはレーザドーピング時のエネルギー密度に依存する。Si融液中のリンの拡散係数は約 $10^{-4} \text{ cm}^2/\text{s}$ であり、この値は固相中の拡散速度である約 $10^{-11} \text{ cm}^2/\text{s}$ に比べて著しく早い。パルスレーザ照射時のSi薄膜の温度上昇および照射後の同薄膜の温度低下は急峻であるため、液相中ではドーパント拡散は本質的に効率がよい。レーザドーピングエネルギーが高くなる程、溶融の持続時間が長くなると共に溶融深さが深くなり、この結果ドーピングレベルが高まると共にドーピング深さが深くなる。図12に、レーザドーピングエネルギー密度に対するドーピング効率を測定した実験結果を示す。該エネルギーがSi表面を溶融させるしきい値である約 $150 \text{ mJ}/\text{cm}^2$ を越えると、ドーピング効率はエネルギーの増加にしたがって急速に高まる。350 mJ/cm^2 のレーザドーピングエネルギー密度に等価なドーピング量はレーザパルス当たり約 $1.6 \times 10^{14} \text{ atm}/\text{cm}^2$ である。一般に、約 $10^{14} \text{ atm}/\text{cm}^2$ がTF Tのソースとドレイン領域の形成に必要な線量である。

20

【0044】

図13は、ドーピング深さをレーザドーピングエネルギー密度の関数としてプロットした図である。ドーピング深さの挙動は、レーザエネルギー密度の関数で表した時の溶融深さに類似している。一般に、固化時に固相と液相の界面が表面に向かって移動する一方でドーパントは反対方向に拡散する。この結果、ドーピング深さは溶融深さより若干浅くなる。

30

【0045】

我々は前述の種類の自己整合的TF Tを多数製作してきた。製作した構造のチャネル長は3~10 μm の範囲のものである。前記構造の全幅は約15 μm である。レーザドーピングは、パルス数10~100のXeClレーザを用いて230~250 mJ/cm^2 のエネルギーで行った。これら構造における隙間 x の変動幅は1~5 μm であった。

【0046】

チャネルを長くした素子の場合は、従来のTF Tと同等のDC性能がみられた。図14に、本発明によるチャネル長約10 μm の自己整合的TF Tの変換特性を示す。レーザドーピングは、250 mJ/cm^2 のエネルギーでパルス数10のレーザを用いて行った。ソースとドレイン間の電圧が10Vの時の、電界効果移動度、しきい値電圧、しきい値以下の勾配、およびオフ状態での電流は従来のa-Si:H TF Tと同様である。

40

【0047】

図15に、本発明によるチャネル長3 μm の自己整合的TF Tの変換特性を示す。一般にチャネル長が短くなると、図に示すように漏洩電流としきい値以下の勾配が増加すると共にしきい値電圧が低下する。しかしながら、移動度はこの小寸法化によって減少しておらず、短チャネルTF Tでのみかけの移動度は長チャネルTF Tに比べて小さいという一般通念に反している。従来技術によって製作されたTF Tと本発明によって製作されたTF Tとのチャネル長に対する移動度の比較を図16に示す。従来技術によるTF Tのデータは周知の移動度曲線にしたがっており、つまり短チャネル素子で比較的低い移動度が示されている。これは、短チャネル素子の場合はチャネル抵抗に比べて接触抵抗が大きいこ

50

とによる。本発明によるTFTは短チャンネル長の場合もきわめて高い移動度を示しており、接触抵抗が無視できることを示している。

【0048】

図17(a)と図17(b)に、各々チャンネル長が10 μ mと3 μ mのTFTの出力特性を示す。いずれの素子も明らかに電流の密集がなく、素子接点が適当であることを示している。さらに接点の検討として、異なる x をもつ類似のTFT内のオン状態の挙動の比較を行った。図18に示すように、1~5 μ mの範囲では、 x の寸法はTFTの挙動に影響を与えず、ソースおよびドレイン電極のドーピング領域が十分なシート抵抗を有していることを示している。したがって、ソースおよびドレイン電極の厳密な位置合わせは、現行のTFT製造工程において必須のものではない。

10

【0049】

大半の表示装置の場合、画素用TFTは線形領域で動作する。線形領域でのTFTの接触抵抗は出力コンダクタンスの逆数で決まる。接触抵抗は素子の出力抵抗の、チャンネル長 l における交点の値である。図19に、本発明による電極と従来公知の電極との接触抵抗の比較を示す。本発明のTFTと従来のTFTとは、類似したチャンネル性質とゲート絶縁性をもつ。このため、図19での各データに適合する両直線の勾配はほぼ等しい。従来形電極とレーザー処理された電極の、チャンネル幅1 μ mに正規化したときの接触抵抗は各々16.2M $\cdot\mu$ mおよび0.76M $\cdot\mu$ mである。レーザードーピングされたソースおよびドレインのもつ低い接触抵抗によって高性能の短チャンネルa-Si:H TFTが得られる。

20

【0050】

短チャンネルTFTにより大面積表示装置における充填比の向上が可能になる。TFTのオン電流はチャンネル長に対するチャンネル幅の比に比例するため、充填比の向上は一定の W/L (チャンネル長に対するチャンネル幅の比)におけるチャンネル長の減少の二乗に関係する。図11(a)および図11(b)に示す自己整合的構造を用いることで、TFTのチャンネル長を簡単に縮小することができる。

【0051】

TFT寸法が小さくなった場合、表示装置においていくつかの重要な課題が生じる。一つは短チャンネルTFTにおける電界効果移動度の問題である。先に述べたように、チャンネル長を長くした場合は接触抵抗をチャンネル抵抗よりも著しく小さくして、同等のTFTの移動度を保つ必要がある。図20に、チャンネル長が3 μ m、5 μ mおよび10 μ mの、レーザー処理されたa-Si:H TFTの素子変換特性を測定した実験結果を示す。明らかに、3 μ mの素子の飽和電流は10 μ mの素子の飽和電流とほぼ同等である。

30

【0052】

TFTの小型化に関するもう一つの課題は、短チャンネル効果に関することである。短チャンネル効果として、しきい値電圧の低下、オフ電流の増加、およびしきい値電圧以下での勾配の急峻さの減少等がある。図20から明らかに、しきい値電圧以下での勾配およびしきい値電圧の減少はわずかであることがわかる。3 μ mの素子のオフ電流は約0.5pA/ μ mであり、この電流は表示装置用として十分に低い値である。

【0053】

まとめると、図21に示すように本発明により半導体構造200が提供される。構造200は、第一の面204に形成されたゲート領域202であって、第一のゲート端面208に位置した第一のゲート端206と第二のゲート端面212に位置した第二のゲート端210をもち、前記第一のゲート端面208と前記第二の端面212は通常第一の面204と直交するものであるゲート領域202と、前記第一のゲート端面208に位置した第一のソース端216をもつソース領域214であって、前記第一のソース端216がゲート領域202に隣接して、ただしオーバーラップはしないようにされたソース領域214と、前記第二のゲート端面212に位置した第一のドレイン端220をもつドレイン領域218であって、前記第一のドレイン端220がゲート領域202に隣接して、ただしオーバーラップはしないようにされたドレイン領域218、およびソース領域214とドレイン領

40

50

域 2 1 8 間に位置した光学フィルタアイランド 2 2 2 を含む。

【 0 0 5 4 】

さらに、構造 2 0 0 は、第一のゲート端面 2 0 8 にほぼ平行な面 2 2 8 に位置した第一のソース電極端 2 2 6 をもつソース電極 2 2 4 であって、該第一のソース電極端 2 2 6 は、第一のゲート端面 2 0 8 から間隔（例えば 5 μm ）を置いたものであるソース電極 2 2 4 を備え、さらに前記第二のゲート端面 2 1 2 にほぼ平行な面 2 3 4 に位置した第一のドレイン電極端 2 3 2 をもつドレイン電極 2 3 0 であって、前記第一のドレイン電極端 2 3 2 は前記第二のゲート端面 2 1 2 から間隔（例えば 5 μm ）を置いたものであるドレイン電極 2 3 0 を備える。この構造において、ソース電極 2 2 4 またはドレイン電極 2 3 0 のいずれもゲート領域 2 0 2 にオーバーラップしていない。

10

【 0 0 5 5 】

本発明によるレーザドーピング法によって製作された T F T に関する材料の性質および素子特性について説明を行った。レーザドーピング法によって、高いドーピング効率で、a - S i : H T F T のソースおよびドレイン領域を形成する実用的方法が得られる。レーザドーピングされたソースおよびドレインの接触抵抗は従来方法でドーピングされた a - S i : H 電極よりも約 2 0 倍小さい。この低い接触抵抗により、チャンネル長が短くなった場合においても T F T の電界効果移動度を保持することができる（わずかに短チャンネル効果が 3 μm の素子の場合にみられる）。3 μm の T F T のオフ電流は十分に低く、画素スイッチの要求仕様を満たし得るものである。

20

【 0 0 5 6 】

具体的ないくつかの実施形態により発明の説明を行ったが、本発明の範囲内で従来技術により種々の代替や、修正および変形が可能なのは明らかである。例えば、前述した T F T の活性層は無ドーピングの真性 a - S i : H であったが、この活性層にドーピングを行って所望の T F T 特性を得ることもできる。したがって、本発明は例示した実施形態に限定されるものではなく、以下の特許請求の範囲およびそれに同等する内容の範囲内にあり、前記代替や修正および変形等をすべて含むものとする。

【 図面の簡単な説明 】

【 図 1 】 従来技術による薄膜トランジスタの概略図である。

【 図 2 】 従来技術による薄膜トランジスタと画素を含むセルアレイ中の一セルの概略回路図である。

30

【 図 3 】 図 2 に示したセル内の各電圧を時間の関数として示す図である。

【 図 4 】 本実施形態の T F T の、製造工程の初期段階における概略図である。

【 図 5 】 本実施形態の T F T の、製造工程の中間段階における概略図である。

【 図 6 】 本実施形態の T F T の、製造時でのレーザドーピング処理進行中の状態を示す断面図である。

【 図 7 】 本実施形態の光学フィルタアイランドの部分断面図である。

【 図 8 】 光学フィルタアイランドの反射率を該アイランドを含む層対の数の関数としてプロットした図である。

【 図 9 】 モデル化された光学フィルタアイランドの反射率をある波長域でプロットした図である。

40

【 図 1 0 】 本実施形態の T F T の、完成前の段階での概略図である。

【 図 1 1 】 本実施形態の T F T の完成後の断面図である。

【 図 1 2 】 本実施形態のレーザドーピング処理におけるレーザドーピングエネルギー密度に対するドーピング効率を測定した実験結果をプロットした図である。

【 図 1 3 】 本実施形態のレーザドーピング処理におけるレーザドーピングエネルギー密度の関数としてドーピング深さをプロットした図である。

【 図 1 4 】 本実施形態のチャンネル長約 1 0 μm の自己整合的 T F T の変換特性を示す図である。

【 図 1 5 】 本実施形態のチャンネル長約 3 μm の自己整合的 T F T の変換特性を示す図である。

50

【図16】 従来技術によって製作されたTFTと本発明によって製作されたTFTのチャンネル長に対する移動度を比較した図である。

【図17】 チャンネル長10 μm のTFTとチャンネル長3 μm のTFTの出力特性を示す図である。

【図18】 ソースまたはドレイン電極と光学フィルタアイランドとの間の隙間xが1 μm 、3 μm および5 μm であるTFTの、ソースとドレイン間の電流に対するゲート電圧をプロットした図である。

【図19】 本実施形態の電極と従来公知の電極の接触抵抗を比較した図である。

【図20】 チャンネル長が3 μm 、5 μm および10 μm であるレーザ処理されたa-Si:H TFTの素子変換特性を測定した実験結果を示す図である。

10

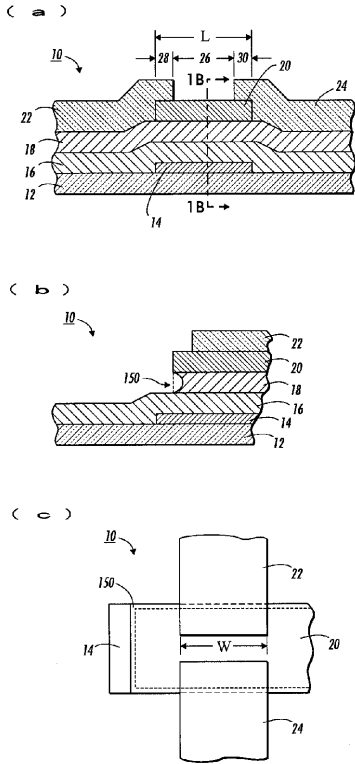
【図21】 本実施形態のTFTの断面図である。

【符号の説明】

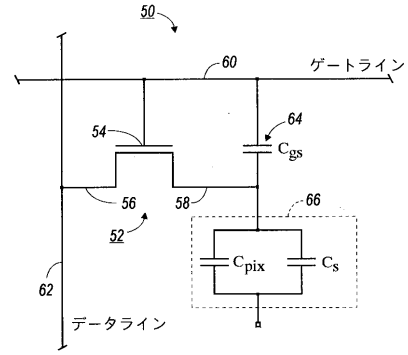
10 薄膜トランジスタ、12 基板、14 ゲート金属、16 ゲート絶縁層、18 活性層、20 表面保護用アイランド、22 ドレイン電極、24 ソース電極、26 隙間(チャンネル)、28, 30 オーラップ、50 セル、52 薄膜トランジスタ(TFT)、54 ゲート、56 ドレイン、58 ソース、60 ゲートライン、62 データライン、64 キャパシタ、66 画素、100 TFT構造、102 金属ゲート電極、104 透明基板、106 ゲート絶縁層、108 a-Si:H層、110 光学フィルタ層、112 フィルタアイランド、114 ソース薄膜、116 上側表面、118 担持体、120 隙間、126, 152 領域、130 チャンネル、132 ソース領域、134 ドレイン領域、135 アイランド112中の一部、136 二酸化シリコン(酸化物層)、138 窒化シリコン(窒化物層)、144 ソース電極、146 ドレイン電極、148 窒化シリコンまたは二酸化シリコン、142 ゲートビア、200 半導体構造、202 ゲート領域、204 第一の面、206 第一のゲート端、208 第一のゲート端面、210 第二のゲート端、212 第二のゲート端面、214 ソース領域、216 第一のソース端、218 ドレイン領域、220 第一のドレイン端、222 光学フィルタアイランド、224 ソース電極、226 ソース電極端、230 ドレイン電極、232 ドレイン電極端。

20

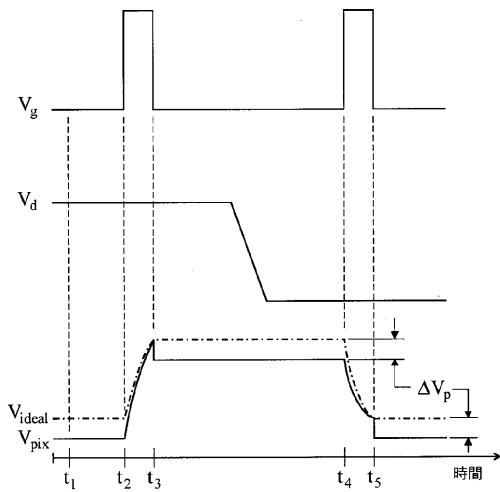
【図1】



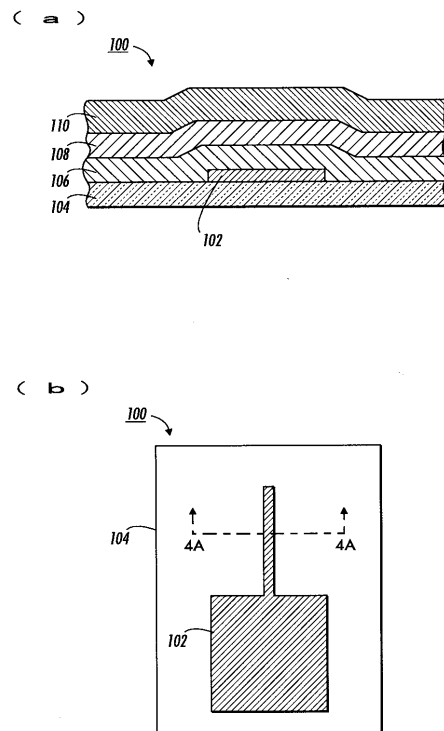
【図2】



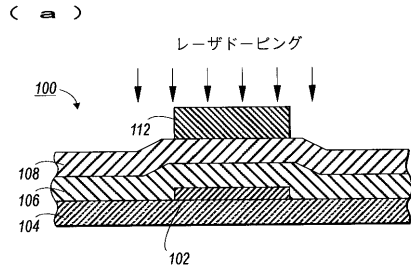
【図3】



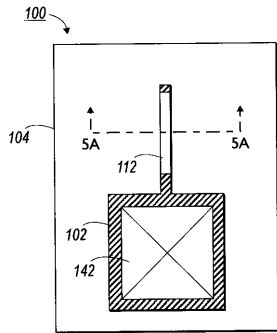
【図4】



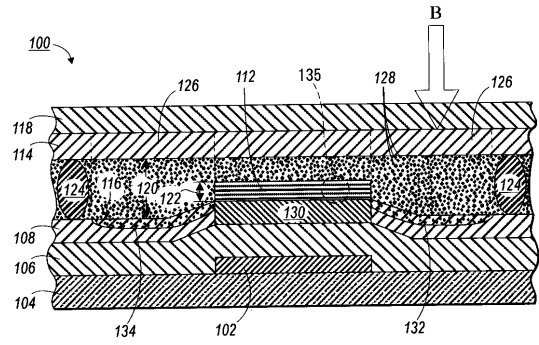
【図5】



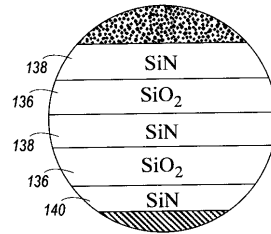
(b)



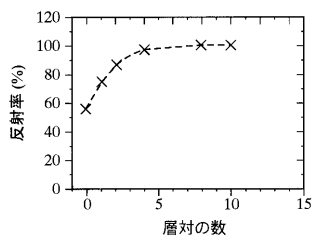
【図6】



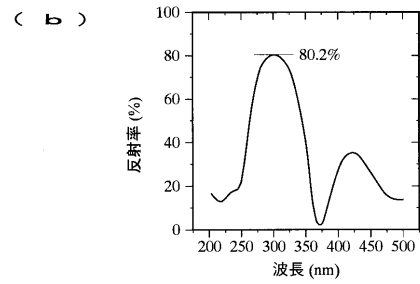
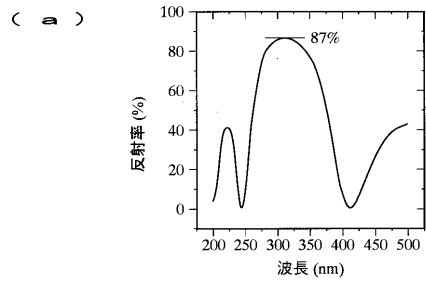
【図7】



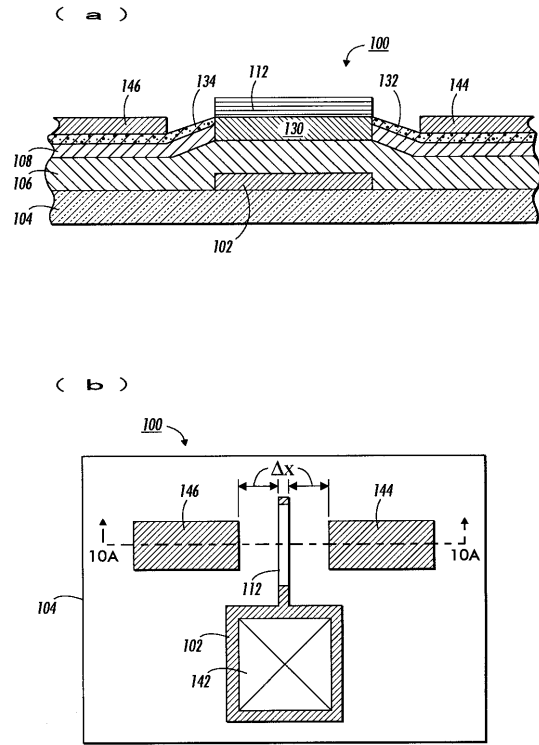
【図8】



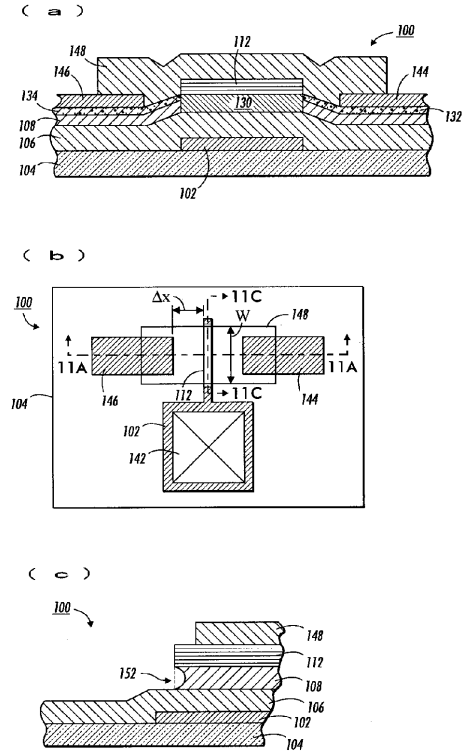
【図9】



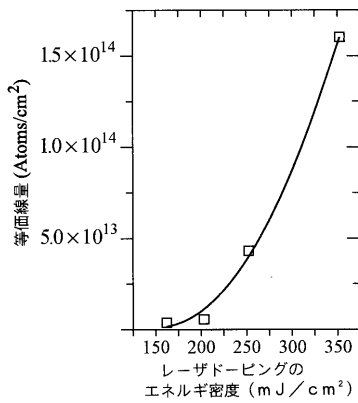
【図10】



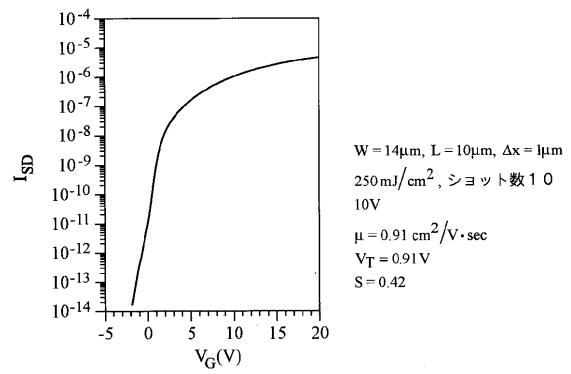
【図11】



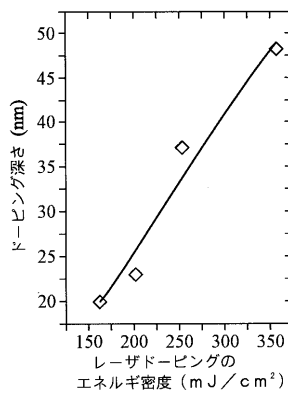
【図12】



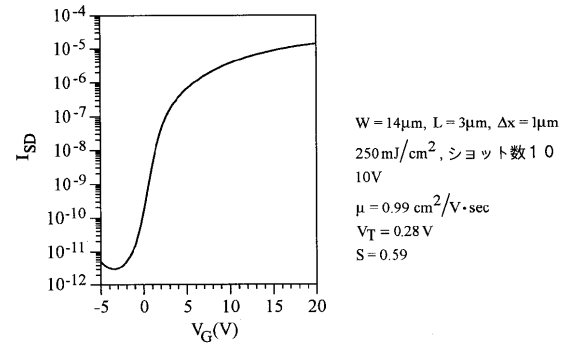
【図14】



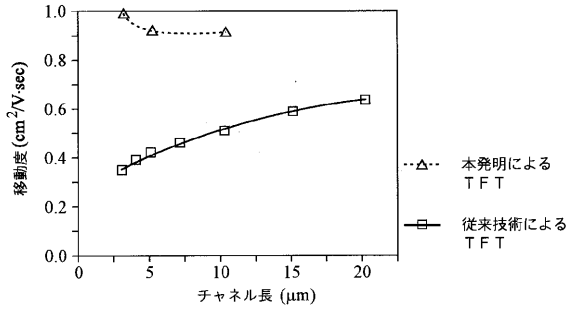
【図13】



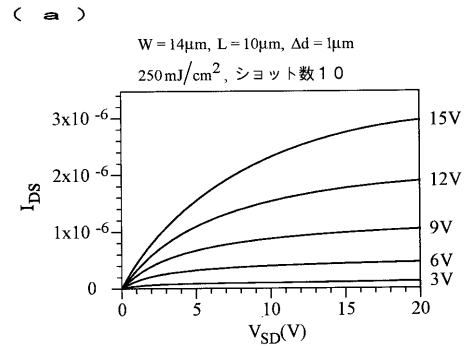
【図15】



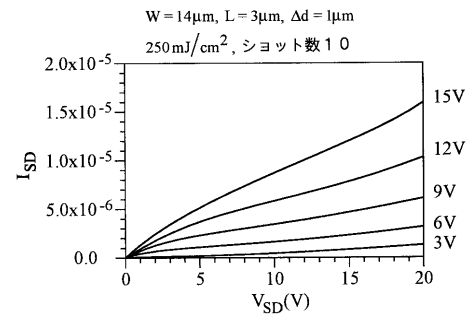
【図16】



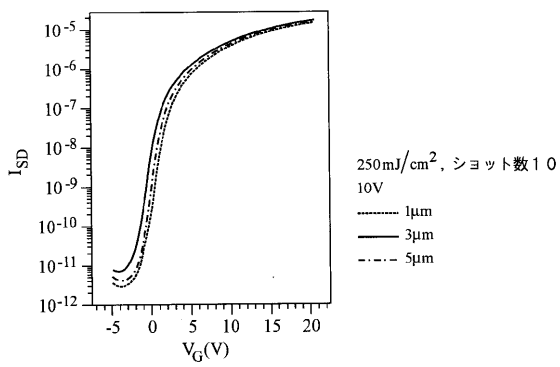
【図17】



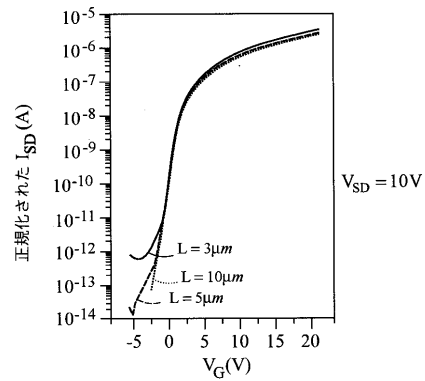
(b)



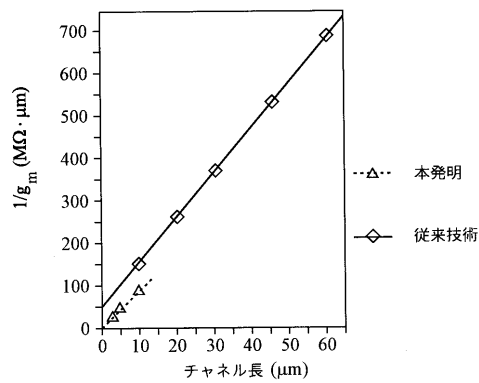
【図18】



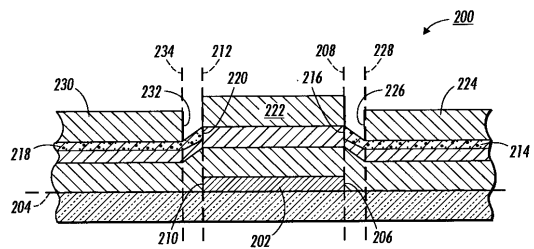
【図20】



【図19】



【図21】



フロントページの続き

- (74)代理人 100088915
弁理士 阿部 和夫
- (72)発明者 ピン メイ
アメリカ合衆国 カリフォルニア州 パロ アルト ヴィルク ウェイ 4276 アパートメン
ト ディ
- (72)発明者 レニ エイ ルジャン
アメリカ合衆国 カリフォルニア州 サニーベール ウェスト デューン アベニュー 115
- (72)発明者 ジェイムス ビー ボイス
アメリカ合衆国 カリフォルニア州 ロス アルトス ルッセル アベニュー 1036
- (72)発明者 クリストファー エル チュー
アメリカ合衆国 カリフォルニア州 マウンテン ビュー エスキュール アベニュー 234
アパートメント 110
- (72)発明者 ミカエル ジー ハック
アメリカ合衆国 カリフォルニア州 マウンテン ビュー マウンテン ビュー アベニュー 3
72

合議体

審判長 相田 義明

審判官 近藤 幸浩

審判官 松田 成正

(56)参考文献 特開平7 - 106578 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L29/786

H01L21/336