

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 5 日 (05.07.2018)



(10) 国际公布号
WO 2018/119964 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2016/113319

(22) 国际申请日: 2016 年 12 月 30 日 (30.12.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201611228607.0 2016 年 12 月 27 日 (27.12.2016) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 李亚锋 (LI, Yafeng); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) Title: GOA CIRCUIT

(54) 发明名称: GOA 电路

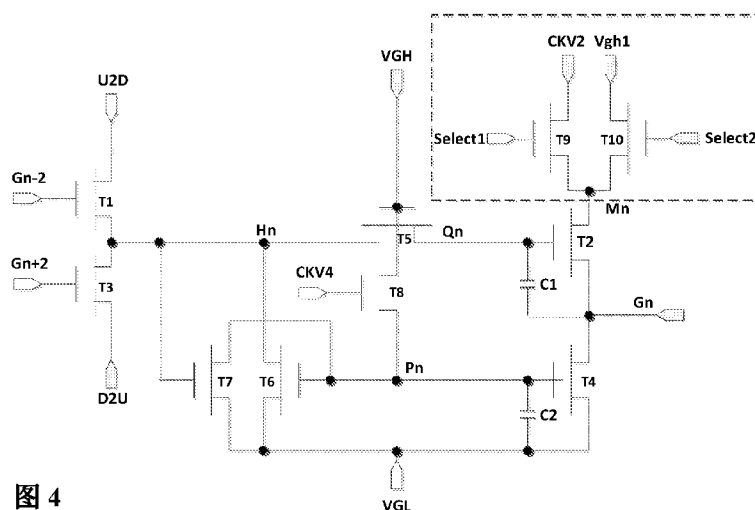


图 4

(57) Abstract: Disclosed is a GOA circuit. The GOA circuit comprises a plurality of cascaded GOA circuit units, wherein n is a natural number greater than 0, and the nth stage of the GOA circuit unit includes a first thin film transistor (T1), a second thin film transistor (T2), a third thin film transistor (T3), a fourth thin film transistor (T4), a fifth thin film transistor (T5), a sixth thin film transistor (T6), a seventh thin film transistor (T7), an eighth thin film transistor (T8), a ninth thin film transistor (T9), a tenth thin film transistor (T10), a first capacitor (C1) and a second capacitor (C2); two control signals (Select1, Select2) are further introduced on the basis of the prior GOA circuit. The GOA circuit has an MLG function, which can effectively reduce feedthrough, improve uniformity of Vcom in a panel, and improve the quality of picture display.

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：公开了一种GOA电路，该GOA电路包括级联的多个GOA电路单元，其中，设n为大于0的自然数，第n级GOA电路单元包括：第一薄膜晶体管(T1)，第二薄膜晶体管(T2)，第三薄膜晶体管(T3)，第四薄膜晶体管(T4)，第五薄膜晶体管(T5)，第六薄膜晶体管(T6)，第七薄膜晶体管(T7)，第八薄膜晶体管(T8)，第九薄膜晶体管(Tg)，第十薄膜晶体管(T10)，第一电容(C1)及第二电容(C2)，还在现有的GOA电路的基础上引入两个控制信号(Select1、Select2)。该GOA电路具有MLG功能，可以有效的降低馈通，改善面板内Vcom均一性，提高画面显示的品质。

GOA 电路

技术领域

本发明涉及液晶显示器领域，尤其涉及一种 GOA 电路。

5

背景技术

阵列基板行驱动（Gate Driver On Array，简称 GOA）技术是利用现有薄膜晶体管液晶显示器阵列（Array）制程将栅极（Gate）行扫描驱动信号电路制作在阵列基板上，实现对栅极逐行扫描的驱动方式的一项技术。

10

参见图 1，其为现有的 GOA 电路示意图。现有的 GOA 电路包括级联的多个 GOA 电路单元，其中输出第 n 级水平扫描信号的第 n 级 GOA 电路单元包括：薄膜晶体管 T1，其栅极连接第 $n-2$ 级 GOA 电路单元的信号输出点 G_{n-2} ，源极和漏极分别连接节点 H_n 和输入正向扫描控制信号 U_{2D} ；薄膜晶体管 T2，其栅极连接节点 Q_n ，源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点 G_n 和输入时钟信号 CKV_2 ；薄膜晶体管 T3，其栅极连接第 $n+2$ 级 GOA 电路单元的信号输出点 G_{n+2} ，源极和漏极分别连接节点 H_n 和输入反向扫描控制信号 D_{2U} ；薄膜晶体管 T4，其栅极连接节点 P_n ，源极和漏极分别连接信号输出点 G_n 和恒压低电位 V_{GL} ；薄膜晶体管 T5，其栅极连接恒压高电位 V_{GH} ，源极和漏极分别连接节点 H_n 和节点 Q_n ；薄膜晶体管 T6，其栅极连接节点 P_n ，源极和漏极分别连接节点 H_n 和恒压低电位 V_{GL} ；薄膜晶体管 T7，其栅极连接节点 H_n ，源极和漏极分别连接节点 P_n 和恒压低电位 V_{GL} ；薄膜晶体管 T8，其栅极输入时钟信号 CKV_4 ，源极和漏极分别连接节点 P_n 和恒压高电位 V_{GH} ；电容 C1，其两端分别连接节点 Q_n 和信号输出点 G_n ；电容 C2，其两端分别连接节点 P_n 和恒压低电位 V_{GL} 。节点 Q_n 为用于控制栅极驱动信号输出的点；节点 P_n 为用于维持 Q_n 点及 G_n 点低电平的稳定点。图 1 以对应于 G_n 级输出的第 n 级 GOA 电路单元为例绘示 GOA 电路单元的结构，相邻的对应于 G_{n+1} 级输出的第 $n+1$ 级 GOA 电路单元结构与图 1 所示相同，仅是在工作时采用不同的时钟信号，在此不再赘述第 $n+1$ 级 GOA 电路单元的结构。

15

20

25

30

参见图 2，其为图 1 的 GOA 电路正向扫描时序示意图，现结合图 1，对电路的具体工作过程（正向扫描）介绍如下：

以 G_n 级输出为例；正向扫描时： U_{2D} 为高电平， D_{2U} 为低电平；

阶段 1，预充电： G_{n-2} 与 U_{2D} 同时为高电平，T1 导通， H_n 点被预充

电。当 H_n 点为高电平时， T_5 处于导通状态， Q_n 点被预充电。当 H_n 点为高电平时， T_7 处于导通状态， P_n 点被拉低；

阶段 2， G_n 输出高电平：在阶段 1 中， Q_n 点被预充电， C_1 对电荷具有一定的保持作用， T_2 处于导通状态， CKV_2 的高电平输出到 G_n 端；

5 阶段 3， G_n 输出低电平： C_1 对 Q_n 点的高电平具有保持作用，而此时 CKV_2 的低电平将 G_n 点拉低；

阶段 4， Q_n 点拉低到 V_{GL} ：当 G_{n+2} 为高电平，此时 D_{2U} 为低电平， T_3 处于导通的状态，那么 Q_n 点被拉低到 V_{GL} ；

10 阶段 5， Q_n 点及 G_n 点低电平维持阶段：当 Q_n 点变为低电平后， T_7 处于截止状态，当 CKV_4 跳变为高电平时 T_8 导通， P_n 点被充电，那么 T_4 和 T_6 均处于导通的状态，可以保证 Q_n 点及 G_n 点低电平的稳定，同时 C_2 对 P_n 点的高电平具有一定的保持作用。

对于对应于 G_{n+1} 级输出的第 $n+1$ 级 GOA 电路单元，所使用的时钟信号为 CKV_1 和 CKV_3 ，工作过程可结合图 2 得出。

15 参见图 3，其为图 1 的 GOA 电路反向扫描时序示意图，现结合图 1，对电路的具体工作过程（反向扫描）介绍如下：

以 G_n 级输出为例；反向扫描时： D_{2U} 为高电平， U_{2D} 为低电平；

20 阶段 1，预充电： G_{n+2} 与 D_{2U} 同时为高电平， T_3 导通， H_n 点被预充电。当 H_n 点为高电平时， T_5 处于导通状态， Q_n 点被预充电。当 H_n 点为高电平时， T_7 处于导通状态， P_n 点被拉低；

阶段 2， G_n 输出高电平：在阶段 1 中， Q_n 点被预充电， C_1 对电荷具有一定的保持作用， T_2 处于导通状态， CKV_2 的高电平输出到 G_n 端；

阶段 3， G_n 输出低电平： C_1 对 Q_n 点的高电平具有保持作用，而此时 CKV_2 的低电平将 G_n 点拉低；

25 阶段 4， Q_n 点拉低到 V_{GL} ：当 G_{n-2} 为高电平，此时 U_{2D} 为低电平， T_1 处于导通的状态，那么 Q_n 点被拉低到 V_{GL} ；

30 阶段 5， Q_n 点及 G_n 点低电平维持阶段：当 Q_n 点变为低电平后， T_7 处于截止状态，当 CKV_4 跳变为高电平时 T_8 导通， P_n 点被充电，那么 T_4 和 T_6 均处于导通的状态，可以保证 Q_n 点及 G_n 点低电平的稳定，同时 C_2 对 P_n 点的高电平具有一定的保持作用。

对于对应于 G_{n+1} 级输出的第 $n+1$ 级 GOA 电路单元，所使用的时钟信号为 CKV_1 和 CKV_3 ，工作过程可结合图 3 得出。

现有的 GOA 电路 G_n 的输出的高低电平分别为 V_{GH} 和 V_{GL} 且为两阶驱动，这种栅极驱动方式的对应的馈通（Feed Through）电压较大，进而造

成面板不同区域对应的最佳化公共电压 (Vcom) 不一致, 也就是说两阶驱动容易造成面板的 Vcom 的均一性较差, 影响显示的品质。

发明内容

5 本发明的目的在于提供一种新的 GOA 电路, 该电路可以实现多级栅极 (MLG) 功能。

为实现上述目的, 本发明提供了一种 GOA 电路, 包括级联的多个 GOA 电路单元, 其中, 设 n 为大于 0 的自然数, 第 n 级 GOA 电路单元包括:

10 第一薄膜晶体管, 其源极和漏极分别连接第一节点和输入正向扫描控制信号, 当第 n 级非为首端两级时, 其栅极连接第 $n-2$ 级 GOA 电路单元的信号输出点, 否则其栅极输入第一启动信号;

第三薄膜晶体管, 其源极和漏极分别连接第一节点和输入反向扫描控制信号, 当第 n 级非为末端两级时, 其栅极连接第 $n+2$ 级 GOA 电路单元的信号输出点, 否则其栅极输入第二启动信号;

15 第七薄膜晶体管, 其栅极连接第一节点, 源极和漏极分别连接第四节点和恒压低电位;

第六薄膜晶体管, 其栅极连接第四节点, 源极和漏极分别连接第一节点和恒压低电位;

20 第五薄膜晶体管, 其栅极连接第一恒压高电位, 源极和漏极分别连接第一节点和第二节点;

第八薄膜晶体管, 其栅极输入第一时钟信号, 源极和漏极分别连接第四节点和第一恒压高电位;

第九薄膜晶体管, 其栅极输入第一控制信号, 源极和漏极分别连接第三节点和输入第二时钟信号;

25 第十薄膜晶体管, 其栅极输入第二控制信号, 源极和漏极分别连接第三节点和第二恒压高电位;

第二薄膜晶体管, 其栅极连接第二节点, 源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和第三节点;

30 第一电容, 其两端分别连接第二节点和第 n 级 GOA 电路单元的信号输出点;

第四薄膜晶体管, 其栅极连接第四节点, 源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和恒压低电位;

第二电容, 其两端分别连接第四节点和恒压低电位;

当第一控制信号为高电平时, 第二控制信号为低电平; 当第一控制信

号为高电平时，第二控制信号为低电平。

其中，该第二恒压高电位的电压小于第一恒压高电位的电压。

其中，通过调整该第二恒压高电位所对应的电压来调整消角电压。

其中，通过调整该第一控制信号与第二控制信号所对应的时间关系来
5 调整消角时间。

其中，该第一时钟信号和第二时钟信号为占空比为 0.25 的矩形波，该
第一时钟信号和第二时钟信号的相位相差四分之一周期。

其中，对于首端两级 GOA 电路单元，正向扫描开始时，该第一薄膜晶
体管的栅极输入高电平信号作为该第一启动信号。

10 其中，对于末端两级 GOA 电路单元，反向扫描开始时，该第三薄膜晶
体管的栅极输入高电平信号作为该第二启动信号。

其中，其为 LTPS 面板的 GOA 电路。

其中，其为 OLED 面板的 GOA 电路。

本发明还提供一种 GOA 电路，包括级联的多个 GOA 电路单元，其中，
15 设 n 为大于 0 的自然数，第 n 级 GOA 电路单元包括：

第一薄膜晶体管，其源极和漏极分别连接第一节点和输入正向扫描控
制信号，当第 n 级非为首端两级时，其栅极连接第 $n-2$ 级 GOA 电路单元的
信号输出点，否则其栅极输入第一启动信号；

20 第三薄膜晶体管，其源极和漏极分别连接第一节点和输入反向扫描控
制信号，当第 n 级非为末端两级时，其栅极连接第 $n+2$ 级 GOA 电路单元的
信号输出点，否则其栅极输入第二启动信号；

第七薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第四节
点和恒压低电位；

25 第六薄膜晶体管，其栅极连接第四节点，源极和漏极分别连接第一节
点和恒压低电位；

第五薄膜晶体管，其栅极连接第一恒压高电位，源极和漏极分别连接
第一节点和第二节点；

第八薄膜晶体管，其栅极输入第一时钟信号，源极和漏极分别连接第
四节点和第一恒压高电位；

30 第九薄膜晶体管，其栅极输入第一控制信号，源极和漏极分别连接第
三节点和输入第二时钟信号；

第十薄膜晶体管，其栅极输入第二控制信号，源极和漏极分别连接第
三节点和第二恒压高电位；

第二薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第 n 级

GOA 电路单元的信号输出点和第三节点;

第一电容,其两端分别连接第二节点和第 n 级 GOA 电路单元的信号输出点;

5 第四薄膜晶体管,其栅极连接第四节点,源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和恒压低电位;

第二电容,其两端分别连接第四节点和恒压低电位;

工作中,当第一控制信号为高电平时,第二控制信号为低电平;当第一控制信号为高电平时,第二控制信号为低电平;

其中,该第二恒压高电位的电压小于第一恒压高电位的电压;

10 其中,该第一时钟信号和第二时钟信号为占空比为 0.25 的矩形波,该第一时钟信号和第二时钟信号的相位相差四分之一周期。

综上,本发明提出了一种新的 GOA 电路,该电路具有 MLG 功能,可以有效的降低馈通,改善面内 V_{com} 均一性,提高画面显示的品质。

15 附图说明

下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其他有益效果显而易见。

附图中,

图 1 为现有的 GOA 电路示意图;

20 图 2 为图 1 的 GOA 电路正向扫描时序示意图;

图 3 为图 1 的 GOA 电路反向扫描时序示意图;

图 4 为本发明的 GOA 电路示意图;

图 5 为图 4 的 GOA 电路正向扫描时序示意图;

图 6 为图 4 的 GOA 电路反向扫描时序示意图。

25

具体实施方式

参见图 4,其为本发明的 GOA 电路示意图。本发明的 GOA 电路包括级联的多个 GOA 电路单元,其中,设 n 为大于 0 的自然数,输出第 n 级水平扫描信号的第 n 级 GOA 电路单元包括:薄膜晶体管 T1,当第 n 级非为首端两级时,其栅极连接第 $n-2$ 级 GOA 电路单元的信号输出点 G_{n-2} ,源极和漏极分别连接节点 H_n 和输入正向扫描控制信号 U_{2D} ;薄膜晶体管 T2,其栅极连接节点 Q_n ,源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点 G_n 和节点 M_n ;薄膜晶体管 T3,当第 n 级非为末端两级时,其栅极连接第 $n+2$ 级 GOA 电路单元的信号输出点 G_{n+2} ,源极和漏极分别连接节点

30

Hn 和输入反向扫描控制信号 D2U; 薄膜晶体管 T4, 其栅极连接节点 Pn, 源极和漏极分别连接信号输出点 Gn 和恒压低电位 VGL; 薄膜晶体管 T5, 其栅极连接恒压高电位 VGH, 源极和漏极分别连接节点 Hn 和节点 Qn; 薄膜晶体管 T6, 其栅极连接节点 Pn, 源极和漏极分别连接节点 Hn 和恒压低电位 VGL; 薄膜晶体管 T7, 其栅极连接节点 Hn, 源极和漏极分别连接节点 Pn 和恒压低电位 VGL; 薄膜晶体管 T8, 其栅极输入时钟信号 CKV4, 源极和漏极分别连接节点 Pn 和恒压高电位 VGH; 薄膜晶体管 T9, 其栅极输入控制信号 Select1, 源极和漏极分别连接节点 Mn 和输入时钟信号 CKV2; 薄膜晶体管 T10, 其栅极输入控制信号 Select2, 源极和漏极分别连接节点 Mn 和恒压高电位 Vgh1; 电容 C1, 其两端分别连接节点 Qn 和信号输出点 Gn; 电容 C2, 其两端分别连接节点 Pn 和恒压低电位 VGL; 工作时, 当控制信号 Select1 为高电平时, 控制信号 Select2 为低电平; 当控制信号 Select1 为高电平时, 控制信号 Select2 为低电平。本发明的 GOA 电路可作为 LTPS 面板或 OLED 面板的 GOA 电路。

图 4 以对应于 Gn 级输出的第 n 级 GOA 电路单元为例绘示本发明 GOA 电路单元的结构, 本领域技术人员可以理解, 相邻的对应于 Gn+1 级输出的第 n+1 级 GOA 电路单元结构与图 4 所示相同, 仅是在工作时采用不同的时钟信号, 在此不再赘述第 n+1 级 GOA 电路单元的结构。

参见图 5, 其为图 4 的 GOA 电路正向扫描时序示意图。现结合图 4, 对电路的具体工作过程 (正向扫描) 介绍如下:

以 Gn 级输出为例; 正向扫描时: U2D 为高电平, D2U 为低电平;

阶段 1, 预充电: Gn-2 与 U2D 同时为高电平, T1 导通, Hn 点被预充电。当 Hn 点为高电平时, T5 处于导通状态, Qn 点被预充电。当 Hn 点为高电平时, T7 处于导通状态, Pn 点被拉低;

阶段 2, Gn 输出高电平: 在阶段 1 中, Qn 点被预充电, C1 对电荷具有一定的保持作用, T2 处于导通状态: 当 CKV2 与 Select1 同时为高电平时, CKV2 对应的高电平输出到 Mn 点, 而此时 T2 处于导通状态, 因此 Mn 点的高电平输出到 Gn 点; 当 Select2 为高电平时, Vgh1 对应的高电平输出到 Mn 点, 而此时 T2 处于导通状态, Mn 对应的高电平再次输出到 Gn 点, 而 Vgh1 < VGH, 这样 Gn 点输出就实现了 MLG 功能。实现 MLG 功能的同时, 消角电压的大小, 即 Gn 点输出自高电平 VGH 降低后的电压, 可以通过调整 Vgh1 所对应的电压来实现; 而消角时间的长短, 即 Gn 点输出自高电平 VGH 降低为输出 Vgh1 的时间, 可以通过调整 Select1 与 Select2 所对应的时间关系来实现。

阶段 3, Gn 输出低电平: C1 对 Qn 点的高电平具有保持作用, 而此时 Select1 为高电平, CKV2 的低电平将 Gn 点拉低;

阶段 4, Qn 点拉低到 VGL: 当 Gn+2 为高电平, 此时 D2U 为低电平, T3 处于导通的状态, 那么 Qn 点被拉低到 VGL;

5 阶段 5, Qn 点及 Gn 点低电平维持阶段: 当 Qn 点变为低电平后, T7 处于截止状态, 当 CKV4 跳变为高电平时 T8 导通, Pn 点被充电, 那么 T4 和 T6 均处于导通的状态, 可以保证 Qn 点及 Gn 点低电平的稳定, 同时 C2 对 Pn 点的高电平具有一定的保持作用。

10 对于首端两级 GOA 电路单元, 正向扫描开始时, 薄膜晶体管 T1 的栅极需要输入高电平信号作为启动信号。对于首、末端级联的 GOA 单元可以采用输入启动信号的方式来代替缺少的信号输入。

对应于 Gn+1 级输出的第 n+1 级 GOA 电路单元, 即 Gn+1 级, 正向扫描时所使用的时钟信号为 CKV1 和 CKV3, 工作过程同样可结合图 5 得出。

15 参见图 6, 其为图 4 的 GOA 电路反向扫描时序示意图。现结合图 4, 对电路的具体工作过程 (反向扫描) 介绍如下:

以 Gn 级输出为例; 反向扫描时: D2U 为高电平, U2D 为低电平;

阶段 1, 预充电: Gn+2 与 D2U 同时为高电平, T3 导通, Hn 点被预充电。当 Hn 点为高电平时, T5 处于导通状态, Qn 点被预充电。当 Hn 点为高电平时, T7 处于导通状态, Pn 点被拉低;

20 阶段 2, Gn 输出高电平: 在阶段 1 中, Qn 点被预充电, C1 对电荷具有一定的保持作用, T2 处于导通状态: 当 CKV2 与 Select1 同时为高电平时, CKV2 对应的高电平输出到 Mn 点, 而此时 T2 处于导通状态, 因此 Mn 点的高电平输出到 Gn 点; 当 Select2 为高电平时, Vgh1 对应的高电平输出到 Mn 点, 而此时 T2 处于导通状态, Mn 对应的高电平再次输出到 Gn 点, 而 Vgh1 < VGH, 这样 Gn 点输出就实现了 MLG 功能。同时消角电压可以通过调整 Vgh1 所对应的电压来实现, 而消角时间可以通过调整 Select1 与 Select2 所对应的时间关系来实现。

阶段 3, Gn 输出低电平: C1 对 Qn 点的高电平具有保持作用, 而此时 Select1 为高电平 CKV2 的低电平将 Gn 点拉低;

30 阶段 4, Qn 点拉低到 VGL: 当 Gn-2 为高电平, 此时 U2D 为低电平, T1 处于导通的状态, 那么 Qn 点被拉低到 VGL;

阶段 5, Qn 点及 Gn 点低电平维持阶段: 当 Qn 点变为低电平后, T7 处于截止状态, 当 CKV4 跳变为高电平时 T8 导通, Pn 点被充电, 那么 T4 和 T6 均处于导通的状态, 可以保证 Qn 点及 Gn 点低电平的稳定, 同时 C2

对 Pn 点的高电平具有一定的保持作用。

对于末端两级 GOA 电路单元，反向扫描开始时，薄膜晶体管 T3 需要输入高电平信号作为启动信号。对于首、末端级联的 GOA 单元可以采用输入启动信号的方式来代替缺少的信号输入。

5 对应于 G_{n+1} 级输出的第 $n+1$ 级 GOA 电路单元，即 G_{n+1} 级，反向扫描时所使用的时钟信号为 CKV1 和 CKV3，工作过程同样可结合图 6 得出。

由图 5，图 6 还可知，时钟信号 CKV1~4 为占空比为 0.25 的矩形波，时钟信号 CKV4 和时钟信号 CKV2 的相位相差四分之一周期，时钟信号 CKV3 和时钟信号 CKV1 的相位相差四分之一周期。

10 如图 4 虚线框部分所示，本发明在现有的 GOA 电路的基础上引入 2 个控制信号，Select1、Select2。在 Q_n 点被自举为高电平时：当 Select1 为高电平时，CKV2 对应的高电平输出到 G_n 点，当 Select2 为高电平时，Vgh1 对应的高电平输出到 G_n 点，而 Vgh1 对应的高电平小于 VGH，即 $V_{gh1} < V_{GH}$ 。这样 G_n 点输出就实现了 3 阶 MLG 功能。可以有效的降低馈通，改善面内 Vcom 均一性，提高画面显示的品质。同时消角电压可以通过调整 Vgh1 所对应的电压来实现，而消角时间可以通过调整 Select1 与 Select2 所对应的时间关系来实现。

20 本发明的 GOA 电路已知和潜在的技术/产品应用领域及其应用方式如下：1、集成在阵列基板上的液晶显示器行扫描（Gate）驱动电路；2、应用于手机，显示器，电视的栅极驱动领域；3、可涵盖 LCD 和 OLED 的行业先进技术；4、本电路的稳定性适用于高解析度的面板设计当中。

综上，本发明提出了一种新的 GOA 电路，该电路具有 MLG 功能，可以有效的降低馈通，改善面内 Vcom 均一性，提高画面显示的品质。

25 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 GOA 电路，包括级联的多个 GOA 电路单元，其中，设 n 为大于 0 的自然数，第 n 级 GOA 电路单元包括：

5 第一薄膜晶体管，其源极和漏极分别连接第一节点和输入正向扫描控制信号，当第 n 级非为首端两级时，其栅极连接第 $n-2$ 级 GOA 电路单元的信号输出点，否则其栅极输入第一启动信号；

10 第三薄膜晶体管，其源极和漏极分别连接第一节点和输入反向扫描控制信号，当第 n 级非为末端两级时，其栅极连接第 $n+2$ 级 GOA 电路单元的信号输出点，否则其栅极输入第二启动信号；

 第七薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第四节点和恒压低电位；

 第六薄膜晶体管，其栅极连接第四节点，源极和漏极分别连接第一节点和恒压低电位；

15 第五薄膜晶体管，其栅极连接第一恒压高电位，源极和漏极分别连接第一节点和第二节点；

 第八薄膜晶体管，其栅极输入第一时钟信号，源极和漏极分别连接第四节点和第一恒压高电位；

20 第九薄膜晶体管，其栅极输入第一控制信号，源极和漏极分别连接第三节点和输入第二时钟信号；

 第十薄膜晶体管，其栅极输入第二控制信号，源极和漏极分别连接第三节点和第二恒压高电位；

 第二薄膜晶体管，其栅极连接第二节点，源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和第三节点；

25 第一电容，其两端分别连接第二节点和第 n 级 GOA 电路单元的信号输出点；

 第四薄膜晶体管，其栅极连接第四节点，源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和恒压低电位；

 第二电容，其两端分别连接第四节点和恒压低电位；

30 工作中，当第一控制信号为高电平时，第二控制信号为低电平；当第一控制信号为高电平时，第二控制信号为低电平。

2、如权利要求 1 所述的 GOA 电路，其中，该第二恒压高电位的电压小于第一恒压高电位的电压。

3、如权利要求 1 所述的 GOA 电路，其中，通过调整该第二恒压高电位所对应的电压来调整消角电压。

4、如权利要求 1 所述的 GOA 电路，其中，通过调整该第一控制信号与第二控制信号所对应的时间关系来调整消角时间。

5 5、如权利要求 1 所述的 GOA 电路，其中，该第一时钟信号和第二时钟信号为占空比为 0.25 的矩形波，该第一时钟信号和第二时钟信号的相位相差四分之一周期。

10 6、如权利要求 1 所述的 GOA 电路，其中，对于首端两级 GOA 电路单元，正向扫描开始时，该第一薄膜晶体管的栅极输入高电平信号作为该第一启动信号。

7、如权利要求 1 所述的 GOA 电路，其中，对于末端两级 GOA 电路单元，反向扫描开始时，该第三薄膜晶体管的栅极输入高电平信号作为该第二启动信号。

15 8、如权利要求 1 所述的 GOA 电路，其中，其为 LTPS 面板的 GOA 电路。

9、如权利要求 1 所述的 GOA 电路，其中，其为 OLED 面板的 GOA 电路。

10、一种 GOA 电路，包括级联的多个 GOA 电路单元，其中，设 n 为大于 0 的自然数，第 n 级 GOA 电路单元包括：

20 第一薄膜晶体管，其源极和漏极分别连接第一节点和输入正向扫描控制信号，当第 n 级非为首端两级时，其栅极连接第 $n-2$ 级 GOA 电路单元的信号输出点，否则其栅极输入第一启动信号；

25 第三薄膜晶体管，其源极和漏极分别连接第一节点和输入反向扫描控制信号，当第 n 级非为末端两级时，其栅极连接第 $n+2$ 级 GOA 电路单元的信号输出点，否则其栅极输入第二启动信号；

第七薄膜晶体管，其栅极连接第一节点，源极和漏极分别连接第四节点和恒压低电位；

第六薄膜晶体管，其栅极连接第四节点，源极和漏极分别连接第一节点和恒压低电位；

30 第五薄膜晶体管，其栅极连接第一恒压高电位，源极和漏极分别连接第一节点和第二节点；

第八薄膜晶体管，其栅极输入第一时钟信号，源极和漏极分别连接第四节点和第一恒压高电位；

第九薄膜晶体管，其栅极输入第一控制信号，源极和漏极分别连接第

三节点和输入第二时钟信号;

第十薄膜晶体管, 其栅极输入第二控制信号, 源极和漏极分别连接第三节点和第二恒压高电位;

第二薄膜晶体管, 其栅极连接第二节点, 源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和第三节点;

第一电容, 其两端分别连接第二节点和第 n 级 GOA 电路单元的信号输出点;

第四薄膜晶体管, 其栅极连接第四节点, 源极和漏极分别连接第 n 级 GOA 电路单元的信号输出点和恒压低电位;

第二电容, 其两端分别连接第四节点和恒压低电位;

工作中, 当第一控制信号为高电平时, 第二控制信号为低电平; 当第一控制信号为高电平时, 第二控制信号为低电平;

其中, 该第二恒压高电位的电压小于第一恒压高电位的电压;

其中, 该第一时钟信号和第二时钟信号为占空比为 0.25 的矩形波, 该第一时钟信号和第二时钟信号的相位相差四分之一周期。

11、如权利要求 10 所述的 GOA 电路, 其中, 通过调整该第二恒压高电位所对应的电压来调整消角电压。

12、如权利要求 10 所述的 GOA 电路, 其中, 通过调整该第一控制信号与第二控制信号所对应的时间关系来调整消角时间。

13、如权利要求 10 所述的 GOA 电路, 其中, 对于首端两级 GOA 电路单元, 正向扫描开始时, 该第一薄膜晶体管的栅极输入高电平信号作为该第一启动信号。

14、如权利要求 10 所述的 GOA 电路, 其中, 对于末端两级 GOA 电路单元, 反向扫描开始时, 该第三薄膜晶体管的栅极输入高电平信号作为该第二启动信号。

15、如权利要求 10 所述的 GOA 电路, 其中, 其为 LTPS 面板的 GOA 电路。

16、如权利要求 10 所述的 GOA 电路, 其中, 其为 OLED 面板的 GOA 电路。

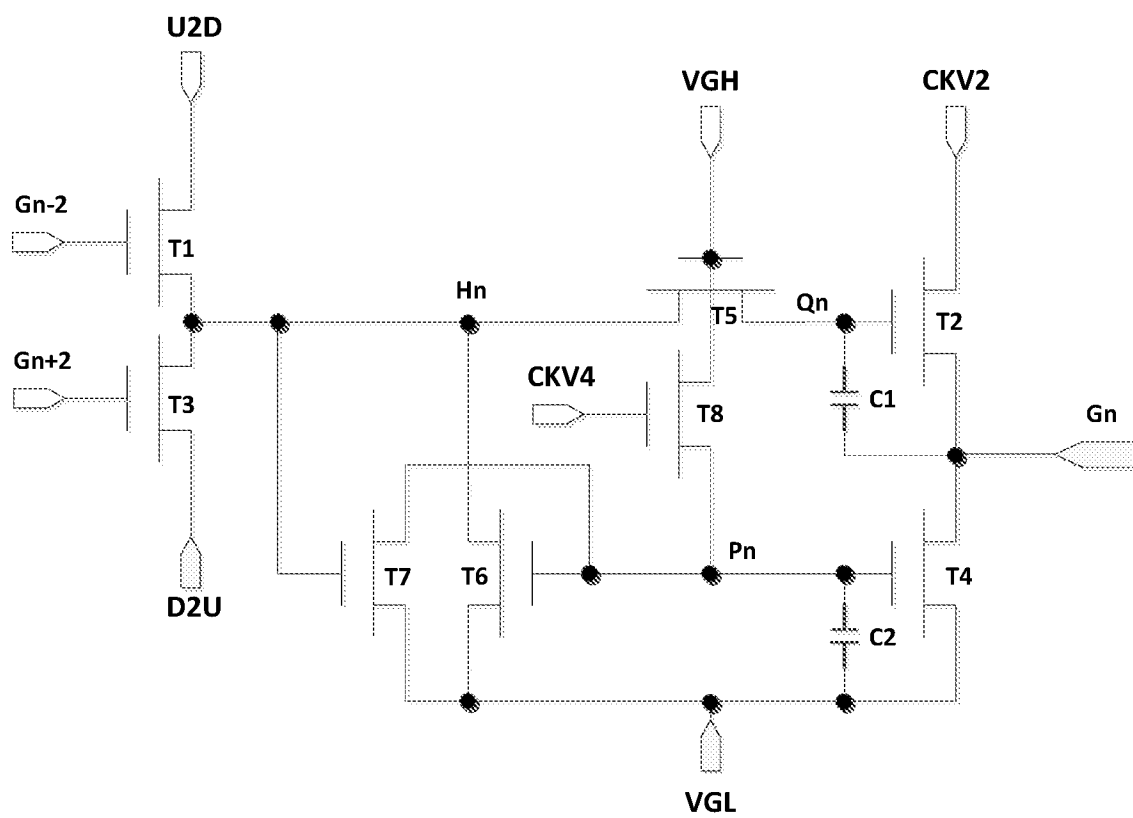


图 1

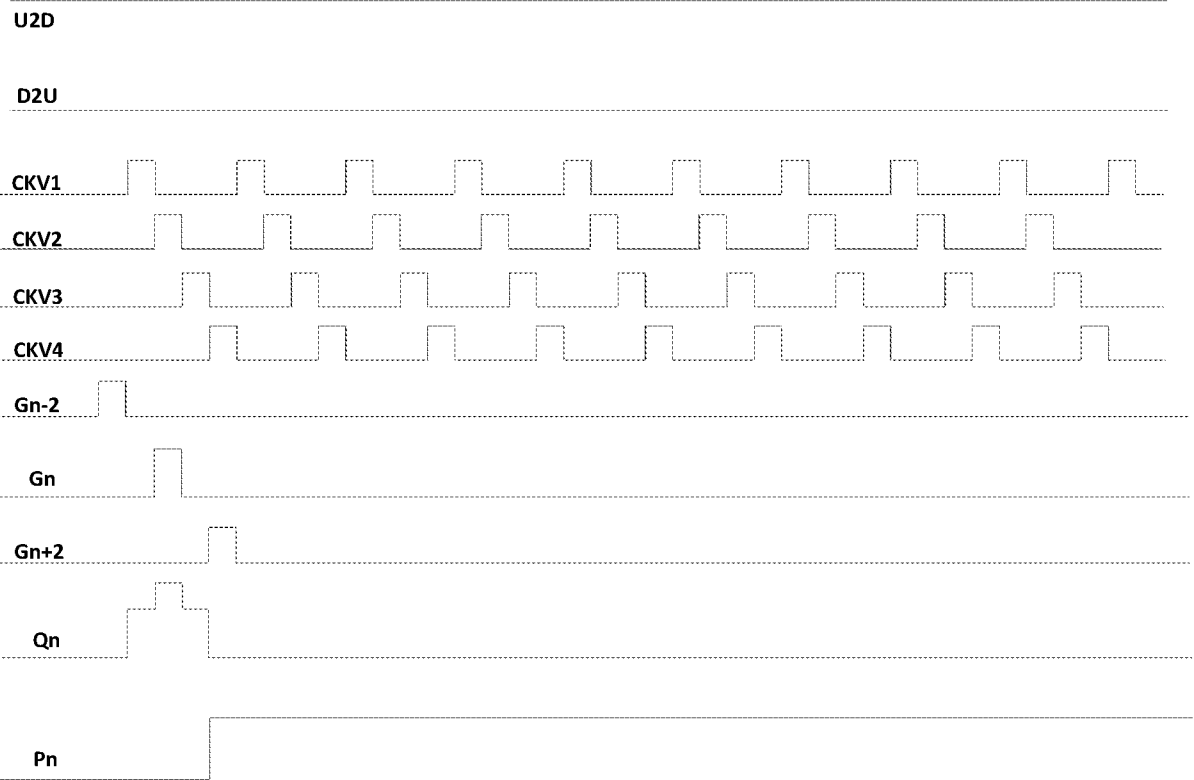


图 2

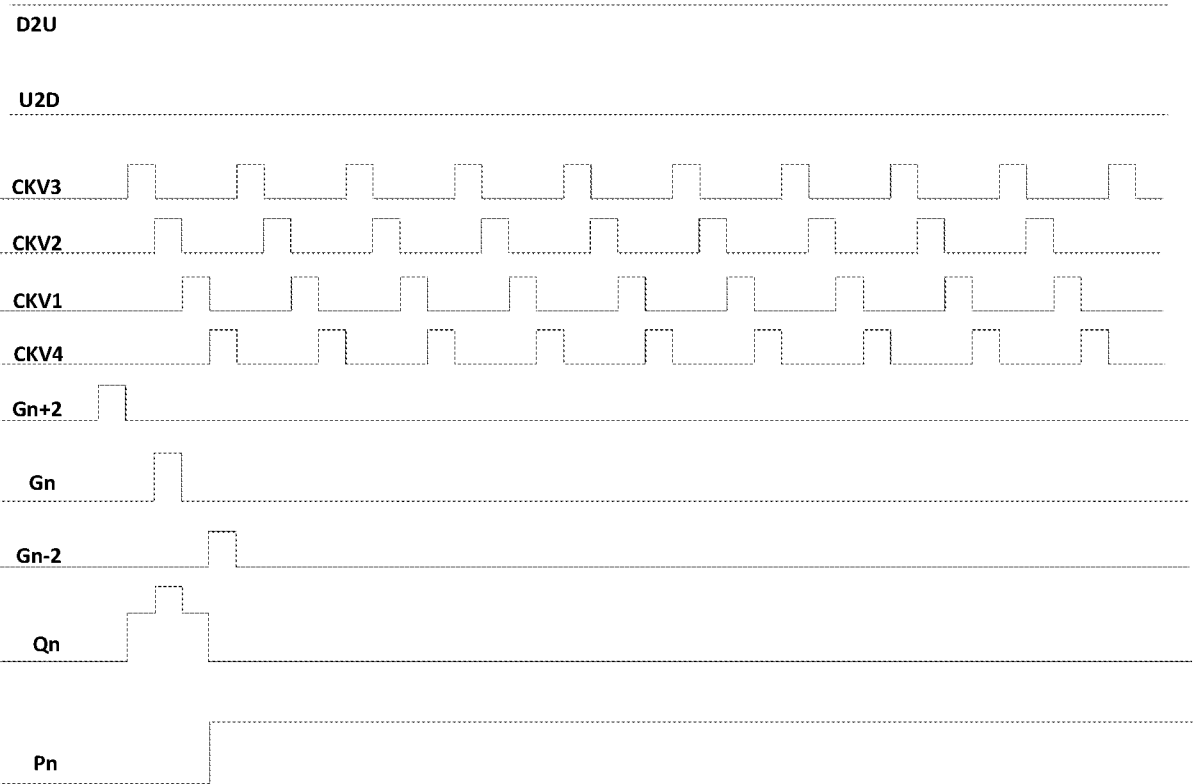


图 3

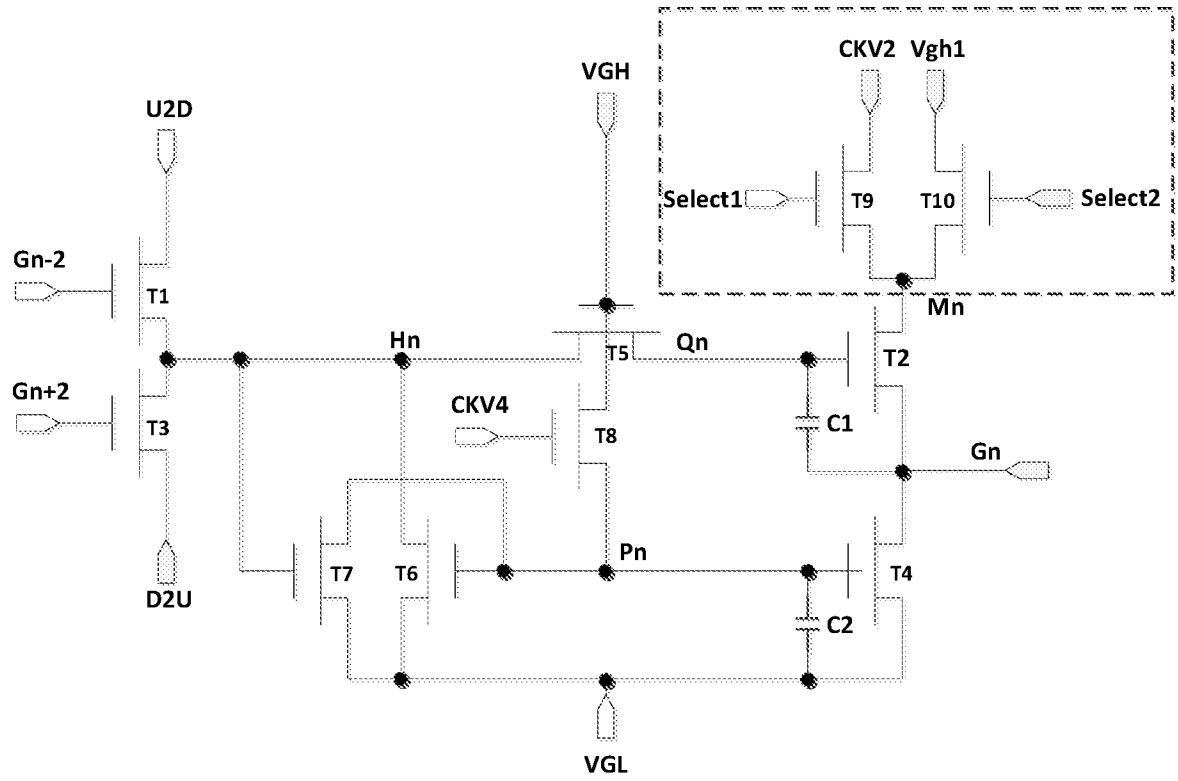


图 4

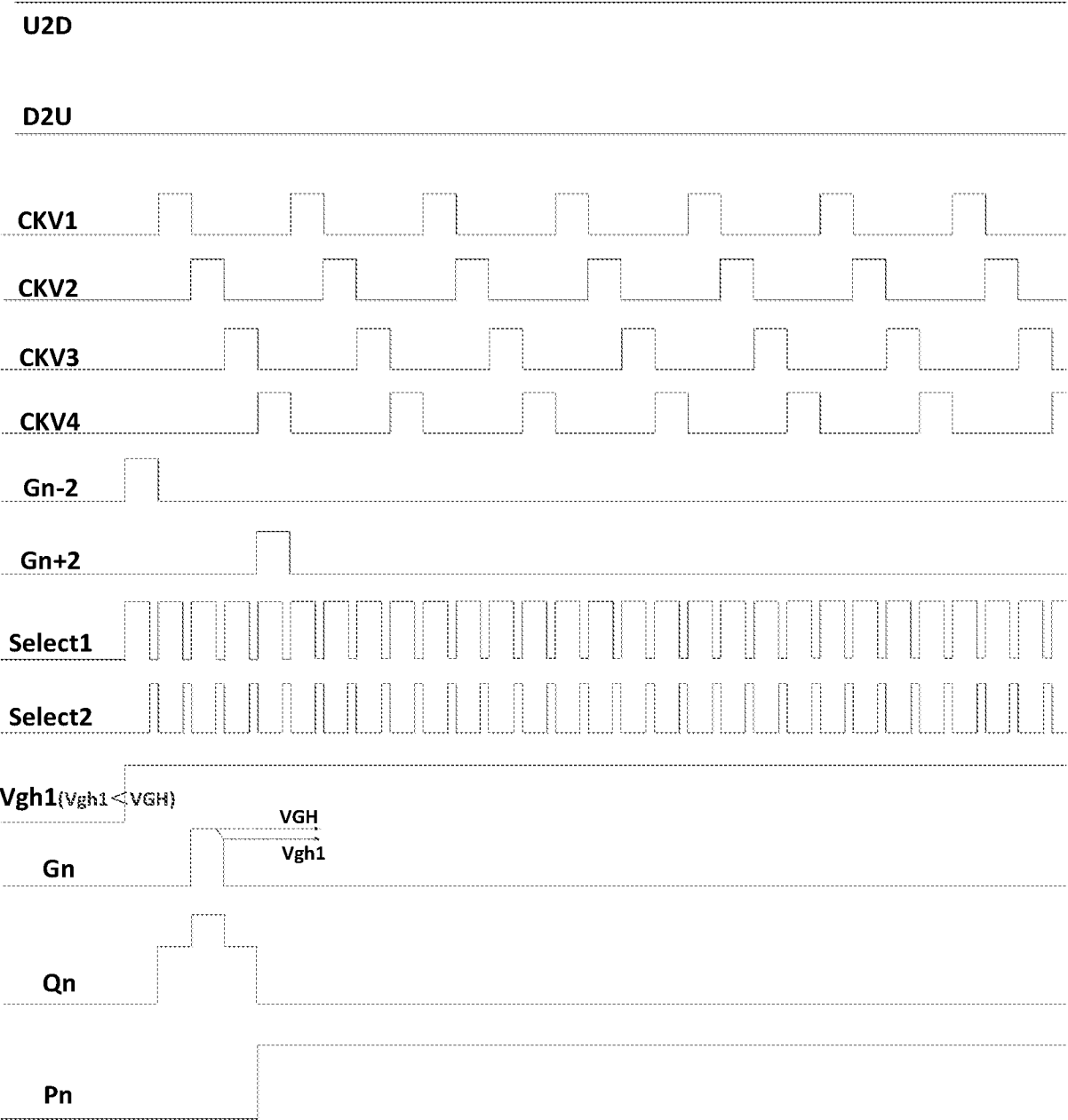


图 5

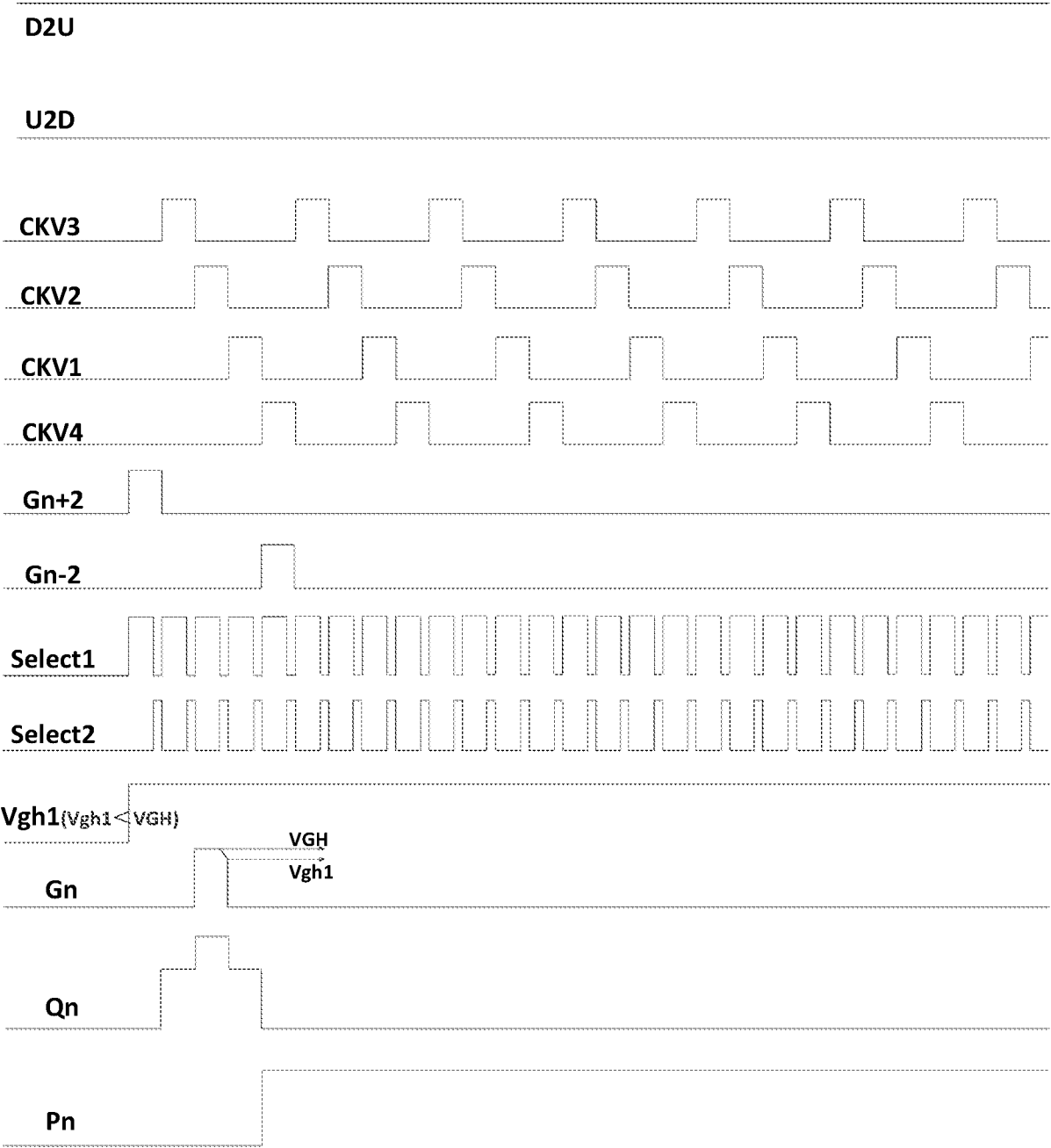


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/113319

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G02F 1/-; C11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTEXT; CNABS; VEN: 移位寄存器, GOA, 输出, 晶体管, TFT, 高, 电压, 电平, 时钟, shift register, MLG, transistor?, voltage, level, clock

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106128379 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 November 2016 (16.11.2016), description, paragraphs [0004] and [0005], and figure 1	1-16
Y	CN 106205461 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 December 2016 (07.12.2016), description, paragraphs [0047]-[0071], and figure 3	1-16
A	CN 106098003 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 09 November 2016 (09.11.2016), entire document	1-16
A	CN 105493195 A (SHARP K.K.) 13 April 2016 (13.04.2016), entire document	1-16
A	KR 20070011953 A (LG DISPLAY CO., LTD. et al.) 25 January 2007 (25.01.2007), entire document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 September 2017	Date of mailing of the international search report 09 October 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHANG, Qing Telephone No. (86-10) 62085778

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/113319

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106128379 A	16 November 2016	None	
CN 106205461 A	07 December 2016	None	
CN 106098003 A	09 November 2016	None	
CN 105493195 A	13 April 2016	WO 2015012207 A1	29 January 2015
		JP WO2015012207 A1	02 March 2017
		US 2016253977 A1	01 September 2016
		JP 6124479 B2	10 May 2017
KR 20070011953 A	25 January 2007	KR 1137859 B	20 April 2012

国际检索报告

国际申请号

PCT/CN2016/113319

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/-, G02F1/-, G11C19/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNTXT;CNABS;VEN: 移位寄存器, GOA, 输出, 晶体管, TFT, 高, 电压, 电平, 时钟, shift register, MLG, transistor?, voltage, level, clock																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 106128379 A (武汉华星光电技术有限公司) 2016年 11月 16日 (2016 - 11 - 16) 说明书第[0004]-[0005]段和附图1</td> <td>1-16</td> </tr> <tr> <td>Y</td> <td>CN 106205461 A (京东方科技集团股份有限公司等) 2016年 12月 7日 (2016 - 12 - 07) 说明书第[0047]-[0071]段和附图3</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 106098003 A (武汉华星光电技术有限公司) 2016年 11月 9日 (2016 - 11 - 09) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 105493195 A (夏普株式会社) 2016年 4月 13日 (2016 - 04 - 13) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>KR 20070011953 A (LG DISPLAY CO LTD等) 2007年 1月 25日 (2007 - 01 - 25) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 106128379 A (武汉华星光电技术有限公司) 2016年 11月 16日 (2016 - 11 - 16) 说明书第[0004]-[0005]段和附图1	1-16	Y	CN 106205461 A (京东方科技集团股份有限公司等) 2016年 12月 7日 (2016 - 12 - 07) 说明书第[0047]-[0071]段和附图3	1-16	A	CN 106098003 A (武汉华星光电技术有限公司) 2016年 11月 9日 (2016 - 11 - 09) 全文	1-16	A	CN 105493195 A (夏普株式会社) 2016年 4月 13日 (2016 - 04 - 13) 全文	1-16	A	KR 20070011953 A (LG DISPLAY CO LTD等) 2007年 1月 25日 (2007 - 01 - 25) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
Y	CN 106128379 A (武汉华星光电技术有限公司) 2016年 11月 16日 (2016 - 11 - 16) 说明书第[0004]-[0005]段和附图1	1-16																		
Y	CN 106205461 A (京东方科技集团股份有限公司等) 2016年 12月 7日 (2016 - 12 - 07) 说明书第[0047]-[0071]段和附图3	1-16																		
A	CN 106098003 A (武汉华星光电技术有限公司) 2016年 11月 9日 (2016 - 11 - 09) 全文	1-16																		
A	CN 105493195 A (夏普株式会社) 2016年 4月 13日 (2016 - 04 - 13) 全文	1-16																		
A	KR 20070011953 A (LG DISPLAY CO LTD等) 2007年 1月 25日 (2007 - 01 - 25) 全文	1-16																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2017年 9月 26日		2017年 10月 9日																		
ISA/CN的名称和邮寄地址		受权官员																		
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		常青 电话号码 (86-10)62085778																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/113319

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106128379	A	2016年 11月 16日	无			
CN	106205461	A	2016年 12月 7日	无			
CN	106098003	A	2016年 11月 9日	无			
CN	105493195	A	2016年 4月 13日	WO	2015012207	A1	2015年 1月 29日
				JP	W02015012207	A1	2017年 3月 2日
				US	2016253977	A1	2016年 9月 1日
				JP	6124479	B2	2017年 5月 10日
KR	20070011953	A	2007年 1月 25日	KR	1137859	B	2012年 4月 20日