

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5933291号  
(P5933291)

(45) 発行日 平成28年6月8日(2016.6.8)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.

F 1

GO6K 19/07	(2006.01)	GO6K	19/07	260
HO1L 29/786	(2006.01)	HO1L	29/78	613Z
HO1L 27/10	(2006.01)	HO1L	29/78	618B
HO1L 21/8242	(2006.01)	HO1L	27/10	481
HO1L 27/108	(2006.01)	HO1L	27/10	321

請求項の数 3 (全 51 頁) 最終頁に続く

(21) 出願番号	特願2012-39769 (P2012-39769)
(22) 出願日	平成24年2月27日 (2012.2.27)
(65) 公開番号	特開2012-256314 (P2012-256314A)
(43) 公開日	平成24年12月27日 (2012.12.27)
審査請求日	平成27年2月12日 (2015.2.12)
(31) 優先権主張番号	特願2011-47460 (P2011-47460)
(32) 優先日	平成23年3月4日 (2011.3.4)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2011-111004 (P2011-111004)
(32) 優先日	平成23年5月18日 (2011.5.18)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	米田 誠一 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	梅沢 俊

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

コイルと、第1及び第2の容量素子と、第1乃至第3のトランジスタと、受動素子と、負荷と、を有し、

前記第1の容量素子の第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第1の容量素子の第2の端子は、前記コイルの第2の端子と電気的に接続され、

前記受動素子の第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第1のトランジスタの第1の端子は、前記受動素子の第2の端子と電気的に接続され、

前記第1のトランジスタの第2の端子は、前記コイルの第2の端子と電気的に接続され 10

、  
前記第2のトランジスタの第1の端子は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2の容量素子の第1の端子は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2の容量素子の第2の端子は、前記負荷と電気的に接続され、

前記第3のトランジスタの第1の端子は、前記コイルの第1の端子と電気的に接続され、

、  
前記第3のトランジスタの第2の端子は、前記第2の容量素子の第2の端子と電気的に接続され、

10

20

前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有することを特徴とする半導体装置。

【請求項2】

コイルと、第1及び第2の容量素子と、第1乃至第4のトランジスタと、受動素子と、負荷と、を有し、

前記第1の容量素子の第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第1の容量素子の第2の端子は、前記コイルの第2の端子と電気的に接続され、

前記受動素子の第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第1のトランジスタの第1の端子は、前記受動素子の第2の端子と電気的に接続され、

10

前記第1のトランジスタの第2の端子は、前記コイルの第2の端子と電気的に接続され、

前記第2のトランジスタの第1の端子は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2の容量素子の第1の端子は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2の容量素子の第2の端子は、前記負荷と電気的に接続され、

前記第3のトランジスタの第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第3のトランジスタの第2の端子は、前記第2の容量素子の第2の端子と電気的に接続され、

20

前記第4のトランジスタの第1の端子は、前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有することを特徴とする半導体装置。

【請求項3】

コイルと、第1及び第2の容量素子と、第1乃至第3のトランジスタと、受動素子と、負荷と、整流回路と、を有し、

30

前記第1の容量素子の第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第1の容量素子の第2の端子は、前記コイルの第2の端子と電気的に接続され、

前記受動素子の第1の端子は、前記コイルの第1の端子と電気的に接続され、

前記第1のトランジスタの第1の端子は、前記受動素子の第2の端子と電気的に接続され、

前記第1のトランジスタの第2の端子は、前記コイルの第2の端子と電気的に接続され、

前記第2のトランジスタの第1の端子は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2の容量素子の第1の端子は、前記第1のトランジスタのゲートと電気的に接続され、

40

前記第2の容量素子の第2の端子は、前記負荷と電気的に接続され、

前記第3のトランジスタの第1の端子は、前記整流回路を介して前記コイルの第1の端子と電気的に接続され、

前記第3のトランジスタの第2の端子は、前記第2の容量素子の第2の端子と電気的に接続され、

前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

50

**【0001】**

本発明の一態様は、半導体装置に関する。

**【背景技術】****【0002】**

近年、無線通信による電源（電源電圧ともいう）の供給（給電ともいう）、さらには無線通信によるデータの送受信（データ通信ともいう）が可能な半導体装置の開発が行われている。例えば、半導体装置の一例である携帯型情報端末（例えば携帯電話機など）に無線通信による給電機能を附加させることができれば、外部給電部との接続による給電が不要になるため、例えばあらゆる環境下での給電が可能になるなど、より簡便に給電を行うことができる。

10

**【0003】**

また、無線通信によりデータの送受信、データの記録、データの消去などが可能な半導体装置の一例として、RFID (Radio Frequency Identification) タグを利用した個体識別技術が知られている。RFIDタグは、RFタグ、無線タグ、電子タグ、無線チップとも呼ばれる。また、RFIDタグは、タグ内部に認証又はその他の処理を実行するための集積回路（Integrated Circuit：IC）などの機能回路が設けられていることから、ICタグ、ICチップ、ICカードとも呼ばれる。上記半導体装置とのデータの送受信には、無線通信装置（リーダライタなど、無線通信によるデータ信号の送受信が可能であるもの）を用いる。上記半導体装置を用いた個体識別技術は、例えば個々の対象物の生産、管理などに用いられ、また、個人認証への応用も期待される。

20

**【0004】**

上記半導体装置では、コイル（アンテナ）などによる共振インダクタンス及び容量素子などによる共振容量の値を設定して共振周波数を設定することにより、供給される電源電圧の値が設定される。しかし、製造工程のばらつきにより、実際の共振周波数が所望の共振周波数からずれことがある。このとき、工程終了後に共振周波数を再度調整する必要がある。

**【0005】**

上記問題の対策として、共振周波数調整回路により共振周波数を最適な値に設定する半導体装置が知られている（例えば特許文献1）。

30

**【0006】**

特許文献1に示す半導体装置では、アンテナに容量素子を並列接続で接続するか否かを制御トランジスタのゲートの電圧を設定することにより制御する。例えば、上記制御トランジスタがオン状態になり、容量素子がアンテナと並列接続で接続されると、共振周波数が変化する。

**【先行技術文献】****【特許文献】****【0007】****【特許文献1】特開2003-67693号公報****【発明の概要】****【発明が解決しようとする課題】****【0008】**

しかしながら、特許文献1に示すような共振周波数の調整が可能な半導体装置では、一度制御トランジスタのゲートの電圧を設定し、共振周波数を設定しても、例えば回路内における素子のリーク電流などにより制御トランジスタのゲートの電圧が変化し、共振周波数がずれてしまう。このため、リーク電流などにより共振周波数がずれるたびに再度共振周波数を調整しなければならず、共振周波数の調整が煩雑であった。

40

**【0009】**

本発明の一態様では、共振周波数の調整を容易にすることを課題の一つとする。

**【課題を解決するための手段】**

50

## 【0010】

本発明の一態様では、コイルと、容量素子と、コイル及び容量素子と電気的に接続されることにより共振回路を構成する受動素子と、受動素子とコイル及び容量素子とを電気的に接続するか否かを制御する制御トランジスタを設ける。さらに、オフ電流の低いトランジスタを用いた記憶回路にデータを保持することにより、制御トランジスタのゲートの電圧を保持する。オフ電流の低いトランジスタを用いた記憶回路を用いることにより、リーク電流などによる制御トランジスタのゲートの電圧の変動を抑制し、共振周波数の調整を容易にする。

## 【0011】

本発明の一態様は、コイルと、コイルと並列接続で電気的に接続される容量素子と、コイルと並列接続で電気的に接続されることにより、コイル及び容量素子と共振回路を構成する受動素子と、受動素子とコイル及び容量素子を並列接続で電気的に接続するか否かを制御する第1の電界効果トランジスタと、記憶回路と、を備え、記憶回路は、チャネルが形成される酸化物半導体層を含み、ソース及びドレインの一方にデータ信号が入力され、ソース及びドレインの他方の電圧に応じて第1の電界効果トランジスタのゲートの電圧が設定される第2の電界効果トランジスタを備える半導体装置である。10

## 【発明の効果】

## 【0012】

本発明の一態様により、制御トランジスタのゲートの電圧の設定が容易になるため、共振周波数の調整が容易になる。20

## 【図面の簡単な説明】

## 【0013】

- 【図1】半導体装置の例を説明するための図。
- 【図2】半導体装置の例を説明するための図。
- 【図3】半導体装置の例を説明するための図。
- 【図4】半導体装置の例を説明するための図。
- 【図5】半導体装置の例を説明するための図。
- 【図6】トランジスタの構造例を示す断面模式図。

【図7】トランジスタの作製方法例を説明するための断面模式図。

## 【図8】半導体装置の例を説明するための図。

## 【図9】半導体装置の例を説明するための図。

## 【図10】酸化物材料の構造を説明する図。

## 【図11】酸化物材料の構造を説明する図。

## 【図12】酸化物材料の構造を説明する図。

【図13】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図14】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

。

【図15】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。

【図16】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図40

。

【図17】計算に用いたトランジスタの断面構造を説明する図。

【図18】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図19】試料1のトランジスタのB-T試験後のVg - Id特性を示す図。

【図20】試料2のトランジスタのB-T試験後のVg - Id特性を示す図。

【図21】試料Aおよび試料BのXRDスペクトルを示す図。

【図22】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図23】Idおよび電界効果移動度のVg依存性を示す図。

【図24】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。50

【図25】半導体装置の上面図及び断面図。

【図26】半導体装置の上面図及び断面図。

【発明を実施するための形態】

【0014】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

【0015】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。 10

【0016】

また、第1、第2などの序数は、構成要素の混同を避けるために付しており、各構成要素の数は、序数の数に限定されない。

【0017】

(実施の形態1)

本実施の形態では、共振周波数の調整が可能な半導体装置の例について説明する。

【0018】

本実施の形態における半導体装置の例について図1を用いて説明する。

【0019】

図1(A)に示す半導体装置は、アンテナ(ANTともいう)101と、容量素子102と、受動素子(PEともいう)103と、トランジスタ104と、記憶回路(OSDEMともいう)105と、を備える。 20

【0020】

なお、トランジスタは、2つの端子と、印加される電圧により該2つの端子の間に流れる電流を制御する電流制御端子と、を有する。なお、トランジスタに限らず、素子において、互いの間に流れる電流が制御される端子を電流端子ともいい、2つの電流端子のそれぞれを第1の電流端子及び第2の電流端子ともいう。

【0021】

また、トランジスタとしては、例えば電界効果トランジスタを用いることができる。電界効果トランジスタの場合、第1の電流端子は、ソース及びドレインの一方となる端子であり、第2の電流端子は、ソース及びドレインの他方となる端子であり、電流制御端子は、ゲートとなる端子である。 30

【0022】

また、一般的に電圧とは、ある二点間における電位の差(電位差ともいう)のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト(V)で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位(基準電位ともいう)との電位差を、該一点の電圧として用いる場合がある。

【0023】

また、容量素子は、第1の電極、第2の電極、並びに第1の電極と第2の電極に重畠する誘電体層を含む。容量素子における電極としての機能を有する電極を容量電極ともいう。

【0024】

アンテナ101は、コイルとしての機能を有する。アンテナ101は、例えば第1端子及び第2端子を有する。なお、アンテナ101が有する端子をアンテナ端子ともいう。

【0025】

容量素子102は、アンテナ101に並列接続で電気的に接続される。例えば、容量素子102の第1の容量電極は、アンテナ101の第1のアンテナ端子に電気的に接続され、容量素子102の第2の容量電極は、アンテナ101の第2のアンテナ端子に電気的に接続される。なお、容量素子102の第1の容量電極及び第2の容量電極の一方又は両方と 50

、アンテナ 101との間に、トランジスタなどのスイッチング素子を設けてもよい。

【0026】

受動素子 103は、アンテナ 101及び容量素子 102と並列接続で電気的に接続されることにより、共振回路を構成する。例えば受動素子 103の1つの端子は、アンテナ 101の第1のアンテナ端子に電気的に接続される。

【0027】

受動素子 103としては、容量素子（例えば図 1（B-1）における容量素子 131）、又はコイルとしての機能を有する素子（例えば図 1（B-2）におけるアンテナ 132）などを用いることができる。

【0028】

トランジスタ 104は、受動素子 103とアンテナ 101及び容量素子 102を並列接続で電気的に接続するか否かを制御する機能を有し、制御トランジスタともいう。例えば、トランジスタ 104がオン状態になることにより、トランジスタ 104のソース及びドレインを介して、受動素子 103とアンテナ 101及び容量素子 102が並列接続で電気的に接続される。また、例えばトランジスタ 104のソース及びドレインの一方は、受動素子 103の1つの端子に電気的に接続され、トランジスタ 104のソース及びドレインの他方は、アンテナ 101の第2のアンテナ端子に電気的に接続される。

【0029】

記憶回路 105は、トランジスタ 104のゲートの電圧を保持する機能を有する。

【0030】

記憶回路 105は、オフ電流の低い電界効果トランジスタを備える。上記オフ電流の低い電界効果トランジスタのソース及びドレインの一方には、データ信号が入力され、上記オフ電流の低い電界効果トランジスタのソース及びドレインの他方の電圧に応じてトランジスタ 104のゲートの電圧が設定される。なお、上記オフ電流の低い電界効果トランジスタのソース及びドレインの他方がトランジスタ 104のゲートに電気的に接続されていてもよい。また、本実施の形態における半導体装置では、記憶制御回路を設け、記憶制御回路を用いて制御信号及びデータ信号を入力することにより、記憶回路 105の動作を制御してもよい。

【0031】

オフ電流の低い電界効果トランジスタとしては、例えば酸化物半導体層を含む電界効果トランジスタなどが挙げられる。酸化物半導体層を含む電界効果トランジスタは、従来のシリコンなどの半導体層を用いたトランジスタよりオフ電流の低いトランジスタである。上記酸化物半導体層は、シリコンよりバンドギャップが高く、 $2\text{ eV}$ 以上、好ましくは $2.5\text{ eV}$ 以上、より好ましくは $3\text{ eV}$ 以上である。また、上記酸化物半導体層は、真性（I型ともいう）、又は実質的に真性である半導体層であり、上記酸化物半導体層を含むトランジスタのオフ電流は、チャネル幅 $1\text{ }\mu\text{m}$ あたり $10\text{ aA}$ （ $1 \times 10^{-17}\text{ A}$ ）以下、好ましくはチャネル幅 $1\text{ }\mu\text{m}$ あたり $1\text{ aA}$ （ $1 \times 10^{-18}\text{ A}$ ）以下、さらに好ましくはチャネル幅 $1\text{ }\mu\text{m}$ あたり $1\text{ zA}$ （ $1 \times 10^{-20}\text{ A}$ ）以下、さらに好ましくはチャネル幅 $1\text{ }\mu\text{m}$ あたり $1\text{ yA}$ （ $1 \times 10^{-22}\text{ A}$ ）以下である。

【0032】

また、トランジスタ 104としては、例えば上記酸化物半導体層を含むトランジスタ、又はチャネルが形成され、元素周期表における第 14 族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いることができる。

【0033】

なお、アンテナ 101と並列接続で電気的に接続されるように、他の機能回路を設けてもよい。機能回路は、電圧が入力されることにより特定の機能を有する回路である。

【0034】

次に、本実施の形態における半導体装置の動作例として図 1（A）に示す半導体装置の動作例について説明する。

10

20

30

40

50

## 【0035】

図1(A)に示す半導体装置では、コイル(例えばアンテナ101)及び容量により共振回路が構成される。このとき、容量素子102の容量値は、半導体装置が動作するために必要な電圧が供給されるように設定されることが好ましい。図1(A)に示す半導体装置は、電磁誘導式の半導体装置であるため、アンテナ101により電波を受信すると、半導体装置の共振周波数に応じて電圧が生成される。上記生成された電圧は、半導体装置の他の機能回路に入力される。また、アンテナ101により電波を受信することにより、半導体装置にデータが入力されてもよい。

## 【0036】

さらに、トランジスタ104をオン状態又はオフ状態にすることにより、半導体装置の共振周波数を調整することができる。例えば、記憶回路105における、オフ電流の低い電界効果トランジスタをオン状態にして、データ信号を記憶回路105に入力することにより、記憶回路105にデータ信号のデータを保持し、トランジスタ104のゲートの電圧をデータ信号の電圧に応じた値に設定する。なお、データ信号としては、デジタルデータ信号又はアナログデータ信号を用いることができる。例えば、アナログデータ信号を用いることにより、オン状態のときのトランジスタ104のソース及びドレインの間に流れる電流量の変化量をアナログ値にすることができ、より精細に半導体装置の共振周波数を調整することができる。

10

## 【0037】

このとき、トランジスタ104のゲートの電圧に応じてトランジスタ104のチャネル抵抗の値が変化し、半導体装置の共振周波数が変化する。上記共振周波数fは、次の式で表される。

20

## 【0038】

## 【数1】

$$f = \frac{1}{2\pi\sqrt{LC}}$$

## 【0039】

Lは、コイルなどのインダクタンスを表し、Cは、容量素子などの容量を表す。

30

## 【0040】

図1(C)は、受動素子103がコイルとしての機能を有するアンテナである場合の半導体装置における、共振周波数と生成される電圧との関係を示す図である。例えば、図1(C)に示すように、トランジスタ104がオフ状態のときに共振周波数が値f1であるとき、トランジスタ104をオン状態にすることにより、共振周波数を値f1から生成電圧の大きい値f2に変化させることができる。また、トランジスタ104がオン状態で共振周波数が値f3であるとき、トランジスタ104をオフ状態にすることにより、共振周波数を値f3から生成電圧の大きい値f2に変化させることもできる。

## 【0041】

以上が図1(A)に示す半導体装置の動作例の説明である。

40

## 【0042】

なお、例えば、図2に示すように、受動素子103、トランジスタ104、及び記憶回路105により構成される回路(共振周波数調整回路ともいう)を複数設けてもよい。図2に示す半導体装置は、アンテナ101と、n個(nは2以上の自然数)の受動素子103(受動素子103\_1乃至受動素子103\_n)と、n個のトランジスタ104(トランジスタ104\_1乃至トランジスタ104\_n)と、n個の記憶回路105(記憶回路105\_1乃至記憶回路105\_n)と、を備える。

## 【0043】

m個目(mは1乃至nの自然数)のトランジスタ104\_mは、m個目の受動素子103\_mと、アンテナ101とを並列接続で電気的に接続するか否かを制御する。また、m個

50

目のトランジスタ 104\_m のゲートの電圧は、m 個目の記憶回路 105\_m により保持される。なお、それぞれの記憶回路 105 に保持するデータを、それぞれ個別に設定してもよい。

#### 【0044】

共振周波数調整回路を複数設けることにより、半導体装置の共振周波数の変化量をアナログ値にすることができ、より精細に半導体装置の共振周波数を調整することができる。

#### 【0045】

図 1 及び図 2 を用いて説明したように、本実施の形態における半導体装置の一例では、制御トランジスタのオン状態又はオフ状態を制御することにより、受動素子が他の素子と共に共振回路を構成するか否かを制御し、半導体装置の共振周波数を適宜変化させることができる。よって、例えば半導体装置の製造時において、半導体装置の共振周波数にずれが生じた場合であっても、所望の値になるように共振周波数を調整することができる。10

#### 【0046】

さらに、本実施の形態における半導体装置の一例では、オフ電流の低いトランジスタを用いて記憶回路を構成し、該記憶回路にデータを書き込むのみで、記憶回路に保持されたデータに応じて、制御トランジスタのゲートの電圧を設定することができる。また、記憶回路のデータの書き換えも容易である。上記オフ電流の低いトランジスタを用いて構成された記憶回路は、リーク電流が少なく、電源が供給されない場合であっても、データを長時間保持することができる。よって、制御トランジスタのゲートの電圧を再設定する回数を少なくすることができるため、半導体装置の共振周波数の設定が容易になる。また、半導体装置の消費電力を低減することができる。20

#### 【0047】

##### (実施の形態 2 )

本実施の形態では、上記実施の形態 1 に示す半導体装置の例について説明する。

#### 【0048】

本実施の形態における半導体装置の例について図 3 を用いて説明する。なお、図 3 において、図 1 に示す半導体装置と同一の符号が付されている構成要素については、図 1 に示す半導体装置の説明を適宜援用する。

#### 【0049】

図 3 に示す半導体装置は、図 1 に示す半導体装置と同様に、アンテナ 101 と、容量素子 102 と、受動素子 103 と、トランジスタ 104 と、記憶回路 105 と、を備える。30

#### 【0050】

アンテナ 101 は、コイルとしての機能を有する。

#### 【0051】

容量素子 102 は、アンテナ 101 に並列接続で電気的に接続される。

#### 【0052】

受動素子 103 は、アンテナ 101 及び容量素子 102 と並列接続で電気的に接続されることにより、共振回路を構成する。

#### 【0053】

トランジスタ 104 は、受動素子 103 とアンテナ 101 及び容量素子 102 を並列接続で電気的に接続するか否かを制御する機能を有する。例えば、トランジスタ 104 のソース及びドレインの一方は、受動素子 103 に電気的に接続される。40

#### 【0054】

さらに、図 3 に示す記憶回路 105 は、トランジスタ 201 と、容量素子 202 と、を備える。

#### 【0055】

トランジスタ 201 のソース及びドレインの一方には、データ信号が入力され、トランジスタ 201 のソース及びドレインの他方は、トランジスタ 104 のゲートに電気的に接続される。

#### 【0056】

10

20

30

40

50

トランジスタ 201 としては、上記実施の形態に示す酸化物半導体層を含むトランジスタなどのオフ電流の低い電界効果トランジスタを用いることができる。

**【0057】**

また、例えば演算回路及びメモリなどを用いてトランジスタ 201 のゲートに制御信号を供給し、トランジスタ 201 のソース及びドレインの一方でデータ信号を供給することによりトランジスタ 201 の動作を制御してもよい。

**【0058】**

容量素子 202 の第 1 の容量電極は、トランジスタ 104 のゲートに電気的に接続される。また、容量素子 202 の第 2 の容量電極には所定の電圧が与えられる、又は容量素子 202 の第 2 の容量電極は接地される。なお、必ずしも容量素子 202 を設けなくてもよい。

10

**【0059】**

次に、本実施の形態における半導体装置の動作例として、図 3 に示す半導体装置の動作例について説明する。

**【0060】**

図 3 に示す半導体装置では、アンテナ 101 により電波を受信すると、半導体装置の共振周波数に応じて電圧が生成される。上記生成された電圧は、例えば、半導体装置の他の機能回路に入力される。

20

**【0061】**

さらに、トランジスタ 104 をオン状態又はオフ状態にすることにより、半導体装置の共振周波数を調整することができる。

**【0062】**

トランジスタ 104 のゲートの電圧を設定する場合、トランジスタ 201 をオン状態にする。

**【0063】**

トランジスタ 201 がオン状態のとき、トランジスタ 104 のゲートの電圧がデータ信号の電圧と同等の値になる。

**【0064】**

その後、トランジスタ 201 をオフ状態にする。トランジスタ 201 は、オフ電流の低いトランジスタであるため、トランジスタ 201 をオフ状態にすることにより、トランジスタ 104 のゲートの電圧を保持することができる。よって、トランジスタ 104 のゲートの電圧を設定することができる。

30

**【0065】**

以上が図 3 に示す半導体装置の動作例の説明である。

**【0066】**

図 3 を用いて説明したように、本実施の形態における半導体装置の一例では、制御トランジスタのオン状態又はオフ状態を制御することにより、受動素子が他の素子と共振回路を構成するか否かを制御し、半導体装置の共振周波数を適宜変化させることができる。よって、例えば、製造時において、半導体装置の共振周波数にずれが生じた場合であっても、所望の値になるように共振周波数を調整することができる。

40

**【0067】**

さらに、本実施の形態における半導体装置の一例では、オフ電流の低いトランジスタを用いて記憶回路を構成し、該記憶回路にデータを書き込むのみで、記憶回路に保持されたデータに応じて、制御トランジスタのゲートの電圧を設定することができる。また、記憶回路のデータの書き換えも容易である。上記オフ電流の低いトランジスタを用いて構成された記憶回路では、保持されるデータ（電圧）が半永久的に変動しない。即ち、上記オフ電流の低いトランジスタを用いて構成された記憶回路は、リーク電流が少なく、劣化しにくく、電源が供給されない場合であっても、データを長時間保持することができる。よって、制御トランジスタのゲートの電圧を再設定する回数を少なくすることができるため、半導体装置の共振周波数の設定が容易になる。また、半導体装置の消費電力を低減すること

50

ができる。

**【0068】**

(実施の形態3)

本実施の形態では、上記実施の形態1に示す半導体装置の他の例について説明する。

**【0069】**

本実施の形態における記憶回路の例について図4を用いて説明する。図4は、本実施の形態における記憶回路を説明するための図である。なお、図4において、図1に示す半導体装置と同一の符号が付されている構成要素については、図1に示す半導体装置の説明を適宜援用する。

**【0070】**

図4(A)及び図4(B)に示す半導体装置は、図1に示す半導体装置と同様に、アンテナ101と、容量素子102と、受動素子103と、トランジスタ104と、記憶回路105と、を備える。

**【0071】**

アンテナ101は、コイルとしての機能を有する。

**【0072】**

容量素子102は、アンテナ101に並列接続で電気的に接続される。

**【0073】**

受動素子103は、アンテナ101及び容量素子102と並列接続で電気的に接続されることにより、共振回路を構成する。

**【0074】**

トランジスタ104は、受動素子103とアンテナ101及び容量素子102を並列接続で電気的に接続するか否かを制御する機能を有する。例えば、トランジスタ104のソース及びドレインの一方は、受動素子103に電気的に接続される。

**【0075】**

さらに、図4(A)及び図4(B)に示す記憶回路105は、トランジスタ301と、容量素子302と、トランジスタ303と、負荷となる電子素子(LDともいう)304と、を備える。

**【0076】**

トランジスタ301のソース及びドレインの一方には、データ信号が入力される。

**【0077】**

トランジスタ301としては、上記実施の形態に示す酸化物半導体層を含むトランジスタなどのオフ電流の低い電界効果トランジスタを用いることができる。

**【0078】**

また、例えば演算回路及びメモリなどを用いてトランジスタ301のゲートに制御信号を供給し、トランジスタ301のソース及びドレインの一方にデータ信号を供給することによりトランジスタ301の動作を制御してもよい。

**【0079】**

容量素子302の第1の容量電極は、トランジスタ301のソース及びドレインの他方に電気的に接続される。また、容量素子302の第2の容量電極には所定の電圧が与えられる。また、これに限定されず、容量素子302の第2の容量電極を接地してもよい。なお、必ずしも容量素子302を設けなくてもよい。

**【0080】**

トランジスタ303のソース及びドレインの一方の電圧は、アンテナ101により受信する電波に応じて変化し、トランジスタ303のソース及びドレインの他方は、トランジスタ104のゲートに電気的に接続され、トランジスタ303のゲートは、トランジスタ301のソース及びドレインの他方に電気的に接続される。例えば、トランジスタ303のソース及びドレインの一方は、アンテナ101の第1のアンテナ端子に電気的に接続され、トランジスタ303のソース及びドレインの他方は、負荷となる電子素子304を介してアンテナ101の第2のアンテナ端子に電気的に接続される。

10

20

30

40

50

**【0081】**

トランジスタ303としては、例えばPチャネル型トランジスタを用いることが好ましい。また、トランジスタ303としては、例えば元素周期表における第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いることができる。

**【0082】**

負荷となる電子素子304は、トランジスタ303のソース及びドレインの他方の電圧を基準となる値にリセットする機能を有する。負荷となる電子素子304としては、例えば抵抗素子、ダイオード、又はスイッチング素子などが挙げられ、スイッチング素子としては、例えばトランジスタなどが挙げられる。なお、必ずしも負荷となる電子素子304を設けなくてもよく、代わりに寄生抵抗などを利用してもよい。

10

**【0083】**

さらに、図4（B）に示す半導体装置は、整流回路106を備える。整流回路106は、アンテナ101により電波を受信することにより生成される電圧を整流する機能を有する。なお、必ずしも整流回路106を設けなくてもよいが、整流回路106を設けることにより、電圧の印加によるトランジスタ303の劣化を抑制することができる。

**【0084】**

次に、本実施の形態における半導体装置の動作例として、図4（A）に示す半導体装置の動作例について説明する。

**【0085】**

図4（A）に示す半導体装置では、アンテナ101により電波を受信すると、半導体装置の共振周波数に応じて電圧が生成される。上記生成された電圧は、例えば、半導体装置の他の機能回路に入力される。

20

**【0086】**

さらに、図4（A）に示す半導体装置では、アンテナ101により電波を受信することにより、素子が破壊されるような電圧が供給されるとき、トランジスタ104のゲートの電圧を変化させ、トランジスタ104のチャネル抵抗の値を変化させ、共振周波数を変化させることができる。上記方法例について以下に説明する。

**【0087】**

まず、トランジスタ301をオン状態にする。

**【0088】**

トランジスタ301がオン状態のとき、トランジスタ303のゲートの電圧がデータ信号の電圧と同等の値になる。該データ信号の電圧は、素子が破壊される電圧の値に応じて設定される。

30

**【0089】**

その後、トランジスタ301をオフ状態にする。トランジスタ301は、オフ電流の低いトランジスタであるため、トランジスタ301をオフ状態にすることにより、トランジスタ303のゲートの電圧を保持することができる。よって、トランジスタ303のゲートの電圧を設定することができる。

**【0090】**

このとき、アンテナ101により電波を受信することにより、生成される電圧の値が、素子が破壊される値ではない場合、トランジスタ303はオフ状態である。このとき、負荷となる電子素子304によりトランジスタ104のゲートの電圧は、基準値にリセットされる。

40

**【0091】**

また、アンテナ101により電波を受信することにより、生成される電圧の値が、素子が破壊される値である場合、トランジスタ303のゲートとソースの間の電圧に応じてトランジスタ303がオン状態になる。さらに、トランジスタ303がオン状態になることにより、トランジスタ104のゲートの電圧が変化する。よって、トランジスタ104のゲートの電圧に応じてトランジスタ104のチャネル抵抗の値が変化し、トランジスタ104がオン状態になると共振周波数が変化する。

50

**【0092】**

以上が、図4(A)に示す半導体装置の動作例の説明である。

**【0093】**

図4を用いて説明したように、本実施の形態における半導体装置の一例では、制御トランジスタのオン状態又はオフ状態を制御することにより、受動素子が他の素子と共振回路を構成するか否かを制御し、半導体装置の共振周波数を適宜変化させることができる。よって、例えば、半導体装置の製造時において、半導体装置の共振周波数にずれが生じた場合であっても、所望の値になるように共振周波数を調整することができる。

**【0094】**

さらに、本実施の形態における半導体装置の一例では、オフ電流の低いトランジスタを用いて記憶回路を構成し、該記憶回路にデータを書き込むのみで、記憶回路に保持されたデータに応じて、制御トランジスタのゲートの電圧を設定することができる。また、記憶回路のデータの書き換えも容易である。上記オフ電流の低いトランジスタを用いて構成された記憶回路では、保持されるデータ(電圧)が半永久的に変動しない。即ち、上記オフ電流の低いトランジスタを用いて構成された記憶回路は、リーク電流が少なく、劣化しにくく、電源が供給されない場合であっても、データを長時間保持することができる。よって、制御トランジスタのゲートの電圧を再設定する回数を少なくすることができるため、半導体装置の共振周波数の設定が容易になる。また、半導体装置の消費電力を低減することができる。

**【0095】**

また、本実施の形態における半導体装置の一例では、アンテナにより電波を受信することにより供給される電圧に応じて共振周波数を変化させることができる。よって、例えば素子が破壊されるような電圧が印加される場合に共振周波数を変化させて生成される電圧の値を調整することができる。よって、受動素子及び制御トランジスタを含む回路を保護回路として機能させることができ、半導体装置の信頼性を向上させることができる。

**【0096】****(実施の形態4)**

本実施の形態では、上記実施の形態1に示す半導体装置の他の例について説明する。

**【0097】**

本実施の形態における半導体装置の例について図5を用いて説明する。図5は、本実施の形態における半導体装置の例を説明するための図である。なお、図5において、図1に示す半導体装置と同一の符号が付されている構成要素については、図1に示す半導体装置の説明を適宜援用する。

**【0098】**

図5(A)及び図5(B)に示す半導体装置は、図1に示す半導体装置と同様に、アンテナ101と、容量素子102と、受動素子103と、トランジスタ104と、記憶回路105と、を備える。

**【0099】**

アンテナ101は、コイルとしての機能を有する。

**【0100】**

容量素子102は、アンテナ101に並列接続で電気的に接続される。

**【0101】**

受動素子103は、アンテナ101及び容量素子102と並列接続で電気的に接続されることにより、共振回路を構成する。

**【0102】**

トランジスタ104は、受動素子103とアンテナ101及び容量素子102が並列接続で電気的に接続されるか否かを制御する機能を有する。例えば、トランジスタ104のソース及びドレインの一方は、受動素子103に電気的に接続される。

**【0103】**

さらに、記憶回路105は、トランジスタ401と、容量素子402と、トランジスタ4

10

20

30

40

50

03と、負荷となる電子素子404と、容量素子405と、トランジスタ406と、を備える。

【0104】

トランジスタ401のソース及びドレインの一方には、データ信号D1が入力される。

【0105】

トランジスタ401としては、上記実施の形態に示す酸化物半導体層を含むトランジスタなどのオフ電流の低い電界効果トランジスタを用いることができる。

【0106】

また、例えば演算回路及びメモリなどを用いてトランジスタ401のゲートに制御信号CTL1を供給し、トランジスタ401のソース及びドレインの一方でデータ信号D1を供給することによりトランジスタ401の動作を制御してもよい。10

【0107】

容量素子402の第1の容量電極は、トランジスタ401のソース及びドレインの他方に電気的に接続される。なお、必ずしも容量素子402を設けなくてもよい。

【0108】

トランジスタ403のソース及びドレインの一方の電圧は、アンテナ101により受信する電波に応じて変化し、トランジスタ403のゲートは、トランジスタ401のソース及びドレインの他方に電気的に接続される。例えば、トランジスタ403のソース及びドレインの一方は、アンテナ101の第1のアンテナ端子に電気的に接続され、トランジスタ403のソース及びドレインの他方は、負荷となる電子素子404を介してアンテナ101の第2のアンテナ端子に電気的に接続される。20

【0109】

トランジスタ403としては、例えばPチャネル型トランジスタを用いることが好ましい。また、トランジスタ403としては、例えば元素周期表における第14族の半導体(シリコンなど)を含有する半導体層を含むトランジスタを用いることができる。

【0110】

負荷となる電子素子404は、トランジスタ403のソース及びドレインの他方の電圧を基準となる値にリセットする機能を有する。負荷となる電子素子404としては、例えば抵抗素子又はスイッチング素子などが挙げられ、スイッチング素子としては、例えばトランジスタなどが挙げられる。なお、必ずしも負荷となる電子素子404を設けなくてもよく、代わりに寄生抵抗などを利用してもよい。30

【0111】

容量素子405の第1の容量電極は、トランジスタ403のソース及びドレインの他方に電気的に接続され、容量素子405の第2の容量電極は、トランジスタ104のゲートに電気的に接続される。

【0112】

トランジスタ406のソース及びドレインの一方には、トランジスタ401のソース及びドレインの一方と同じデータ信号が入力され、トランジスタ406のソース及びドレインの他方は、トランジスタ104のゲートに電気的に接続される。なお、トランジスタ406のソース及びドレインの一方には、トランジスタ401のソース及びドレインの一方と異なるデータ信号(ここではデータ信号D2)が入力されてもよい。40

【0113】

トランジスタ406としては、上記実施の形態に示す酸化物半導体層を含むトランジスタなどのオフ電流の低い電界効果トランジスタを用いることができる。

【0114】

また、例えば演算回路及びメモリなどを用いてトランジスタ406のゲートに、トランジスタ401のゲートと同じ制御信号CTL1を供給し、トランジスタ401のソース及びドレインの一方でデータ信号D1又はデータ信号D2を供給することによりトランジスタ401の動作を制御してもよい。また、トランジスタ406のゲートに、トランジスタ401のゲートと異なる制御信号(ここでは制御信号CTL2)を供給してもよい。50

**【0115】**

さらに、図5(B)に示す半導体装置は、整流回路106を備える。整流回路106は、アンテナ101により電波を受信することにより、生成される電圧を整流する機能を有する。なお、必ずしも整流回路106を設けなくてもよいが、整流回路106を設けることにより、電圧の印加によるトランジスタ403の劣化を抑制することができる。

**【0116】**

次に、図5に示す半導体装置の動作例として、図5(A)に示す半導体装置の動作例について説明する。

**【0117】**

図5(A)に示す半導体装置では、アンテナ101により電波を受信すると、半導体装置の共振周波数に応じて電圧が生成される。上記生成された電圧は、例えば、半導体装置の他の機能回路に入力される。10

**【0118】**

さらに、図5(A)に示す半導体装置では、トランジスタ104のゲートの電圧を設定し、さらに、アンテナ101により電波を受信することにより、素子が破壊されるような電圧が供給されるときに、トランジスタ104のゲートの電圧を変化させ、トランジスタ104のチャネル抵抗の値を変化させ、共振周波数を変化させ、その後、アンテナ101により電波を受信することにより、素子が破壊されるような電圧が供給されなくなったときに、トランジスタ104のゲートの電圧を予め設定しておいた電圧に戻すことができる。20  
上記方法例について以下に説明する。

**【0119】**

まず、トランジスタ401及びトランジスタ406をオン状態にする。

**【0120】**

トランジスタ401がオン状態のとき、トランジスタ403のゲートの電圧がデータ信号D1の電圧と同等の値になる。

**【0121】**

また、トランジスタ406がオン状態のとき、トランジスタ104のゲートの電圧がデータ信号D1又はデータ信号D2の電圧と同等の値になる。

**【0122】**

なお、データ信号D1の電圧の値が一定の値より大きいとき、トランジスタ403のゲートの電圧は、トランジスタ403がオフ状態になる値に設定することが好ましい。例えば、トランジスタ104がNチャネル型トランジスタであり、トランジスタ403がPチャネル型トランジスタの場合には、トランジスタ104のゲートの電圧とトランジスタ403のゲートの電圧を電源電圧以上の値に設定する。これにより、トランジスタ104のゲートの電圧が一定の値以上のときに、アンテナ101により電波を受信することにより、素子が破壊されるような電圧が供給される場合であっても、トランジスタ104のゲートに必要以上の電圧が印加されることを防ぐことができる。また、トランジスタ104のゲートの電圧を再設定するときは、データ信号D1の値に応じてトランジスタ403のゲートの電圧を再設定してもよい。30

**【0123】**

その後、トランジスタ401及びトランジスタ406をオフ状態にする。トランジスタ401及びトランジスタ406は、オフ電流の低いトランジスタであるため、トランジスタ401及びトランジスタ406をオフ状態にすることにより、トランジスタ403のゲートの電圧を保持することができる。よって、トランジスタ403のゲートの電圧を設定することができる。

**【0124】**

このとき、アンテナ101により電波を受信することにより、素子が破壊されるような電圧が供給されない場合、トランジスタ104のゲートの電圧が入力されたデータ信号に応じた値になる。このとき、負荷となる電子素子404によりトランジスタ104のゲートの電圧は、基準値にリセットされる。4050

**【 0 1 2 5 】**

また、データ信号 D 1 の値が、トランジスタ 1 0 4 がオフ状態になる値であり、且つアンテナ 1 0 1 により電波を受信することにより、供給される電圧の値が、素子が破壊される値である場合、トランジスタ 4 0 3 のゲートとソース及びドレインの一方の間の電圧に応じてトランジスタ 4 0 3 がオン状態になる。さらに、トランジスタ 4 0 3 がオン状態になることにより、容量素子 4 0 5 の第 1 の容量電極の電圧がトランジスタ 4 0 3 のチャネル抵抗の値に応じて変化する。さらに、容量結合により容量素子 4 0 5 の第 2 の容量電極の電圧が第 1 の容量電極の電圧の変化に応じて変化するため、トランジスタ 1 0 4 のゲートの電圧が変化する。よって、トランジスタ 1 0 4 のゲートの電圧に応じてトランジスタ 1 0 4 のチャネル抵抗の値が変化し、トランジスタ 1 0 4 がオン状態になると共振周波数が变化する。10

**【 0 1 2 6 】**

その後、アンテナ 1 0 1 により電波を受信することにより、素子が破壊されるような電圧が供給されなくなったときには、容量素子 4 0 5 の第 1 の容量電極の電圧が変化し、トランジスタ 4 0 3 がオフ状態になり、トランジスタ 1 0 4 のゲートの電圧も通常の値に変化する。このとき、負荷となる電子素子 4 0 4 によりトランジスタ 1 0 4 のゲートの電圧は、基準値にリセットされる。

**【 0 1 2 7 】**

以上が図 5 ( A ) に示す半導体装置の動作例の説明である。

**【 0 1 2 8 】**

図 5 を用いて説明したように、本実施の形態における半導体装置の一例では、制御トランジスタのオン状態又はオフ状態を制御することにより、受動素子が共振回路を構成するか否かを制御し、半導体装置の共振周波数を適宜変化させることができる。よって、例えば半導体装置の製造時において、半導体装置の共振周波数にずれが生じた場合であっても、所望の値になるように共振周波数を調整することができる。20

**【 0 1 2 9 】**

さらに、本実施の形態における半導体装置の一例では、オフ電流の低いトランジスタを用いて記憶回路を構成し、該記憶回路にデータを書き込むのみで、記憶回路に保持されたデータに応じて、制御トランジスタのゲートの電圧を設定することができる。また、記憶回路のデータの書き換えも容易である。上記オフ電流の低いトランジスタを用いて構成された記憶回路では、保持されるデータ（電圧）が半永久的に変動しない。即ち、上記オフ電流の低いトランジスタを用いて構成された記憶回路は、リーク電流が少なく、劣化しにくく、電源が供給されない場合であっても、データを長時間保持することができる。よって、制御トランジスタのゲートの電圧を再設定する回数を少なくすることができるため、半導体装置の共振周波数の設定が容易になる。また、半導体装置の消費電力を低減することができる。30

**【 0 1 3 0 】**

また、本実施の形態における半導体装置の一例では、容量素子を利用して、素子が破壊されるような電圧が印加される状態になったときに共振周波数を変化させ、その後素子が破壊されない電圧が印加される状態に変化したときに共振周波数を元に戻すことができる。よって、受動素子及び制御トランジスタを含む回路を保護回路として機能させることができ、半導体装置の信頼性を向上させることができる。40

**【 0 1 3 1 】****( 実施の形態 5 )**

本実施の形態では、上記実施の形態に示す半導体装置のトランジスタに適用可能な酸化物半導体層を含むトランジスタの例について説明する。

**【 0 1 3 2 】**

上記酸化物半導体層を含むトランジスタの構造例について、図 6 を用いて説明する。図 6 は、本実施の形態におけるトランジスタの構造例を示す断面模式図である。

**【 0 1 3 3 】**

10

20

30

40

50

図6(A)に示すトランジスタは、導電層601\_Aと、絶縁層602\_Aと、半導体層603\_Aと、導電層605a\_Aと、導電層605b\_Aと、絶縁層606\_Aと、導電層608\_Aと、を含む。

## 【0134】

導電層601\_Aは、被素子形成層600\_Aの上に設けられる。

## 【0135】

絶縁層602\_Aは、導電層601\_Aの上に設けられる。

## 【0136】

半導体層603\_Aは、絶縁層602\_Aを介して導電層601\_Aに重畠する。

## 【0137】

導電層605a\_A及び導電層605b\_Aのそれぞれは、半導体層603\_Aの上に設けられ、半導体層603\_Aに電気的に接続される。

## 【0138】

絶縁層606\_Aは、半導体層603\_A、導電層605a\_A、及び導電層605b\_Aの上に設けられる。

## 【0139】

導電層608\_Aは、絶縁層606\_Aを介して半導体層603\_Aに重畠する。

## 【0140】

なお、必ずしも導電層601\_A及び導電層608\_Aの一方を設けなくてもよい。また、導電層608\_Aを設けない場合には、絶縁層606\_Aを設けなくてもよい。

## 【0141】

図6(B)に示すトランジスタは、導電層601\_Bと、絶縁層602\_Bと、半導体層603\_Bと、導電層605a\_Bと、導電層605b\_Bと、絶縁層606\_Bと、導電層608\_Bと、を含む。

## 【0142】

導電層601\_Bは、被素子形成層600\_Bの上に設けられる。

## 【0143】

絶縁層602\_Bは、導電層601\_Bの上に設けられる。

## 【0144】

導電層605a\_B及び導電層605b\_Bのそれぞれは、絶縁層602\_Bの一部の上に設けられる。

## 【0145】

半導体層603\_Bは、導電層605a\_B及び導電層605b\_Bの上に設けられ、導電層605a\_B及び導電層605b\_Bに電気的に接続される。また、半導体層603\_Bは、絶縁層602\_Bを介して導電層601\_Bに重畠する。

## 【0146】

絶縁層606\_Bは、半導体層603\_B、導電層605a\_B、及び導電層605b\_Bの上に設けられる。

## 【0147】

導電層608\_Bは、絶縁層606\_Bを介して半導体層603\_Bに重畠する。

## 【0148】

なお、必ずしも導電層601\_B及び導電層608\_Bの一方を設けなくてもよい。導電層608\_Bを設けない場合には、絶縁層606\_Bを設けなくてもよい。

## 【0149】

図6(C)に示すトランジスタは、導電層601\_Cと、絶縁層602\_Cと、半導体層603\_Cと、導電層605a\_Cと、導電層605b\_Cと、を含む。

## 【0150】

半導体層603\_Cは、領域604a\_C及び領域604b\_Cを含む。領域604a\_C及び領域604b\_Cは、互いに離間し、それぞれドーパントが添加された領域である。なお、領域604a\_C及び領域604b\_Cの間の領域がチャネル形成領域になる。

半導体層 603\_C は、被素子形成層 600\_C の上に設けられる。

【0151】

導電層 605\_a\_C 及び導電層 605\_b\_C は、半導体層 603\_C の上に設けられ、半導体層 603\_C に電気的に接続される。また、導電層 605\_a\_C 及び導電層 605\_b\_C の側面は、テーパ状である。

【0152】

また、導電層 605\_a\_C は、領域 604\_a\_C の一部に重畳するが、必ずしもこれに限定されない。導電層 605\_a\_C を領域 604\_a\_C の一部に重畳させることにより、導電層 605\_a\_C 及び領域 604\_a\_C の間の抵抗値を小さくすることができる。また、導電層 605\_a\_C に重畳する半導体層 603\_C の領域の全てが領域 604\_a\_C でもよい。10

【0153】

また、導電層 605\_b\_C は、領域 604\_b\_C の一部に重畳するが、必ずしもこれに限定されない。導電層 605\_b\_C を領域 604\_b\_C の一部に重畳させることにより、導電層 605\_b\_C 及び領域 604\_b\_C の間の抵抗値を小さくすることができる。また、導電層 605\_b\_C に重畳する半導体層 603\_C の領域の全てが領域 604\_b\_C でもよい。

【0154】

絶縁層 602\_C は、半導体層 603\_C、導電層 605\_a\_C、及び導電層 605\_b\_C の上に設けられる。20

【0155】

導電層 601\_C は、絶縁層 602\_C を介して半導体層 603\_C に重畳する。絶縁層 602\_C を介して導電層 601\_C と重畳する半導体層 603\_C の領域がチャネル形成領域になる。

【0156】

また、図 6 (D) に示すトランジスタは、導電層 601\_D と、絶縁層 602\_D と、半導体層 603\_D と、導電層 605\_a\_D と、導電層 605\_b\_D と、を含む。

【0157】

導電層 605\_a\_D 及び導電層 605\_b\_D は、被素子形成層 600\_D の上に設けられる。また、導電層 605\_a\_D 及び導電層 605\_b\_D の側面は、テーパ状である。30

【0158】

半導体層 603\_D は、領域 604\_a\_D 及び領域 604\_b\_D と、を含む。領域 604\_a\_D 及び領域 604\_b\_D は、互いに離間し、それぞれドーパントが添加された領域である。また、領域 604\_a\_D 及び領域 604\_b\_D の間の領域がチャネル形成領域になる。半導体層 603\_D は、例えば導電層 605\_a\_D、導電層 605\_b\_D、及び被素子形成層 600\_D の上に設けられ、導電層 605\_a\_D 及び導電層 605\_b\_D に電気的に接続される。

【0159】

領域 604\_a\_D は、導電層 605\_a\_D に電気的に接続される。

【0160】

領域 604\_b\_D は、導電層 605\_b\_D に電気的に接続される。40

【0161】

絶縁層 602\_D は、半導体層 603\_D の上に設けられる。

【0162】

導電層 601\_D は、絶縁層 602\_D を介して半導体層 603\_D に重畳する。絶縁層 602\_D を介して導電層 601\_D と重畳する半導体層 603\_D の領域がチャネル形成領域になる。

【0163】

さらに、図 6 (A) 乃至図 6 (D) に示す各構成要素について説明する。

【0164】

10

20

30

40

50

被素子形成層 600\_A 乃至被素子形成層 600\_D としては、例えば絶縁層、又は絶縁表面を有する基板などを用いることができる。また、予め素子が形成された層を被素子形成層 600\_A 乃至被素子形成層 600\_D として用いることもできる。

#### 【0165】

導電層 601\_A 乃至導電層 601\_D のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する層をゲート電極又はゲート配線ともいう。

#### 【0166】

導電層 601\_A 乃至導電層 601\_D としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 601\_A 乃至導電層 601\_D の形成に適用可能な材料の層の積層により、導電層 601\_A 乃至導電層 601\_D を構成することもできる。

10

#### 【0167】

絶縁層 602\_A 乃至絶縁層 602\_D のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。

#### 【0168】

絶縁層 602\_A 乃至絶縁層 602\_D としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層 602\_A 乃至絶縁層 602\_D に適用可能な材料の層の積層により絶縁層 602\_A 乃至絶縁層 602\_D を構成することもできる。

20

#### 【0169】

また、絶縁層 602\_A 乃至絶縁層 602\_D としては、例えば元素周期表における第13族元素及び酸素元素を含む材料の絶縁層を用いることもできる。例えば、半導体層 603\_A 乃至半導体層 603\_D が第13族元素を含む場合に、半導体層 603\_A 乃至半導体層 603\_D に接する絶縁層として第13族元素を含む絶縁層を用いることにより、該絶縁層と酸化物半導体層との界面の状態を良好にすることができる。

#### 【0170】

第13族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上の物質のことをいう。例えば、 $A_{1-x}O_x$ ( $x = 3+$ 、 $x$ は0より大きく1より小さい値)、 $Ga_2O_x$ ( $x = 3+$ 、 $x$ は0より大きく1より小さい値)、又は $Ga_xAl_{2-x}O_{3+}$ ( $x$ は0より大きく2より小さい値、 $x$ は0より大きく1より小さい値)で表記される材料を用いることもできる。

30

#### 【0171】

また、絶縁層 602\_A 乃至絶縁層 602\_D に適用可能な材料の層の積層により絶縁層 602\_A 乃至絶縁層 602\_D を構成することもできる。例えば、複数の $Ga_2O_x$ で表記される酸化ガリウムを含む層の積層により絶縁層 602\_A 乃至絶縁層 602\_D を構成してもよい。また、 $Ga_2O_x$ で表記される酸化ガリウムを含む絶縁層及び $A_{1-x}O_x$ で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層 602\_A 乃至絶縁層 602\_D を構成してもよい。

40

#### 【0172】

半導体層 603\_A 乃至半導体層 603\_D のそれぞれは、トランジスタのチャネルが形成される層としての機能を有する。半導体層 603\_A 乃至半導体層 603\_D に用いる酸化物半導体としては、少なくともインジウム( $In$ )あるいは亜鉛( $Zn$ )を含むことが好ましい。特に $In$ と $Zn$ を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガ

50

リウム( Ga )を有することが好ましい。また、スタビライザーとしてスズ( Sn )を有することが好ましい。また、スタビライザーとしてハフニウム( Hf )を有することが好ましい。また、スタビライザーとしてアルミニウム( Al )を有することが好ましい。

#### 【 0173 】

また、他のスタビライザーとして、ランタノイドである、ラントン( La )、セリウム( Ce )、プラセオジム( Pr )、ネオジム( Nd )、サマリウム( Sm )、ユウロピウム( Eu )、ガドリニウム( Gd )、テルビウム( Tb )、ジスプロシウム( Dy )、ホルミウム( Ho )、エルビウム( Er )、ツリウム( Tm )、イッテルビウム( Yb )、ルテチウム( Lu )のいずれか一種あるいは複数種を有してもよい。

#### 【 0174 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、 Sn - Zn 系酸化物、 Al - Zn 系酸化物、 Zn - Mg 系酸化物、 Sn - Mg 系酸化物、 In - Mg 系酸化物、 In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物( IGZO とも表記する)、 In - Al - Zn 系酸化物、 In - Sn - Zn 系酸化物、 Sn - Ga - Zn 系酸化物、 Al - Ga - Zn 系酸化物、 Sn - Al - Zn 系酸化物、 In - Hf - Zn 系酸化物、 In - La - Zn 系酸化物、 In - Ce - Zn 系酸化物、 In - Pr - Zn 系酸化物、 In - Nd - Zn 系酸化物、 In - Sm - Zn 系酸化物、 In - Eu - Zn 系酸化物、 In - Gd - Zn 系酸化物、 In - Tb - Zn 系酸化物、 In - Dy - Zn 系酸化物、 In - Ho - Zn 系酸化物、 In - Er - Zn 系酸化物、 In - Tm - Zn 系酸化物、 In - Yb - Zn 系酸化物、 In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、 In - Hf - Ga - Zn 系酸化物、 In - Al - Ga - Zn 系酸化物、 In - Sn - Al - Zn 系酸化物、 In - Sn - Hf - Zn 系酸化物、 In - Hf - Al - Zn 系酸化物を用いることができる。

#### 【 0175 】

なお、ここで、例えば、 In - Ga - Zn 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

#### 【 0176 】

また、酸化物半導体として、  $InMO_3 (ZnO)_m$  ( $m > 0$ 、且つ、  $m$  は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、  $In_3SnO_5 (ZnO)_n$  ( $n > 0$ 、且つ、  $n$  は整数) で表記される材料を用いてもよい。

#### 【 0177 】

また、  $In : Ga : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3) あるいは  $In : Ga : Zn = 2 : 2 : 1$  (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、  $In : Sn : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3) 、  $In : Sn : Zn = 2 : 1 : 3$  (= 1 / 3 : 1 / 6 : 1 / 2) あるいは  $In : Sn : Zn = 2 : 1 : 5$  (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

#### 【 0178 】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

#### 【 0179 】

例えば、 In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、 In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

#### 【 0180 】

10

20

30

40

50

また、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1)である酸化物が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1)の酸化物の組成の近傍であるとは、a、b、cが、(a - A)<sup>2</sup> + (b - B)<sup>2</sup> + (c - C)<sup>2</sup>  $r^2$  を満たすことをいう。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

#### 【0181】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

#### 【0182】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

#### 【0183】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することができる。具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

#### 【0184】

なお、Raは、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

#### 【0185】

#### 【数2】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

20

30

#### 【0186】

なお、上記において、S<sub>0</sub>は、測定面(座標(x<sub>1</sub>, y<sub>1</sub>)(x<sub>1</sub>, y<sub>2</sub>)(x<sub>2</sub>, y<sub>1</sub>)(x<sub>2</sub>, y<sub>2</sub>)で表される4点によって囲まれる長方形の領域)の面積を指し、Z<sub>0</sub>は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。なお、測定面は、全測定データの示す面であり、三つパラメータ(x, y, z)から成り立っており、z = f(x, y)で表される。

#### 【0187】

ここで、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物について説明する。

#### 【0188】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

#### 【0189】

CAACを含む酸化物は単結晶ではないが、非晶質のみから形成されているものでもない

40

50

。また、C A A Cを含む酸化物は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

#### 【0190】

C A A Cを含む酸化物を構成する酸素の一部は窒素で置換されてもよい。また、C A A Cを含む酸化物を構成する個々の結晶部分のc軸は一定の方向（例えば、C A A Cを含む酸化物が形成される基板面、C A A Cを含む酸化物の表面などに垂直な方向）に揃っていてもよい。または、C A A Cを含む酸化物を構成する個々の結晶部分のa b面の法線は一定の方向（例えば、C A A Cを含む酸化物が形成される基板面、C A A Cを含む酸化物の表面などに垂直な方向）を向いていてもよい。

#### 【0191】

C A A Cを含む酸化物は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

#### 【0192】

このようなC A A Cを含む酸化物の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる酸化物を挙げることもできる。

#### 【0193】

C A A Cを含む酸化物に含まれる結晶構造の一例について図10乃至図12を用いて詳細に説明する。なお、特に断りがない限り、図10乃至図12は上方向をc軸方向とし、c軸方向と直交する面をa b面とする。なお、単に上半分、下半分という場合、a b面を境にした場合の上半分、下半分をいう。

#### 【0194】

図10(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子（以下4配位のO）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図10(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図10(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図10(A)に示す小グループは電荷が0である。

#### 【0195】

図10(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子（以下3配位のO）と、近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図10(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図10(B)に示す構造をとりうる。図10(B)に示す小グループは電荷が0である。

#### 【0196】

図10(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図10(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。また、図10(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図10(C)に示す小グループは電荷が0である。

#### 【0197】

図10(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図10(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図10(D)に示す小グループは電荷が+1となる。

#### 【0198】

図10(E)に、2個のZnを含む小グループを示す。図10(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図10(E)に示す小グループは電荷が-1となる。

#### 【0199】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を

10

20

30

40

50

大グループ(ユニットセルともいう。)と呼ぶ。

#### 【0200】

ここで、これらの小グループ同士が結合する規則について説明する。図10(A)に示す6配位のInの上半分の3個のOは下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは上方向にそれぞれ3個の近接Inを有する。図10(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図10(C)に示す4配位のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向にそれぞれ3個の近接Znを有する。このように、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。その理由を以下に示す。例えば、6配位の金属原子(InまたはSn)が上半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)または4配位の金属原子(Zn)のいずれかと結合することになる。10

#### 【0201】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。20

#### 【0202】

図11(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図11(B)に、3つの中グループで構成される大グループを示す。なお、図11(C)は、図11(B)の層構造をc軸方向から観察した場合の原子配列を示す。

#### 【0203】

図11(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図11(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図11(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。30

#### 【0204】

図11(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。40

#### 【0205】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図10(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消され50

るため、層構造の合計の電荷を0とすることができます。

#### 【0206】

具体的には、図11(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶( $In_2SnZn_3O_8$ )を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7$ ( $ZnO$ )<sub>m</sub>(mは0または自然数。)とする組成式で表すことができる。なお、In-Sn-Zn-O系の結晶は、mの数が大きいと結晶性が向上するため、好ましい。

#### 【0207】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物、一元系金属の酸化物であるIn系酸化物、Sn系酸化物、Zn系酸化物などを用いた場合も同様である。

10

20

#### 【0208】

例えば、図12(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

#### 【0209】

図12(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

30

#### 【0210】

図12(B)に3つの中グループで構成される大グループを示す。なお、図12(C)は、図12(B)の層構造をc軸方向から観察した場合の原子配列を示している。

#### 【0211】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

#### 【0212】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図12(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

40

#### 【0213】

領域604a\_C、領域604b\_C、領域604a\_D、及び領域604b\_Dは、N型又はP型の導電型を付与するドーパントが添加され、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとしての機能を有する領域をドレイン領域ともいう。

#### 【0214】

導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605

50

b\_Dのそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。

【0215】

導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dとしては、例えばアルミニウム、マグネシウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンゲステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層により、導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dを構成することができる。また、導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dに適用可能な材料の層の積層により、導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dを構成することもできる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層と銅を含む層の積層により、導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dを構成することができる。

【0216】

また、導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dとしては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、又は酸化インジウム酸化亜鉛を用いることができる。なお、導電層605a\_A乃至導電層605a\_D、及び導電層605b\_A乃至導電層605b\_Dに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0217】

絶縁層606\_A及び絶縁層606\_Bとしては、絶縁層602\_A乃至絶縁層602\_Dに適用可能な材料の層を用いることができる。また、絶縁層606\_A及び絶縁層606\_Bに適用可能な材料の積層により、絶縁層606\_A及び絶縁層606\_Bを構成してもよい。例えば、酸化シリコン層、酸化アルミニウム層などにより絶縁層606\_A及び絶縁層606\_Bを構成してもよい。

【0218】

導電層608\_A及び導電層608\_Bのそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタが導電層601\_A及び導電層608\_Aの両方、又は導電層601\_B及び導電層608\_Bの両方を含む構造である場合、導電層601\_A及び導電層608\_Aの一方、又は導電層601\_B及び導電層608\_Bの一方を、バックゲート、バックゲート電極、又はバックゲート配線ともいう。ゲートとしての機能を有する導電層を、チャネル形成層を介して複数設けることにより、トランジスタの閾値電圧を制御しやすくすることができる。

【0219】

導電層608\_A及び導電層608\_Bとしては、例えば導電層601\_A乃至導電層601\_Dに適用可能な材料の層を用いることができる。また、導電層608\_A及び導電層608\_Bに適用可能な材料の層の積層により導電層608\_A及び導電層608\_Bを構成してもよい。

【0220】

なお、本実施の形態のトランジスタを、チャネル形成層としての機能を有する酸化物半導体層の一部の上に絶縁層を含み、該絶縁層を介して酸化物半導体層に重畠するように、ソース又はドレインとしての機能を有する導電層を含む構造としてもよい。上記構造である場合、絶縁層は、トランジスタのチャネル形成層を保護する層（チャネル保護層ともいう）としての機能を有する。チャネル保護層としての機能を有する絶縁層としては、例えば絶縁層602\_A乃至絶縁層602\_Dに適用可能な材料の層を用いることができる。ま

た、絶縁層 602\_A 乃至絶縁層 602\_D に適用可能な材料の層の積層によりチャネル保護層としての機能を有する絶縁層を構成してもよい。

#### 【0221】

さらに、本実施の形態のトランジスタの作製方法例として、図 6 (A) に示すトランジスタの作製方法例について、図 7 を用いて説明する。図 7 は、図 6 に示すトランジスタの作製方法例を説明するための断面模式図である。

#### 【0222】

まず、図 7 (A) に示すように、被素子形成層 600\_A を準備し、被素子形成層 600\_A の上に第 1 の導電膜を形成し、第 1 の導電膜の一部をエッティングすることにより導電層 601\_A を形成する。

10

#### 【0223】

例えば、スパッタリング法を用いて導電層 601\_A に適用可能な材料の膜を形成することにより第 1 の導電膜を形成することができる。また、第 1 の導電膜に適用可能な材料の膜を積層させ、第 1 の導電膜を形成することもできる。

#### 【0224】

なお、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物濃度を低減することができる。

20

#### 【0225】

なお、スパッタリング法を用いて膜を形成する前に、スパッタリング装置の予備加熱室において予備加熱処理を行ってもよい。上記予備加熱処理を行うことにより、水素、水分などの不純物を脱離することができる。

#### 【0226】

また、スパッタリング法を用いて膜を形成する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側に R F 電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

#### 【0227】

また、スパッタリング法を用いて膜を形成する場合、吸着型の真空ポンプなどを用いて、膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。また、コールドトラップを設けたターボポンプを用いて成膜室内の残留水分を除去することもできる。

30

#### 【0228】

また、上記導電層 601\_A の形成方法のように、本実施の形態のトランジスタの作製方法例において、膜の一部をエッティングして層を形成する場合、例えば、フォトリソグラフィ工程により膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッティングすることにより、層を形成することができる。なお、この場合、層の形成後にレジストマスクを除去する。

40

#### 【0229】

また、インクジェット法を用いてレジストマスクを形成してもよい。インクジェット法を用いることにより、フォトマスクが不要になるため、製造コストを低減することができる。また、透過率の異なる複数の領域を有する露光マスク（多階調マスクともいう）を用いてレジストマスクを形成してもよい。多階調マスクを用いることにより、異なる厚さの領域を有するレジストマスクを形成することができ、トランジスタの作製に使用するレジストマスクの数を低減することができる。

#### 【0230】

次に、図 7 (B) に示すように、導電層 601\_A の上に第 1 の絶縁膜を形成することにより絶縁層 602\_A を形成する。

50

## 【0231】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層602\_Aに適用可能な材料の膜を形成することにより第1の絶縁膜を形成することができる。また、絶縁層602\_Aに適用可能な材料の膜を積層させることにより第1の絶縁膜を形成することもできる。また、高密度プラズマCVD法（例えばマイクロ波（例えば、周波数2.45GHzのマイクロ波）を用いた高密度プラズマCVD法）を用いて絶縁層602\_Aに適用可能な材料の膜を形成することにより、絶縁層602\_Aを緻密にすることができ、絶縁層602\_Aの絶縁耐圧を向上させることができる。

## 【0232】

次に、図7(C)に示すように、絶縁層602\_Aの上に酸化物半導体膜を形成し、その後酸化物半導体膜の一部をエッチングすることにより半導体層603\_Aを形成する。  
10

## 【0233】

例えば、スパッタリング法を用いて半導体層603\_Aに適用可能な酸化物半導体材料の膜を形成することにより酸化物半導体膜を形成することができる。なお、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を形成してもよい。

## 【0234】

また、スパッタリングターゲットとして、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol数比] の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成することができる。また、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol数比] の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成してもよい。  
20

## 【0235】

また、スパッタリングターゲットとして、組成比が $In : Sn : Zn$ が原子数比で、1:2:2、2:1:3、1:1:1、または20:45:35などとなるIn-Sn-Zn系の酸化物ターゲットを用いてもよい。

## 【0236】

次に、図7(D)に示すように、絶縁層602\_A及び半導体層603\_Aの上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることにより導電層605a\_A及び導電層605b\_Aを形成する。

## 【0237】

例えば、スパッタリング法などを用いて導電層605a\_A及び導電層605b\_Aに適用可能な材料の膜を形成することにより第2の導電膜を形成することができる。また、導電層605a\_A及び導電層605b\_Aに適用可能な材料の膜を積層させることにより第2の導電膜を形成することもできる。  
30

## 【0238】

次に、図7(E)に示すように、半導体層603\_Aに接するように絶縁層606\_Aを形成する。

## 【0239】

例えば、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で、スパッタリング法を用いて絶縁層606\_Aに適用可能な膜を形成することにより、絶縁層606\_Aを形成することができる。スパッタリング法を用いて絶縁層606\_Aを形成することにより、トランジスタのバックチャネルとしての機能を有する半導体層603\_Aの部分の抵抗値の低下を抑制することができる。また、絶縁層606\_Aを形成する際の基板温度は、室温以上300℃以下であることが好ましい。  
40

## 【0240】

また、絶縁層606\_Aを形成する前に $N_2O$ 、 $N_2$ 、又は $Ar$ などのガスを用いたプラズマ処理を行い、露出している半導体層603\_Aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、その後、大気に触れることなく、絶縁層606\_Aを形成することが好ましい。

## 【0241】

さらに、図6(A)に示すトランジスタの作製方法の一例では、例えば600℃以上750℃  
50

0 以下、又は 600 以上基板の歪み点未満の温度で加熱処理を行う。例えば、酸化物半導体膜を形成した後、酸化物半導体膜の一部をエッチングした後、第2の導電膜を形成した後、第2の導電膜の一部をエッチングした後、又は絶縁層 606\_A を形成した後に上記加熱処理を行う。

#### 【0242】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えば G R T A ( Gas Rapid Thermal Anneal ) 装置又は L R T A ( Lamp Rapid Thermal Anneal ) 装置などの R T A ( Rapid Thermal Anneal ) 装置を用いることができる。<sup>10</sup> L R T A 装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。

#### 【0243】

また、上記加熱処理を行った後、該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N<sub>2</sub>O ガス、又は超乾燥工ア(露点が -40 以下、好ましくは -60 以下の雰囲気)を導入してもよい。このとき、酸素ガス又は N<sub>2</sub>O ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N<sub>2</sub>O ガスの純度を、6 N 以上、好ましくは 7 N 以上、すなわち、酸素ガス又は N<sub>2</sub>O ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが好ましい。酸素ガス又は N<sub>2</sub>O ガスの作用により、半導体層 603\_A に酸素が供給され、半導体層 603\_A 中の酸素欠乏に起因する欠陥を低減することができる。<sup>20</sup>

#### 【0244】

さらに、上記加熱処理とは別に、絶縁層 606\_A を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理(好ましくは 200 以上 600 以下、例えば 250 以上 350 以下)を行ってもよい。

#### 【0245】

また、絶縁層 602\_A 形成後、酸化物半導体膜形成後、ソース電極又はドレイン電極となる導電層形成後、ソース電極又はドレイン電極となる導電層の上の絶縁層形成後、又は加熱処理後に酸素プラズマによる酸素ドーピング処理を行ってもよい。例えば 2.45 GHz の高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法又はイオンドーピングを用いて酸素ドーピング処理を行ってもよい。酸素ドーピング処理を行うことにより、作製されるトランジスタの電気特性のばらつきを低減することができる。例えば、酸素ドーピング処理を行い、絶縁層 602\_A 及び絶縁層 606\_A の一方又は両方を、化学量論的組成比より酸素が多い状態にする。これにより、絶縁層中の過剰な酸素が半導体層 603\_A に供給されやすくなる。よって、半導体層 603\_A 中、又は絶縁層 602\_A 及び絶縁層 606\_A の一方又は両方と、半導体層 603\_A との界面における酸素欠陥を低減することができるため、半導体層 603\_A のキャリア濃度をより低減することができる。<sup>30</sup>

#### 【0246】

例えば、絶縁層 602\_A 及び絶縁層 606\_A の一方又は両方として、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を Ga<sub>2</sub>O<sub>x</sub> にすることができる。

#### 【0247】

また、絶縁層 602\_A 及び絶縁層 606\_A の一方又は両方として、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を Al<sub>2</sub>O<sub>x</sub> にすることができる。

#### 【0248】

10

20

30

40

50

また、絶縁層 602\_A 及び絶縁層 606\_A の一方又は両方として、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を  $Ga_xAl_{2-x}O_3$  とすることができる。

#### 【0249】

以上の工程により、半導体層 603\_A から、水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ半導体層 603\_A に酸素を供給することにより、酸化物半導体層を高純度化させることができる。

#### 【0250】

さらに、図 7 (E) に示すように、絶縁層 606\_A の上に第 3 の導電膜を形成し、第 3 の導電膜の一部をエッチングすることにより導電層 608\_A を形成する。 10

#### 【0251】

例えば、スパッタリング法を用いて導電層 608\_A に適用可能な材料の膜を形成することにより第 3 の導電膜を形成することができる。また、第 3 の導電膜に適用可能な材料の膜を積層させ、第 3 の導電膜を形成することもできる。

#### 【0252】

なお、図 6 (A) に示すトランジスタの作製方法例を示したが、これに限定されず、例えば図 6 (B) 乃至図 6 (D) に示す各構成要素において、名称が図 6 (A) に示す各構成要素と同じであり且つ機能の少なくとも一部が図 6 (A) に示す各構成要素と同じであれば、図 6 (A) に示すトランジスタの作製方法例の説明を適宜援用することができる。 20

#### 【0253】

また、図 6 (C) 及び図 6 (D) に示すように、領域 604a\_C 及び領域 604a\_D、又は領域 604b\_C 及び領域 604b\_D を形成する場合には、ゲートとしての機能を有する導電層が形成される側からゲート絶縁層としての機能を有する絶縁層を介して半導体層にドーパントを添加することにより、自己整合で領域 604a\_C 及び領域 604a\_D、及び領域 604b\_C 及び領域 604b\_D を形成する。

#### 【0254】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

#### 【0255】

添加するドーパントとしては、例えば元素周期表における 13 族の元素（例えば硼素など）、元素周期表における 15 族の元素（例えば窒素、リン、及び砒素の一つ又は複数）、及び希ガス元素（例えばヘリウム、アルゴン、及びキセノンの一つ又は複数）の一つ又は複数を用いることができる。 30

#### 【0256】

図 6 及び図 7 を用いて説明したように、本実施の形態におけるトランジスタの一例は、ゲートとしての機能を有する導電層と、ゲート絶縁層としての機能を有する絶縁層と、ゲート絶縁層としての機能を有する絶縁層を介してゲートとしての機能を有する導電層に重疊し、チャネルが形成される酸化物半導体層と、酸化物半導体層に電気的に接続され、ソース及びドレインの一方としての機能を有する導電層と、酸化物半導体層に電気的に接続され、ソース及びドレインの他方としての機能を有する導電層と、を含む構造である。 40

#### 【0257】

上記チャネルが形成される酸化物半導体層は、高純度化させることにより I 型又は実質的に I 型となった酸化物半導体層である。酸化物半導体層を高純度化させることにより、酸化物半導体層のキャリア濃度を  $1 \times 10^{14} / cm^3$  未満、好ましくは  $1 \times 10^{12} / cm^3$  未満、さらに好ましくは  $1 \times 10^{11} / cm^3$  未満にすることができる。また、上記構造にすることにより、チャネル幅  $1 \mu m$ あたりのオフ電流を  $10 aA$  ( $1 \times 10^{-17} A$ ) 以下にすること、さらにはチャネル幅  $1 \mu m$ あたりのオフ電流を  $1 aA$  ( $1 \times 10^{-18} A$ ) 以下、さらにはチャネル幅  $1 \mu m$ あたりのオフ電流を  $10 zA$  ( $1 \times 10^{-20} A$ ) 以下、さらにはチャネル幅  $1 \mu m$ あたりのオフ電流を  $1 zA$  ( $1 \times 10^{-21} A$ ) 以 50

下、さらにはチャネル幅 1 μmあたりのオフ電流を  $100 \text{ yA}$  ( $1 \times 10^{-22} \text{ A}$ ) 以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態のトランジスタのオフ電流の下限値は、約  $10^{-30} \text{ A} / \mu\text{m}$  であると見積もられる。

#### 【0258】

本実施の形態の酸化物半導体層を含むトランジスタを、例えば上記実施の形態の半導体装置における記憶回路のトランジスタに用いることにより、劣化しにくい記憶回路を構成することができ、また、記憶回路のデータの保持期間を長くすることができる。

#### 【0259】

##### (実施の形態 6)

本実施の形態では、RFIDなどの無線通信によりデータ通信が可能な半導体装置の例について説明する。

10

#### 【0260】

本実施の形態における半導体装置の構成例について、図8を用いて説明する。図8は、本実施の形態における半導体装置の構成例を示すブロック図である。

#### 【0261】

図8に示す半導体装置は、アンテナ711と、容量素子712と、受動素子713と、トランジスタ714と、記憶回路715と、整流回路716と、電源回路(PWRGともいう)717と、復調回路(DMODともいう)718と、記憶制御回路(MCTLともいう)719と、メモリ(MEMともいう)720と、符号化回路(ECODともいう)721と、変調回路(MODともいう)722と、を具備する。図8に示す半導体装置は、無線通信装置(リーダライタ又は質問器など、無線により通信が可能な装置)などの外部の回路とアンテナ711を介して無線信号の送受信を行う。

20

#### 【0262】

アンテナ711は、搬送波の送受信を行う機能を有する。アンテナ711としては、例えば図1(A)に示すアンテナ101が適用可能であり、コイルとしての機能を有するアンテナを用いることができる。

#### 【0263】

搬送波とは、キャリアとも呼ばれる交流信号であり、該搬送波を用いて電源電圧の供給又はデータ信号のやりとりが行われる。なお、外部からアンテナ711に送信される搬送波としては、変調された搬送波(変調波)も含む。

30

#### 【0264】

容量素子712は、アンテナ711に並列接続で電気的に接続される。なお、容量素子712の第1の容量電極及び第2の容量電極の一方又は両方とアンテナ711との間にトランジスタなどのスイッチング素子を設けてもよい。

#### 【0265】

受動素子713は、アンテナ711と並列接続で電気的に接続されることにより、共振回路の一部として機能する。受動素子713としては、例えば図1(A)に示す受動素子103に適用可能な受動素子を用いることができる。

#### 【0266】

トランジスタ714は、受動素子713とアンテナ711が並列接続で電気的に接続されるか否かを制御する機能を有する。例えば、トランジスタ714のソース及びドレインの一方は、受動素子713及びアンテナ711を介してトランジスタ714のソース及びドレインの他方に接続される。トランジスタ714としては、図1(A)に示すトランジスタ104に適用可能なトランジスタを用いることができる。

40

#### 【0267】

記憶回路715は、トランジスタ714のゲートの電圧を保持する機能を有する。

#### 【0268】

記憶回路715としては、例えば、上記実施の形態に示す半導体装置における記憶回路105に適用可能な構成の記憶回路を用いることができる。

#### 【0269】

50

整流回路 716 は、アンテナ 711 により電波を受信することにより生成した電圧を整流する機能を有する。

【0270】

電源回路 717 は、整流回路 716 により整流した電圧から電源電圧を生成する機能を有する。生成した電源電圧は、図 8 の点線で示すように、復調回路 718、記憶制御回路 719、メモリ 720、符号化回路 721、及び変調回路 722 の各機能回路に供給される。復調回路 718、記憶制御回路 719、メモリ 720、符号化回路 721、及び変調回路 722 のそれぞれは、電源が供給されることにより動作する。

【0271】

復調回路 718 は、アンテナ 711 により受信した搬送波を復調し、データ信号を抽出する機能を有する。 10

【0272】

記憶制御回路 719 は、復調されたデータ信号を元に書き込み制御信号、読み出し制御信号、及びアドレス信号などのアクセス信号を生成する機能を有する。

【0273】

メモリ 720 には、データが記憶される。メモリ 720 としては、例えば ROM (Read Only Memory) 及び RAM (Random Access Memory) の一つ又は複数を用いることができる。

【0274】

符号化回路 721 は、メモリ 720 から読み出されたデータ信号を符号化する機能を有する。 20

【0275】

変調回路 722 は、符号化されたデータ信号を変調し、アンテナ 711 から搬送波として送信するためのデータ信号を生成する機能を有する。

【0276】

次に、図 8 に示す半導体装置の動作例について説明する。

【0277】

アンテナ 711 が搬送波を受信すると、受信した搬送波に応じて電圧が生成される。

【0278】

アンテナ 711 において生成された電圧は、電源回路 717 及び復調回路 718 に入力される。 30

【0279】

電源回路 717 は、アンテナ 711 において生成された電圧を元に電源電圧を生成し、生成した電源電圧を、復調回路 718、記憶制御回路 719、メモリ 720、符号化回路 721、及び変調回路 722 に出力する。

【0280】

また、復調回路 718 は、アンテナ 711 から入力された電圧である信号を復調し、データ信号を抽出し、抽出したデータ信号を記憶制御回路 719 に出力する。

【0281】

記憶制御回路 719 は、データ信号に従って、アクセス信号を生成する。また、記憶制御回路 719 は、記憶回路 715 にデータ信号及び制御信号を出力する。 40

【0282】

さらに、アクセス信号に従って、メモリ 720 は、データの書き込み又はデータの読み出しを行う。

【0283】

また、データ信号及び制御信号に従い、記憶回路 715 にデータの書き込みが行われる。なお、これに限定されず、例えば半導体装置の製造時などにおいて、記憶回路 715 に制御信号及びデータ信号を入力して記憶回路 715 にデータを書き込んでもよい。

【0284】

さらに、メモリ 720 から読み出されたデータ信号を符号化回路 721 により符号化する 50

。

【0285】

さらに、符号化されたデータ信号に応じて変調回路722によりアンテナ711から送信する搬送波を変調する。

【0286】

以上が図8に示す半導体装置の動作例の説明である。

【0287】

図8を用いて説明したように、本実施の形態の半導体装置は、無線によりデータの送受信が可能な半導体装置である。

【0288】

また、本実施の形態における半導体装置の一例では、制御トランジスタのオン状態又はオフ状態を制御することにより、受動素子が他の素子と共に共振回路を構成するか否かを制御し、半導体装置の共振周波数を適宜変化させることができる。

10

【0289】

さらに、本実施の形態における半導体装置の一例では、オフ電流の低いトランジスタを用いて記憶回路を構成し、該記憶回路にデータを書き込むのみで、記憶回路に保持されたデータに応じて、制御トランジスタのゲートの電圧を設定することができる。また、記憶回路のデータの書き換えも容易である。上記オフ電流の低いトランジスタを用いて構成された記憶回路では、保持されるデータ（電圧）が半永久的に変動しない。即ち、上記オフ電流の低いトランジスタを用いて構成された記憶回路は、リーク電流が少なく、劣化しにくく、電源が供給されない場合であっても、データを長時間保持することができる。よって、制御トランジスタのゲートの電圧を再設定する回数を少なくすることができるため、半導体装置の共振周波数の設定が容易になる。また、半導体装置の消費電力を低減することができる。

20

【0290】

また、本実施の形態における半導体装置の一例では、メモリの動作を制御する記憶制御回路を用いて、メモリと、上記オフ電流の低いトランジスタを用いて構成された記憶回路との両方を制御することができるため、別途上記オフ電流の低いトランジスタを用いて構成された記憶回路を制御するための制御回路を設ける必要がない。よって、上記オフ電流の低いトランジスタを用いて構成された記憶回路を設ける場合であっても、半導体装置の回路面積の増大を抑制することができる。

30

【0291】

（実施の形態7）

本実施の形態では、無線により電源電圧の供給が可能な半導体装置の例について説明する。

【0292】

本実施の形態の半導体装置の構成例について、図9を用いて説明する。図9は、本実施の形態の半導体装置の構成例を説明するための模式図である。

【0293】

図9(A)に示す半導体装置は、携帯型情報端末の例である。図9(A)に示す情報端末は、筐体1001aと、筐体1001aに設けられた表示部1002aと、を具備する。

40

【0294】

なお、筐体1001aの側面1003aに外部機器に接続させるための接続端子、図9(A)に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数を設けてよい。

【0295】

図9(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊戯機の一つ又は複数としての機能を有する。

【0296】

図9(B)に示す半導体装置は、折り畳み式の携帯型情報端末の例である。図9(B)に

50

示す携帯型情報端末は、筐体 1001b と、筐体 1001b に設けられた表示部 1002b と、筐体 1004 と、筐体 1004 に設けられた表示部 1005 と、筐体 1001b 及び筐体 1004 を接続する軸部 1006 と、を具備する。

#### 【0297】

また、図 9 (B) に示す携帯型情報端末では、軸部 1006 により筐体 1001b 又は筐体 1004 を動かすことにより、筐体 1001b を筐体 1004 に重畠させることができる。

#### 【0298】

なお、筐体 1001b の側面 1003b 又は筐体 1004 の側面 1007 に外部機器に接続させるための接続端子、図 9 (B) に示す携帯型情報端末を操作するためのボタンのうち、一つ又は複数を設けてもよい。10

#### 【0299】

また、表示部 1002b 及び表示部 1005 に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部 1005 を必ずしも設ける必要はなく、表示部 1005 の代わりに、入力装置であるキーボードを設けてもよい。

#### 【0300】

図 9 (B) に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊戯機の一つ又は複数としての機能を有する。

#### 【0301】

さらに、図 9 (A) 又は図 9 (B) に示す携帯型情報端末の構成例を図 9 (C) に示す。20

#### 【0302】

図 9 (C) に示す携帯型情報端末は、無線送受信回路 (RF ともいう) 1201 と、蓄電装置 (BT ともいう) 1204 と、電源回路 (PWRG ともいう) 1205 と、演算処理回路 (PRO ともいう) 1206 と、メモリ (MEM ともいう) 1207 と、表示制御回路 (DISPCTL ともいう) 1208 と、表示パネル (DSP ともいう) 1209 と、を備える。

#### 【0303】

無線送受信回路 1201 は、受信した電波から、電源電圧及びデータを生成する機能を有する。無線送受信回路 1201 は、上記実施の形態 1 乃至 4 の半導体装置におけるアンテナ、容量素子、受動素子、制御トランジスタ、及び記憶回路を備える。また、無線送受信回路 1201 に、上記実施の形態 6 に示す半導体装置における、整流回路、復調回路、及び変調回路などの機能回路を備えてよい。また、無線送受信回路 1201 にアナログベースバンド回路及びデジタルベースバンド回路などの機能回路を備えてよい。30

#### 【0304】

蓄電装置 1204 は、電源電圧を生成するための電圧を供給する機能を有する。なお、無線送受信回路 1201 により生成した電圧に応じて蓄電装置 1204 を充電してもよい。

#### 【0305】

電源回路 1205 は、供給される電圧に応じて電源電圧を生成し、該電源電圧を演算処理回路 1206、メモリ 1207、表示制御回路 1208、及び表示パネル 1209 に供給する機能を有する。40

#### 【0306】

演算処理回路 1206 は、例えば CPU、デジタルシグナルプロセッサ (DSP ともいう)、メモリ制御回路、及びインターフェースを備える。

#### 【0307】

メモリ 1207 は、演算処理回路 1206 におけるメモリ制御回路からの信号に従い、データの書き込み及びデータの読み出しを行う機能を有する。

#### 【0308】

表示パネル 1209 としては、例えば液晶表示パネル、EL 表示パネルなどを用いることができる。なお、図 9 (B) に示す半導体装置の場合、表示パネル 1209 は複数である。50

**【0309】**

さらに、図9(C)に示す携帯情報端末の動作例について説明する。

**【0310】**

まず、無線送受信回路1201によりデータを含む電波を受信し、蓄電装置1204が充電され、電源回路1205により電源電圧が生成され、演算処理回路1206により画像データが生成される。生成された画像データは、メモリ1207にデータとして記憶される。さらに、メモリ1207に記憶されているデータを、表示制御回路1208を介して表示パネル1209に出力し、表示パネル1209により入力された画像データに応じた画像を表示する。

**【0311】**

以上が図9(C)に示す携帯型情報端末の動作例である。

10

**【0312】**

図9を用いて説明したように、本実施の形態における半導体装置の一例では、制御トランジスタのオン状態又はオフ状態を制御することにより、受動素子が他の素子と共振回路を構成するか否かを制御し、半導体装置の共振周波数を適宜変化させることができる。

**【0313】**

さらに、本実施の形態における半導体装置の一例では、オフ電流の低いトランジスタを用いて記憶回路を構成し、該記憶回路にデータを書き込むのみで、記憶回路に保持されたデータに応じて、制御トランジスタのゲートの電圧を設定することができる。また、記憶回路のデータの書き換えも容易である。上記オフ電流の低いトランジスタを用いて構成された記憶回路では、保持されるデータ(電圧)が半永久的に変動しない。即ち、上記オフ電流の低いトランジスタを用いて構成された記憶回路は、リーク電流が少なく、劣化しにくく、電源が供給されない場合であっても、データを長時間保持することができる。よって、制御トランジスタのゲートの電圧を再設定する回数を少なくすることができるため、半導体装置の共振周波数の設定が容易になる。また、半導体装置の消費電力を低減することができる。

20

**【0314】**

また、本実施の形態の半導体装置の一例では、無線により、データの送受信及び蓄電装置の充電を行うことにより、外部電源が不要となるため、外部電源が無い場所であっても、上記半導体装置を長時間使用することができる。

30

**【0315】**

(実施の形態8)

本実施の形態では、酸化物半導体としてIn-Sn-Zn系の酸化物を用いた絶縁ゲート型トランジスタの例について説明する。

**【0316】**

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

40

**【0317】**

半導体本来の移動度を $\mu_0$ 、測定される電界効果移動度を $\mu$ とし、半導体中に何らかのポテンシャル障壁(粒界等)が存在すると仮定すると、以下の式で表現できる。

**【0318】**

【数3】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

**【0319】**

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である

50

。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0320】

【数4】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0321】

ここで、 $e$  は電気素量、 $N$  はチャネル内の単位面積当たりの平均欠陥密度、 $\epsilon$  は半導体の誘電率、 $n$  は単位面積当たりのチャネルに含まれるキャリア数、 $C_{ox}$  は単位面積当たりの容量、 $V_g$  はゲート電圧、 $t$  はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレン電流  $I_d$  は、以下の式となる。

【0322】

【数5】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

10

20

【0323】

ここで、 $L$  はチャネル長、 $W$  はチャネル幅であり、ここでは、 $L = W = 10 \mu m$  である。また、 $V_d$  はドレン電圧である。上式の両辺を  $V_g$  で割り、更に両辺の対数を取ると、以下のようにになる。

【0324】

【数6】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

30

【0325】

数6の右辺は  $V_g$  の関数である。この式からわかるように、縦軸を  $1/n(I_d/V_g)$  、横軸を  $1/V_g$  とする直線の傾きから欠陥密度  $N$  が求められる。すなわち、トランジスタの  $I_d - V_g$  特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム ( $In$ )、スズ ( $Sn$ )、亜鉛 ( $Zn$ ) の比率が、 $In : Sn : Zn = 1 : 1 : 1$  のものでは欠陥密度  $N$  は  $1 \times 10^{12} / cm^2$  程度である。

【0326】

このようにして求めた欠陥密度等をもとに数3および数4より  $\mu_0 = 120 cm^2 / Vs$  が導出される。欠陥のある  $In-Sn-Zn$  系酸化物で測定される移動度は  $35 cm^2 / Vs$  程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度  $\mu_0$  は  $120 cm^2 / Vs$  となると予想できる。

40

【0327】

ただし、半導体内部に欠陥が無くても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、チャネルとゲート絶縁層との界面から  $x$  だけ離れた場所における移動度  $\mu_1$  は、以下の式で表される。

【0328】

## 【数7】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

## 【0329】

ここで、Dはゲート方向の電界、B、Gは定数である。BおよびGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数7の第2項が増加するため、移動度 $\mu_1$ は低下することがわかる。

10

## 【0330】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 $\mu_2$ を計算した結果を図13に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、S entaur us D ev i c eを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

## 【0331】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁層の厚さは100nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10μm、ドレイン電圧 $V_d$ は0.1Vである。

20

## 【0332】

図13で示されるように、ゲート電圧1V強で移動度 $100 \text{ cm}^2/\text{Vs}$ 以上のピークとなるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（A tomic Layer Flatness）が望ましい。

## 【0333】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図14乃至図16に示す。なお、計算に用いたトランジスタの断面構造を図17に示す。図17に示すトランジスタは酸化物半導体層に $n^+$ の導電型を呈する半導体領域1303aおよび半導体領域1303cを有する。半導体領域1303aおよび半導体領域1303cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

30

## 【0334】

図17(A)に示すトランジスタは、下地絶縁層1301と、下地絶縁層1301に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1302の上に形成される。トランジスタは半導体領域1303a、半導体領域1303cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域1303bと、ゲート1305を有する。ゲート1305の幅を33nmとする。

## 【0335】

40

ゲート1305と半導体領域1303bの間には、ゲート絶縁層1304を有し、また、ゲート1305の両側面には側壁絶縁物1306aおよび側壁絶縁物1306b、ゲート1305の上部には、ゲート1305と他の配線との短絡を防止するための絶縁物1307を有する。側壁絶縁物の幅は5nmとする。また、半導体領域1303aおよび半導体領域1303cに接して、ソース1308aおよびドレイン1308bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

## 【0336】

図17(B)に示すトランジスタは、下地絶縁層1301と、酸化アルミニウムよりなる埋め込み絶縁物1302の上に形成され、半導体領域1303a、半導体領域1303cと、それらに挟まれた真性の半導体領域1303bと、幅33nmのゲート1305とゲ

50

ート絶縁層 1304 と側壁絶縁物 1306a および側壁絶縁物 1306b と絶縁物 1307 とソース 1308a およびドレイン 1308b を有する点で図 17(A) に示すトランジスタと同じである。

#### 【0337】

図 17(A) に示すトランジスタと図 17(B) に示すトランジスタの相違点は、側壁絶縁物 1306a および側壁絶縁物 1306b の下の半導体領域の導電型である。図 17(A) に示すトランジスタでは、側壁絶縁物 1306a および側壁絶縁物 1306b の下の半導体領域は  $n^+$  の導電型を呈する半導体領域 1303a および半導体領域 1303c であるが、図 17(B) に示すトランジスタでは、真性の半導体領域 1303b である。すなわち、半導体領域 1303a (半導体領域 1303c) とゲート 1305 が  $L_{off}$  だけ重ならない領域ができている。この領域をオフセット領域といい、その幅  $L_{off}$  をオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物 1306a (側壁絶縁物 1306b) の幅と同じである。  
10

#### 【0338】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 14 は、図 17(A) に示される構造のトランジスタのドレイン電流 ( $I_d$ 、実線) および移動度 ( $\mu$ 、点線) のゲート電圧 ( $V_g$ 、ゲートとソースの電位差) 依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧 (ドレインとソースの電位差) を +1V とし、移動度  $\mu$  はドレイン電圧を +0.1V として計算したものである。  
20

#### 【0339】

図 14(A) はゲート絶縁層の厚さを 15nm としたものであり、図 14(B) は 10nm としたものであり、図 14(C) は 5nm としたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流  $I_d$  (オフ電流) が顕著に低下する。一方、移動度  $\mu$  のピーク値やオン状態でのドレイン電流  $I_d$  (オン電流) には目立った変化が無い。ゲート電圧 1V 前後で、ドレイン電流はメモリ素子等で必要とされる 10  $\mu A$  を超えることが示された。

#### 【0340】

図 15 は、図 17(B) に示される構造のトランジスタで、オフセット長  $L_{off}$  を 5nm としたもののドレイン電流  $I_d$  (実線) および移動度  $\mu$  (点線) のゲート電圧  $V_g$  依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1V とし、移動度  $\mu$  はドレイン電圧を +0.1V として計算したものである。図 15(A) はゲート絶縁層の厚さを 15nm としたものであり、図 15(B) は 10nm としたものであり、図 15(C) は 5nm としたものである。  
30

#### 【0341】

また、図 16 は、図 17(B) に示される構造のトランジスタで、オフセット長  $L_{off}$  を 15nm としたもののドレイン電流  $I_d$  (実線) および移動度  $\mu$  (点線) のゲート電圧依存性を示す。ドレイン電流  $I_d$  は、ドレイン電圧を +1V とし、移動度  $\mu$  はドレイン電圧を +0.1V として計算したものである。図 16(A) はゲート絶縁層の厚さを 15nm としたものであり、図 16(B) は 10nm としたものであり、図 16(C) は 5nm としたものである。  
40

#### 【0342】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度  $\mu$  のピーク値やオン電流には目立った変化が無い。

#### 【0343】

なお、移動度  $\mu$  のピークは、図 14 では  $80 \text{ cm}^2 / \text{Vs}$  程度であるが、図 15 では  $60 \text{ cm}^2 / \text{Vs}$  程度、図 16 では  $40 \text{ cm}^2 / \text{Vs}$  程度と、オフセット長  $L_{off}$  が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長  $L_{off}$  の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1V 前後で、ドレイン電流はメモリ素子等で必要とされる  
50

10  $\mu\text{A}$  を超えることが示された。

**【0344】**

(実施の形態9)

本実施の形態では、酸化物半導体としてIn-Sn-Zn系の酸化物を用いた絶縁ゲート型トランジスタについての実験結果等を説明する。

**【0345】**

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5 atomic %以上含まれる元素をいう。

10

**【0346】**

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

**【0347】**

例えば、図18(A)～(C)は、In、Sn、Znを主成分とし、チャネル長Lが3  $\mu\text{m}$ 、チャネル幅Wが10  $\mu\text{m}$ である酸化物半導体膜と、厚さ100 nmのゲート絶縁層を用いたトランジスタの特性である。なお、Vdは10 Vとした。

**【0348】**

図18(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は18.8  $\text{cm}^2/\text{V sec}$  が得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができるとなる。図18(B)は基板を200℃に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は32.2  $\text{cm}^2/\text{V sec}$  が得られている。

20

**【0349】**

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図18(C)は、In、Sn、Znを主成分とする酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は34.5  $\text{cm}^2/\text{V sec}$  が得られている。

30

**【0350】**

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には100  $\text{cm}^2/\text{V sec}$  を超える電界効果移動度を実現することも可能になると推定される。

40

**【0351】**

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

**【0352】**

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半

50

導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図18(A)と図18(B)の対比からも確認することができる。

#### 【0353】

なお、しきい値電圧は $I_n$ 、 $S_n$ 及び $Z_n$ の比率を変えることによっても制御することが可能であり、組成比として $I_n : S_n : Z_n = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を $I_n : S_n : Z_n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

10

#### 【0354】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

#### 【0355】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

#### 【0356】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

20

#### 【0357】

まず基板温度を25とし、 $V_d$ を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150とし、 $V_d$ を0.1Vとした。次に、ゲート絶縁層に印加される電界強度が2MV/cmとなるように $V_g$ に20Vを印加し、そのまま1時間保持した。次に、 $V_g$ を0Vとした。次に、基板温度25とし、 $V_d$ を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

#### 【0358】

同様に、まず基板温度を25とし、 $V_d$ を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150とし、 $V_d$ を0.1Vとした。次に、ゲート絶縁層に印加される電界強度が-2MV/cmとなるように $V_g$ に-20Vを印加し、そのまま1時間保持した。次に、 $V_g$ を0Vとした。次に、基板温度25とし、 $V_d$ を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

30

#### 【0359】

試料1のプラスBT試験の結果を図19(A)に、マイナスBT試験の結果を図19(B)に示す。また、試料2のプラスBT試験の結果を図20(A)に、マイナスBT試験の結果を図20(B)に示す。

#### 【0360】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

40

#### 【0361】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

50

**【0362】**

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

**【0363】**

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでもより安定な酸化物半導体膜を得ることができる。例えば、組成比 In : Sn : Zn = 1 : 1 : 1 のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローーパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

**【0364】**

実際に、In - Sn - Zn - O 膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

**【0365】**

XRD 分析を行った試料として、試料 A および試料 B を用意した。以下に試料 A および試料 B の作製方法を説明する。

**【0366】**

脱水素化処理済みの石英基板上に In - Sn - Zn - O 膜を 100 nm の厚さで成膜した。

**【0367】**

In - Sn - Zn - O 膜は、スパッタリング装置を用い、酸素雰囲気で電力を 100 W (DC) として成膜した。ターゲットは、In : Sn : Zn = 1 : 1 : 1 [原子数比] の In - Sn - Zn - O ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

**【0368】**

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

**【0369】**

図 21 に試料 A および試料 B の XRD スペクトルを示す。試料 A では、結晶由来のピークが観測されなかったが、試料 B では、2 が 35 deg 近傍および 37 deg ~ 38 deg に結晶由来のピークが観測された。

**【0370】**

このように、In、Sn、Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び / 又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

**【0371】**

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を 1 aA / μm 以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅 1 μmあたりの電流値を示す。

**【0372】**

図 22 に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示

10

20

30

40

50

す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値 (1000 / T) を横軸としている。

#### 【0373】

具体的には、図22に示すように、基板温度が 125 の場合には  $1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ) 以下、 85 の場合には  $100 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下、 室温 (27) の場合には  $1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ) 以下にすることができる。好ましくは、 125 において  $0.1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下に、 85 において  $10 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ) 以下に、 室温において  $0.1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ) 以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。10

#### 【0374】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。20

#### 【0375】

また、酸化物半導体膜成膜後に 650 の加熱処理を行った試料のトランジスタにおいて、基板温度と電気的特性の関係について評価した。

#### 【0376】

測定に用いたトランジスタは、チャネル長 L が  $3 \mu\text{m}$ 、チャネル幅 W が  $10 \mu\text{m}$ 、LoV が  $0 \mu\text{m}$ 、dW が  $0 \mu\text{m}$  である。なお、Vd は  $10 \text{ V}$  とした。なお、基板温度は -40 、 -25 、 25 、 75 、 125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅を LoV と呼び、酸化物半導体膜に対する一対の電極のはみ出しを dW と呼ぶ。30

#### 【0377】

図23に、Id (実線) および電界効果移動度 (点線) の  $V_g$  依存性を示す。また、図24 (A) に基板温度としきい値電圧の関係を、図24 (B) に基板温度と電界効果移動度の関係を示す。

#### 【0378】

図24 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は -40 ~ 150 で  $1.09 \text{ V} \sim -0.23 \text{ V}$  であった。

#### 【0379】

また、図24 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は -40 ~ 150 で  $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$  であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。40

#### 【0380】

上記のような In、Sn、Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を  $1 \text{ aA} / \mu\text{m}$  以下に保ちつつ、電界効果移動度を  $30 \text{ cm}^2 / \text{Vs sec}$  以上、好ましくは  $40 \text{ cm}^2 / \text{Vs sec}$  以上、より好ましくは  $60 \text{ cm}^2 / \text{Vs sec}$  以上とし、LSSで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$  の FET で、ゲート電圧  $2.7 \text{ V}$ 、ドレイン電圧  $1.0 \text{ V}$  のとき  $12 \mu\text{A}$  以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる50

きる。

【実施例1】

【0381】

本実施例では、In-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの一例について、図25などを用いて説明する。

【0382】

図25は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図25(A)にトランジスタの上面図を示す。また、図25(B)に図25(A)の一点鎖線A-Bに対応する断面A-Bを示す。

【0383】

図25(B)に示すトランジスタは、基板960と、基板960上に設けられた下地絶縁膜961と、下地絶縁膜961の周辺に設けられた保護絶縁膜962と、下地絶縁膜961および保護絶縁膜962上に設けられた高抵抗領域963aおよび低抵抗領域963bを有する酸化物半導体膜963と、酸化物半導体膜963上に設けられたゲート絶縁層964と、ゲート絶縁層964を介して酸化物半導体膜963と重畠して設けられたゲート電極965と、ゲート電極965の側面と接して設けられた側壁絶縁膜966と、少なくとも低抵抗領域963bと接して設けられた一対の電極967と、少なくとも酸化物半導体膜963、ゲート電極965および一対の電極967を覆って設けられた層間絶縁膜968と、層間絶縁膜968に設けられた開口部を介して少なくとも一対の電極967の一方と接続して設けられた配線969と、を有する。

10

【0384】

なお、図示しないが、層間絶縁膜968および配線969を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜968の表面伝導に起因して生じる微小リーキ電流を低減することができ、トランジスタのオフ電流を低減することができる。

【実施例2】

【0385】

本実施例では、上記とは異なるIn-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0386】

30

図26は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図26(A)はトランジスタの上面図である。また、図26(B)は図26(A)の一点鎖線A-Bに対応する断面図である。

【0387】

図26(B)に示すトランジスタは、基板970と、基板970上に設けられた下地絶縁膜971と、下地絶縁膜971上に設けられた酸化物半導体膜973と、酸化物半導体膜973と接する一対の電極976と、酸化物半導体膜973および一対の電極976上に設けられたゲート絶縁層974と、ゲート絶縁層974を介して酸化物半導体膜973と重畠して設けられたゲート電極975と、ゲート絶縁層974およびゲート電極975を覆って設けられた層間絶縁膜977と、層間絶縁膜977に設けられた開口部を介して一対の電極976と接続する配線978と、層間絶縁膜977および配線978を覆って設けられた保護膜979と、を有する。

40

【0388】

基板970としてはガラス基板を、下地絶縁膜971としては酸化シリコン膜を、酸化物半導体膜973としてはIn-Sn-Zn-O膜を、一対の電極976としてはタンゲステン膜を、ゲート絶縁層974としては酸化シリコン膜を、ゲート電極975としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜977としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線978としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜979としてはポリイミド膜を、それぞれ用いた。

50

## 【0389】

なお、図26(A)に示す構造のトランジスタにおいて、ゲート電極975と一対の電極976との重畠する幅をL<sub>ov</sub>と呼ぶ。同様に、酸化物半導体膜973に対する一対の電極976のはみ出しをd<sub>W</sub>と呼ぶ。

## 【符号の説明】

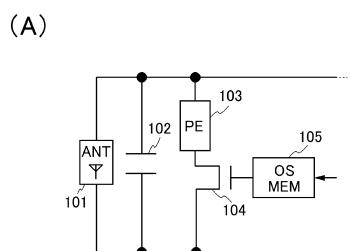
## 【0390】

101	アンテナ	
102	容量素子	
103	受動素子	
104	トランジスタ	10
105	記憶回路	
106	整流回路	
131	容量素子	
132	アンテナ	
201	トランジスタ	
202	容量素子	
301	トランジスタ	
302	容量素子	
303	トランジスタ	
304	電子素子	20
401	トランジスタ	
402	容量素子	
403	トランジスタ	
404	電子素子	
405	容量素子	
406	トランジスタ	
600_A	被素子形成層	
600_B	被素子形成層	
600_C	被素子形成層	
600_D	被素子形成層	30
601_A	導電層	
601_B	導電層	
601_C	導電層	
601_D	導電層	
602_A	絶縁層	
602_B	絶縁層	
602_C	絶縁層	
602_D	絶縁層	
603_A	半導体層	
603_B	半導体層	40
603_C	半導体層	
603_D	半導体層	
604_a_C	領域	
604_a_D	領域	
604_b_C	領域	
604_b_D	領域	
605_a_A	導電層	
605_a_B	導電層	
605_a_C	導電層	
605_a_D	導電層	50

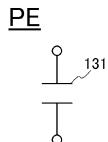
6 0 5 b _ A	導電層	
6 0 5 b _ B	導電層	
6 0 5 b _ C	導電層	
6 0 5 b _ D	導電層	
6 0 6 _ A	絕緣層	
6 0 6 _ B	絕緣層	
6 0 8 _ A	導電層	
6 0 8 _ B	導電層	
7 1 1	アンテナ	
7 1 2	容量素子	10
7 1 3	受動素子	
7 1 4	トランジスタ	
7 1 5	記憶回路	
7 1 6	整流回路	
7 1 7	電源回路	
7 1 8	復調回路	
7 1 9	記憶制御回路	
7 2 0	メモリ	
7 2 1	符号化回路	
7 2 2	変調回路	20
9 6 0	基板	
9 6 1	下地絶縁膜	
9 6 2	保護絶縁膜	
9 6 3	酸化物半導体膜	
9 6 3 a	高抵抗領域	
9 6 3 b	低抵抗領域	
9 6 4	ゲート絶縁層	
9 6 5	ゲート電極	
9 6 6	側壁絶縁膜	
9 6 7	電極	30
9 6 8	層間絶縁膜	
9 6 9	配線	
9 7 0	基板	
9 7 1	下地絶縁膜	
9 7 3	酸化物半導体膜	
9 7 4	ゲート絶縁層	
9 7 5	ゲート電極	
9 7 6	電極	
9 7 7	層間絶縁膜	
9 7 8	配線	40
9 7 9	保護膜	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 3 a	側面	
1 0 0 3 b	側面	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	50

1 0 0 7	側面	
1 2 0 1	無線送受信回路	
1 2 0 4	蓄電装置	
1 2 0 5	電源回路	
1 2 0 6	演算処理回路	
1 2 0 7	メモリ	
1 2 0 8	表示制御回路	
1 2 0 9	表示パネル	
1 3 0 1	下地絶縁層	10
1 3 0 2	絶縁物	
1 3 0 3 a	半導体領域	
1 3 0 3 b	半導体領域	
1 3 0 3 c	半導体領域	
1 3 0 4	ゲート絶縁層	
1 3 0 5	ゲート	
1 3 0 6 a	側壁絶縁物	
1 3 0 6 b	側壁絶縁物	
1 3 0 7	絶縁物	
1 3 0 8 a	ソース	20
1 3 0 8 b	ドレイン	

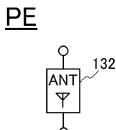
【図1】



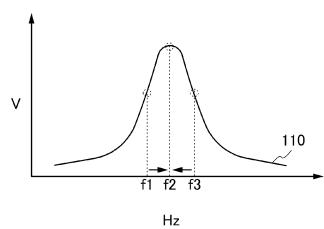
(B-1)



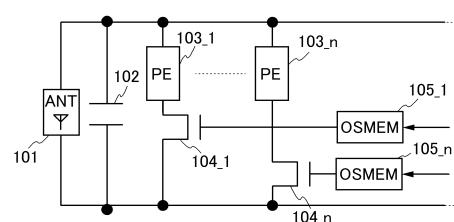
(B-2)



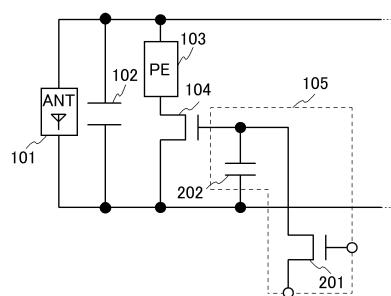
(C)



【図2】

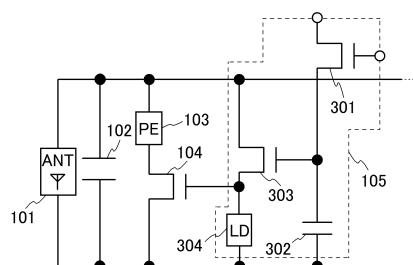


【図3】

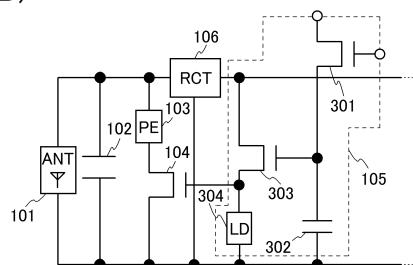


【図4】

(A)

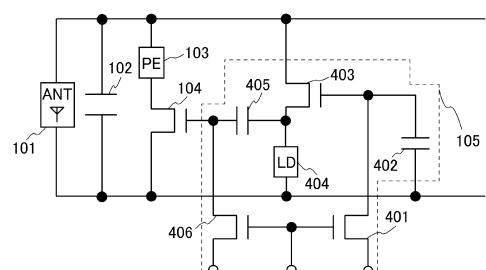


(B)

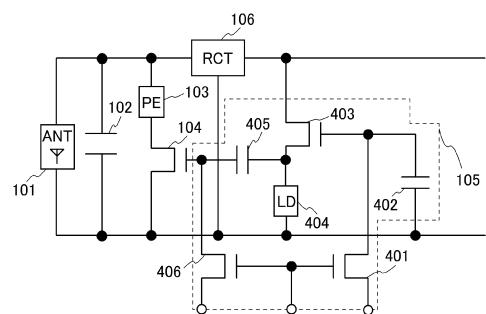


【図5】

(A)

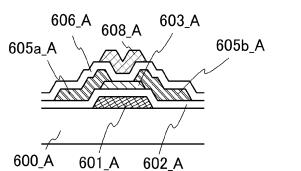


(B)

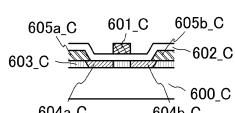


【図6】

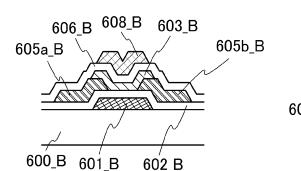
(A)



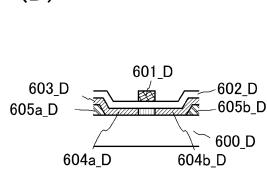
(C)



(B)

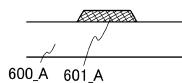


(D)

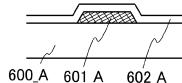


【図7】

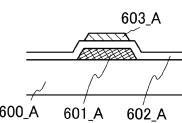
(A)



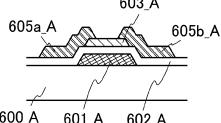
(B)



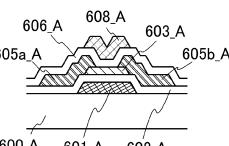
(C)



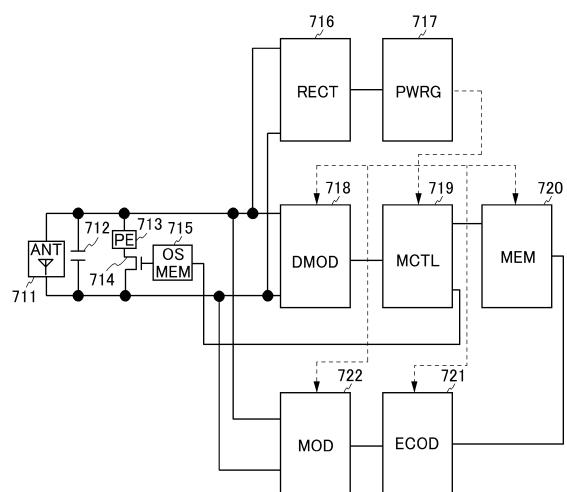
(D)



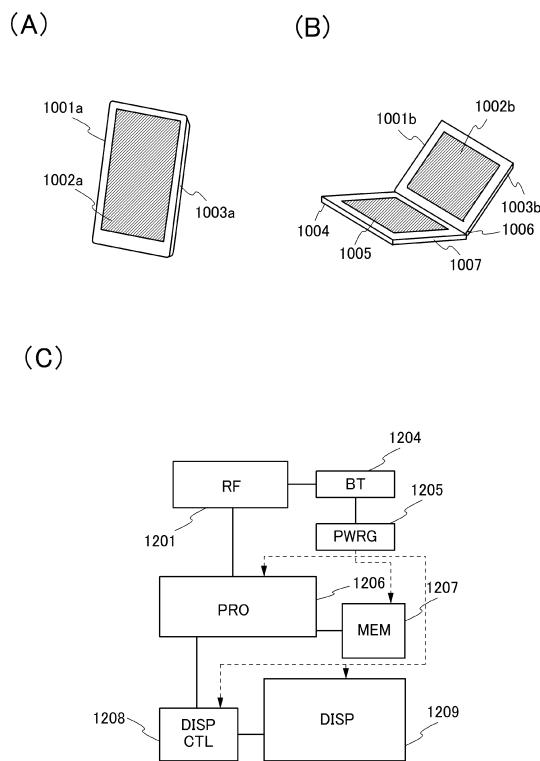
(E)



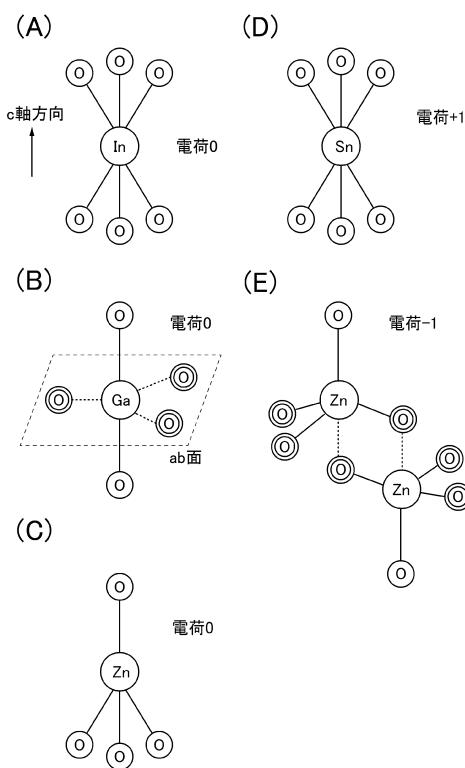
【図8】



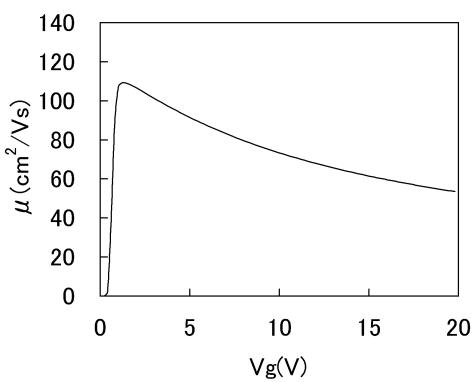
【図9】



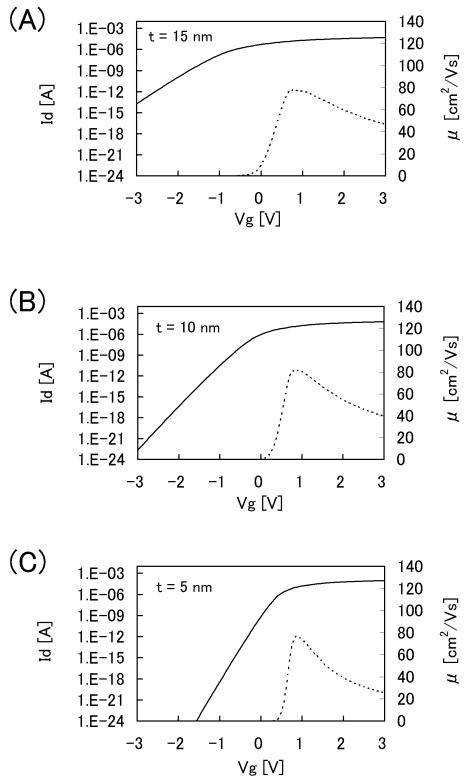
【図10】



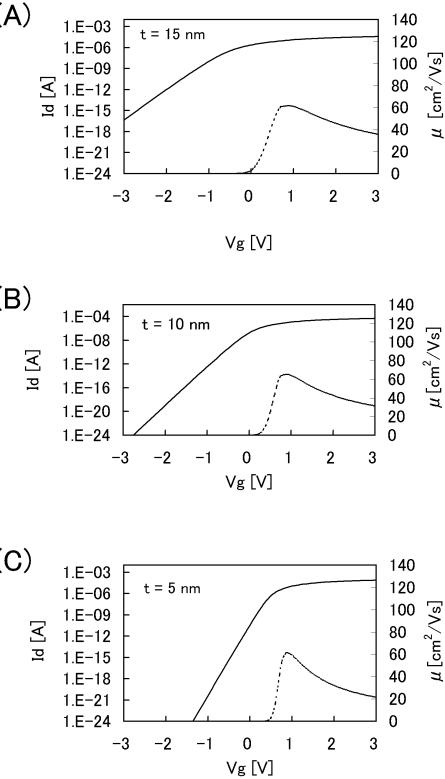
【図13】



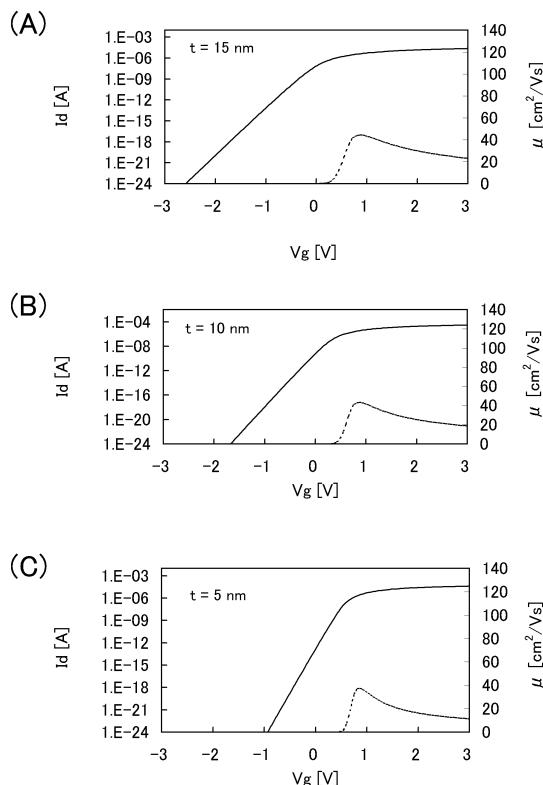
【図14】



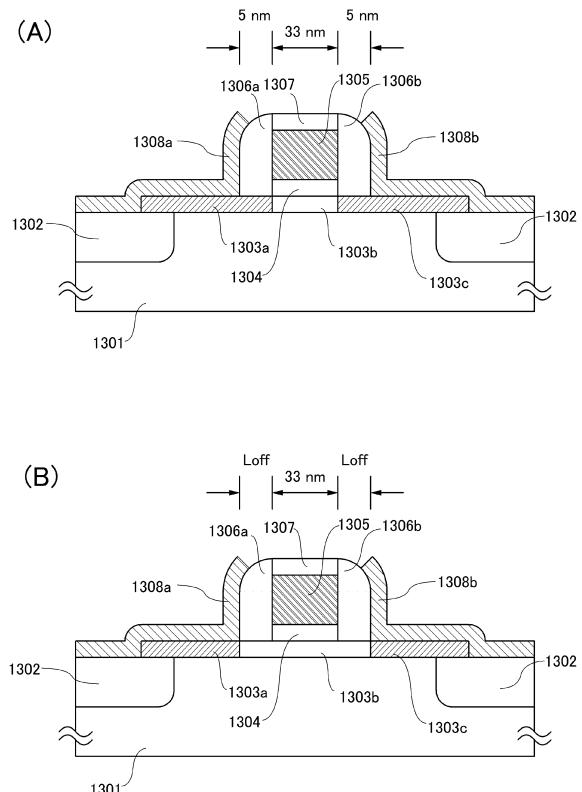
【図15】



【図16】

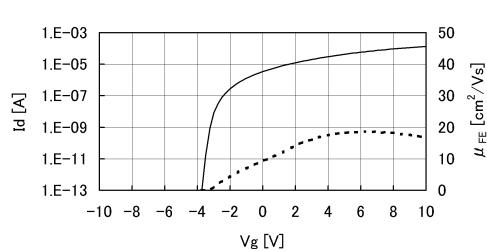


【図17】

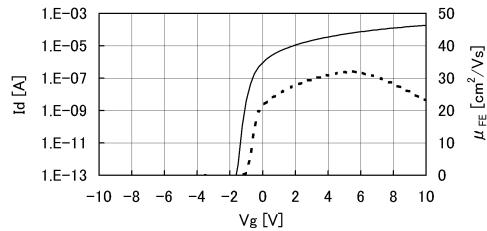


【図 1 8】

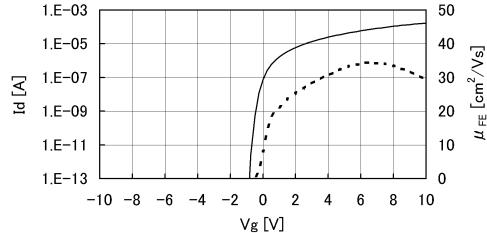
(A)



(B)

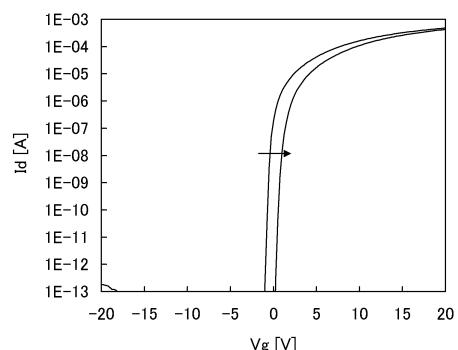


(C)

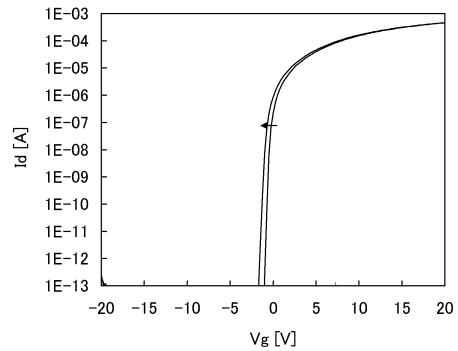


【図 1 9】

(A)

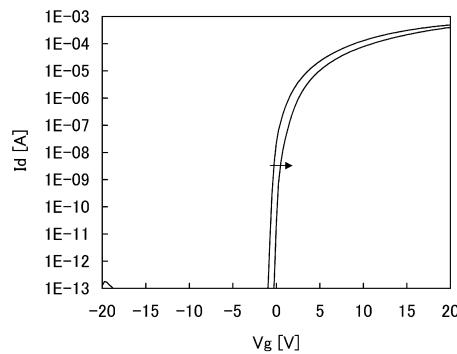


(B)

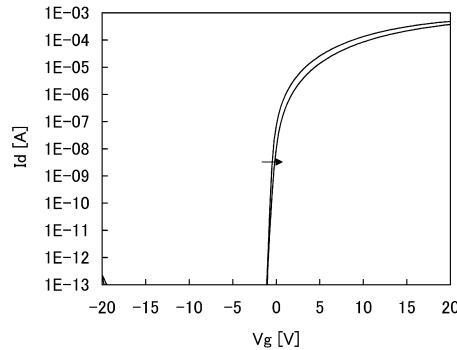


【図 2 0】

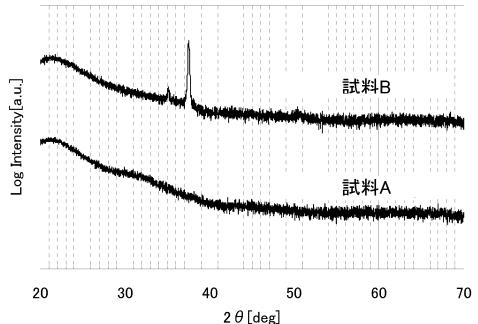
(A)



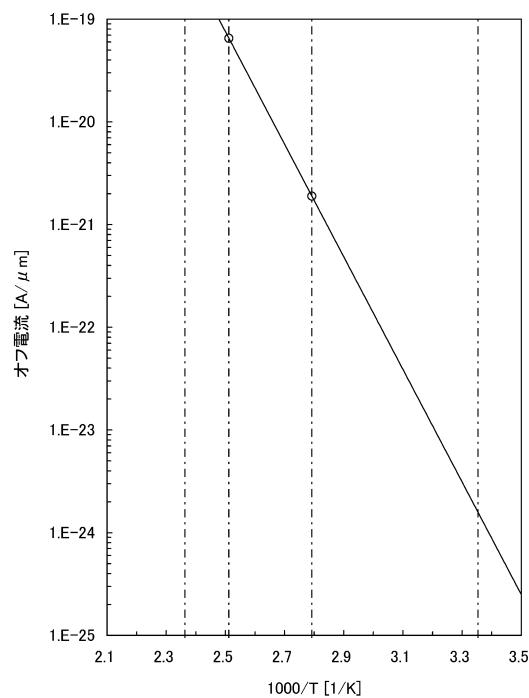
(B)



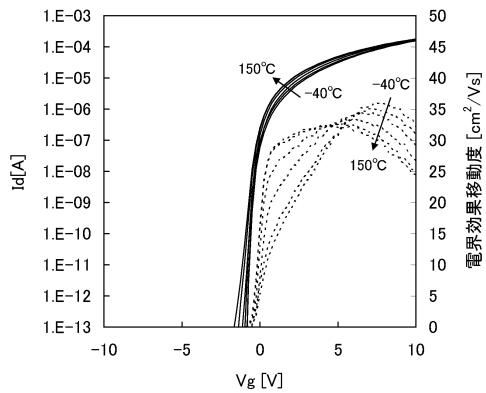
【図 2 1】



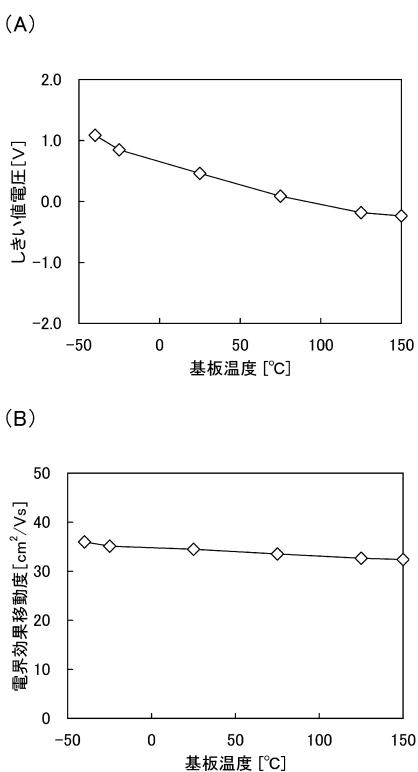
【図22】



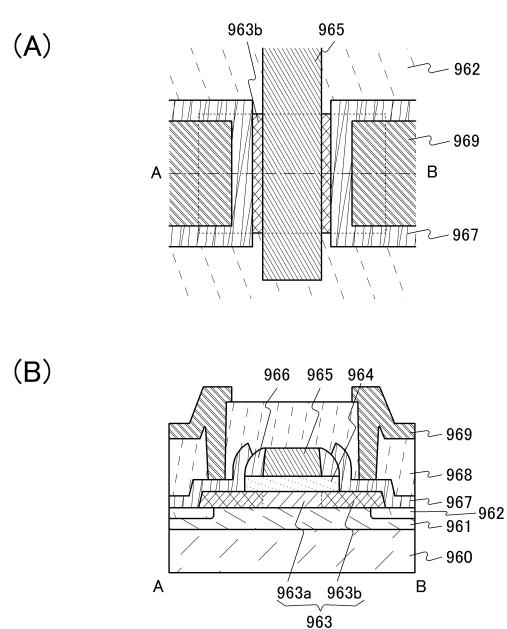
【図23】



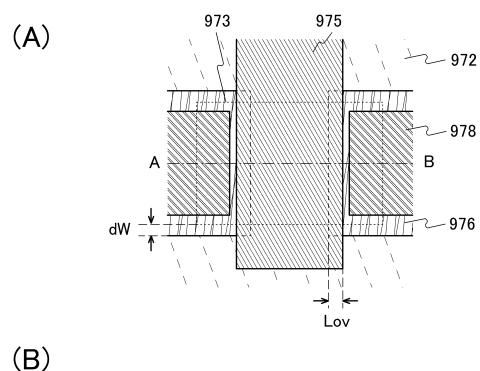
【図24】



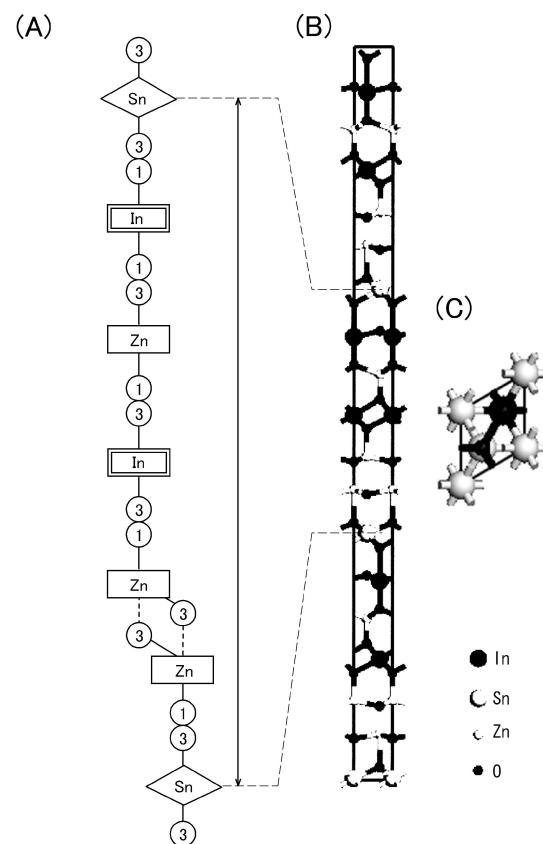
【図25】



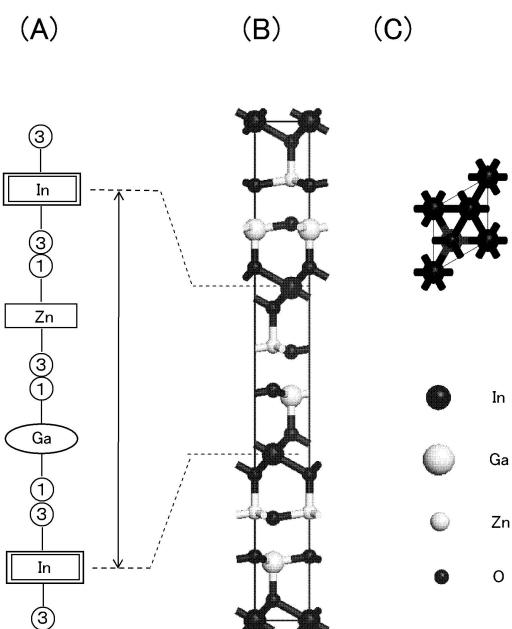
【図26】



【図11】



【図12】



---

フロントページの続き

(51)Int.Cl.	F I				
G 0 6 K	7/10	(2006.01)	H 0 1 L	27/10	4 9 1
			H 0 1 L	27/10	4 6 1
			G 0 6 K	7/10	1 5 6

(56)参考文献 特開2006-238398 (JP, A)  
特開2008-181499 (JP, A)  
特開2010-085328 (JP, A)  
特開2010-103340 (JP, A)  
米国特許出願公開第2010/072285 (US, A1)

## (58)調査した分野(Int.Cl., DB名)

G 0 6 K	1 9 / 0 7
G 0 6 K	7 / 1 0
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 7 / 1 0
H 0 1 L	2 7 / 1 0 8
H 0 1 L	2 9 / 7 8 6