

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-319260

(P2006-319260A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int.Cl.		F I		テーマコード (参考)
H01C 17/06	(2006.01)	H01C 17/06	B	5E032
H01C 7/00	(2006.01)	H01C 7/00	B	5E033

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号	特願2005-142802 (P2005-142802)	(71) 出願人	000105350
(22) 出願日	平成17年5月16日 (2005.5.16)		コア株式会社
			長野県伊那市伊那3672番地
		(74) 代理人	100078134
			弁理士 武 顕次郎
		(74) 代理人	100093492
			弁理士 鈴木 市郎
		(72) 発明者	木下 順
			長野県伊那市大字伊那3672番地 コー
			ア株式会社内
		(72) 発明者	前田 幸則
			長野県伊那市大字伊那3672番地 コー
			ア株式会社内
		Fターム(参考)	5E032 BA03 BB01 CA01 CC14
			5E033 AA22 BA03 BB02 BD01

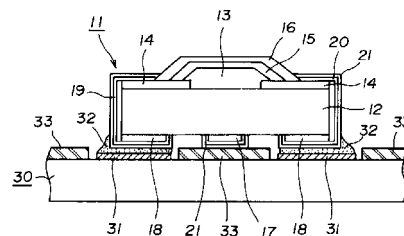
(54) 【発明の名称】 チップ抵抗器

(57) 【要約】

【課題】 半田リフロー工程後に半田ボールが残存する虞がなく、かつ、マウント時に懸念される絶縁性基板のクラック発生も防止できる高信頼性のチップ抵抗器を提供すること。

【解決手段】 チップ抵抗器11は、セラミック基板12の上面に抵抗体13と一対の表面電極14および保護膜15、16とを有し、セラミック基板12の下面にはダミー電極17と一対の裏面電極18を有し、セラミック基板12の長手方向両端側の側面には表面電極14と裏面電極18を橋絡する一対の端面電極19を有する。各電極14、18、19とダミー電極17は2層構造のめっき層20、21によって被覆されている。ダミー電極17は一対の裏面電極18の間に位置して裏面電極18とは電氣的に独立であり、かつ、ダミー電極17の端面がセラミック基板12の長手方向に沿う両側面12aに隣接している。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

角形の絶縁性基板と、この絶縁性基板の表面に設けられた抵抗体と、前記絶縁性基板の表面で前記抵抗体の両端部と重なり合う位置に設けられた一对の表面電極と、前記絶縁性基板の裏面で前記表面電極と略対応する位置に設けられた一对の裏面電極と、前記絶縁性基板の長手方向両端側の側面に設けられて前記表面電極と前記裏面電極とを橋絡する一对の端面電極と、前記表面電極と前記裏面電極および前記端面電極を被覆するめっき層とを備えたチップ抵抗器において、

前記絶縁性基板の裏面に、前記両裏面電極の間に位置して該裏面電極と電氣的に独立するダミー電極を設け、このダミー電極を前記めっき層にて被覆したことを特徴とするチップ抵抗器。 10

【請求項 2】

請求項 1 の記載において、前記ダミー電極の材料および膜厚が前記裏面電極と同じであることを特徴とするチップ抵抗器。

【請求項 3】

請求項 1 または 2 の記載において、前記ダミー電極を前記絶縁性基板の長手方向に沿う両側面に隣接する位置に設けたことを特徴とするチップ抵抗器。

【請求項 4】

請求項 3 の記載において、前記ダミー電極が前記絶縁性基板の長手方向中央部に位置すると共に、該ダミー電極が前記絶縁性基板を幅方向に沿って横断する帯状に形成されていることを特徴とするチップ抵抗器。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明はチップ抵抗器に係り、特に、クリーム半田を用いた半田リフロー工程で回路基板上に実装される角形チップ抵抗器に関する。

【背景技術】

【0002】

図 7 は従来より一般的に知られている角形チップ抵抗器の断面図であり、このチップ抵抗器 1 は、セラミック基板等からなる絶縁性基板 2 と、この絶縁性基板 2 の上面に設けられた抵抗体 3 および一对の表面電極 4 と、抵抗体 3 の保護膜として機能するガラスコート層 5 およびオーバーコート層 6 と、絶縁性基板 2 の下面に設けられた一对の裏面電極 7 と、絶縁性基板 2 の長手方向両端側の側面に設けられた一对の端面電極 8 と、めっき層 9、10 とによって構成されている（例えば、特許文献 1 参照）。一对の表面電極 4 は抵抗体 3 の両端部と重なり合う位置に形成されており、絶縁性基板 2 の下面で各表面電極 4 と略対応する位置に裏面電極 7 が形成されている。表面電極 4 と裏面電極 7 は端面電極 8 によって橋絡されており、これら表面電極 4 と裏面電極 7 および端面電極 8 がチップ抵抗器の下地電極層を構成している。この下地電極層はめっき処理されて、ニッケルめっき層 9 と半田（または錫）めっき層 10 という 2 層構造のめっき層によって被覆される。なお、これらめっき層 9、10 は、電極くわれの防止や半田付けの信頼性向上を図るためのものである。 30 40

【0003】

このようなチップ抵抗器 1 を実装する手順は、まず、回路基板の実装面に設けられたランド上にクリーム半田を塗布し、このクリーム半田上にチップ抵抗器 1 の裏面電極 7 を搭載することによって、回路基板上の所定位置にチップ抵抗器 1 を仮固定する。次に、この回路基板をリフロー炉へ搬送してクリーム半田を溶融させ、溶融半田を冷却固化させることにより、対応するランドと裏面電極 7 とが半田付けされるため、チップ抵抗器 1 が回路基板上に実装された状態となる。

【特許文献 1】特開平 9-246006 号公報（第 2 頁、図 5）

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、前述した従来のチップ抵抗器1では、実装時の半田リフロー工程で溶融状態のクリーム半田が表面張力により半田ボールとなってランドから離れ、この半田ボールが自身のフラックスによって絶縁性基板2の長手方向に沿う側面に付着したまま残存してしまうという現象が発生しやすく、このような半田ボールはサイドボールとも称され回路基板の配線パターンへの悪影響が危惧されていた。すなわち、半田ボールが絶縁性基板2の側面に付着したまま製品の組立工程が行われると、僅かな振動や衝撃で半田ボールが脱落して回路基板上の隣接する配線パターン間が短絡されてしまう危険性が高まるため、配線パターン間のピッチが狭い近年の高密度実装においては、信頼性が著しく損なわれることとなる。なお、半田ボールの発生要因は、ランドや裏面電極の大きさ、クリーム半田の印刷条件、リフロー条件等々、多岐にわたるため、半田ボールの発生を根絶することは容易でない。また、チップ抵抗器の実装後に洗浄等を行うことによって、残存する半田ボールの数を減らすことはできるが、半田ボールの残存しないチップ抵抗器となすためには煩雑な除去作業が必要となるため、トータルコストが大幅に上昇してしまう。

【0005】

さらにまた、前述した従来のチップ抵抗器1では、自動マウンタによって回路基板上へマウントされるときに、絶縁性基板2の長手方向両端部の下降動作が裏面電極やランドによって規制された後、絶縁性基板2の長手方向中央部が下方の回路基板との間に存する隙間へ向けて強く押し込まれるため、この絶縁性基板2に大きな剪断応力が作用してしまい、それゆえ絶縁性基板2として一般的なセラミック基板を用いた場合、絶縁性基板2の下面側にクラックを生じる危険性があった。

【0006】

本発明は、このような従来技術の実情に鑑みてなされたもので、その目的は、半田リフロー工程後に半田ボールが残存する虞がなく、かつ、マウント時に懸念される絶縁性基板のクラック発生も防止できる高信頼性のチップ抵抗器を提供することにある。

【課題を解決するための手段】

【0007】

上記の目的を達成するため、本発明では、角形の絶縁性基板と、この絶縁性基板の表面に設けられた抵抗体と、前記絶縁性基板の表面で前記抵抗体の両端部と重なり合う位置に設けられた一对の表面電極と、前記絶縁性基板の裏面で前記表面電極と略対応する位置に設けられた一对の裏面電極と、前記絶縁性基板の長手方向両端側の側面に設けられて前記表面電極と前記裏面電極とを橋絡する一对の端面電極と、前記表面電極と前記裏面電極および前記端面電極を被覆するめっき層とを備えたチップ抵抗器において、前記絶縁性基板の裏面に、前記両裏面電極の間に位置して該裏面電極と電氣的に独立するダミー電極を設け、このダミー電極を前記めっき層にて被覆する構成にした。

【0008】

このような構成によれば、実装時の半田リフロー工程で発生した半田ボールが絶縁性基板の長手方向に沿う側面の近傍を浮遊すると、その半田ボールは絶縁性基板の裏面に設けられたダミー電極に吸着されるため、絶縁性基板に付着した半田ボールが実装後に残存してしまう虞がなくなる。それゆえ、このチップ抵抗器は、半田ボールに起因する短絡事故を誘発する虞がなくなる。また、ダミー電極は一对の裏面電極の間に設けられているので、マウント時に絶縁性基板の長手方向両端部の下降動作が裏面電極やランドによって規制されるのと同時に、絶縁性基板の長手方向中央部の下降動作がダミー電極によって規制されることになる。それゆえ、このチップ抵抗器は、マウント時に絶縁性基板に大きな剪断応力が作用せず、絶縁性基板が一般的なセラミック基板であってもクラックが発生する危険性が少ない。

【0009】

上記の構成において、ダミー電極の材料および膜厚は裏面電極と同じであることが好ましく、これにより、ダミー電極と裏面電極とを一括形成できて工程数の増加を伴わずに済

むので、コストアップを回避することができる。

【0010】

また、上記の構成において、ダミー電極を絶縁性基板の長手方向に沿う両側面に隣接する位置に設けると、半田ボールをダミー電極に吸着しやすくなって好ましい。この場合において、ダミー電極が絶縁性基板の長手方向中央部に位置すると共に、該ダミー電極が絶縁性基板を幅方向に沿って横断する帯状に形成されていると、ダミー電極が一对の裏面電極から等距離に位置することになるので、半田ボールを吸着させやすくなると共に、マウント時の剪断応力を低下させやすくなる。

【発明の効果】

【0011】

本発明のチップ抵抗器は、半田リフロー工程で発生した半田ボールをダミー電極で吸着することができるため、絶縁性基板に半田ボールが付着して実装後に残存するということがなく、それゆえ半田ボールに起因する短絡事故を誘発する虞がない。また、このチップ抵抗器は、ダミー電極が一对の裏面電極の間に設けられており、マウント時に絶縁性基板に作用する剪断応力がダミー電極の存在で大幅に低減するため、絶縁性基板がセラミック基板であってもマウント時にクラックを発生する危険性が少ない。

【発明を実施するための最良の形態】

【0012】

発明の実施の形態を図面を参照して説明すると、図1は本発明の実施形態例に係るチップ抵抗器の断面図、図2は該チップ抵抗器の底面図、図3と図4は該チップ抵抗器の製造工程図、図5は該チップ抵抗器を回路基板上にマウントした状態を示す断面図である。

【0013】

図1および図2に示すチップ抵抗器11は、角形のセラミック基板12と、このセラミック基板12の上面に設けられた抵抗体13および一对の表面電極14と、抵抗体13の保護膜として機能するガラスコート層15およびオーバーコート層16と、セラミック基板12の下面に設けられたダミー電極17および一对の裏面電極18と、セラミック基板12の長手方向両端側の側面に設けられた一对の端面電極19と、ニッケルめっき層20および錫めっき層21とによって構成されている。

【0014】

チップ抵抗器11の各部の構成について詳しく説明すると、抵抗体13は酸化ルテニウム等からなり、この抵抗体13をガラスコート層15で被覆した後、必要に応じて抵抗値を調整するためのトリミング溝が形成される。オーバーコート層16はエポキシ系樹脂等からなる。表面電極14と裏面電極18および端面電極19はチップ抵抗器11の下地電極層を構成しており、セラミック基板12の上面で抵抗体13の両端部と重なり合う位置に一对の表面電極14が形成されていると共に、セラミック基板12の下面で両表面電極14と略対応する位置に裏面電極18が形成されている。この下地電極層とダミー電極17はめっき処理されて、ニッケルめっき層20と錫めっき層21という2層構造のめっき層によって被覆されている。これらめっき層20、21は電極くわれの防止や半田付けの信頼性向上を図るためのものであり、錫めっき層21の代わりに半田めっき層を設けても良い。

【0015】

ダミー電極17はセラミック基板12の下面で裏面電極18から離隔した長手方向中央部に設けられており、図2に示すように、このダミー電極17はセラミック基板12を幅方向に沿って横断する帯状に形成されている。これにより、セラミック基板12の長手方向に沿う両側面12aの下端にダミー電極17の端面が隣接して配置されている。なお、このダミー電極17の材料および膜厚は裏面電極18と同じであるが、ダミー電極17は電氣的に孤立しているため、両裏面電極18とダミー電極17は導通されていない。

【0016】

このような構成のチップ抵抗器11は、以下のような手順で製造される。なお、図3および図4の製造工程図では1個のチップ領域のみを図示しているが、実際には多数個のチ

10

20

30

40

50

チップ抵抗器を一括して製造するため、後述する大判基板（図示せず）には多数個分のチップ領域が設けられており、この大判基板を短冊状に分割してなる短冊状基板（図示せず）にも複数個分のチップ領域が設けられている。

【0017】

まず、図3（a）に示すように、セラミック基板12が多数個取りされる大判基板を準備する。次に、図3（b）に示すように、この大判基板の上面と下面にAgペースト（またはAg-Pdペースト）を印刷して加熱硬化させることにより、各チップ領域に表面電極14とダミー電極17および裏面電極18を形成する。ここで、上面側の表面電極14と下面側のダミー電極17および裏面電極18はどちらを先に形成しても良いが、表面電極14は大判基板の上面にマトリックス状に配列され、ダミー電極17と裏面電極18も大判基板の下面にマトリックス状に配列される。

10

【0018】

次いで、図3（c）に示すように、前記大判基板の上面側に酸化ルテニウム等の抵抗体ペーストを印刷して加熱硬化させることにより、各チップ領域に抵抗体13を形成する。なお、本実施形態例では、表面電極14を形成した後に抵抗体13を形成した場合について例示しているが、これとは逆に抵抗体13を形成した後に表面電極14を形成しても良く、要は抵抗体13の両端部が隣接する表面電極14に接続されれば良い。

【0019】

次に、図3（d）に示すように、各抵抗体13を覆うようにガラスペーストを印刷して加熱硬化させることにより、ガラスコート層15を形成する。この後、必要に応じてレーザトリミングを行うことにより、抵抗体13の抵抗値を調整する。そして、図3（e）に示すように、ガラスコート層15を覆うようにエポキシ等の樹脂ペーストを塗布して加熱硬化させることにより、オーバーコート層16を形成する。

20

【0020】

ここまでの工程は多数個取り用の大判基板に対する一括処理であるが、次なる工程でダイシングまたはブレードによって該大判基板を短冊状に分割加工し、複数個分のチップ領域が設けられた短冊状基板を得る。そして、図4（a）に示すように、複数個分のセラミック基板12の連続体である該短冊状基板の露出端面に、Agペースト（またはAg-Pdペースト）を塗布して加熱硬化させることにより端面電極19を形成し、この端面電極19によって表面電極14と裏面電極18とを橋絡する。

30

【0021】

しかる後、前記短冊状基板をダイシングまたはブレードによって個々のチップ単体（セラミック基板12）に分割加工し、各チップ単体に電解めっきを施すことにより、2層のめっき層20、21を形成する。すなわち、まず図4（b）に示すように、表面電極14と端面電極19とダミー電極17および裏面電極18に対してニッケルめっき層20を被着させた後、このニッケルめっき層20に対して錫（または半田）めっき層21を被着させることにより、図1に示すようなチップ抵抗器11が完成する。

【0022】

こうして製造されたチップ抵抗器11を実装する際には、図5に示すように、回路基板30上の所定位置に自動マウンタ（図示せず）によってチップ抵抗器11をマウントした後、この回路基板30をリフロー炉（図示せず）へ搬送して半田付けを行う。すなわち、まず回路基板30の実装面に設けられたランド31上にクリーム半田32を塗布し、このクリーム半田32上にチップ抵抗器11の裏面電極18を搭載することによって、回路基板30上の所定位置にチップ抵抗器11を仮固定する。このとき、チップ抵抗器11のダミー電極17は回路基板30の実装面に設けられたレジスト層33と対向しており、ダミー電極17を被覆するめっき層20、21とレジスト層33との間のクリアランスは極めて僅かである。次に、この回路基板30をリフロー炉へ搬送してクリーム半田32を溶融させ、溶融半田を冷却固化させることにより、対応するランド31と裏面電極18とが半田付けされるため、チップ抵抗器11が回路基板30上に実装された状態となる。

40

【0023】

50

このように本実施形態例に係るチップ抵抗器 11 では、セラミック基板 12 の下面に裏面電極 18 とは電氣的に独立したダミー電極 17 が設けてあり、このダミー電極 17 がセラミック基板 12 の長手方向に沿う側面 12a の下端に隣接させてあるため、実装時の半田リフロー工程で発生した半田ボールがセラミック基板 12 の側面 12a の近傍を浮遊すると、その半田ボールはダミー電極 17 に吸着されてしまう。つまり、セラミック基板 12 の側面 12a に付着した半田ボール（サイドボール）が実装後に残存するということがないため、このチップ抵抗器 11 は半田ボールに起因する短絡事故を誘発する虞がなくなっており、小型化が促進されても高い信頼性を確保することができる。

【0024】

また、このチップ抵抗器 11 は、ダミー電極 17 が一对の裏面電極 18 の間に設けられているので、マウント時にセラミック基板 12 の長手方向両端部の下降動作が裏面電極 18 やランド 31 によって規制されるのと同時に、セラミック基板 12 の長手方向中央部の下降動作がダミー電極 17 やレジスト層 33 によって規制されることになる。つまり、このチップ抵抗器 11 は、自動マウンタによって回路基板 30 上へマウントする際にセラミック基板 12 に大きな剪断応力が作用しないので、マウント時にセラミック基板 12 にクラックが発生する危険性が少なく、この点でも信頼性が高まっている。

【0025】

なお、本実施形態例では、ダミー電極 17 を裏面電極 18 と一括して形成しているが、裏面電極とは材料や膜厚が異なるダミー電極を単独で形成しても良い。ただし、本実施形態例のようにダミー電極 17 と裏面電極 18 を一括して形成すれば、工程数の増加を伴わずに済むのでコストアップが回避できる。

【0026】

また、本実施形態例のように、ダミー電極 17 はセラミック基板 12 の長手方向中央部に設けておくことが好ましく、これによりダミー電極 17 が一对の裏面電極 18 から等距離に位置することになるので、ダミー電極 17 に半田ボールを吸着させやすくなると共に、マウント時の剪断応力を低下させやすくなる。

【0027】

さらに、本実施形態例のように、ダミー電極 17 がセラミック基板 12 を幅方向に沿って横断する帯状に形成されていると、チップ抵抗器 11 が小型化された場合でもダミー電極 17 を容易に印刷形成することができるため好ましい。ただし、図 6 に示すチップ抵抗器 22 のように、セラミック基板 12 の下面の長手方向中央部で裏面電極 18 から離隔した位置に一对のダミー電極 17a, 17b を設け、セラミック基板 12 の長手方向に沿う一方の側面 12a にダミー電極 17a を隣接させて他方の側面 12a にダミー電極 17b を隣接させるようにしても良い。

【図面の簡単な説明】

【0028】

【図 1】 本発明の実施形態例に係るチップ抵抗器の断面図である。

【図 2】 図 1 に示すチップ抵抗器の底面図である。

【図 3】 図 1 に示すチップ抵抗器の製造工程図である。

【図 4】 図 1 に示すチップ抵抗器の製造工程図である。

【図 5】 図 1 に示すチップ抵抗器を回路基板上にマウントした状態を示す断面図である。

【図 6】 本発明の他の実施形態例に係るチップ抵抗器の底面図である。

【図 7】 従来例に係るチップ抵抗器の断面図である。

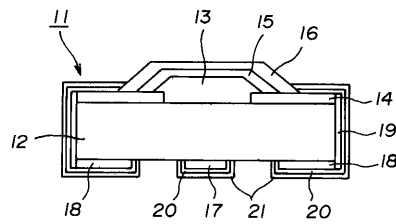
【符号の説明】

【0029】

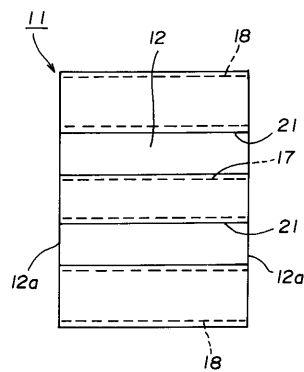
- 11, 22 チップ抵抗器
- 12 セラミック基板（絶縁性基板）
- 12a 側面
- 13 抵抗体
- 14 表面電極

- 15 ガラスコート層
- 16 オーバーコート層
- 17, 17a, 17b ダミー電極
- 18 裏面電極
- 19 端面電極
- 20, 21 めっき層
- 30 回路基板
- 31 ランド
- 32 クリーム半田
- 33 レジスト層

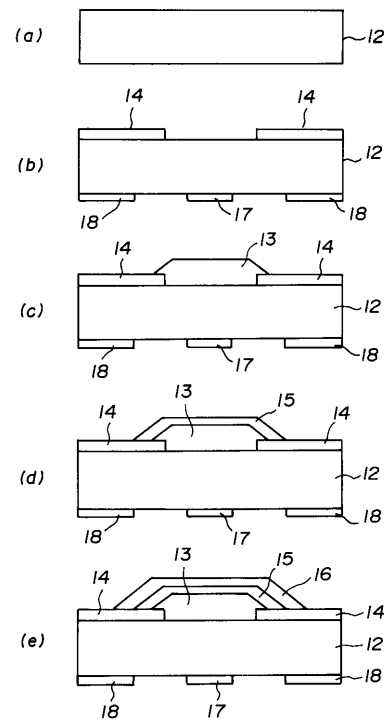
【図 1】



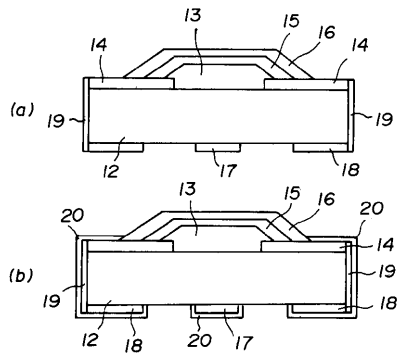
【図 2】



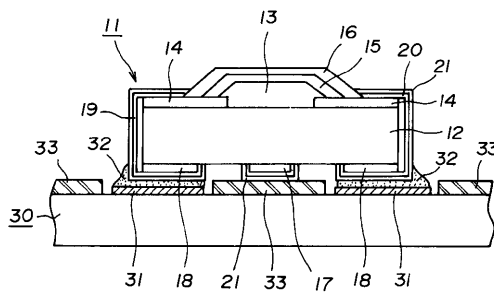
【図 3】



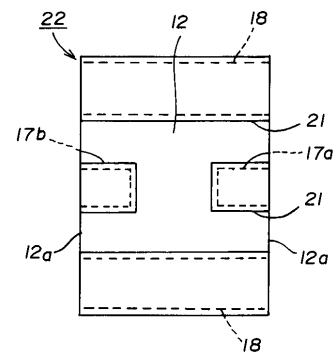
【図 4】



【図 5】



【図 6】



【図 7】

