

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) . Int. Cl.<sup>6</sup>  
 H05H 1/18

(45) 공고일자 2005년11월16일  
 (11) 등록번호 10-0528733  
 (24) 등록일자 2005년11월08일

---

(21) 출원번호	10-1999-7000050	(65) 공개번호	10-2000-0023603
(22) 출원일자	1999년01월04일	(43) 공개일자	2000년04월25일
번역문 제출일자	1999년01월04일		
(86) 국제출원번호	PCT/US1997/001020	(87) 국제공개번호	WO 1998/01012
국제출원일자	1997년01월23일	국제공개일자	1998년01월08일

---

## (81) 지정국

국내특허 : 캐나다, 중국, 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드,

(30) 우선권주장 08/675,093 1996년07월03일 미국(US)

(73) 특허권자 테갈 코퍼레이션  
미국 캘리포니아 94954 페탈루마 사우쓰 맥도웰 불러바드 2201

(72) 발명자 데오넬라스스테핀피.  
미국캘리포니아95404산타로사트레일우드드라이브5750

코퍼알퍼드  
미국캘리포니아94954페탈루마레이너1869

베일로버트씨.  
미국캘리포니아95492윈드서월슨레인352

(74) 대리인 박장원

심사관 : 이승주

---

**(54) 이며징 필름들을 위한 플라즈마 에칭 리액터 장치 및 방법**

---

**요약**

플라즈마 에칭 리액터(20)는 리액터 챔버(22)와, 접지된 상부 전극(24)과, 고주파수 전원(30) 및 저주파수 전원(32)에 부착된 하부 전극(28)과, 상부 전극과 하부 전극 사이에 위치하며 플로팅 전위를 가질 수 있는 주변 전극(26)을 포함한다. 희토류 자석들(46, 47)은 생성되는 플라즈마를 리액터 챔버(22) 내에 가두는 자기장을 형성하는 데에 이용된다. 플라즈마 에칭 리액터(20)는 고밀도 반도체 디바이스들에 이용되는 이며징 필름들을 에칭할 수 있다.

**대표도**

도 1

**색인어**

자기 가동, 고밀도 플라즈마, 전극, 고체 소스, 희토류 자석, 이미징 필름

**명세서****기술분야**

본 발명은 개선된 플라즈마 에칭 리액터 장치 및 방법에 관한 것이다.

**배경기술**

새로운 형태의 이미징 필름(emerging film)들은, 예를 들어 고밀도 DRAM과 같은 고밀도 반도체 칩을 개발하는 데에 유익하게 이용되고 있다. 이러한 물질들은 메모리 디바이스 상의 개별적인 피쳐(feature)들의 크기를 감소시킴으로써 보다 높은 용량의 디바이스를 제공할 수 있다. 따라서, 선택도 및 프로파일 제어를 향상시킬 필요가 있다.

과거에는, 반도체 웨이퍼를 상에 바람직한 프로파일들을 확립하기 위해, 저속도의 물리적인 공정인 이온 밀(ion mill)이 이용되었다. 이러한 이온 밀의 단점은, 반도체 웨이퍼 상에 형성된 프로파일이 이온 밀 범위 각도에 민감하기 때문에, 요구되는 프로파일을 얻기 위해서는 이온 밀 범위가 정확하게 위치되어야 한다는 것이다. 하지만, 프로파일을 얻을 때, 바람직한 프로파일의 가장자리로부터 큰 베일(veil) 또는 립(rib)이 튀어나올 수 있다. 따라서, 이온 밀은 이미징 필름들에 그다지 적합하지 않다.

이미징 필름에 이용되는 플라즈마 에칭 공정은 보다 빠르기는 하지만, 경우에 따라 허용할 수 없는 피쳐 프로파일을 제공할 수 있다. 따라서, 최신 반도체 제품에 이용되는 이미징 필름을 신속하고 정확하게 처리하는 에칭 공정을 제공할 필요가 있다.

삭제

삭제

삭제

삭제

삭제

**발명의 상세한 설명**

본 발명은 고밀도 반도체 디바이스들에 이용되는 이머징 필름들을 성공적으로 처리할 수 있는 플라즈마 에칭 리액터에 관한 것이다.

본 발명은 플라즈마 에칭 리액터를 제공하는 하는바, 이는 리액터 챔버, 접지되는 상부 전극, 고주파수 전원 및 저주파수 전원에 연결되는 하부 전극, 및 상부 전극과 하부 전극 사이에 위치하는 주변 또는 링 전극을 갖는다. 주변 또는 링 전극에 대한 전위는 플로팅될 수 있다. 대안적으로, 링 전극은 접지될 수 있다. 이러한 리액터는 고밀도 반도체 제품에 이용되는 최신의 이머징 필름들을 성공적으로 처리할 수 있다.

본 발명의 다른 목적은, 높은 자기장을 생성하기 위한 자석들을 갖는 리액터 챔버를 제공함으로써, 최신의 이머징 필름들을 성공적으로 에칭하기에 충분히 높은 밀도의 플라즈마를 제공하는 것이다.

본 발명의 또 다른 목적은 1개 이상의 전원들에 의해 제어되는 플라즈마의 밀도 및 에칭 특성을 갖는 것이다.

본 발명의 다른 목적들 및 장점들은 상세한 설명, 청구항 및 도면으로부터 명확해질 것이다.

### 도면의 간단한 설명

도 1은 본 발명의 플라즈마 에칭 리액터의 일 실시예의 측단면도이다.

도 2는 도 1과 유사하지만, 개선된 공정 가스 입구 노즐이 부가되어 있다.

도 3a 및 3b는 본 발명의 노즐의 바람직한 실시예의 끝(end) 단면도 및 측면도이다.

도 4a, 4b, 4c 및 4d는 본 발명의 노즐의 다른 바람직한 실시예의 등각 단면도, 측면도, 확대 부분 단면도 및 끝 단면도이다.

도 5a, 5b 및 5c는 본 발명의 노즐의 또 다른 바람직한 실시예이 측면도, 확대 부분 단면도 및 끝 단면도이다.

도 6a, 6b 및 6c는 본 발명의 노즐의 또 다른 실시예의 측단면도, 확대 부분 단면도 및 끝 단면도이다.

도 7은 본 발명의 일 실시예의 주변 전극과 결합된 자석 배치의 사시도이다.

도 8은 도 7의 자석과 관련하여 도시되는 본 발명의 일 실시예의 상부 전극과 결합되는 자석 배치의 사시도이다.

### 실시예

도 1은 본 발명의 플라즈마 에칭 리액터(20)의 일 실시예의 측면도를 도시한다. 이 리액터(20)는 본원의 참조로서 인용되는 미국 특허 제4,464,223호에 개시되어 설명되는 리액터를 개선하고 향상시킨 것이다.

리액터(20)는 접지된 상부 전극(24), 측면 주변 전극(26) 및 하부 전극(28)에 의해 경계가 구분되는 리액터 챔버(22)를 포함한다. 측면 주변 전극(26)은 접지되거나 플로팅 전위를 가질 수 있고, 동작시 플라즈마에 의해 충전될 수 있다. 바람직한 실시예에서, 하부 전극(28)은 전원(30)에 연결되는바, 이 전원(30)은 바람직하게는 13.56 MHz(또는 그 배수)로, 바람직하게는 900 와트의 전압 레벨로, 바람직하게는 1,200V의 전압으로 하부 전극(28)에게 전력을 제공한다. 바람직한 실시예에서, 고주파수 전원은 10 와트에서 2000 와트까지 동작할 수 있다. 이해될 사항으로서, 이는 (바람직하게는 무선 주파수 범위에서) 고주파수 전원이고, 주파수는 바람직하게는 2 MHz 내지 40 MHz, 위로는 약 900 MHz까지의 범위이다. 전력은 또한 200V 내지 5,000V의 전압을 이용하여 100 와트 내지 3,000 와트 범위로 제공되는 것이 바람직하다.

제 2 전원(32) 또한 하부 전극(28)에 연결된다. 이 제 2 전원(32)은 바람직하게는 450 KHz로 동작하고, 전력은 바람직하게는 100 와트, 300V의 전압으로 공급된다. 이는 저주파수 전원이다. 이해될 수 있는 사항으로서, 이 전원은 (바람직하게는, 무선 주파수 범위에서) 10 와트 내지 2,000 와트의 전력 범위 및 10V 내지 5,000V의 전압 범위에서 약 100 kHz 내지 약 950 kHz(1 MHz 이하인 것이 바람직하다)의 범위에서 동작할 수도 있다. 하부 전극(28)에는 또한 DC 전원(34)이 연결된다. 고주파수 전원은 이온 흐름을 제어하고, 저주파수 전원은 이온 에너지를 독립적으로 제어한다.

우수한 에칭 특성을 제공하기 위해 에칭 플라즈마의 밀도를 유익하게 제어하는 것은, 전원들, 기본적으로는 고주파수 전원의 제어이다. 또한, 리액터(20)는, 플라즈마 밀도 범위를 증강시켜, 이 범위로부터 전원의 제어에 의해 최적의 플라즈마 밀도를 선택할 수 있도록 설계된다.

접지된 상부 전극(24)에는 중앙 노즐(36)이 연결되어, 공정 가스의 분사를 반도체 웨이퍼(48)를 향해 리액터 챔버(22) 내로 향하게 한다. 하기에서 보다 상세히 설명되는 바와 같이, 노즐(36)로부터의 공정 가스의 분사는 반도체 웨이퍼(48)의 표면에 효과적으로 도달하여, 이 반도체 웨이퍼(48)의 전면에 공정 가스를 새롭고 균일하게 분포시킬 수 있다.

접지된 상부 전극(24) 및 노즐(36)의 바로 위에는 리액터 챔버(22)로부터 소모된 가스류(gas species)를 배기하는 데에 이용되는 배기관(38)이 있다. 이해될 수 있는 사항으로서, 리액터 챔버(22)로부터의 가스류를 배기시키기 위해, 펌프(미도시)가 배기관(38)에 고정된다.

도 1에서 알 수 있는 바와 같이, 상부 전극(24) 및 노즐(36)의 바로 아래에는 튀어나온 주변 배플(baffle)(40)이 있다. 이 배플(40)은 절연 물질로 이루어지고, 하기에서 설명되는 바와 같이, 플라즈마 에칭 리액터(20)의 하우징(44)과 노즐(36) 사이에서 배출 경로(42) 내에 툭 튀어나와 있다. 이렇게 튀어나온 배플(40)은 리액터 챔버(22) 내에서 노즐(36) 및 고체 소스(50)로부터의 다양한 가스류들이 확실하게 혼합될 수 있게 한다.

튀어나온 배플(40)의 바로 아래에는, 그리고 본 실시예에서는 측면 주변 전극(26) 내에 포함된 1개 또는 복수의 자석들(46)이 있다. 또한, 상부 전극(24) 내에도 1개 또는 복수의 자석들(47)이 포함되는 것이 바람직하다. 하기 설명되는 바와 같이, 이러한 자석들(46 및 47)중 어느 하나 또는 둘 모두는 리액터 챔버(22)의 주변에 그리고 리액터 챔버(22)와 일치하는 자기 가둠 챔버(magnetic confinement chamber)를 정의한다. 이러한 자기 가둠 챔버는 리액터 챔버 내의 충전된 이온류가 리액터 챔버로부터 빠져나오지 않고 실리콘 웨이퍼(48) 부근에 확실하게 집중되게 한다. 이러한 자기 가둠 챔버는 충전된 이온류가 리액터 챔버(22)의 벽들에 충격되는 것을 억제한다.

## 삭제

측면의 주변 고체 소스(50)가 측면의 주변 전극(26) 및 자석들(46)을 덮는다. 바람직한 실시예에서는 링 전극(26)에 전력이 제공되지 않기 때문에, 이러한 고체 소스는 필요없다. 하지만, 상기 전원에 부가적으로, 고주파수 전원이 고체 소스(50)에 제공되면, 이 고체 소스(50)는, 예를 들어 이 고체 소스(50)로부터 반응 챔버(22) 내로 가스류의 원자를 충돌시키거나 또는 부식시키는 무선 주파수 여기 이온들의 충격을 통해 스퍼터링될 수 있는 가스류의 혁신적인 소스를 제공한다. 고체 소스의 표면으로부터의 가스류의 부식은 전원의 펄스화(pulsing)에 의해 영향을 받을 수 있다. 다른 장점으로서, 고체 소스의 표면의 일부가 부식하기 때문에, 가스류의 조합에 의해 부식 표면에는 어떤 입자도 형성될 수 없다. 따라서, 고체 표면의 부식 부분들에 형성되는 이러한 입자들로부터의 오염이 제거된다. 고체 소스(50)의 변형에 대해서는 하기에서 설명한다.

고체 소스(50) 바로 아래에는, 리액터 챔버(22)에 대해 반도체 웨이퍼(48)를 위치시키는 웨이퍼 척(chuck)(52)이 있다. 웨이퍼 클램프(53)는 웨이퍼(48)를 웨이퍼 척(52) 상에 홀딩한다. 본 실시예에서, 웨이퍼 척(52) 및 하부 전극(28)은 아래로 수직 이동하여, 웨이퍼(48)를 삽입 및 제거할 수 있다.

## 삭제

본 실시예에서, 필요하다면, 측면 주변 전극(26) 및 자석(46)은 냉각수 매니폴드(manifold)(54)를 이용하여 냉각될 수 있다. 또한, 이해될 사항으로서, 필요하다면, 고체 소스(50)는 온수 매니폴드(56)를 이용하여 가열될 수 있다. 고체 소스(50), 특히 그 노출된 앞면을 가열하는 다른 방법들은 저항 및 유도 가열, 램프 및 그 외의 광자 소스들에 의해 제공되는 복사열이 있다.

노즐로부터의 공정 가스 분사 및 자석의 구성 뿐 아니라, 튀어나온 배플(40), 및 (전원이 주변 링 전극(26)에 연결되는 경우) 고체 소스로부터 부식되는 가스류는 반도체 웨이퍼의 표면에 인접하게 고밀도의 플라즈마를 제공한다. 이러한 구성은 리액터 챔버(22) 내에서 달성할 수 있는 밀도의 범위를 매우 증가시킨다.

상기 동작 범위는 종래의 디바이스들에서는 불가능하다. 이해될 사항으로서, 1개 이상의 상기 특징들이 플라즈마 밀도 범위를 확대하는 데에 이용되어 에칭 공정을 개선할 수 있으며, 본 발명의 정신 및 범위 내에 있다.

도 2는 리액터(20)의 대안적인 실시예를 도시한다. 상기 설명한 것과 같은 구성 요소들에는 같은 참조 부호를 부여하였다. 도 2에서, 리액터 챔버(22) 내에서의 가스류들의 혼합의 균일성을 개선하도록 노즐(36)이 변경되었다. 도 2에서 알 수 있는 바와 같이, 노즐(36)은 공정 가스들을 많은 방향으로 보낼 수 있는 매니폴드(70)를 포함한다. 이 매니폴드(70)로부터, 공정 가스의 분사를 수평으로 그리고 상부 전극(24)에 평행하게 향하게 하는 수평 포트들(72, 74)이 있다. 포트(76)는 가스 분사를 웨이퍼(48) 위에 바로 향하도록 수직 하향되게 한다. 포트들(78 및 80)은 공정 가스들의 분사를 수평으로 비스듬한 방향으로, 그리고 기본적으로는 웨이퍼(48)의 주변쪽으로 향하게 함으로써, 공정 가스들의 분포를 균일하게 하고 및/또는 가스류가 확실하게 혼합되게 한다. 본 실시예에서 또한, 매니폴드(70)와 뒤어나온 배풀(40)의 결합에 의해, (1) (전원이 주변 링 전극(26)에 연결되는 경우) 고체 소스(50)로부터 스퍼터링 또는 부식되는 가스류와 (2) 노즐(36)의 포트로부터의 공정 가스가 우수하게 혼합되어, 반도체 웨이퍼(48)의 표면에 제공된다.

종래의 디바이스들에서의 에칭은 통상적으로 300 내지 500 millitorr 범위에서 수행되었는바, 이 범위는 본 발명의 리액터에 의해 고려되는 저압 보다 1 내지 2 단계 높다. 최신의 반도체 디바이스들에 의해 요구되는 서브 미크론 피쳐들의 에칭에 대해서는, 저압 동작이 바람직하다. 하지만, 저압에서는, 고밀도 플라즈마를 유지하기가 더욱 어렵다.

도 1, 2의 실시예들에 대해, 본 발명은 저압(3 내지 5 millitorr)에서, 높은 플라즈마 밀도(웨이퍼에서  $10^{11} \text{ cm}^{-3}$ ) 및 낮은 이온 에너지(15 내지 300 eV 미만)를 갖는 플라즈마를 포함하는 자기장을 고려한다. 일반적으로, 저압 동작은 약 150 millitorr 또는 약 100 millitorr 이하, 바람직하게는 약 20 millitorr 또는 약 10 millitorr 이하에서 이루어진다. 서브 미크론(0.5 미크론 이하) 디바이스에 대해 우수한 에칭 결과를 달성하기 위해, 플라즈마 소스는 웨이퍼에서의 고밀도의 활성화된 가스 및 낮은 이온 에너지와 함께 저압에서 동작해야 한다. 마이크로로딩(덜 집중된 피쳐들 보다 집중된 피쳐들을 더 빠르게 에칭한다)의 영향 및 웨이퍼 피쳐들의 언더컷팅-이 둘 모두는 전체 수율에 악영향을 미칠 수 있다-을 최소화함으로써, 저압 플라즈마는 에칭의 전체적인 품질을 향상시킨다. 하지만, 저압에서는, 빠른 에칭 속도를 유지하기 위해, 에칭되고 있는 반도체 웨이퍼 위의 필름과 반응하는 플라즈마 입자들의 수를 증가시키기 위해서는, 웨이퍼에서의 플라즈마의 밀도가 높아야 한다. 빠른 에칭 속도는 평균 쓰루풋을 보다 높게 하는 한 요인이다. 또한, 낮은 이온 에너지는 에칭 선택도를 향상시키고, 웨이퍼 손상을 최소화한다. 이 둘 모두는 전체 수율을 향상시킨다. 본 실시예는 약 150 millitorr 이하에서 동작할 수 있는 것으로 고려된다.

## 삭제

본 발명의 리액터(20)는 서로 다른 에칭 화학 물질 또는 에칭 방법을 필요로 하는 서로 다른 많은 기관들 또는 필름들을 에칭하는 데에 이용될 수 있다. 본 발명의 실시예들은 주로 새로운 이머징 필름들을 에칭하는 데에 이용된다. 일반적으로, 이러한 화학 물질은 다음의 가스들, 즉 할로겐 가스, 할로겐 함유 가스, 희가스(noble gas) 및 2원자 가스(diatomic gas) 중에서 2개 또는 그 이상을 포함한다.

이제, 지금까지 설명한 상기의 여러 특성들에 대해 보다 상세히 설명한다.

### 고체 소스

다시 말하지만, 고체 소스는 주변 링 전극(26)에 전원이 연결되는 경우에만 동작한다. 하지만, 대안적인 실시예에서, 전원, 바람직하게는 전원(30)과 같은 고주파수 전원이 주변 전극(26)에 접속된다면, 다음과 같이 된다.

고체 소스(50)로부터 부식 또는 스퍼터링되는 가스류 또는 이로부터 부식 또는 스퍼터링되는 가스류의 결여는, 플라즈마 에칭 리액터(20)에서 수행되는 에칭 공정의 성공에 깊은 영향을 주는 것으로 밝혀졌다. 단지 예로서, 고체 소스(50)는, 예를 들어 무선 주파수 여기 이온들에 의한 충격시 고체 소스로부터의 리액터 챔버 내로 실리콘 및 산소의 가스 이온들을 제공하는 실리콘 이산화물( $\text{SiO}_2$ ), 즉 석영과 같은 유전 물질로 이루어질 수 있다. 다른 타입의 유전성 고체 소스는 알루미나( $\text{Al}_2\text{O}_3$ )와 같은 세라믹을 포함할 수 있다. 이러한 세라믹은 여기 가스 이온들에 의해 충격을 받을 때 낮은 스퍼터링 또는 부식 속도를 가지며, 고체 소스로부터의 어떠한 부가적인 기여도 필요하지 않거나 또는 요구되지 않는 상황에서 유용하다. 특히, 알루미나에 관련하여, 약 600V의 피크 투 피크 전압 하의 전력 공급을 이용해서는, 스퍼터링이 거의 또는 전혀 관찰되지 않는다. 그 임계치를 넘으면, 알루미나 고체 소스로부터 스퍼터링이 발생한다.

## 삭제

## 삭제

일반적으로, 고체 소스는 반도체 물질, 유전 물질 또는 도체로 구성될 수 있다. 실제로, 고체 소스는 전극을 포함하는 물질들로 구현될 수 있는바, 이러한 물질들을 부식시켜, 리액터 챔버 내에 플라즈마를 위한 적절한 가스류를 제공할 수 있다. 적당한 유전 물질은 또한 알루미나( $Al_2O_3$ ) 이외에 다른 금속 산화물들에 부가하여, 실리콘 질화물( $Si_3N_4$ )을 포함한다. 반도체 물질은 실리콘 카바이드( $SiC$ )를 포함할 수 있다.

적절한 스퍼터링을 제공하기 위해서는, 고체 소스(50)의 표면 온도가 80°C 이상인 것이 바람직하다. 이 온도에서, 적절한 에너지의 이온들이 이러한 고체 소스의 표면을 부식시킴으로써, 고체 소스는, 본원에서 설명되는 바와 같이, 기체류로부터, 분리되어 리액터 챔버(22)를 오염시킬 수 있는 입자들을 형성하는 냉각 싱크(cold sink)는 되지 않는다. 상기 설명한 바와 같이, 고체 소스(50)로부터의 가스류의 부식 또는 스퍼터링 속도는 고주파수 전원(도시되지는 않았지만, 전원(30)과 유사하다)에 의해 제어될 수 있다. (도시되지는 않았지만, 전원(30)과 유사한) 전원을 증가시킴으로써, 예칭 공정을 위해 고체 소스로부터의 가스류의 부식 속도를 증가시키기 위해, 보다 높은 에너지의 이온들을 이용하여 고체 소스(50)에 충격을 줄 수 있다. 예로서, 실리콘 이산화물의 고체 소스가 이용된다면, 실리콘 이산화물로부터의 가스류의 스퍼터가 반도체 웨이퍼 상의 수직면을 패시베이트(passivate)하여, 이 면이 가스 예칭재류에 의해 언더컷되지 않기 때문에, 충격이 증가하게 되면 이방성 예칭을 향상시키게 된다.

## 가스 소스

고체 소스로부터 부식되는 가스류에 관해 지금까지 설명한 상기 유익성에 부가하여, 이러한 유익성은 또한 고체 소스의 표면으로부터 부식되는 가스류로부터 비롯되는 효과를 갖는 가스를 공정 가스에 도입시킴으로써 얻을 수 있다. 단지 예로서, 테트라에톡시레인(TEOS)의 가스 형태가 공정 가스로 도입될 수 있다. 이 TEOS는 예칭 공정 동안의 실리콘 및 산소의 소스가 된다. TEOS는 공정 챔버에 실리콘 이산화물( $SiO_2$ )의 고체 소스와 동일한 가스류를 제공하여, 본원에서 설명한 예칭 공정에 대한 장점을 가져온다. 또한, 주목할 사항으로서, 고체 소스와 이러한 종류의 가스 소스 모두를 조합하는 것은 본 발명의 정신 및 범위 내에 포함된다.

## 노즐

도 3a, 3b, 4a, 4b, 4c, 4d, 5a, 5b, 5c, 6a, 6b 및 6c는 본 발명에 이용할 수 있는 노즐의 배치에 대한 대안적인 바람직한 실시예들을 도시한다. 통상적인 노즐 배치는 200개 정도의 포트로부터 공정 가스를 분출하는 "샤워 헤드(shower head)" 형 배열로 구성되는 것이 일반적이다. 이러한 배치의 의도는, 챔버, 특히 처리되고 있는 반도체 웨이퍼의 표면에서 공정 가스를 확실히 균일하게 분포시키기 위한 것이었다. 종래의 디바이스는 웨이퍼 표면과 이미 반응하여 사용이 끝난 스태그네이트층(stagnate layer)을 생성시켜, 표면쪽으로 향하는 새로운 공정 가스들의 균일성을 희석시킨다. 본 발명은 이러한 종래의 노즐들을 개선시킨다. 본 발명은 웨이퍼 표면 근처에서 서로 융합하여 웨이퍼의 표면에 균일한 분포를 만들어내는, 개별적으로 배열이 조정되는 복수의 공정 가스 분사를 생성하는 노즐을 포함한다. 가스들의 속도 및 분사량은 새로운 공정 가스가 반도체 웨이퍼의 표면에 확실히 도달하게 한다. 따라서, 새로운 공정 가스들은 반도체 웨이퍼의 표면에 균일하게 분포된다. 이러한 공정 가스 분사는 웨이퍼의 표면에서 가스들을 휘저어, 고체 소스의 표면으로부터 부식되는 가스류와 공정 가스가 균일하게 분포되게 한다.

## 삭제

## 삭제

도 3a 및 3b는 포트(92)를 갖는 1 포트 노즐(90)을 도시한다. 이 노즐은 바람직하게는 알루미나로 구성된다. 이러한 배치를 이용하게 되면, 단일 가스 분사가 반도체 웨이퍼 쪽으로 투사된다.

도 4a, 4b, 4c 및 4d는 본 발명의 노즐(94)의 다른 바람직한 실시예를 도시하는바, 이 노즐 또한 알루미나로 구성된다. 본 실시예에서, 노즐(94)은 반도체 웨이퍼쪽으로 향하는 공정 가스 분사를 정의하는 12개의 포트들을 포함한다. 바람직하게는, 분사는 수직에 대해 비스듬한 각도로 향하고, 각 분사의 중심선은 웨이퍼의 주변 에지 쪽으로 향한다. 이러한 배치 또한, 웨이퍼의 표면에서 새로운 공정 가스들을 균일하게 분포시키기 때문에 유익하다. 도 4d에서 알 수 있는 바와 같이, 포트들은 노즐의 표면의 원주부 근처에 분산되어 있다.

## 삭제

도 5a, 5b 및 5c는 본 발명의 노즐(98)의 다른 실시예를 도시한다. 이러한 배치에서, 포트들(99)은 스타 형태로 도시되는 바, 일부 포트들은 노즐(98)의 표면의 주변부에 제공되고(도 5c), 나머지 포트들은 노즐의 중심선 상에서 1개의 포트에 중심을 맞추어 위치된다. 도 4a의 노즐로부터의 가스와 마찬가지로, 도 5a의 노즐의 분사는 수직에 대해 비스듬하기 때문에, 반도체 웨이퍼의 본체 및 반도체 웨이퍼의 단부 모두에 공정 가스를 균일하게 분포시킬 수 있다.

도 6a, 6b 및 6c는 본 발명의 노즐(100)의 또 다른 바람직한 실시예를 도시한다. 본 실시예에서, 포트들(102)은 노즐과 반도체 웨이퍼 사이의 수직선에 대해 실질적으로 직각 방향으로 향한다. 본 실시예에서, 노즐들은 측벽의 고체 소스쪽으로 향하며, 이에 따라 고체 소스로부터의 가스류와 공정 가스가 확실하게 더 잘 혼합된다.

## 이머징 필름

주목할 사항으로서, 상기 리액터들은 특히, 새로운 칩 설계에 이용되는 새로운 종류의 이머징 필름을 예칭하는 데에 유용하다. 단지 예로서, 이러한 리액터 구성들은 고밀도 DRAM 디바이스들의 개발에 현재 이용되고 있는 백금(Pt)의 예칭에 유용하다. 또한, 이러한 리액터들은 비휘발성의 강유전체 RAM (FRAM) 디바이스들의 개발에 현재 이용되고 있는 리드 지르코늄 티타네이트(PZT)의 예칭에 유용하다. 또한, 이러한 리액터는 이리듐(Ir)의 예칭에도 유용하다. 게다가, 이러한 장치 및 방법을 이용하여 성공적으로 예칭될 수 있는 다른 이머징 필름은 비즈머쓰 스트론튬 티타네이트(BST)로 이루어진다. 이러한 새로운 필름들이 회로 성능의 개선에 기여하기는 하지만, 이들은 그 독특한 특성으로 인해 예칭하기가 특히 어렵기 때문에, 본 발명의 보다 진보된 예칭 공정 기술을 필요로 한다. 바람직한 실시예에 의해 처리될 수 있는 다른 이머징 필름들로는 바륨 스트론튬 티타네이트(Y-1), 이리듐 산화물( $\text{IrO}_2$ ), 루테늄(Ru) 및 루테늄 산화물( $\text{RuO}_4$ )이 있다.

이해될 사항으로서, 이러한 새로운 이머징 필름들은 최신의 반도체 디바이스에 중요한 장점을 갖는다. 예로서, 종래의 반도체 디바이스들에 이용되는 유전체는 2 내지 4의 유전 상수를 갖는다. PZT를 이용하게 되면, 유전 상수는 1400이 된다. 따라서, 이러한 필름으로 제조되는 새로운 메모리 디바이스는 (파쳐들이 더욱 작아지기 때문에) 상당히 더 작아질 수 있고, 메모리 용량을 늘릴 수 있다. 또한, 이러한 필름들은 EEPROM, SRAM 등과 같은 디바이스를 대신할 수 있는 DRAM 및 비휘발성 메모리용의 캐不死시터들을 만드는 데에 이용될 수 있다.

하부 전극(28) 상의 이중 주파수가 최신의 반도체 제품들에 대한 이머징 필름들의 성공적인 예칭에 유익하다는 것을 알게 되었다. 이러한 배치에 의해, 예칭 디바이스는, 약 0.25 미크론 이하의 서브 미크론 범위의 감소된 임계 치수들을 제공하기 위해, 이방성 측벽 프로파일을 만들어낼 수 있게 되었다.

## 자기 가둠

상기 설명한 자석들(46, 47)은 리액터 챔버(22) 주위에 자기 가둠을 제공하여, 저압에서 고밀도 플라즈마가 형성될 수 있게 한다. 주목되는 사항으로서, 가스 원자들과 전자들이 충돌하여 플라즈마가 형성되어, 저압에서 고밀도 플라즈마를 생성하기 위한 이온들을 발생시킨다. 본 발명은, 플라즈마를 통해 이동하는 전자들의 전체 경로 길이를 증가시키고 리액터 벽에 대한 이온 손실을 최소화함으로써, 이를 달성한다. 플라즈마를 향해 이동하는 전자들은 자기장에 의해 뒤집혀져 플라즈마 내로 돌아가며, 이에 따라 전자들의 경로 길이를 증가시킨다.

## 삭제

### 삭제

본 발명에서, 자석들은 전자 자석 또는 영구 자석중 어느 것이라도 될 수 있으며, 본 발명의 정신 및 범위 내에 있다. 이러한 자석들은, 에칭 챔버의 주위에, 정자기장 컨테이너(static magnetic field container)를 생성한다. 자기장 효과는 리액터 벽 근처에만 존재하고, 웨이퍼에는 실질적으로 존재하지 않아, 본질적으로 균일한 플라즈마를 생성한다. 자석들은 전극들을 보호하는 기능을 제공하는바, 자기 가둠이 강할수록, 전극들 상에서의 부식이 감소한다. 자기 가둠이 약할수록, 전극 및 고체의 부식이 증가한다.

따라서, 자석들(46, 47)에 의해 야기되는 자기 가둠은 이와같이 플라즈마를 집중시키도록 설계되고, 전극들을 포함한 공정 챔버의 부분들을 부식성 플라즈마로부터 보호하는 효과를 갖는다. 그 결과, 전극 교환 비용이 감소하기 때문에, 비용을 상당히 줄일 수 있다.

도 7 및 도 8은 각각 측면 전극(26) 및 상부 전극(24)과 결합되는 자석들(46, 47)을 도시한다. 도 7에서 알 수 있는 바와 같이, 전극(26)에 대해서는 다수의 슬롯들(60)이 있다. 바람직한 실시예에서는, 슬롯들(60)의 하나 걸러 간격으로 자석(46)이 배치된다. 고체 소스(50) 뒤에 위치되는 이러한 자석들은 고체 소스로부터의 가스류의 부식 속도에 영향을 준다. 상기 설명한 바와 같이, 자석들이 없으면, 고체 소스로부터 너무 많은 가스류가 부식되어, 에칭 공정에 영향을 미칠 수 있다.

주목할 사항으로서, 이러한 자석들은 극면 자석(pole face magnet)들이다. N극 및 S극이 각각 면(62) 및 그 반대 면(64) 상에 있다. 제 1 자석(46)의 N극면이 챔버의 중심을 향하고 다음의 제 2 자석(46)의 S극면이 챔버의 중심을 향하도록, 자석을 교대로 배치할 수 있다. 이는 전극(26)의 외주부 주위에서 반복된다.

도 8은 상부 전극(24)과 결합된 자석(47)의 배치를 도시한다. 이러한 자석들 또한 극면 자석들로서, N극 및 S극이 자석들의 측면들로부터 튀어나와 있다. 도 8의 구성에서, 자석은 N극과 S극이 교대로 챔버를 향하고 있다.

## 삭제

본 실시예에서, 본 발명의 자기 가둠 챔버는 바람직하게는 강력한 희토류 자석(rare earth magent)들을 이용하여 리액터 챔버 내에 플라즈마를 최적으로 가둔다. 이러한 희토류 자석들은 리액터 챔버(22)로부터 전자들 및 가스 이온들이 누설되는 것을 최소화한다. 이는 플라즈마의 밀도를 증가시켜 에칭 공정의 효율을 증가시키는 데에 도움이 된다. 바람직한 실시예에서, 희토류 자석들은 사마륨 코발트로 이루어진다. 바람직하게는, 이러한 자석들은 2,000 가우스 내지 2,200 가우스의 표면 자력을 갖는다. 하지만, 일반적으로, 이러한 희토류 자석들은 1,500 가우스 내지 2,500 가우스의 표면 자력을 가질 수 있다.

특정 실시예에서, 주변 전극(26)은 리액터(20)의 주변에 나란히 배치되는 18개(도 7, 8)의 희토류 자석들을 보유한다. 바람직한 실시예에서, 접지된 상부 전극(24)에는 24개(도 8)의 희토류 자석들이 결합된다. 이러한 자석들은 리액터 챔버(22) 내에 대칭적인 자기장을 제공하도록 배치된다. 접지된 상부 전극(24)에 결합된 희토류 자석들(47)에 있어서, 이러한 자석들은 중심점 주위에 스포크(spoke) 배치된다. 이러한 배치는 중심으로부터 주변으로 연장되는 자석들 및 주변으로부터 중심에 미치지 못하는 위치로 연장되는 보다 짧은 자석들로 구성된다. 상기 설명한 바와 같이, 이러한 희토류 자석은 리액터 챔버(22)의 벽들에서 충전된 입자들 및 전자들의 최대 반발력을 제공한다. 이러한 구성을 이용하게 되면, (특히, 주변 전극(26)이 접지되거나 플로팅될 때) 고체 소스로부터의 가스류의 스퍼터링 또는 부식이 많지 않기 때문에, 고가의 알루미나 ( $Al_2O_3$ )이 아닌 실리콘 이산화물( $SiO_2$ )을 고체 소스로서 이용할 수 있다.

### 리액터 챔버

상기 설명한 바와 같이, 그리고 이하 설명되는 바와 같이, 본 발명의 리액터 챔버는 플라즈마의 균일성을 증강시키도록 특별히 설계된 것이다. 상기 설명한 바와 같이, 리액터 챔버(22)의 물리적 특성과 관련하여, 배풀(40) 및 노즐들(36, 70) 모

두의 배치가 리액터 챔버(22) 내에서의 공정 가스들의 균일성에 기여한다. 배풀(40)에 의해, (특히, 전원이 주변 전극(26)에 연결되는 경우) 고체 소스(50)의 표면으로부터 부식되는 가스류는 배기관(38)을 통해 펌프에 의해 즉시 배출되지 않고, 반도체 웨이퍼(48)에 인접하는 리액터 챔버 내의 가스들과 혼합할 수 있다. 또한, 가스 분사를 수직, 수평 및 비스듬한 각도로 향하게 하는 포트들을 갖는 노즐(38)은, 고체 소스로부터의 어떠한 가스류가 노즐로부터의 공정 가스들과 완전히 혼합되고 이러한 균일한 혼합물이 반도체 웨이퍼(48)에 제공되게 한다.

노즐로부터 반도체 웨이퍼의 표면까지의 리액터 챔버의 높이는 최적화될 수 있다. 종래 기술의 디바이스들은  $5\frac{1}{4}$ "의 높이를 갖는다. 이러한 높이를 이용해서도, 노즐 배치는 노즐로부터의 가스 분사가 반도체 웨이퍼의 표면에 공정 가스의 균일한 분포를 제공하도록 최적화될 수 있다는 것을 발견하였다. 따라서, 리액터 높이들이 변하더라도, 챔버 압력과 비교되는 노즐 패턴은 고체 소스를 이용한 에칭 공정을 포함하는 에칭 공정에 대해 최적화될 수 있다. 바람직한 실시예에서 리액터 챔버는 직경이 약  $14\frac{1}{2}$ " 이지만, 이러한 높이는 리액터 챔버의 직경과 상관없다. 단지 예로서, 리액터 챔버(22) 내의 압력을 2 내지 3 millitorr로 했을 경우의 바람직한 동작을 위해, 리액터 챔버의 높이는 약 4"인 것이 바람직하다. 높이가 4" 보다 낮으면, 분사가 평행하게 되어, 웨이퍼의 표면에 균일하게 퍼지지 않는다. 높이가 4" 보다 높으면, 분사는 반도체 웨이퍼의 표면 위에서 서로 융합되어, 웨이퍼의 표면에 공정 가스를 균일하게 분포시키지 않는다. 최적으로는, 소정의 노즐 구성에 대해, 최적의 성능을 위해서는, 리액터 챔버(22)의 높이와 이 챔버의 압력의 곱이 일정하게 유지되어야 한다는 것을 알게 되었다. 따라서, 상기 설명한 바와 같이, 최적의 성능은 4"의 높이와 2 또는 3 millitorr의 압력에 의해 달성될 수 있다. 압력과 높이의 값들의 범위는 100 millitorr에 대응하는 1/10 인치로부터 1 millitorr에 대응하는 10 인치까지가 최적의 성능에 맞는 범위로서 포함된다. 즉, (1) 고체 소스로부터 부식되는 가스들과, (2) 주입되는 공정 가스들과, 그리고 (3) 웨이퍼 표면으로부터의 반응물이 최적으로 혼합되게 하기 위해서는, 리액터 챔버 내의 압력이 증가하면 리액터 챔버의 높이를 낮게 하고, 리액터 챔버 내의 압력이 감소하면 리액터 챔버의 높이를 올린다.

## 작제

본 발명의 효과는 (1) 선택도의 증가(즉, 예를 들어 산화물 기판을 보호한다), (2) 에칭 공정의 프로파일 제어의 향상, 및 (3) 선택 제어의 향상(즉, 에칭 공정으로부터 포토레지스터를 보호하여, 포토레지스트로부터 웨이퍼로 정확한 선택이 옮겨진다)이다.

## 산업상 이용 가능성

상기 설명한 바와 같이, 본 발명은 고밀도 반도체 메모리와 같은 고밀도 반도체 디바이스를 제조하는 데에 이용되는 이며 징 필름들을 성공적으로 에칭할 수 있는 장치 및 방법을 제공한다.

본 발명의 다른 특징들, 양상들 및 목적들은 도면들 및 특허청구범위를 통해 알 수 있다.

이해될 사항으로서, 본 발명의 다른 실시예들을 고려할 수 있는바, 이들은 본 발명의 정신 및 범위 내에 있다.

## (57) 청구의 범위

### 청구항 1.

플라즈마 에칭 리액터에 있어서,

리액터 챔버와;

전기적으로 플로팅되거나 또는 접지되는 제 1 전극과;

상기 제 1 전극으로부터 이격된 제 2 전극과;

상기 제 2 전극에 연결되어, 제 1 주파수로 전력을 발생시키는 제 1 전원과;

상기 제 2 전극에 연결되어, 제 2 주파수로 전력을 발생시키는 제 2 전원과;

상기 리액터 내에 플라즈마를 가두는 플라즈마 가둠 디바이스와; 그리고

제 3 전원에 연결되어, 저주파수로 전력을 발생시키는 제 3 전극을 포함하며,

상기 제 2 전극은 처리될 웨이퍼를 홀딩하는 척에 결합되고, 상기 제 1 전원은 저주파수로 전력을 발생시키며, 그리고 상기 제 2 전원은 고주파수로 전력을 발생시키는 것을 특징으로 하는 플라즈마 에칭 리액터.

## 청구항 2.

삭제

## 청구항 3.

제 1 항에 있어서,

상기 제 1 전원은 약 1MHz 이하로 전력을 발생시키고,

상기 제 2 전원은 약 2MHz 이상으로 전력을 발생시키는 것을 특징으로 하는 플라즈마 에칭 리액터.

## 청구항 4.

제 1 항에 있어서,

상기 제 2 전원은 약 13.56MHz로 전력을 발생시키고,

상기 제 1 전원은 약 450kHz로 전력을 발생시키는 것을 특징으로 하는 플라즈마 에칭 리액터.

## 청구항 5.

삭제

## 청구항 6.

제 1 항에 있어서,

상기 플라즈마 가둠 디바이스는 자기장을 이용하여 상기 리액터 내에 플라즈마를 가두는 자기 가둠 디바이스인 것을 특징으로 하는 플라즈마 에칭 리액터.

## 청구항 7.

제 6 항에 있어서,

상기 자기 가둠 디바이스는 희토류 자석들로 이루어지는 것을 특징으로 하는 플라즈마 에칭 리액터.

## 청구항 8.

제 7 항에 있어서,

상기 희토류 자석들은 사마륨 코발트 자석들인 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 9.

플라즈마 증강 에칭 리액터에 있어서,

리액터 챔버와;

전기적으로 플로팅되거나 또는 접지되는 제 1 전극과;

상기 제 1 전극으로부터 이격된 제 2 전극과;

상기 제 2 전극에 연결되어 제 1 주파수로 전력을 발생시키는 제 1 전원과;

상기 제 2 전극에 연결되어, 제 2 주파수로 전력을 발생시키는 제 2 전원과; 그리고

가스류를 발생하는 고체 소스를 포함하며,

상기 제 2 전극은 처리될 웨이퍼를 홀딩하는 척에 결합되는 것을 특징으로 하는 플라즈마 증강 에칭 리액터.

### 청구항 10.

플라즈마 증강 에칭 리액터에 있어서,

리액터 챔버와;

전기적으로 플로팅되거나 또는 접지되는 제 1 전극과;

상기 제 1 전극으로부터 이격되는 제 2 전극과;

상기 제 2 전극에 연결되어 제 1 주파수로 전력을 발생시키는 제 1 전원과;

상기 제 2 전극에 연결되어, 제 2 주파수로 전력을 발생시키는 제 2 전원과; 그리고

상기 제 1 플로팅 전극을 덮으며, 가스류를 발생하는 고체 소스를 포함하고,

상기 제 2 전극은 처리될 웨이퍼를 홀딩하는 척에 결합되는 것을 특징으로 하는 플라즈마 증강 에칭 리액터.

### 청구항 11.

삭제

### 청구항 12.

제 1 항에 있어서,

플라즈마의 밀도를 증가시키고 상기 리액터 챔버로부터의 이온 손실을 감소시키는 데에 이용되는 희토류 자석들을 포함하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 13.

제 1 항에 있어서,

상기 리액터 챔버 주위에 위치되는 1개 이상의 자석들을 포함하고, 상기 각 자석은 약 2,000 가우스 내지 약 2,200 가우스의 표면 자력을 갖는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 14.

제 1 항에 있어서,

상기 리액터 챔버 주위에 위치되는 1개 이상의 자석들을 포함하고,

상기 각 자석은 약 1,500 가우스 내지 약 2,500 가우스의 표면 자력을 갖는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 15.

제 14 항에 있어서,

상기 희토류 자석들에 의해 형성되는 자기장은 대칭적인 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 16.

제 1 항에 있어서,

상기 리액터는 상기 제 1, 2 및 3 전원들을 인가하여 상기 제 1, 2 및 3 전극들이 플라즈마를 제어하도록 함으로써, 높은 도전성 물질을 에칭할 수 있는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 17.

제 1 항에 있어서,

상기 리액터는 상기 제 1, 2 및 3 전원들을 인가하여 상기 제 1, 2 및 3 전극들이 플라즈마를 제어하도록 함으로써, 높은 도전성 물질을 서브 미크론 치수로 에칭할 수 있는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 18.

제 1 항에 있어서,

상기 리액터는 상기 제 1, 2 및 3 전원들을 인가하여 상기 제 1, 2 및 3 전극들이 플라즈마를 제어하도록 함으로써, 리드 지르코늄 티타네이트트(PZT), 백금(Pt), 이리듐(Ir), 비즈머쓰 스트론튬 티타네이트(Y-1), 바륨 스트론튬 티타네이트(BST), 이리듐 산화물( $\text{IrO}_2$ ), 루테늄(Ru) 및 루테늄 산화물( $\text{RuO}_4$ )중 적어도 하나의 필름들을 서브 미크론 치수로 에칭할 수 있는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 19.

제 1 항에 있어서,

상기 리액터는 상기 제 1, 2 및 3 전원들을 인가하여 상기 제 1, 2 및 3 전극들이 플라즈마를 제어하도록 함으로써, 강유 전체 랜덤 액세스 메모리(FRAM)를 위한 웨이퍼들을 예칭할 수 있는 것을 특징으로 하는 플라즈마 예칭 리액터.

### 청구항 20.

제 1 항에 있어서,

상기 제 1 전원은 약 2MHz 내지 약 950MHz의 고주파로 전력을 발생시키고,

상기 제 2 전원은 약 10kHz 내지 약 1MHz의 저주파로 전력을 발생시키는 것을 특징으로 하는 플라즈마 예칭 리액터.

### 청구항 21.

제 1 항에 있어서,

상기 제 1 전원은 약 10 와트 내지 약 2,000 와트의 전력을 발생시키고,

상기 제 2 전원은 약 100 와트 내지 약 3,000 와트의 전력을 발생시키는 것을 특징으로 하는 플라즈마 예칭 리액터.

### 청구항 22.

제 1 항에 있어서,

상기 리액터 챔버는 약 150 millitorr 이하에서 동작할 수 있는 것을 특징으로 하는 플라즈마 예칭 리액터.

### 청구항 23.

제 1 항에 있어서,

상기 리액터 챔버는 50 millitorr 이하에서 동작할 수 있는 것을 특징으로 하는 플라즈마 예칭 리액터.

### 청구항 24.

제 1 항에 있어서,

상기 리액터 챔버는 상부벽, 하부벽, 및 상기 상부벽과 상기 하부벽 사이에 위치하는 주변 측벽을 포함하고,

상기 제 2 전극은 상기 하부벽에 인접하게 위치하고, 상기 가둠 디바이스는 상기 주변 측벽에 인접하게 위치하는 것을 특징으로 하는 플라즈마 예칭 리액터.

### 청구항 25.

제 24 항에 있어서,

상기 가둠 디바이스는 또한 상기 상부벽에 인접하게 위치하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 26.

제 24 항에 있어서,

상기 제 1 전극은 상기 상부벽에 인접하게 위치하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 27.

제 24 항에 있어서,

상기 제 3 전극은 상기 주변 측벽에 인접하게 위치하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 28.

제 24 항에 있어서,

상기 가둠 디바이스는 복수의 자석들을 포함하고, 상기 복수의 자석들은 상기 주변 측벽과 평행하고 그 주위에 위치하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 29.

제 24 항에 있어서,

상기 가둠 디바이스는 복수의 자석들을 포함하고,

상기 자석들은 희토류 자석들인 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 30.

제 24 항에 있어서,

상기 가둠 디바이스는 복수의 자석들을 포함하고,

상기 리액터 챔버는 중심을 가지며, 그리고

상기 자석들은 N극면 및 S극면을 갖는 극면 자석들이고, 상기 자석들은, 제 1 자석의 N극면이 상기 리액터 챔버의 중심을 향하고 다음의 제 2 자석의 S극면이 상기 리액터 챔버의 중심을 향하도록 교대로 배치되는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 31.

제 24 항에 있어서,

상기 가둠 디바이스는 상기 주변 측벽에 결합된 복수의 자석들을 포함하고,

상기 제 1 전극은 상기 상부벽에 결합되며,

상기 가둠 디바이스는 상기 제 1 전극에 결합된 다른 복수의 자석들을 포함하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 32.

제 31 항에 있어서,

상기 상부벽은 중심을 갖고,

상기 상부벽에 결합된 상기 다른 복수의 자석들은 상기 상부벽의 중심으로부터 바깥쪽으로 연장되어 반경을 따라 위치되는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 33.

제 1 항에 있어서,

상기 제 2 전극에 연결된 DC 전원을 포함하는 것을 특징으로 하는 플라즈마 에칭 리액터.

### 청구항 34.

삭제

### 청구항 35.

삭제

### 청구항 36.

삭제

### 청구항 37.

삭제

### 청구항 38.

삭제

### 청구항 39.

삭제

### 청구항 40.

삭제

### 청구항 41.

삭제

### 청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

청구항 46.

삭제

청구항 47.

삭제

청구항 48.

삭제

청구항 49.

삭제

청구항 50.

삭제

청구항 51.

삭제

청구항 52.

삭제

청구항 53.

삭제

청구항 54.

삭제

청구항 55.

삭제

청구항 56.

삭제

청구항 57.

삭제

청구항 58.

삭제

청구항 59.

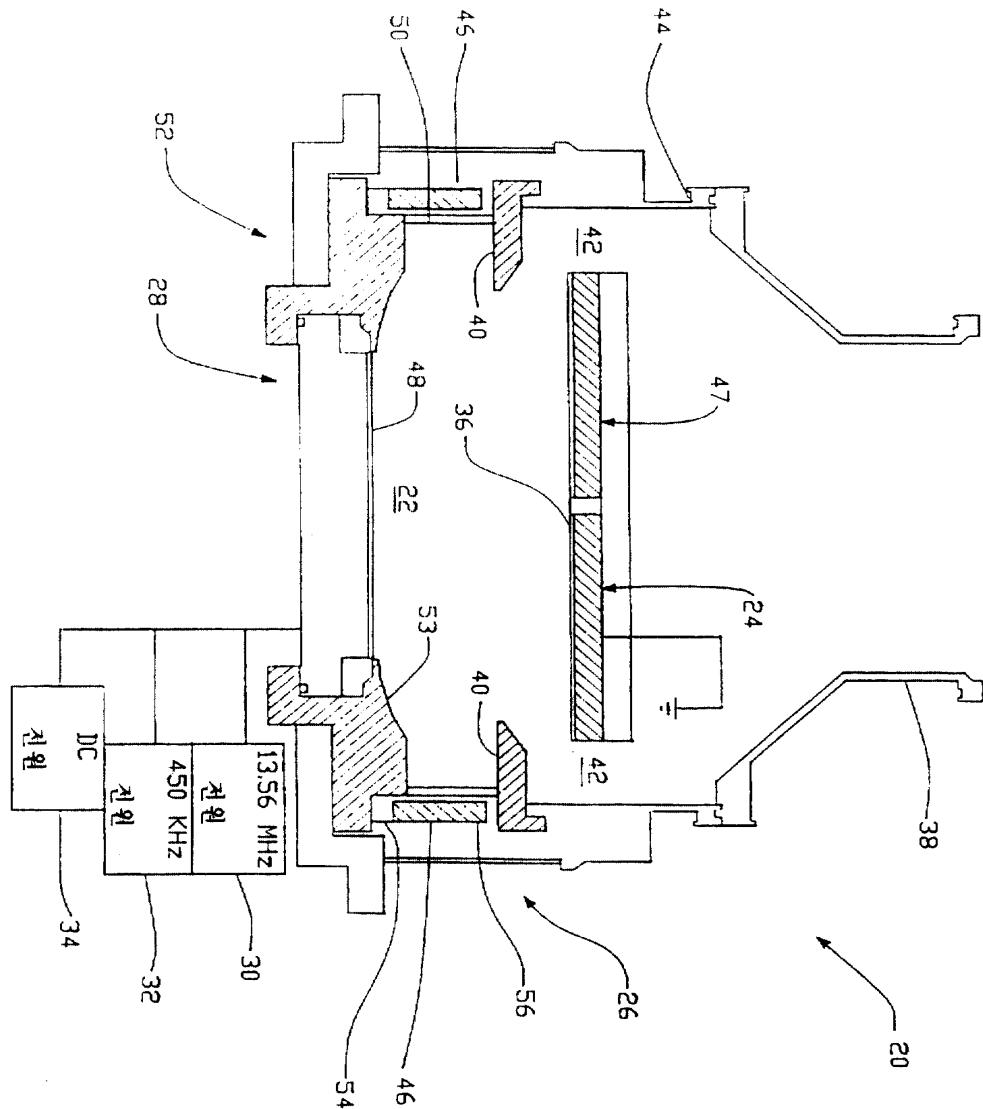
삭제

청구항 60.

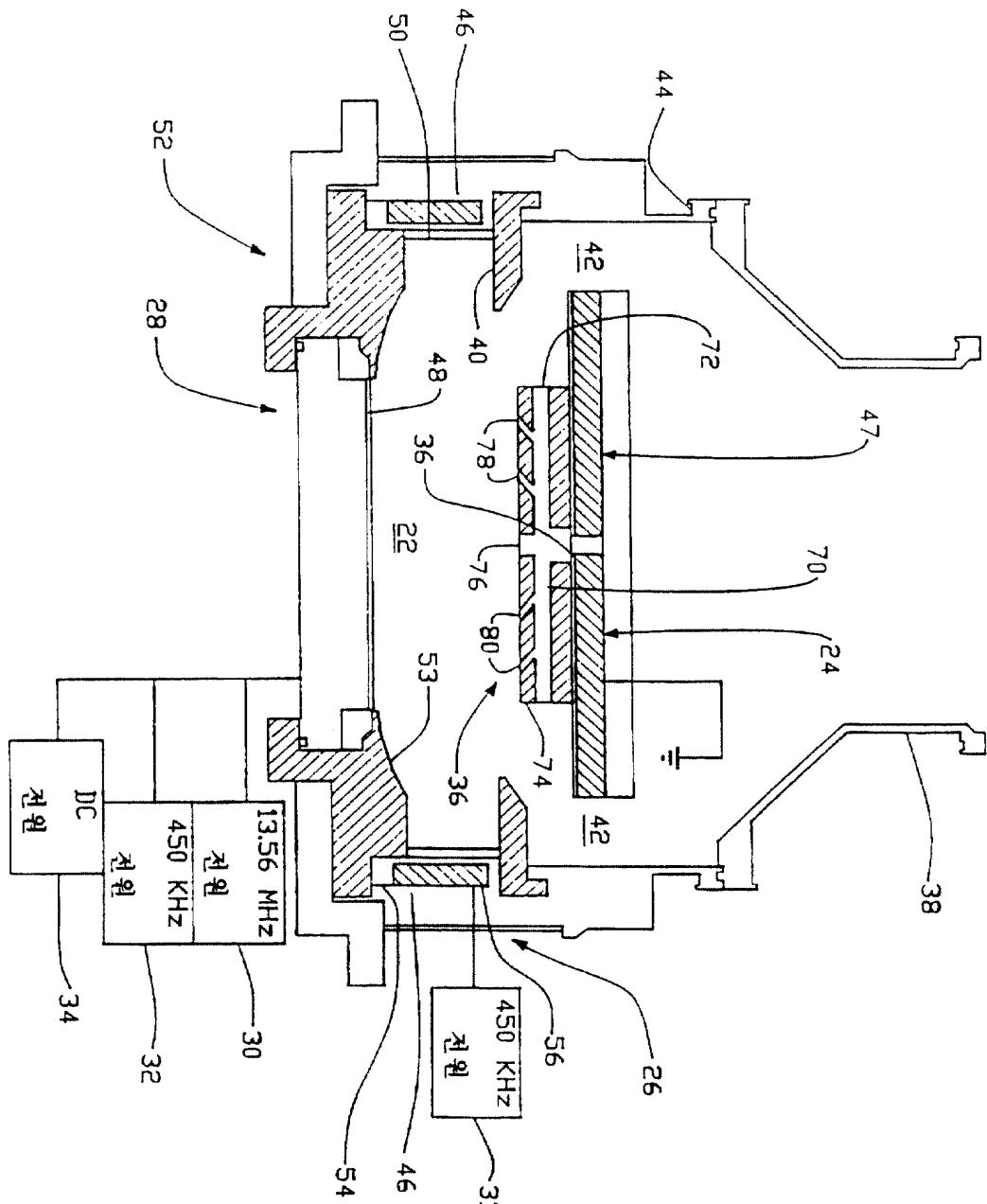
삭제

도면

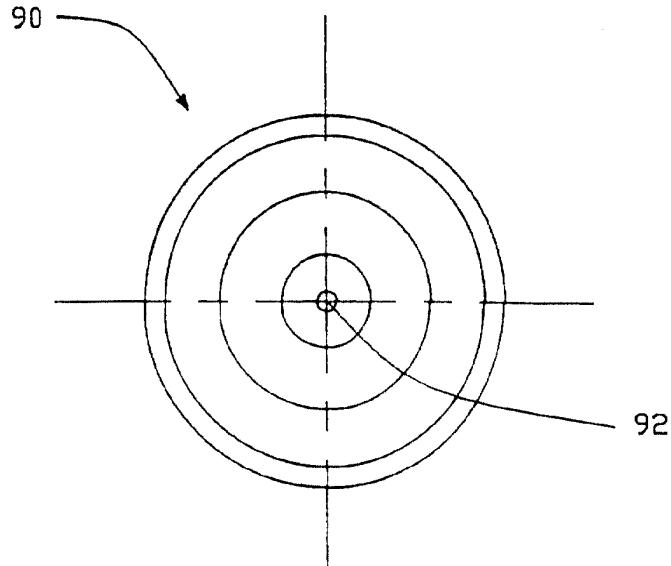
도면1



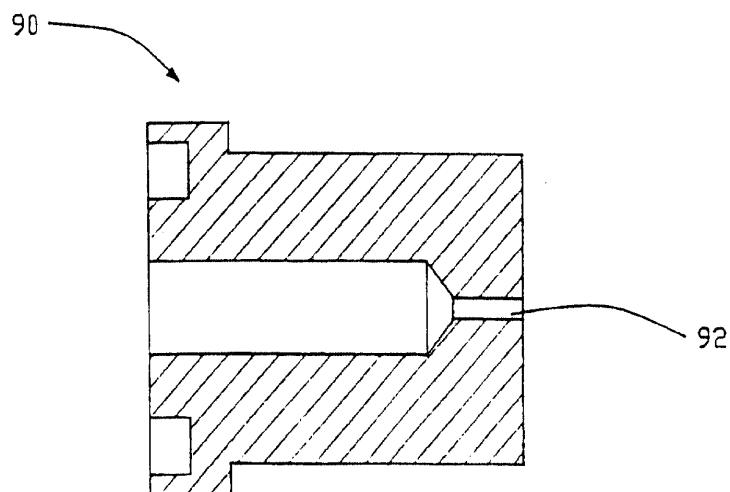
## 도면2



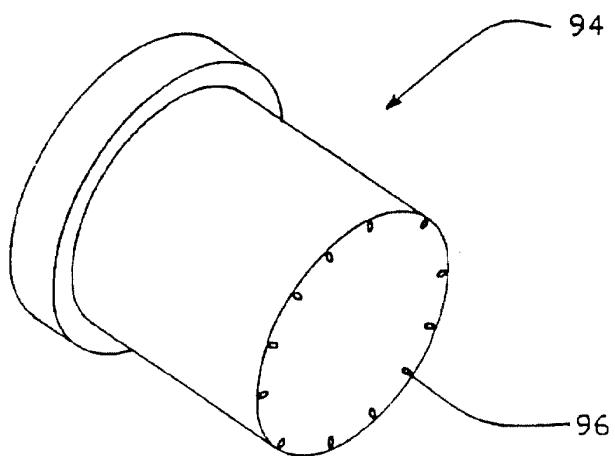
도면3a



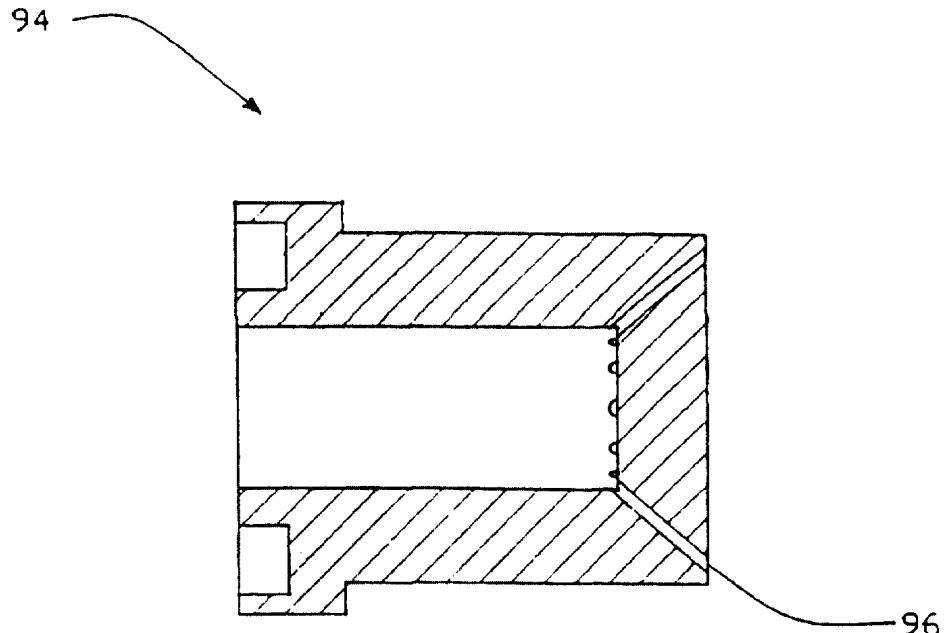
도면3b



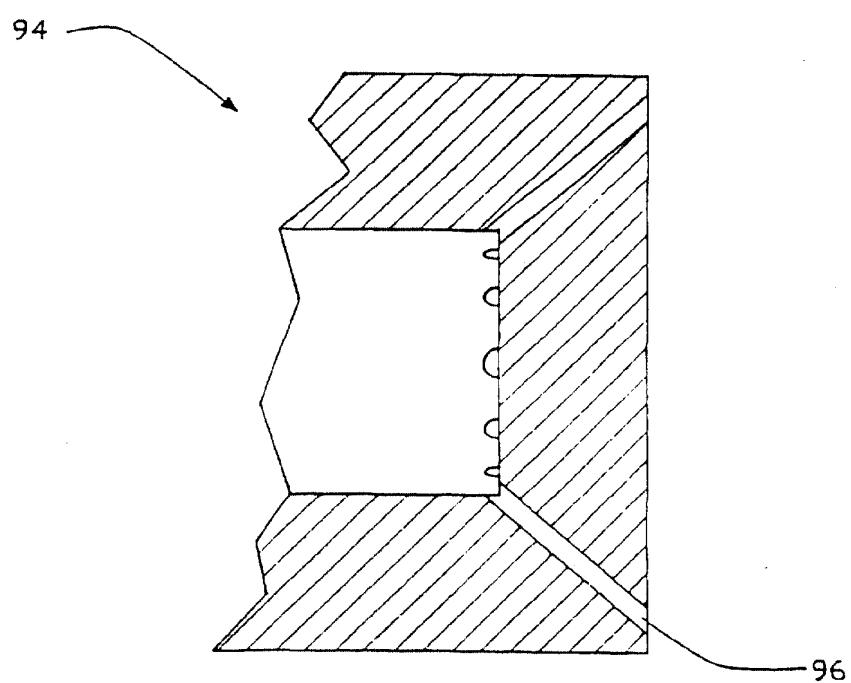
도면4a



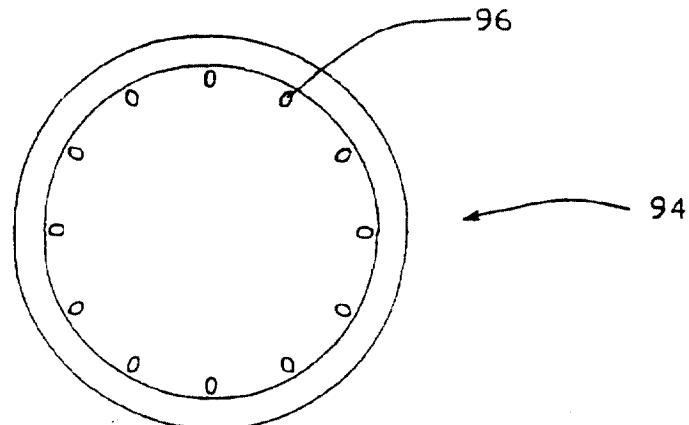
도면4b



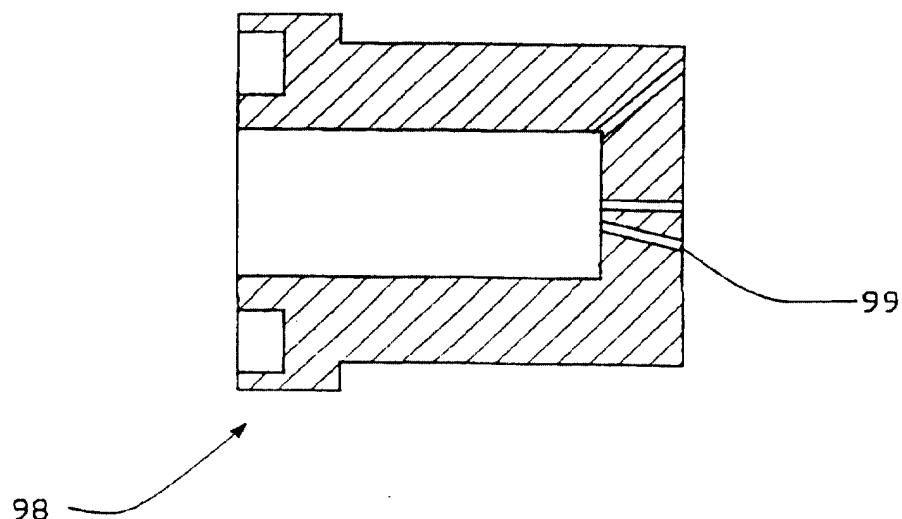
도면4c



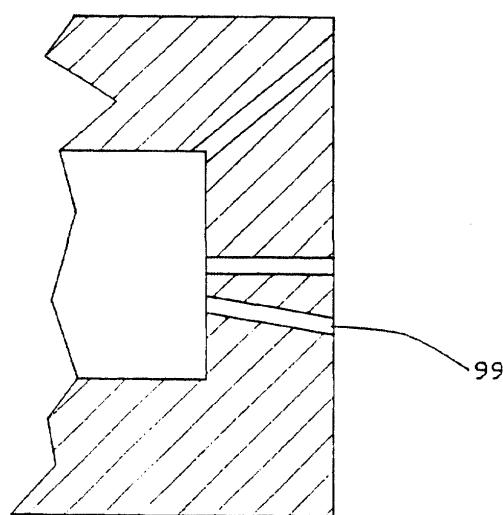
도면4d



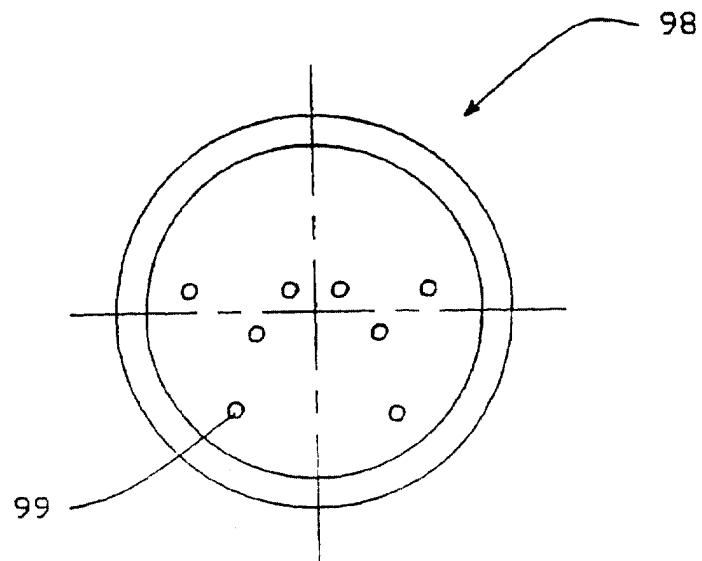
도면5a



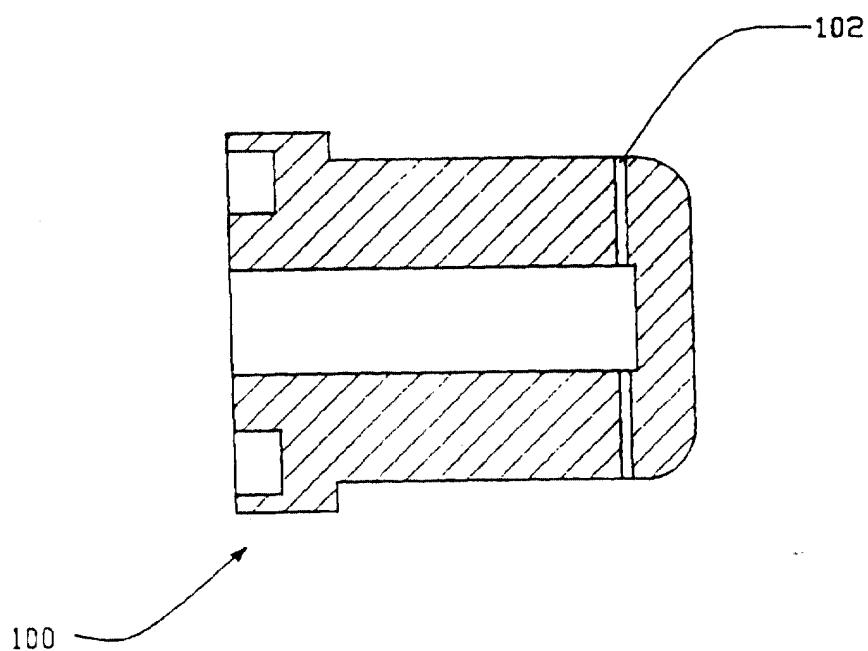
도면5b



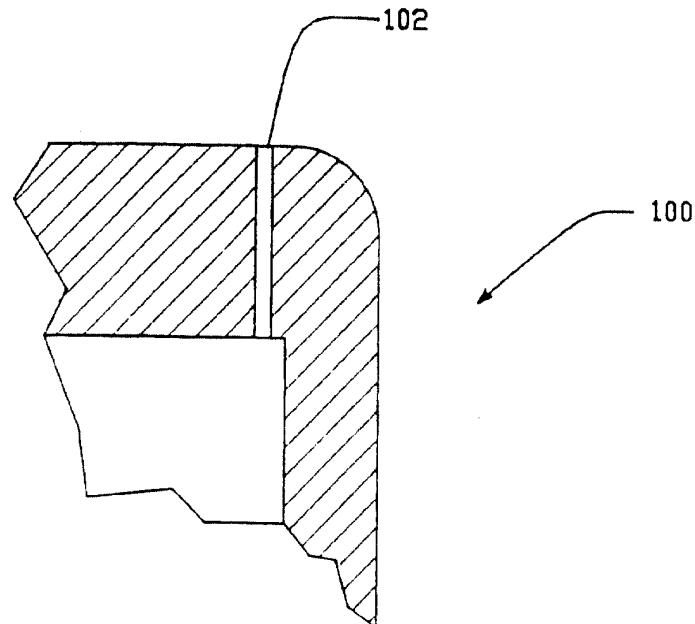
도면5c



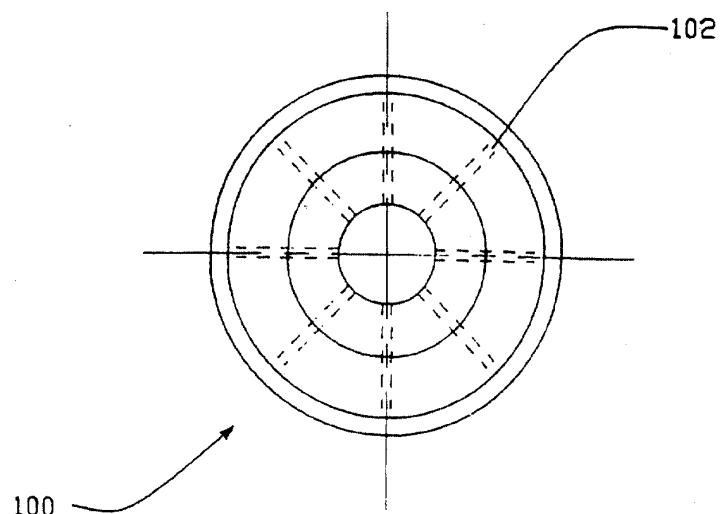
도면6a



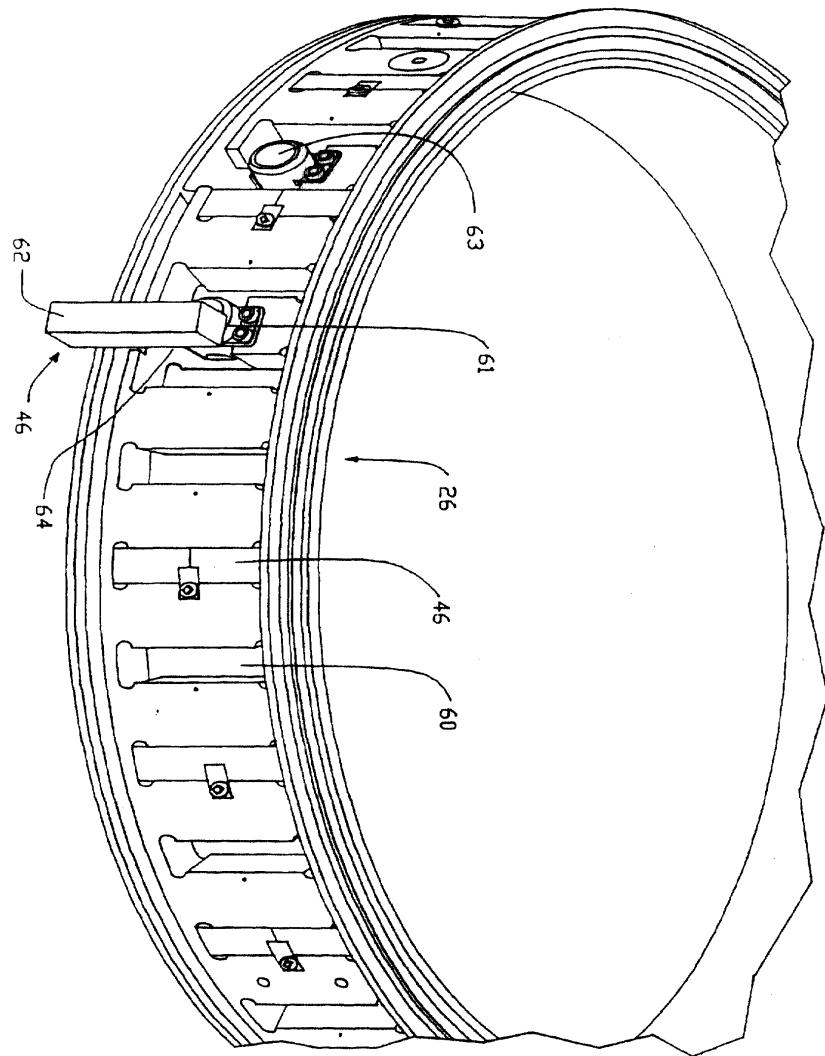
도면6b



도면6c



도면7



도면8

