

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5248439号
(P5248439)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int. Cl. F I
GO 1 L 9/00 (2006.01) GO 1 L 9/00 3 O 3 T
HO 1 L 29/84 (2006.01) HO 1 L 29/84 B

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2009-175095 (P2009-175095)	(73) 特許権者	000010098
(22) 出願日	平成21年7月28日 (2009.7.28)		アルプス電気株式会社
(65) 公開番号	特開2011-27611 (P2011-27611A)		東京都大田区雪谷大塚町1番7号
(43) 公開日	平成23年2月10日 (2011.2.10)	(74) 代理人	100083286
審査請求日	平成24年6月11日 (2012.6.11)		弁理士 三浦 邦夫
		(72) 発明者	横山 進矢
			東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
		(72) 発明者	青木 大悟
			東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
		審査官	田邊 英治

最終頁に続く

(54) 【発明の名称】 半導体圧力センサ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

外圧に応じて変形する平面矩形のダイヤフラムを形成した半導体基板に、前記変形領域を画成するダイヤフラムエッジの各辺上に位置させて第1ないし第4の感応抵抗素子を順に設け、この第1ないし第4の感応抵抗素子によるブリッジ回路を備えた半導体圧力センサにおいて、

前記ブリッジ回路内に、前記第1ないし第4の感応抵抗素子にそれぞれ直列接続した補正抵抗を設け、この補正抵抗の抵抗温度係数を、互いに対向する一方の対をなす前記第1及び第3の感応抵抗素子側と、互いに対向する他方の対をなす前記第2及び第4の感応抵抗素子側で異ならせたこと、

前記第1ないし第4の感応抵抗素子は、所定間隔をあけて配置した直線状をなす複数のピエゾ直線パターンと該各ピエゾ直線パターンを接続する複数のピエゾ接続パターンとを異なる温度抵抗係数でそれぞれ有していること、及び

前記第1及び第3の感応抵抗素子側の補正抵抗と前記第2及び第4の感応抵抗素子側の補正抵抗は、一方の抵抗温度係数が前記ピエゾ直線パターンの抵抗温度係数と同一で、他方の抵抗温度係数が前記ピエゾ接続パターンの抵抗温度係数と同一であることを特徴とする半導体圧力センサ。

【請求項2】

外圧に応じて変形する平面矩形のダイヤフラムを形成した半導体基板に、前記変形領域を画成するダイヤフラムエッジの各辺上に位置させて第1ないし第4の感応抵抗素子を順に

設け、この第1ないし第4の感応抵抗素子によるブリッジ回路を備えた半導体圧力センサにおいて、

前記ブリッジ回路のオフセット補正に必要な抵抗差分を算出し、算出した抵抗差分となる組み合わせの一对の補正抵抗を求めるステップと、

求めた一对の補正抵抗の組み合わせのうち、一方の補正抵抗を前記第1及び第3の感応抵抗素子側にそれぞれ直列接続し、他方の補正抵抗を前記第2及び第4の感応抵抗素子側にそれぞれ直列接続したときに、前記ブリッジ回路のオフセット温度特性のばらつきが最小となる組み合わせを選定するステップと、

選定したオフセット温度特性のばらつきが最小となる組み合わせで、一方の補正抵抗を前記第1及び第3の感応抵抗素子にそれぞれ直列接続させて形成し、他方の補正抵抗を前記第2及び第4の感応抵抗素子にそれぞれ直列接続させて形成するステップと、
を有し、

前記第1ないし第4の感応抵抗素子は、所定間隔をあけて配置した複数のピエゾ直線パターンを該ピエゾ直線パターンとは抵抗温度係数を異ならせたピエゾ接続パターンにより接続して形成しており、

前記一对の補正抵抗は、一方の補正抵抗を前記ピエゾ直線パターンの抵抗温度係数と同一の抵抗温度係数となるように形成し、他方の補正抵抗を前記ピエゾ接続パターンの抵抗温度係数と同一の抵抗温度係数となるように形成していることを特徴とする半導体圧力センサの製造方法。

【請求項3】

請求項2記載の半導体圧力センサの製造方法において、前記一对の補正抵抗は、不純物濃度の違いにより抵抗温度係数を異ならせる半導体圧力センサの製造方法。

【請求項4】

請求項2記載の半導体圧力センサの製造方法において、前記一对の補正抵抗は、前記感応抵抗素子と同時に形成する半導体圧力センサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイヤフラムエッジ上に配置した4つの感応抵抗素子によるブリッジ回路を備えた半導体圧力センサ及びその製造方法に関する。

【背景技術】

【0002】

従来の半導体圧力センサは、外圧に応じて変形するダイヤフラムを例えば平面矩形状に形成し、該平面矩形をなすダイヤフラムエッジの各辺上にそれぞれ配置した4つの感応抵抗素子によるブリッジ回路の midpoint 電位を測定圧力電圧として出力する。すなわち、ダイヤフラムに圧力が加えられると、ダイヤフラムが歪み、この歪み度合に応じて感応抵抗素子の抵抗値が変化し、ブリッジ回路の midpoint 電位が変化することから、 midpoint 電位変化に基づいて圧力を測定できるようになっている。

【0003】

このようなブリッジ回路を備えた半導体圧力センサでは、特定圧力でのブリッジ回路の出力電圧をゼロに調整するオフセット補正が行われている。従来では、同一の抵抗温度係数を有する補正抵抗を各感応抵抗素子に直列接続して設け、その抵抗差分によってオフセット電圧を調整していた。補正抵抗を用いたブリッジ回路は、例えば特許文献1～5に記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平6-265427号公報

【特許文献2】特開平10-267776号公報

【特許文献3】特表2002-524020号公報

10

20

30

40

50

【特許文献4】特開2003-42870号公報

【特許文献5】特開2002-148131号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、オフセット電圧を調整するためにブリッジ回路に補正抵抗を追加すると、オフセット電圧の温度特性（オフセット温度特性）が変動してしまうことが判明した。ブリッジ回路に追加する補正抵抗の抵抗値を調整することでオフセット温度特性の変動を抑えようとしても、該オフセット温度特性の変動幅が大きく、難しかった。

【0006】

本発明は、ブリッジ回路のオフセット電圧を調整でき、かつ、オフセット温度特性の変動を抑えられる半導体圧力センサ及びその製造方法を得ることを目的とする。

【課題を解決するための手段】

【0007】

本発明は、ブリッジ回路内に設ける補正抵抗の抵抗温度係数を第1及び第3の感応抵抗素子側と第2及び第4の感応抵抗素子側で異ならせると、同一の抵抗温度係数を有する補正抵抗を設ける場合に比べてオフセット温度特性のばらつきが抑えられることを見出して、完成されたものである。

【0008】

すなわち、本発明は、外圧に応じて変形する平面矩形のダイヤフラムを形成した半導体基板に、前記変形領域を画成するダイヤフラムエッジの各辺上に位置させて第1ないし第4の感応抵抗素子を順に設け、この第1ないし第4の感応抵抗素子によるブリッジ回路を備えた半導体圧力センサにおいて、前記ブリッジ回路内に、前記第1ないし第4の感応抵抗素子にそれぞれ直列接続した補正抵抗を設け、この補正抵抗の抵抗温度係数を、互いに対向する一方の対をなす前記第1及び第3の感応抵抗素子側と、互いに対向する他方の対をなす前記第2及び第4の感応抵抗素子側で異ならせたこと、前記第1ないし第4の感応抵抗素子は、所定間隔をあけて配置した直線状をなす複数のピエゾ直線パターンと該各ピエゾ直線パターンを接続する複数のピエゾ接続パターンとを異なる温度抵抗係数でそれぞれ有していること、及び前記第1及び第3の感応抵抗素子側の補正抵抗と前記第2及び第4の感応抵抗素子側の補正抵抗は、一方の抵抗温度係数が前記ピエゾ直線パターンの抵抗温度係数と同一で、他方の抵抗温度係数が前記ピエゾ接続パターンの抵抗温度係数と同一であること、を特徴としている。

【0009】

また本発明は、製造方法の態様によれば、外圧に応じて変形する平面矩形のダイヤフラムを形成した半導体基板に、前記変形領域を画成するダイヤフラムエッジの各辺上に位置させて第1ないし第4の感応抵抗素子を順に設け、この第1ないし第4の感応抵抗素子によるブリッジ回路を備えた半導体圧力センサにおいて、前記ブリッジ回路のオフセット補正に必要な抵抗差分を算出し、算出した抵抗差分となる組み合わせの一对の補正抵抗を求めるステップと、求めた一对の補正抵抗の組み合わせのうち、一方の補正抵抗を前記第1及び第3の感応抵抗素子側にそれぞれ直列接続し、他方の補正抵抗を前記第2及び第4の感応抵抗素子側にそれぞれ直列接続したときに、前記ブリッジ回路のオフセット温度特性のばらつきが最小となる組み合わせを選定するステップと、選定したオフセット温度特性のばらつきが最小となる組み合わせで、一方の補正抵抗を前記第1及び第3の感応抵抗素子にそれぞれ直列接続させて形成し、他方の補正抵抗を前記第2及び第4の感応抵抗素子にそれぞれ直列接続させて形成するステップと、を有し、前記第1ないし第4の感応抵抗素子は、所定間隔をあけて配置した複数のピエゾ直線パターンを該ピエゾ直線パターンとは抵抗温度係数を異ならせたピエゾ接続パターンにより接続して形成しており、前記一对の補正抵抗は、一方の補正抵抗を前記ピエゾ直線パターンの抵抗温度係数と同一の抵抗温度係数となるように形成し、他方の補正抵抗を前記ピエゾ接続パターンの抵抗温度係数と同一の抵抗温度係数となるように形成していることを特徴としている。

10

20

30

40

50

【 0 0 1 0 】

一对の補正抵抗は、不純物濃度の違いにより抵抗温度係数を異ならせることができる。

【 0 0 1 1 】

前記第1ないし第4の感応抵抗素子は、所定間隔をあけて配置した複数のピエゾ直線パターンを該ピエゾ直線パターンとは抵抗温度係数を異ならせたピエゾ接続パターンにより接続して形成し、前記一对の補正抵抗は、一方の補正抵抗を前記ピエゾ直線パターンの抵抗温度係数と同一の抵抗温度係数となるように形成し、他方の補正抵抗を前記ピエゾ接続パターンの抵抗温度係数と同一の抵抗温度係数となるように形成することが好ましい。この一对の補正抵抗は、不純物濃度の違いにより抵抗温度係数を異ならせることができる。

【 0 0 1 2 】

前記一对の補正抵抗は、製造工程を容易にするため、前記感応抵抗素子と同時に形成することが好ましい。

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、第1及び第3の感応抵抗素子側に設けた補正抵抗と第2及び第4の感応抵抗素子側に設けた補正抵抗の抵抗差分によりブリッジ回路のオフセット電圧を調整でき、かつ、第1及び第3の感応抵抗素子側に設けた補正抵抗と第2及び第4の感応抵抗素子側に設けた補正抵抗の抵抗温度係数の違いによりオフセット電圧の温度特性の変動を抑えられる半導体圧力センサ及びその製造方法が得られる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図1 】本発明による半導体圧力センサの主要構成を示す平面図である。

【 図2 】図1の部分拡大図である。

【 図3 】図1のIII - III線に沿う断面図である。

【 図4 】ブリッジ回路の回路構成図である。

【 図5 】補正抵抗の抵抗温度係数を異ならせた場合（実施例）のオフセット温度特性を示すグラフである。

【 図6 】補正抵抗の抵抗温度係数を同一にした場合（比較例）のオフセット温度特性を示すグラフである。

【 発明を実施するための形態 】

【 0 0 1 5 】

図1及び図2は本発明による半導体圧力センサの主要構成を示す平面図及びその部分拡大図、図3は同半導体圧力センサの断面図である。半導体圧力センサは、ダイヤフラム型の絶対圧センサであって、圧力検出用のダイヤフラム21とキャビティ20を表裏面に有する半導体基板10と、この半導体基板10のキャビティ20側の面に、該キャビティ20内を真空状態で密閉するようにして接合されたベース基板31とを備えている。

【 0 0 1 6 】

半導体基板10は、シリコン酸化膜(SiO₂)13を介して第1シリコン基板11と第2シリコン基板12を貼り合わせてなるSOI(シリコン・オン・インシュレータ)基板である。この半導体基板10には、第2シリコン基板12とシリコン酸化膜13の一部を第2シリコン基板12側から除去することによってキャビティ(凹部)20が形成され、このキャビティ20の上面を構成するシリコン酸化膜13及び第1シリコン基板11によってダイヤフラム21が形成されている。本実施形態のダイヤフラム21は平面視矩形(正方形)であり、その矩形の輪郭をダイヤフラムエッジ21aとして図1に破線で示した。本明細書において、ダイヤフラムエッジ21aは、キャビティ20の輪郭を示すキャビティエッジと実質的に同意である。ダイヤフラム21(ダイヤフラムエッジ21a)の外周領域は、圧力変化によって変形しない固定領域25になっている。

【 0 0 1 7 】

第1シリコン基板11の回路面(図1の上面)には、ダイヤフラムエッジ21aの各辺に少なくとも一部がかかるように位置させて、4つの感応抵抗素子41~44が埋設形成

10

20

30

40

50

されている。この感応抵抗素子 4 1 ~ 4 4 は、互いに 9 0 ° 間隔をあけて配置されている。本明細書では、ダイヤフラムエッジ 2 1 a の互いに対向する一方の対をなす辺 (図 1 の上下方向の辺) 上に配置した一对の感応抵抗素子を第 1 及び第 3 の感応抵抗素子 4 1、4 3 といい、互いに対向する他方の対をなす辺 (図 1 の左右方向の辺) 上に配置した一对の感応抵抗素子を第 2 及び第 4 の感応抵抗素子 4 2、4 4 というようにする。第 1 ~ 第 4 の感応抵抗素子 4 1 ~ 4 4 の周囲は不図示のシリコン酸化膜で埋められ、シリコン酸化膜上に、各感応抵抗素子 4 1 ~ 4 4 に接続する複数の配線導体 5 0 及びボンディングパッド 5 5 が形成されている。

【 0 0 1 8 】

第 1 ないし第 4 の感応抵抗素子 4 1 ~ 4 4 の各々は、図 2 に拡大して示されるように、所定間隔をあけて配置した直線状をなす三本の piezo 直線パターン (piezo 抵抗) P と、この piezo 直線パターン P 同士をその長手方向の端部で接続する piezo 接続パターン (配線抵抗) C とを有して、全体として蛇状に形成されている。piezo 直線パターン P は例えば B (ボロン)、P (リン)、As (ヒ素) などを第 1 シリコン基板 1 1 の回路面にイオン注入することで形成され、piezo 接続パターン C は例えば piezo 直線パターン P とは異なる濃度の B (ボロン)、P (リン)、As (ヒ素) などを第 1 シリコン基板 1 1 の回路面にイオン注入することで形成されており、抵抗温度係数 (T C R) が piezo 直線パターン P と piezo 接続パターン C で異なる。本実施形態では piezo 直線パターン P の温度抵抗係数を piezo 接続パターン C の温度抵抗係数よりも大きく設定してある。piezo 接続パターン C は、piezo 直線パターン P と配線導体 5 0 の間にも設けられ、両者を電氣的に接続している。

【 0 0 1 9 】

上記第 1 シリコン基板 1 1 の回路面 (図 1 の上面) は、シリコンナイトライド $S i_3 N_4$ などからなるパッシベーション膜 (保護膜) 1 5 で全面的に覆われ、該パッシベーション膜 1 5 を介して感応抵抗素子 4 1 ~ 4 4、配線導体 5 0 及び第 1 シリコン基板 1 1 の絶縁性が確保されている。ボンディングパッド 5 5 は、パッシベーション膜 1 5 から露出している。

【 0 0 2 0 】

ダイヤフラム 2 1 が外面に付加される圧力に応じて歪むと、その歪みに応じて感応抵抗素子 4 1 ~ 4 4 の抵抗値が変化し、この感応抵抗素子 4 1 ~ 4 4 によって構成されたブリッジ回路 4 の中点電位 V ($V = V_2 - V_1$) が変化し、この中点電位 V がセンサ出力として公知の測定装置に出力される。図 4 はブリッジ回路 4 の回路構成図である。

【 0 0 2 1 】

ブリッジ回路 4 には、第 1 及び第 3 の感応抵抗素子 4 1、4 3 側と第 2 及び第 4 の感応抵抗素子 4 2、4 4 側とで電気抵抗値及び抵抗温度係数を異ならせて、オフセット補正用かつ温度特性調整用の補正抵抗 $R_1 \sim R_4$ が設けられている。

【 0 0 2 2 】

第 1 及び第 3 の補正抵抗 R_1 、 R_3 は、ダイヤフラムエッジ 2 1 a の図 1 の上下方向で対向配置された第 1 及び第 3 の感応抵抗素子 4 1、4 3 にそれぞれ直列接続していて、より具体的には、第 1 の補正抵抗 R_1 が第 1 の感応抵抗素子 4 1 と中点端子 V_2 の間に位置し、第 3 の補正抵抗 R_3 が第 3 の感応抵抗素子 4 3 と中点端子 V_1 の間に位置している。第 1 の補正抵抗 R_1 と第 3 の補正抵抗 R_3 の電気抵抗値及び抵抗温度係数は同一である。一方、第 2 及び第 4 の補正抵抗 R_2 、 R_4 は、ダイヤフラムエッジ 2 1 a の図 1 の左右方向で対向配置された第 2 及び第 4 の感応抵抗素子 4 2、4 4 にそれぞれ直列接続していて、より具体的には、第 2 の補正抵抗 R_2 が第 2 の感応抵抗素子 4 2 と中点端子 V_2 の間に位置し、第 4 の補正抵抗 R_4 が第 4 の感応抵抗素子 4 4 と中点端子 V_1 の間に位置している。第 2 の補正抵抗 R_2 と第 4 の補正抵抗 R_4 の電気抵抗値及び抵抗温度係数は同一である。

【 0 0 2 3 】

本実施形態では、感応抵抗素子 4 1 ~ 4 4 の piezo 直線パターン P の抵抗温度係数と同

10

20

30

40

50

一の抵抗温度係数を有する抵抗体で第1及び第3の補正抵抗 R_1 、 R_3 を形成し、感応抵抗素子41～44のピエゾ接続パターンCの抵抗温度係数と同一の抵抗温度係数を有する抵抗体で第2及び第4の補正抵抗 R_2 、 R_4 を形成している。これら補正抵抗 R_1 ～ R_4 の抵抗温度係数は、イオン注入する不純物濃度により決定することができる。

【0024】

またブリッジ回路4には、第1の感応抵抗素子41と第4の感応抵抗素子の間には電源供給端子Vddが設けられ、第2の感応抵抗素子42と第3の感応抵抗素子43の間にはグランド端子GNDが設けられている。

【0025】

電源供給端子Vddに所定電圧が加えられると、中点端子V1、V2の電位差 $V = V_1 - V_2$ がセンサ出力として出力される。このセンサ出力 V は、第1及び第3の補正抵抗 R_1 、 R_3 と第2及び第4の補正抵抗 R_2 、 R_4 の抵抗差分によりオフセット補正され、第1及び第3の補正抵抗 R_1 、 R_3 と第2及び第4の補正抵抗 R_2 、 R_4 の抵抗温度係数の違いによりオフセット温度特性の変動が抑えられている(図5、図6参照)。

【0026】

次に、上記補正抵抗 R_1 ～ R_4 を用いたブリッジ回路4のオフセット補正及び温度特性の調整について説明する。

【0027】

先ず、特定条件下(圧力、温度)でブリッジ回路4の出力電圧を測定し、この出力電圧をゼロにするために必要な抵抗差分 R を算出し、算出した抵抗差分 R が得られる一対の補正抵抗値のバリエーションを求める。次に、求めた各々の一対の補正抵抗値の組み合わせで、抵抗温度係数を異ならせた一方と他方の補正抵抗を第1及び第3の感応抵抗素子41、43側と第2及び第4の感応抵抗素子42、44側にそれぞれ直列接続した場合のブリッジ回路4のオフセット温度特性を求める。図5はオフセット温度特性の測定結果の一例を示している。続いて、求めたオフセット温度特性結果から、オフセット温度特性のばらつきが最小となる一対の補正抵抗値の組み合わせを選定する。そして、選定した補正抵抗値を有し、かつ、抵抗温度係数の異なる一対の補正抵抗 R_1 (R_3)、 R_2 (R_4)を、第1及び第3の感応抵抗素子41、43側と第2及び第4の感応抵抗素子42、44側にそれぞれ直列接続させて形成する。

【0028】

図5及び図6は、抵抗温度係数の異なる補正抵抗 R_1 、 R_3 と R_2 、 R_4 を設けたブリッジ回路4(本実施例)及び抵抗温度係数の同じ補正抵抗を設けたブリッジ回路(比較例)のオフセット温度特性を示すグラフである。この図5及び図6では、第2及び第4の感応抵抗素子42、44に直列接続した第2及び第4の補正抵抗 R_2 、 R_4 の抵抗値を固定とし、第1及び第3の感応抵抗素子41、43に直列接続した第1及び第3の補正抵抗 R_1 、 R_3 の抵抗値を一律に変化させて、オフセット温度特性の変動を調べた。この測定した実施例において、第1ないし第4の感応抵抗素子41～44及び第1ないし第4の補正抵抗 R_1 ～ R_4 は、ホウ素をドーブしてなるP型半導体とした。そのドーブ濃度は、ピエゾ直線パターンPと第1及び第3の補正抵抗 R_1 、 R_3 で $1 \times 10^{14} / \text{cm}^2$ 程度とし、ピエゾ接続パターンCと第2及び第4の補正抵抗 R_2 、 R_4 で $5 \times 10^{15} / \text{cm}^2$ 程度とした。

【0029】

ここで、基準温度 t での出力電圧 V_t 、任意温度 t_c での出力電圧 V_{t_c} 、基準温度での最大出力 FS_{t_c} としたとき、任意圧力でのオフセット温度特性[%FS]は $(V_t - V_{t_c}) / FS_{t_c} \times 100$ で求められる。図5及び図6では、基準温度25におけるオフセット温度特性をゼロ(基準)としてある。

【0030】

図5と図6を比較してみると、補正抵抗の抵抗温度係数を異ならせた場合のほうが、補正抵抗の抵抗温度係数を同一とした場合よりも、基準温度25より高温側及び低温側の両方で温度特性[%FS]のばらつきが小さくなっており、抵抗温度係数の違いによりオ

10

20

30

40

50

フセット温度特性の変動が抑えられていることが明らかである。これは、4つの補正抵抗の抵抗温度係数を同一とすると温度変化による抵抗変化量が各補正抵抗で同一になるのに対し、第1及び第3の感応抵抗素子41、43側と第2及び第4の感応抵抗素子42、44側とで補正抵抗の抵抗温度係数を異ならせると、温度変化による抵抗変化量が第1及び第3の感応抵抗素子41、43側と第2及び第4の感応抵抗素子42、44側とで異なり、その抵抗変化量の差分がオフセット温度特性のばらつきが抑える方向に寄与すると考えられる。

【0031】

以上のように本実施形態では、第1及び第3の補正抵抗R1、R3と第2及び第4の補正抵抗R2、R4の抵抗差分 $R (= R1 - R2)$ によりブリッジ回路4のオフセット電圧を調整でき、同時に、第1及び第3の補正抵抗R1、R3と第2及び第4の補正抵抗R2、R4の抵抗温度係数の違いによりオフセット温度特性の変動を抑えることができた。

10

【0032】

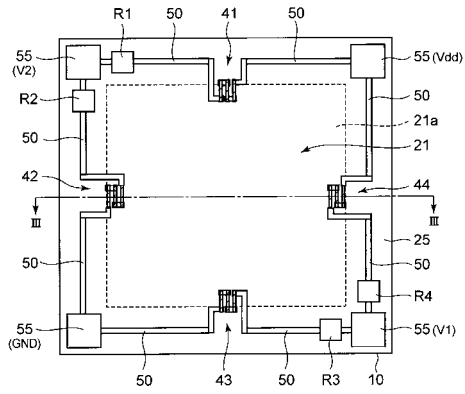
以上では、本発明をキャピティ20内を真空状態で保持する絶対圧センサに適用した実施形態について説明したが、本発明は、キャピティ20を大気に連通させるゲージ圧センサにも適用可能である。

【符号の説明】

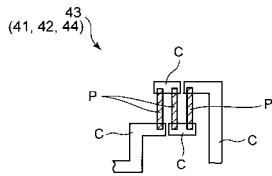
【0033】

4	ブリッジ回路	
10	半導体基板	20
11	第1シリコン基板	
12	第2シリコン基板	
13	シリコン酸化膜	
15	パッシベーション膜	
20	キャピティ	
21	ダイヤフラム	
21 a	ダイヤフラムエッジ	
41	第1の感応抵抗素子	
42	第2の感応抵抗素子	
43	第3の感応抵抗素子	30
44	第4の感応抵抗素子	
50	配線導体	
55	ボンディングパッド	
C	ピエゾ接続パターン(配線抵抗)	
P	ピエゾ直線パターン(ピエゾ抵抗)	
R1	第1の補正抵抗	
R2	第2の補正抵抗	
R3	第3の補正抵抗	
R4	第4の補正抵抗	
V	出力電圧(中点電位)	40
V1	中点端子	
V2	中点端子	
V d d	電源供給端子	
G N D	グランド端子	

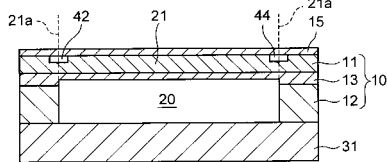
【図1】



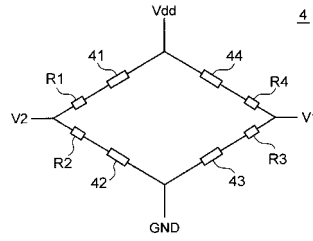
【図2】



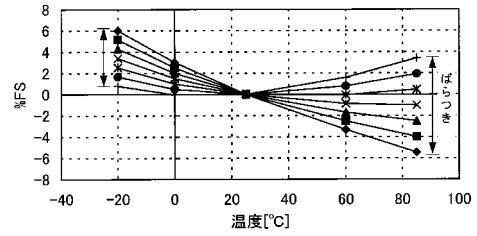
【図3】



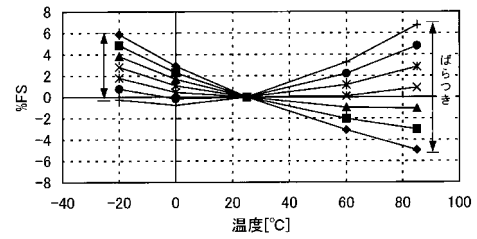
【図4】



【図5】



【図6】



フロントページの続き

- (56)参考文献 特開昭56-118374(JP,A)
特表2002-527767(JP,A)
特開平07-110277(JP,A)
特開昭60-128673(JP,A)
特許第5081071(JP,B2)

- (58)調査した分野(Int.Cl., DB名)
G01L 9/00