

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4670177号
(P4670177)

(45) 発行日 平成23年4月13日(2011.4.13)

(24) 登録日 平成23年1月28日(2011.1.28)

(51) Int.Cl.

F 1

G 11 C 11/22	(2006.01)	G 11 C 11/22	501 A
H 01 L 27/10	(2006.01)	G 11 C 11/22	501 F
H 01 L 27/105	(2006.01)	G 11 C 11/22	501 L
H 01 L 21/8246	(2006.01)	G 11 C 11/22	501 Z
		H 01 L 27/10	481

請求項の数 9 (全 108 頁) 最終頁に続く

(21) 出願番号

特願2001-147475 (P2001-147475)

(22) 出願日

平成13年5月17日 (2001.5.17)

(65) 公開番号

特開2002-197857 (P2002-197857A)

(43) 公開日

平成14年7月12日 (2002.7.12)

審査請求日

平成20年1月18日 (2008.1.18)

(31) 優先権主張番号

特願2000-156089 (P2000-156089)

(32) 優先日

平成12年5月26日 (2000.5.26)

(33) 優先権主張国

日本国 (JP)

(31) 優先権主張番号

特願2000-247143 (P2000-247143)

(32) 優先日

平成12年8月17日 (2000.8.17)

(33) 優先権主張国

日本国 (JP)

(31) 優先権主張番号

特願2000-252080 (P2000-252080)

(32) 優先日

平成12年8月23日 (2000.8.23)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100094363

弁理士 山本 孝久

(72) 発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 渡部 浩司

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】強誘電体型不揮発性半導体メモリ及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

- (A) ビット線と、
 - (B) 選択用トランジスタと、
 - (C) それぞれがM個(但し、M ≥ 2)のメモリセルから構成された、N個(但し、N ≥ 2)のメモリユニットと、
 - (D) M × N本のプレート線、
- から成り、

N個のメモリユニットは、層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

10

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第1の電極は、選択用トランジスタを介してビット線に接続され、

第n番目(但し、n = 1, 2, ..., N)のメモリユニットにおいて、第m番目(但し、m = 1, 2, ..., M)のメモリセルの第2の電極は、第[(n-1)M + m]番目のプレート線に接続されており、

第[(n-1)M + m]番目のプレート線の内、mを共通とするプレート線は互いに前記層間絶縁層を介して積層されており、nを共通とするプレート線は互いに同一階層に配されていることを特徴とする強誘電体型不揮発性半導体メモリ。

【請求項 2】

上方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度は、下

20

方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低いことを特徴とする請求項1に記載の強誘電体型不揮発性半導体メモリ。

【請求項3】

(A) ビット線と、
 (B) N個(但し、N > 2)の選択用トランジスタと、
 (C) それがM個(但し、M > 2)のメモリセルから構成された、N個のメモリユニットと、
 (D) M本のプレート線、
 から成り、

N個のメモリユニットは層間絶縁層を介して積層されており、
 各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、
 各メモリユニットにおいて、メモリセルの第1の電極は共通であり、
 第n番目(但し、n = 1, 2, ..., N)のメモリユニットにおける共通の第1の電極は、第n番目の選択用トランジスタを介してビット線に接続され、
 第n番目のメモリユニットにおいて、第m番目(但し、m = 1, 2, ..., M)のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されていることを特徴とする強誘電体型不揮発性半導体メモリ。

【請求項4】

(A) ビット線と、
 (B) 2N個(但し、N > 1)の選択用トランジスタと、
 (C) それがM個(但し、M > 2)のメモリセルから構成された、2N個のメモリユニットと、
 (D) M本のプレート線、
 から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、
 各メモリユニットにおいて、メモリセルの第1の電極は共通であり、
 第(2n - 1)番目(但し、n = 1, 2, ..., N)のメモリユニットにおける共通の第1の電極は、第(2n - 1)番目の選択用トランジスタを介してビット線に接続され、
 第2n番目のメモリユニットにおける共通の第1の電極は、第2n番目の選択用トランジスタを介してビット線に接続され、

第(2n - 1)番目のメモリユニットを構成する第m番目(但し、m = 1, 2, ..., M)のメモリセルと、第2n番目のメモリユニットを構成する第m番目のメモリセルは、第2の電極を共有し、第(2n - 1)番目のメモリユニットを構成する第m番目のメモリセルの第1の電極と第2n番目のメモリユニットを構成する第m番目のメモリセルの第1の電極とは、第2の電極を介して積層されており、該共有された第m番目の第2の電極は第m番目のプレート線に接続されていることを特徴とする強誘電体型不揮発性半導体メモリ。

【請求項5】

(A - 1) 第1のビット線と、
 (B - 1) N個(但し、N > 1)の第1の選択用トランジスタと、
 (C - 1) それがM個(但し、M > 2)の第1のメモリセルから構成された、N個の第1のサブメモリユニットと、
 (D - 1) N個の第1のサブメモリユニット間において、N個の第1のサブメモリユニットのそれぞれを構成する第1のメモリセルで共通とされたM本のプレート線、
 から成る第1のメモリユニット、並びに、
 (A - 2) 第2のビット線と、
 (B - 2) N個の第2の選択用トランジスタと、
 (C - 2) それがM個の第2のメモリセルから構成された、N個の第2のサブメモリユニットと、
 (D - 2) N個の第2のサブメモリユニット間において、N個の第2のサブメモリユニ

10

20

30

40

50

ットのそれぞれを構成する第2のメモリセルで共通とされ、且つ、前記第1のメモリユニットを構成するM本のプレート線と共にM本のプレート線、
から成る第2のメモリユニットから構成され、

第1のサブメモリユニットは、層間絶縁層を介して、第2のサブメモリユニットと積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

第1のメモリユニットにおいて、第n番目（但し、n = 1, 2, ..., N）の第1のサブメモリユニットを構成する第1のメモリセルの第1の電極は、第n番目の第1のサブメモリユニットにおいて共通であり、該共通の第1の電極は、第n番目の第1の選択用トランジスタを介して第1のビット線に接続され、第m番目（但し、m = 1, 2, ..., M）の第1のメモリセルの第2の電極は共通の第m番目のプレート線に接続されており、10

第2のメモリユニットにおいて、第n番目の第2のサブメモリユニットを構成する第2のメモリセルの第1の電極は、第n番目の第2のサブメモリユニットにおいて共通であり、該共通の第1の電極は、第n番目の第2の選択用トランジスタを介して第2のビット線に接続され、第m番目の第2のメモリセルの第2の電極は共通の第m番目のプレート線に接続されていることを特徴とする強誘電体型不揮発性半導体メモリ。

【請求項6】

上方に位置するサブメモリユニットのメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するサブメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低いことを特徴とする請求項5に記載の強誘電体型不揮発性半導体メモリ。20

【請求項7】

第1のビット線及び第2のビット線は同一のセンスアンプに接続されていることを特徴とする請求項5に記載の強誘電体型不揮発性半導体メモリ。

【請求項8】

（A-1）第1のビット線と、

（B-1）N個（但し、N > 1）の第1の選択用トランジスタと、

（C-1）それがM個（但し、M > 2）の第1のメモリセルから構成された、N個の第1のサブメモリユニットと、30

（D-1）N個の第1のサブメモリユニット間において、N個の第1のサブメモリユニットのそれを構成する第1のメモリセルで共通とされたM本のプレート線、
から成る第1のメモリユニット、並びに、

（A-2）第2のビット線と、

（B-2）N個の第2の選択用トランジスタと、

（C-2）それがM個の第2のメモリセルから構成された、N個の第2のサブメモリユニットと、40

（D-2）N個の第2のサブメモリユニット間において、N個の第2のサブメモリユニットのそれを構成する第2のメモリセルで共通とされ、且つ、前記第1のメモリユニットを構成するM本のプレート線と共にM本のプレート線、
から成る第2のメモリユニットから構成され、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

第1のメモリユニットにおいて、第n番目（但し、n = 1, 2, ..., N）の第1のサブメモリユニットを構成する第1のメモリセルの第1の電極は、第n番目の第1のサブメモリユニットにおいて共通であり、該共通の第1の電極は、第n番目の第1の選択用トランジスタを介して第1のビット線に接続され、

第2のメモリユニットにおいて、第n番目の第2のサブメモリユニットを構成する第2のメモリセルの第1の電極は、第n番目の第2のサブメモリユニットにおいて共通であり、該共通の第1の電極は、第n番目の第2の選択用トランジスタを介して第2のビット線に接続され、

第1のメモリユニットにおける第n番目の第1のサブメモリユニットを構成する第m番目（但し、m = 1, 2, ..., M）の第1のメモリセルと、第2のメモリユニットにおける50

第n番目の第2のサブメモリユニットを構成する第m番目の第2のメモリセルは、第2の電極を共有し、第1のメモリユニットにおける第n番目の第1のサブメモリユニットを構成する第m番目の第1のメモリセルの第1の電極と、第2のメモリユニットにおける第n番目の第2のサブメモリユニットを構成する第m番目の第2のメモリセルの第1の電極とは、第2の電極を介して積層されており、該共有された第2の電極は第m番目のプレート線に接続されていることを特徴とする強誘電体型不揮発性半導体メモリ。

【請求項9】

第1のビット線及び第2のビット線は同一のセンスアンプに接続されていることを特徴とする請求項8に記載の強誘電体型不揮発性半導体メモリ。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、強誘電体型不揮発性半導体メモリ（所謂F E R A M）、及び、その駆動方法に関する。

【0002】

【従来の技術】

近年、大容量の強誘電体型不揮発性半導体メモリに関する研究が盛んに行われている。強誘電体型不揮発性半導体メモリ（以下、不揮発性メモリと略称する場合がある）は、高速アクセスが可能で、しかも、不揮発性であり、また、小型で低消費電力であり、更には、衝撃にも強く、例えば、ファイルのストレージやレジューム機能を有する各種電子機器、例えば、携帯用コンピュータや携帯電話、ゲーム機の主記憶装置としての利用、あるいは、音声や映像を記録するための記録メディアとしての利用が期待されている。

20

【0003】

この不揮発性メモリは、強誘電体薄膜の高速分極反転とその残留分極を利用し、強誘電体層を有するキャパシタ部の蓄積電荷量の変化を検出する方式の、高速書き換えが可能な不揮発性メモリであり、基本的には、キャパシタ部（メモリセル）と選択用トランジスタ（スイッチング用トランジスタ）とから構成されている。キャパシタ部は、例えば、下部電極、上部電極、及び、これらの電極間に挟まれた高比誘電率 ϵ を有する強誘電体層から構成されている。この不揮発性メモリにおけるデータの書き込みや読み出しが、図53に示す強誘電体のP-Eヒステリシスループを応用して行われる。即ち、強誘電体層に外部電界を加えた後、外部電界を除いたとき、強誘電体層は自発分極を示す。そして、強誘電体層の残留分極は、プラス方向の外部電界が印加されたとき $+P_r$ 、マイナス方向の外部電界が印加されたとき $-P_r$ となる。ここで、残留分極が $+P_r$ の状態（図53の「D」参照）の場合を「0」とし、残留分極が $-P_r$ の状態（図53の「A」参照）の場合を「1」とする。

30

【0004】

「1」あるいは「0」の状態を判別するために、強誘電体層に例えばプラス方向の外部電界を印加する。これによって、強誘電体層の分極は図53の「C」の状態となる。このとき、データが「0」であれば、強誘電体層の分極状態は、「D」から「C」の状態に変化する。一方、データが「1」であれば、強誘電体層の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが「0」の場合には、強誘電体層の分極反転は生じない。一方、データが「1」の場合には、強誘電体層に分極反転が生じる。その結果、キャパシタ部の蓄積電荷量に差が生じる。選択された不揮発性メモリの選択用トランジスタをオンにすることで、この蓄積電荷を信号電流として検出する。データの読み出し後、外部電界を0にすると、データが「0」のときでも「1」のときでも、強誘電体層の分極状態は図53の「D」の状態となってしまう。即ち、読み出し時、データ「1」は、一旦、破壊されてしまう。それ故、データが「1」の場合、マイナス方向の外部電界を印加して、「D」、「E」という経路で「A」の状態とし、データ「1」を再度書き込む。

40

【0005】

現在主流となっている不揮発性メモリの構造及びその動作は、米国特許第4873664

50

号において、S. Sheffiedらが提案したものである。この不揮発性メモリは、図54に回路図を示すように、2つの不揮発性メモリセルから構成されている。尚、図54において、1つの不揮発性メモリを点線で囲った。各不揮発性メモリは、例えば、選択用トランジスタTR₁₁, TR₁₂、キャパシタ部(メモリセル)FC₁₁, FC₁₂から構成されている。

【0006】

尚、2桁あるいは3桁の添字、例えば添字「11」は、本来、添字「1, 1」と表示すべき添字であり、例えば「111」は、本来、添字「1, 1, 1」と表示すべき添字であるが、表示の簡素化のため、2桁あるいは3桁の添字で表示する。また、添字「M」を、例えば複数のメモリセルやプレート線を総括的に表示する場合に使用し、添字「m」を、例えば複数のメモリセルやプレート線を個々に表示する場合に使用し、添字「N」を、例えば選択用トランジスタやサブメモリユニットを総括的に表示する場合に使用し、添字「n」を、例えば選択用トランジスタやサブメモリユニットを個々に表示する場合に使用する。

10

【0007】

そして、それぞれのメモリセルに相補的なデータを書き込むことにより、1ビットを記憶する。図54において、符号「WL」はワード線を示し、符号「BL」はビット線を示し、符号「PL」はプレート線を意味する。1つの不揮発性メモリに着目すると、ワード線WL₁は、ワード線デコーダ/ドライバWDに接続されている。また、ビット線BL₁, BL₂は、センスアンプSAに接続されている。更には、プレート線PL₁は、プレート線デコーダ/ドライバPDに接続されている。

20

【0008】

このような構造を有する不揮発性メモリにおいて、記憶されたデータを読み出す場合、ワード線WL₁を選択し、更には、プレート線PL₁を駆動すると、相補的なデータが、対となったキャパシタ部FC₁₁, FC₁₂から選択用トランジスタTR₁₁, TR₁₂を介して対となったビット線BL₁, BL₂に電圧(ビット線電位)として現れる。かかる対となったビット線BL₁, BL₂の電圧(ビット線電位)を、センスアンプSAで検出する。

【0009】

1つの不揮発性メモリは、ワード線WL₁、及び、対となったビット線BL₁, BL₂によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されるとすると、1つの不揮発性メモリの最小面積は、加工最小寸法をFとしたとき、8F²である。従って、このような構造を有する不揮発性メモリの最小面積は8F²である。

30

【0010】

このような構造の不揮発性メモリを大容量化しようとした場合、その実現は加工寸法の微細化に依存するしかない。また、1つの不揮発性メモリを構成するために2つの選択用トランジスタ及び2つのキャパシタ部が必要とされる。更には、ワード線と同じピッチでプレート線を配設する必要がある。それ故、不揮発性メモリを最小ピッチで配置することは殆ど不可能であり、現実には、1つの不揮発性メモリの占める面積は、8F²よりも大幅に増加してしまう。

40

【0011】

しかも、不揮発性メモリと同等のピッチで、ワード線デコーダ/ドライバWD及びプレート線デコーダ/ドライバPDを配設する必要がある。言い換えれば、1つのロー・アドレスを選択するために2つのデコーダ/ドライバが必要とされる。従って、周辺回路のレイアウトが困難となり、しかも、周辺回路の占有面積も大きなものとなる。

【0012】

不揮発性メモリの面積を縮小する手段の1つが、特開平9-121032号公報から公知である。図55に等価回路を示すように、この特許公開公報に開示された不揮発性メモリは、1つの選択用トランジスタTR₁の一端に並列にそれぞれの一端が接続された複数のメモリセルMC_{1M}(例えば、M=4)から構成され、かかるメモリセルと対となったメモ

50

リセルも、1つの選択用トランジスタ TR_2 の一端に並列にそれぞれの一端が接続された複数のメモリセル MC_{2m} から構成されている。選択用トランジスタ TR_1 , TR_2 の他端は、それぞれ、ビット線 BL_1 , BL_2 に接続されている。対となったビット線 BL_1 , BL_2 は、センスアンプ SA に接続されている。また、メモリセル MC_{1m} , MC_{2m} ($m = 1, 2 \dots M$) の他端はプレート線 PL_m に接続されており、プレート線 PL_m はプレート線デコーダ/ドライバ PD に接続されている。更には、ワード線 WL は、ワード線デコーダ/ドライバ WD に接続されている。

【0013】

そして、対となったメモリセル MC_{1m} , MC_{2m} ($m = 1, 2 \dots M$) に相補的なデータが記憶される。例えば、メモリセル MC_{1k} , MC_{2k} (ここで、 k は $1, 2, 3, 4$ のいずれか) に記憶されたデータを読み出す場合、ワード線 WL を選択し、プレート線 PL_m ($m = k$) には $(1/2)V_{cc}$ の電圧を印加した状態で、プレート線 PL_k を駆動する。ここで、 V_{cc} は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{1k} , MC_{2k} から選択用トランジスタ TR_1 , TR_2 を介して対となったビット線 BL_1 , BL_2 に電圧 (ビット線電位) として現れる。そして、かかる対となったビット線 BL_1 , BL_2 の電圧 (ビット線電位) を、センスアンプ SA で検出する。

【0014】

対となった不揮発性メモリにおける一対の選択用トランジスタ TR_1 及び TR_2 は、ワード線 WL 、及び、対となったビット線 BL_1 , BL_2 によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されるとすると、対となった不揮発性メモリにおける一対の選択用トランジスタ TR_1 及び TR_2 の最小面積は、 $8 F^2$ である。しかしながら、一対の選択用トランジスタ TR_1 , TR_2 を、 M 組の対となったメモリセル MC_{1m} , MC_{2m} ($m = 1, 2 \dots M$) で共有するが故に、1ビット当たりの選択用トランジスタ TR_1 , TR_2 の数が少なくて済み、また、ワード線 WL の配置も緩やかなので、不揮発性メモリの縮小化を図り易い。しかも、周辺回路についても、1本のワード線デコーダ/ドライバ WD と M 本のプレート線デコーダ/ドライバ PD で M ビットを選択することができる。従って、このような構成を採用することで、セル面積が $8 F^2$ に近いレイアウトを実現可能であり、DRAM 並のチップサイズを実現することができる。

【0015】

【発明が解決しようとする課題】

従来のような構造で不揮発性メモリを大容量化しようとした場合、その容量は最小加工寸法によって規定される。上述の従来例でわかるように、その最小セル面積は $8 F^2$ である。この限界値は DRAM においても同様である。また、EPROM などのあらゆる半導体メモリを考慮した場合、ビット線とワード線とを最小ピッチで配置し、ビット線 1 本、ワード線 1 本が占有する領域にメモリセルを配置したときのセルの面積は、 $4 F^2$ がその限界とされる。

【0016】

しかしながら、このような最小加工寸法 F 、即ち、デザインルールの縮小は、リソグラフィーを中心とする微細加工技術の進展を待つほかない。しかも、その微細加工技術は世代を経るに従って困難さが増し、投資額も巨大化しており、チップコストの増大につながっている。従って、半導体メモリにおいても、現状から短期間で飛躍的な記憶容量の向上を果たすことは難しい。

【0017】

上述のように半導体メモリの集積度の上限が規定されてしまう本質的理由として、以下の 2 点を挙げることができる。

【0018】

第 1 に、半導体メモリにおける各メモリセルは半導体基板表面上に二次元的に配置されており、三次元的に積層されることがない。これは、従来の半導体メモリは、その殆どが記憶単位に 1 つ以上のトランジスタ (FET) を含んでいることに由来する。トランジスタは良質な半導体基板上にしか作製することができないため、メモリセルを半導体基板上に

10

20

30

40

50

二次元配置せざるを得ない。現在、エピタキシャル成長技術やレーザアニール技術による結晶化などで半導体単結晶層を積層する試みもなされているが、未だ十分な歩留まりと性能が得られていない。また、たとえ、これらが実現されたとしても、結局、半導体単結晶層に再度メモリセルを作り込もうとすると、工程数が倍近くに増加し、コストメリットが失われることになる。

【0019】

第2に、半導体メモリへのアクセスは、互いに交差したワード線（ロー方向）とビット線（カラム方向）による二次元マトリクスによりなされている。従来の半導体メモリにおいては、ワード線により一次元的にロー方向の選択を行い、各ビット線に読み出されたデータ列からカラム選択を行っている。尚、図54及び図55に示した従来例では、プレート線によってロー方向の選択を行うが、実質的に一次元の選択になっていることに変わりはない。

10

【0020】

ここで、仮にページ長を同一に保ったまま半導体メモリの集積度を2倍にした場合、当然2倍の本数のワード線やプレート線が必要になる。従って、ワード線やプレート線のデコードやドライブを行う周辺回路の集積度も2倍にする必要がある。これらの回路は、当然、トランジスタを必要とするので、セルアレイの周辺に二次元的に配置される。これに伴って、今度は、周辺回路のレイアウトが困難になる。

【0021】

以上のように、メモリセル自体が二次元配置に制限される上、仮にメモリセルを縮小できても、現在のアドレス選択方法では周辺回路のレイアウトが困難である。従って、半導体メモリの大容量化は、デザインルールの進展に依存するしかなかった。

20

【0022】

また、特開平9-121032号公報に開示された不揮発性メモリの面積を縮小する手法は、非常に効果的な手法であるが、以下に述べる問題点を有する。

【0023】

即ち、例えば、対となったメモリセルMC₁₁、MC₂₁において、メモリセルMC₁₁にデータ「1」を書き込む場合、プレート線PL₁をグランドレベル（0ボルト）とし、ビット線BL₁をV_{cc}とすることによって、強誘電体層を分極させるが、このとき、メモリセルMC₂₁にデータ「0」を保持しておくために、ビット線BL₂をグランドレベル（0ボルト）とする必要がある。

30

【0024】

一方、非選択のプレート線PL_m（m=2, 3, 4）に接続されたメモリセルMC_{1m}、MC_{2m}（m=2, 3, 4）に記憶されたデータの破壊を防止するために、非選択のプレート線PL_m（m=2, 3, 4）を、ビット線BL₁、BL₂の中間の電圧である（1/2）V_{cc}に固定し、非選択のメモリセルMC_{1m}、MC_{2m}のキャパシタ部を構成する強誘電体層に加わる電界を緩和する。即ち、非選択のメモリセルMC_{1m}、MC_{2m}には、（1/2）V_{cc}のディスターブが加わる。

【0025】

ところで、強誘電体層を構成する強誘電体材料は、本質的な物性として、反転電圧が負の温度特性を有する。図56の（A）及び（B）に、20°C及び105°Cにおける強誘電体材料のP-Eヒステリシスループを例示する。尚、図56の（A）及び（B）において、実線のP-EヒステリシスループはV_{cc}=1.5ボルトの場合を示し、点線のP-EヒステリシスループはV_{cc}=1.0ボルトの場合を示す。0ボルトにおけるデータ「1」状態、データ「0」状態の分極量の差が2P_rとして示されており、この2P_rの値が信号量（信号電荷）に相当する。図56において、動作温度20°Cにおける反転電圧は±0.9ボルト程度である。従って、V_{cc}=1.5ボルトで不揮発性メモリを動作させれば、ディスターブの電圧である（1/2）V_{cc}では、非選択のキャパシタ部に記憶されたデータが破壊されることなく、7.9 μC/cm²の信号電荷を保持できる。これに対して、105°Cにおける反転電圧は±0.55ボルト程度である。従って、V_{cc}=1.5ボル

40

50

トで不揮発性メモリを動作させれば、 $11 \mu C / cm^2$ の信号電荷を保持できるものの、ディスターべの電圧である(1/2)V_{cc}では、非選択のキャパシタ部の電荷が反転し、記憶されたデータが破壊される。

【0026】

これとは逆に、動作温度 $105^\circ C$ で非選択のキャパシタ部の電荷を反転させないために、 $V_{cc} = 1$ ボルト程度とする必要がある。この場合、 $6.9 \mu C / cm^2$ の信号電荷を保持できるものの、 $20^\circ C$ では、 $2.8 \mu C / cm^2$ の信号電荷しか保持できなくなり、信号量が極端に小さくなってしまう。

【0027】

このように、不揮発性メモリの抗電圧は大きな負の温度依存性を有している。即ち、温度が上昇すると、不揮発性メモリの抗電圧が減少し、非選択のキャパシタ部の電荷が反転し易くなる。それ故、このような強誘電体層を構成する強誘電体材料の反転電圧が負の温度特性を有するといった特性に何らかの対策を施さないと、LSIに要求される温度範囲での不揮発性メモリの動作を保証できなくなる虞がある。

【0028】

また、これらの構造を有する不揮発性メモリに対して微細化を進めた場合、キャパシタ部の面積を小さくせざるを得ない。しかも、強誘電体層において分極に基づきデータを記憶するので、DRAMにおける絶縁膜のように、強誘電体層の膜厚を薄くしても、強誘電体層における蓄積電荷量が増加せず、蓄積電荷量は、キャパシタ部の面積に比例して少なくなっていく。

【0029】

例えば、256Mビットの不揮発性メモリを実現する場合、キャパシタ部の面積は $0.1 \mu m^2$ 程度となる。このとき、蓄積電荷量は $10 fC$ 程度となり、ビット線容量を $200 fF$ とした場合、 $50 mV$ 程度のセンス信号量(読み出し動作時にビット線に現れる電位)しか得ることができない。このようなセンス信号量では、センスマージンが不十分であり、更に不揮発性メモリに対して微細化を進めた場合、ついには不揮発性メモリに記憶されたデータの読み出しができなくなってしまう。

【0030】

DRAMにおけるセンス信号量の減少に対処する方策の1つに、ゲインセルと呼ばれる増幅型のメモリセルがある(例えば、特開昭62-67861号公報、特開平1-255269号公報参照)。回路図を図57の(A)に示すゲインセルは、書込用トランジスタTR_Wと、読出用トランジスタTR_Rと、検出用トランジスタTR_Sと、キャパシタ部Cから構成されている。ゲインセルへのデータの書き込み時、書込用トランジスタTR_Wをオン状態とし、キャパシタ部Cに電荷を蓄積させる。ゲインセルからのデータの読み出し時、読出用トランジスタTR_Rをオン状態とする。一方、検出用トランジスタTR_Sは、キャパシタ部Cに記憶されたデータに依存して、オン状態あるいはオフ状態となる。

【0031】

このような構成のゲインセルを従来の米国特許第4873664号に開示された不揮発性メモリに適用した場合の回路図を、図57の(B)に示す。このようなゲインセルタイプの不揮発性メモリセルは、書込用トランジスタTR_W、読出用トランジスタTR_R、検出用トランジスタTR_S、及び、キャパシタ部FCから構成することができる。書込用トランジスタTR_Wの一方のソース/ドレイン領域はビット線BLに接続され、他方のソース/ドレイン領域はキャパシタ部FCの下部電極に接続されている。検出用トランジスタTR_Sの一端は所定の電位V_{cc}を有する配線(例えば、不純物層から構成された電源線)に接続され、他端は読出用トランジスタTR_Rを介してビット線BLに接続されている。更には、キャパシタ部FCの下部電極は、検出用トランジスタTR_Sのゲート電極に接続されている。

【0032】

このような構成の不揮発性メモリセルにおいては、データの読み出し時、プレート線PLにパルス電圧を印加し、キャパシタ部FCにおける分極反転の有無に起因した蓄積電荷量

10

20

30

40

50

に依存して、ディプレッショング型のN M O S F E Tから構成された検出用トランジスタT R_Sの動作状態が制御される。即ち、ビット線B Lを0ボルトにイコライズした後、読み出用トランジスタT R_Rをオン状態とすると、電源V_{cc}から検出用トランジスタT R_S及び読み出用トランジスタT R_Rを介して電流が流れ、ビット線B Lに電位が現れるが、かかるビット線B L上の電位は、不揮発性メモリセルに記憶されたデータに依存する。これによって、キャパシタ部F Cに記憶されたデータが「1」であるか「0」であるかを知ることができる。即ち、キャパシタ部F Cにおける小さな蓄積電荷に基づき、大きなビット線負荷を駆動することができる。

【0033】

しかしながら、このような構成の不揮発性メモリにおいては、1つの不揮発性メモリセル当たり、3つのトランジスタが必要とされ、1ビット当たりのセル面積が大幅に増加し、ビット当たりのコストが増加するという問題がある。

【0034】

また、データの読み出し時、プレート線P Lにパルス電圧を印加した際、キャパシタ部を構成する、プレート線P Lに接続された上部電極と、検出用トランジスタT R_Sのゲート電極に接続された下部電極との間に十分な電位差が生じないと、キャパシタ部F Cに分極反転が生じない。然るに、データの読み出し時、検出用トランジスタT R_Sのゲート電極に接続された下部電極は浮遊状態であり、その負荷容量は検出用トランジスタT R_Sのゲート容量分程度しかない。従って、プレート線P Lにパルス電圧を印加した際、上部電極と下部電極とのカップリングにより、下部電極の電位が大きく上昇してしまい、上部電極と下部電極との間に十分なる電界が形成されず、強誘電体層に分極反転が生じないといった問題がある。逆に、このようなカップリングによる下部電極の電位上昇を抑制するためには、下部電極にキャパシタ部F Cの数倍程度の負荷容量を追加する必要があり、そのためには、別途、キャパシタを追加しなければならなくなる。しかしながら、これでは、セル面積が大幅に増加してしまう。

【0035】

従って、本発明の第1の目的は、最小加工寸法に制限されずに大容量化を図ることができ、より一層、高集積化された強誘電体型不揮発性半導体メモリを提供することにある。

また、本発明の第2の目的は、アドレス選択における駆動配線数を削減することで周辺回路の縮小を図ることができる強誘電体型不揮発性半導体メモリを提供することにある。

【0036】

更に、本発明の第3の目的は、メモリセルの縮小と周辺回路の削減とを両立させることができ、デバイス全体として整合のとれた集積度向上が可能になる強誘電体型不揮発性半導体メモリを提供することにある。

【0037】

また、本発明の第4の目的は、強誘電体層を構成する強誘電体材料の反転電圧が負の温度特性を有するといった特性、即ち、強誘電体型不揮発性半導体メモリの抗電圧の負の温度依存性に対する対策を備え、要求される温度範囲での動作を確実に保証し得る強誘電体型不揮発性半導体メモリを提供することにある。

【0038】

更に、本発明の第5の目的は、1ビット当たりの面積が縮小することができ、しかも、記憶されたデータを確実に読み出すことができる、即ち、十分なセンス信号量を得ることを可能にする、所謂ゲインセルタイプの強誘電体型不揮発性半導体メモリを提供することにある。

【0039】

また、本発明の第6の目的は、より一層、高集積化され、しかも、ディスターブ耐性に優れ、高速動作、低消費電力を可能とする強誘電体型不揮発性半導体メモリ及びその駆動方法を提供することにある。

【0040】

【課題を解決するための手段】

10

20

30

40

50

上記の第1～第3の目的を達成するための本発明の第1の態様に係る強誘電体型不揮発性半導体メモリは、

- (A) ピット線と、
- (B) 選択用トランジスタと、
- (C) それぞれがM個（但し、 $M \geq 2$ ）のメモリセルから構成された、N個（但し、 $N \geq 2$ ）のメモリユニットと、
- (D) $M \times N$ 本のプレート線、

から成り、

N個のメモリユニットは、層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

10

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第1の電極は、選択用トランジスタを介してピット線に接続され、

第n番目（但し、 $n = 1, 2, \dots, N$ ）のメモリユニットにおいて、第m番目（但し、 $m = 1, 2, \dots, M$ ）のメモリセルの第2の電極は、第 $[(n-1)M+m]$ 番目のプレート線に接続されていることを特徴とする。

【0041】

上記の第1～第3の目的を達成するための本発明の第2の態様に係る強誘電体型不揮発性半導体メモリは、選択用トランジスタの構成、プレート線の構成が、本発明の第1の態様に係る強誘電体型不揮発性半導体メモリと相違している。即ち、本発明の第2の態様に係る強誘電体型不揮発性半導体メモリは、

20

- (A) ピット線と、
- (B) N個（但し、 $N \geq 2$ ）の選択用トランジスタと、
- (C) それぞれがM個（但し、 $M \geq 2$ ）のメモリセルから構成された、N個のメモリユニットと、
- (D) M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n番目（但し、 $n = 1, 2, \dots, N$ ）のメモリユニットにおける共通の第1の電極は、第n番目の選択用トランジスタを介してピット線に接続され、

30

第n番目のメモリユニットにおいて、第m番目（但し、 $m = 1, 2, \dots, M$ ）のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されていることを特徴とする。

【0042】

尚、第2の態様に係る強誘電体型不揮発性半導体メモリの好ましい形態においては、N個のメモリユニットは層間絶縁層を介して積層されていることが望ましい。

【0043】

上記の第1～第3の目的を達成するための本発明の第3の態様に係る強誘電体型不揮発性半導体メモリは、第2の電極の構成が、本発明の第2の態様に係る強誘電体型不揮発性半導体メモリと相違している。即ち、本発明の第3の態様に係る強誘電体型不揮発性半導体メモリは、

40

- (A) ピット線と、
- (B) $2N$ 個（但し、 $N \geq 1$ ）の選択用トランジスタと、
- (C) それぞれがM個（但し、 $M \geq 2$ ）のメモリセルから構成された、 $2N$ 個のメモリユニットと、
- (D) M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第 $(2n-1)$ 番目（但し、 $n = 1, 2, \dots, N$ ）のメモリユニットにおける共通の第1

50

の電極は、第(2n-1)番目の選択用トランジスタを介してビット線に接続され、第2n番目のメモリユニットにおける共通の第1の電極は、第2n番目の選択用トランジスタを介してビット線に接続され、

第(2n-1)番目のメモリユニットを構成する第m番目(但し、m=1, 2, ..., M)のメモリセルと、第2n番目のメモリユニットを構成する第m番目のメモリセルは、第2の電極を共有しており、該共有された第m番目の第2の電極は第m番目のプレート線に接続されていることを特徴とする。

【0044】

上記の第1～第3の目的を達成するための本発明の第4の態様に係る強誘電体型不揮発性半導体メモリは、

10

(A-1) 第1のビット線と、

(B-1) N個(但し、N>1)の第1の選択用トランジスタと、

(C-1) それがM個(但し、M>2)の第1のメモリセルから構成された、N個の第1のサブメモリユニットと、

(D-1) N個の第1のサブメモリユニット間において、N個の第1のサブメモリユニットのそれを構成する第1のメモリセルで共通とされたM本のプレート線、

から成る第1のメモリユニット、並びに、

(A-2) 第2のビット線と、

(B-2) N個の第2の選択用トランジスタと、

(C-2) それがM個の第2のメモリセルから構成された、N個の第2のサブメモリユニットと、

20

(D-2) N個の第2のサブメモリユニット間において、N個の第2のサブメモリユニットのそれを構成する第2のメモリセルで共通とされ、且つ、前記第1のメモリユニットを構成するM本のプレート線と共通のM本のプレート線、から成る第2のメモリユニットから構成され、

第1のサブメモリユニットは、層間絶縁層を介して、第2のサブメモリユニットと積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

第1のメモリユニットにおいて、第n番目(但し、n=1, 2, ..., N)の第1のサブメモリユニットを構成する第1のメモリセルの第1の電極は、第n番目の第1のサブメモリユニットにおいて共通であり、該共通の第1の電極は、第n番目の第1の選択用トランジスタを介して第1のビット線に接続され、第m番目(但し、m=1, 2, ..., M)の第1のメモリセルの第2の電極は共通の第m番目のプレート線に接続されており、

30

第2のメモリユニットにおいて、第n番目の第2のサブメモリユニットを構成する第2のメモリセルの第1の電極は、第n番目の第2のサブメモリユニットにおいて共通であり、該共通の第1の電極は、第n番目の第2の選択用トランジスタを介して第2のビット線に接続され、第m番目の第2のメモリセルの第2の電極は共通の第m番目のプレート線に接続されていることを特徴とする。

【0045】

上記の第1～第3の目的を達成するための本発明の第5の態様に係る強誘電体型不揮発性半導体メモリは、第2の電極の構成が、本発明の第4の態様に係る強誘電体型不揮発性半導体メモリと相違している。即ち、本発明の第5の態様に係る強誘電体型不揮発性半導体メモリは、

40

(A-1) 第1のビット線と、

(B-1) N個(但し、N>1)の第1の選択用トランジスタと、

(C-1) それがM個(但し、M>2)の第1のメモリセルから構成された、N個の第1のサブメモリユニットと、

(D-1) N個の第1のサブメモリユニット間において、N個の第1のサブメモリユニットのそれを構成する第1のメモリセルで共通とされたM本のプレート線、

から成る第1のメモリユニット、並びに、

50

(A - 2) 第 2 のビット線と、
 (B - 2) N 個の第 2 の選択用トランジスタと、
 (C - 2) それぞれが M 個の第 2 のメモリセルから構成された、 N 個の第 2 のサブメモリユニットと、
 (D - 2) N 個の第 2 のサブメモリユニット間ににおいて、 N 個の第 2 のサブメモリユニットのそれぞれを構成する第 2 のメモリセルで共通とされ、且つ、前記第 1 のメモリユニットを構成する M 本のプレート線と共に M 本のプレート線、から成る第 2 のメモリユニットから構成され、

各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成り、

第 1 のメモリユニットにおいて、第 n 番目 (但し、 $n = 1, 2 \dots N$) の第 1 のサブメモリユニットを構成する第 1 のメモリセルの第 1 の電極は、第 n 番目の第 1 のサブメモリユニットにおいて共通であり、該共通の第 1 の電極は、第 n 番目の第 1 の選択用トランジスタを介して第 1 のビット線に接続され、

第 2 のメモリユニットにおいて、第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルの第 1 の電極は、第 n 番目の第 2 のサブメモリユニットにおいて共通であり、該共通の第 1 の電極は、第 n 番目の第 2 の選択用トランジスタを介して第 2 のビット線に接続され、

第 1 のメモリユニットにおける第 n 番目の第 1 のサブメモリユニットを構成する第 m 番目 (但し、 $m = 1, 2 \dots M$) の第 1 のメモリセルと、第 2 のメモリユニットにおける第 n 番目の第 2 のサブメモリユニットを構成する第 m 番目の第 2 のメモリセルは、第 2 の電極を共有しており、該共有された第 2 の電極は第 m 番目のプレート線に接続されていることを特徴とする。

【 0046 】

本発明の本発明の第 4 の態様若しくは第 5 の態様に係る強誘電体型不揮発性半導体メモリにおいては、第 1 のビット線及び第 2 のビット線は同一のセンスアンプに接続されていることが好ましい。そして、この場合、第 n 番目の第 1 の選択用トランジスタと、第 n 番目の第 2 の選択用トランジスタとは、同一のワード線に接続されていてもよいし、異なるワード線に接続されていてもよい。強誘電体型不揮発性半導体メモリの駆動方法に依り、1 つのメモリセルに 1 ビットを記憶させることもできるし、対となったメモリセルに相補的なデータを記憶させることもできる。

【 0047 】

本発明の本発明の第 1 の態様若しくは第 2 の態様に係る強誘電体型不揮発性半導体メモリにおいては、 M^2 を満足すればよく、実際的な M の値として、例えば、2 のべき数 (2, 4, 8 \dots) を挙げることができる。また、 N^2 を満足すればよく、実際的な N の値として、例えば、2 のべき数 (2, 4, 8 \dots) を挙げることができる。

【 0048 】

また、本発明の本発明の第 3 の態様～第 5 の態様に係る強誘電体型不揮発性半導体メモリにおいては、 M^2 を満足すればよく、実際的な M の値として、例えば、2 のべき数 (2, 4, 8 \dots) を挙げることができる。また、 N^1 を満足すればよく、実際的な N の値として、例えば、1 あるいは 2 のべき数 (2, 4, 8 \dots) を挙げることができる。

【 0049 】

本発明の第 1 の態様～第 5 の態様に係る強誘電体型不揮発性半導体メモリにおいては、複数のメモリセルに 1 つの選択用トランジスタを共有させる。そして、メモリユニットあるいはサブメモリユニットを三次元積層構造とすることにより、半導体基板表面を占有するトランジスタの数に制約されることが無くなり、従来の強誘電体型不揮発性半導体メモリに比べて飛躍的に記憶容量を増大させることができ、ビット記憶単位の実効占有面積を大幅に縮小することが可能となる。

【 0050 】

本発明の第 2 の態様～第 5 の態様に係る強誘電体型不揮発性半導体メモリにおいては、更には、ロー方向のアドレス選択は選択用トランジスタとプレート線とによって構成された

10

20

30

40

50

二次元マトリクスにて行う。例えば、8個の選択用トランジスタとプレート線8本とでロードアドレスの選択単位を構成すれば、16個のデコーダ／ドライバ回路で、例えば、64ビットのメモリセルを選択することができる。従って、強誘電体型不揮発性半導体メモリの集積度が従来と同等でも、記憶容量は4倍とすることができる。また、アドレス選択における周辺回路や駆動配線数を削減することができる。

【0051】

本発明の第1の態様～第5の態様に係る強誘電体型不揮発性半導体メモリにおいては、メモリユニットあるいはサブメモリユニットを2層構成、4層構成、8層構成等の 2^p 層構成($p = 1, 2, 3 \dots$)とすることが好ましい。

【0052】

本発明の第1の態様及び第2の態様に係る強誘電体型不揮発性半導体メモリの好ましい形態においては、上方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低いことが好ましく、本発明の第3の態様に係る強誘電体型不揮発性半導体メモリにおいては、N=2の場合、上方に位置するメモリユニットの組のメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するメモリユニットの組のメモリセルを構成する強誘電体層の結晶化温度よりも低いことが好ましく、本発明の第4の態様～第5の態様に係る強誘電体型不揮発性半導体メモリにおいては、上方に位置するサブメモリユニットのメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するサブメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低いことが好ましい。

【0053】

上記の第1の目的を達成するための本発明の第6の態様に係る強誘電体型不揮発性半導体メモリは、

第1の電極と強誘電体層と第2の電極とから成るメモリセルが、層間絶縁層を介して積層されて成る強誘電体型不揮発性半導体メモリであって、
上方に位置するメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するメモリセルを構成する強誘電体層の結晶化温度よりも低いことを特徴とする。

【0054】

本発明の第6の態様に係る強誘電体型不揮発性半導体メモリにおいては、メモリセルを、例えば2層構成、4層構成、8層構成等の 2^p 層構成($p = 1, 2, 3 \dots$)とすることができる。

【0055】

本発明の第6の態様、若しくは、本発明の第1の態様～第5の態様に係る強誘電体型不揮発性半導体メモリにおける好ましい態様において、メモリセルを構成する強誘電体層の結晶化温度は、例えば、X線回折装置や表面走査型電子顕微鏡を用いて調べることができる。具体的には、例えば、強誘電体材料層を形成した後、強誘電体材料層の結晶化を行うための熱処理温度を種々変えて結晶化促進のための熱処理を行い、熱処理後の強誘電体材料層のX線回折分析を行い、強誘電体材料に特有の回折パターン強度(回折ピークの高さ)を評価することによって、強誘電体層の結晶化温度を求めることができる。

【0056】

ところで、後述するキャパシタ部や、メモリユニット、サブメモリユニットが積層された構成を有する強誘電体型不揮発性半導体メモリを製造する場合、強誘電体層、あるいは、強誘電体層を構成する強誘電体薄膜の結晶化のために、熱処理(結晶化熱処理と呼ぶ)を積層されたキャパシタ部やメモリユニット、サブメモリユニットの段数だけ行わなければならない。従って、下段に位置するキャパシタ部やメモリユニット、サブメモリユニットほど、長時間の結晶化熱処理を受け、上段に位置するほど、キャパシタ部やメモリユニット、サブメモリユニットは短時間の結晶化熱処理を受けることになる。それ故、上段に位置するキャパシタ部やメモリユニット、サブメモリユニットに対して最適な結晶化熱処理を施すと、下段に位置するキャパシタ部やメモリユニット、サブメモリユニットは過度の熱負荷を受ける虞があり、下段に位置するキャパシタ部やメモリユニット、サブメモリユ

10

20

30

40

50

ニットの特性劣化が生じる虞がある。尚、多段のキャパシタ部やメモリユニット、サブメモリユニットを作製した後、一度で結晶化熱処理を行う方法も考えられるが、結晶化の際に強誘電体層に大きな体積変化が生じたり、各強誘電体層から脱ガスが生じる可能性が高く、強誘電体層にクラックや剥がれが生じるといった問題が発生し易い。

【0057】

本発明の第6の態様、若しくは、本発明の第1の態様～第5の態様に係る強誘電体型不揮発性半導体メモリにおける好ましい態様において、上方に位置するキャパシタ部やメモリユニット、サブメモリユニットを構成する強誘電体層の結晶化温度は、下方に位置するキャパシタ部やメモリユニット、サブメモリユニットを構成する強誘電体層の結晶化温度よりも低いので、積層されたキャパシタ部やメモリユニット、サブメモリユニットの段数だけ結晶化熱処理を行っても、下方に位置するキャパシタ部やメモリユニット、サブメモリユニットを構成するメモリセルの特性劣化といった問題は生じない。また、各段におけるキャパシタ部やメモリユニット、サブメモリユニットを構成するメモリセルに対して、最適な条件での結晶化熱処理を行うことができ、特性の優れた強誘電体型不揮発性半導体メモリを得ることができる。

【0058】

上記の第4の目的を達成するための本発明の第7の態様に係る強誘電体型不揮発性半導体メモリは、

強誘電体層を有するキャパシタ部を備えたメモリセルが、複数、配列されて成るメモリユニットを備え、選択されたメモリセルへのアクセス時、非選択のメモリセルにディスターブが発生する構造を有する強誘電体型不揮発性半導体メモリであって、

キャパシタ部に接続され、出力が負の温度特性を有する電源電圧回路を備えていることを特徴とする。

【0059】

尚、本発明の第7の態様に係る強誘電体型不揮発性半導体メモリに、好ましい形態を含む本発明の第1の態様～第6の態様に係る強誘電体型不揮発性半導体メモリを適用することができる。

【0060】

このように、本発明の第7の態様に係る強誘電体型不揮発性半導体メモリにあっては、キャパシタ部に接続され、出力が負の温度特性を有する電源電圧回路が備えられているので、動作温度が高くなり、抗電圧が減少しても、電源電圧回路から出力される電圧も減少する結果、 $(1/2)V_{cc}$ の値が減少し、非選択のメモリセルにおけるキャパシタ部の電荷反転を防止することができる。ここで、ディスターブとは、非選択のメモリセルのキャパシタ部の強誘電体層に対して、分極が反転する方向に、即ち、保存されていたデータが劣化若しくは破壊される方向に、電界が加わる現象を指す。

【0061】

本発明の第7の態様に係る強誘電体型不揮発性半導体メモリにおいては、キャパシタ部の一端はビット線に接続され、他端はプレート線に接続され、電源電圧回路は、ビット線に接続され、若しくは、プレート線に接続され、若しくは、ビット線及びプレート線に接続されている構成とすることができる。

【0062】

本発明の第7の態様に係る強誘電体型不揮発性半導体メモリにあっては、電源電圧回路は、

(a) 参照電圧回路と、

(b) 参照電圧回路から出力された参照電圧が第1の入力部に入力される比較器と、

(c) 比較器からの出力電圧に従って、比較器からの出力電圧に負のフィードバックをかける回路、例えば、比較器からの出力電圧がゲート部に入力され、ドレイン領域が比較器の第2の入力部及びキャパシタ部に接続されたPMOS型FET、から成る構成とすることが望ましいが、電源電圧回路を参照電圧回路のみから構成することも可能である。尚、PMOS型FETのドレイン領域がキャパシタ部に接続されている

10

20

30

40

50

とは、具体的には、ビット線に接続され、あるいは又、プレート線に接続され、あるいは又、ビット線及びプレート線に接続されていることを意味する。

【0063】

ここで、参照電圧回路は、一端が電源に接続された第1の抵抗素子と、一端が第1の抵抗素子の他端に接続され、他端が接地された第2の抵抗素子から成り、第1の抵抗素子と第2の抵抗素子との接続部から参照電圧が outputされる構成とすることが、回路の簡素化の観点から好ましい。

【0064】

そして、この場合、第1の抵抗素子及び第2の抵抗素子は負の温度特性を有し（即ち、温度が上昇するに従い、抵抗値が減少し）、第2の抵抗素子の抵抗値の温度変化量の絶対値は、第1の抵抗素子の抵抗値の温度変化量の絶対値よりも大きい構成とすることができます。ここで、抵抗値の温度変化量の絶対値とは、温度 t_1 °C における電気抵抗値を r_1 、温度 t_2 °C ($t_2 > t_1$) における電気抵抗値を r_2 としたとき、 $|r_2 - r_1|$ で表すことができる。具体的には、第1の抵抗素子及び第2の抵抗素子を抵抗体から構成することができます。より具体的には、例えば、第1の抵抗素子は不純物がドープされた半導体層から成り、第2の抵抗素子は、第1の抵抗素子を構成する半導体層の不純物濃度よりも低い濃度の不純物がドープされた半導体層から成る構成；第1の抵抗素子は Si - Ge 半導体層から成り、第2の抵抗素子は Si 半導体層から成る構成とすることができます。但し、第1の抵抗素子及び第2の抵抗素子は、これらの構成に限定するものではない。尚、第1の抵抗素子及び第2の抵抗素子は正の温度特性を有し（即ち、温度が上昇するに従い、抵抗値が増加し）、第2の抵抗素子の抵抗値の温度変化量の絶対値は、第1の抵抗素子の抵抗値の温度変化量の絶対値よりも小さい構成とすることもできる。

【0065】

あるいは又、この場合、第1の抵抗素子は抵抗体から成り、第2の抵抗素子は、ドレイン部とゲート部が短絡された少なくとも1つのPMOS型FET（場合によっては、かかるPMOS型FETを直列に接続した構造）から成る構成することもできる。

【0066】

あるいは又、この場合、第1の抵抗素子は正の温度特性を有し（即ち、温度が上昇するに従い、抵抗値が増加し）、第2の抵抗素子は負の温度特性を有する（即ち、温度が上昇するに従い、抵抗値が減少する）構成とすることができます。具体的には、第1の抵抗素子はゲート部が接地されたPMOS型FETから成り、第2の抵抗素子は抵抗体から成る構成とすることができますが、これらの構成に限定するものではない。

【0067】

上記の第4の目的を達成するための本発明の第8の態様に係る強誘電体型不揮発性半導体メモリは、

強誘電体層を有するキャパシタ部を備えたメモリセルが、複数、配列されて成るメモリユニットを備え、選択されたメモリセルへのアクセス時、非選択のメモリセルにディスタークタが発生する構造を有する強誘電体型不揮発性半導体メモリであって、

キャパシタ部の一端はビット線に接続され、他端はプレート線に接続され、

ビット線に接続された、クランプ電圧が負の温度特性を有するクランプ回路を備えていることを特徴とする。

【0068】

尚、本発明の第8の態様に係る強誘電体型不揮発性半導体メモリに、好ましい形態を含む本発明の第1の態様～第6の態様に係る強誘電体型不揮発性半導体メモリを適用することができる。また、本発明の第7の態様に係る強誘電体型不揮発性半導体メモリと本発明の第8の態様に係る強誘電体型不揮発性半導体メモリとを組み合わせることもできる。

【0069】

このように、本発明の第8の態様に係る強誘電体型不揮発性半導体メモリにあっては、クランプ電圧が負の温度特性を有する（即ち、温度が上昇するに従い、クランプ電圧が減少、あるいは低下する）クランプ回路がビット線に接続されているので、動作温度が高くな

10

20

30

40

50

り、抗電圧が減少しても、ピット線の電圧（電位）が低い電圧（電位）にクランプされる結果、非選択のキャパシタ部の電荷反転を防止することができる。

【0070】

本発明の第8の態様に係る強誘電体型不揮発性半導体メモリにおいては、プレート線に接続された電源電圧回路を更に備え、該電源電圧回路の出力は負の温度特性を有する構成とすることができる。プレート線に接続された電源電圧回路の構成としては、本発明の第7の態様に係る強誘電体型不揮発性半導体メモリにおけるプレート線に接続された電源電圧回路の構成と同様とすることができる。

【0071】

本発明の第8の態様に係る強誘電体型不揮発性半導体メモリにあっては、クランプ回路は
、ドレイン部とゲート部が短絡されたP M O S型F E Tを直列に接続した構造を有する構成とすることが望ましいが、これに限定するものではない。

【0072】

上記の第5の目的を達成するための本発明の第9の態様に係る強誘電体型不揮発性半導体メモリは、

(A) ピット線と、

(B) 選択用トランジスタと、

(C) M個（但し、M>2）のメモリセルから構成されたメモリユニットと、

(D) M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第1の電極は、選択用トランジスタを介してピット線に接続され、各メモリセルを構成する第2の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

(E) 共通の第1の電極の電位変化を検出し、該検出結果をピット線に電流又は電圧として伝達する信号検出回路、

を備えていることを特徴とする。

【0073】

本発明の第9の態様に係る強誘電体型不揮発性半導体メモリにおいては、選択用トランジスタ及び信号検出回路は半導体基板上に設けられており、メモリユニットは半導体基板上に形成された絶縁層上に設けられていることが好ましい。尚、メモリユニットの数は1であっても、2以上であってもよい。後者の場合、複数のメモリユニットが、層間絶縁層を介して積層されている構成とすることが好ましい。

【0074】

上記の第5の目的を達成するための本発明の第10の態様に係る強誘電体型不揮発性半導体メモリは、所謂ゲインセルタイプの強誘電体型不揮発性半導体メモリであり、

(A) ピット線と、

(B) 書込用トランジスタと、

(C) M個（但し、M>2）のメモリセルから構成されたメモリユニットと、

(D) M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

メモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第1の電極は、書込用トランジスタを介してピット線に接続され、各メモリセルを構成する第2の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

(E) 検出用トランジスタ、及び、

(F) 読出用トランジスタ、

を更に備え、

検出用トランジスタの一端は所定の電位を有する配線に接続され、他端は読出用トランジスタを介してピット線に接続され、

10

20

30

40

50

各メモリセルに記憶されたデータの読み出し時、読み出用トランジスタが導通状態とされ、各メモリセルに記憶されたデータに基づき共通の第1の電極に生じた電位により、検出用トランジスタの動作が制御されることを特徴とする。

【0075】

上記の第5の目的を達成するための本発明の第11の態様に係る強誘電体型不揮発性半導体メモリは、所謂ゲインセルタイプの強誘電体型不揮発性半導体メモリであり、

(A) ビット線と、

(B) 書込用トランジスタと、

(C) それぞれがM個(但し、M>2)のメモリセルから構成された、N個(但し、N>2)のメモリユニットと、

(D) N個の選択用トランジスタと、

(E) N個のメモリユニットのそれぞれを構成するメモリセルで共通とされたM本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

第n番目(n=1, 2, ..., N)のメモリユニットにおいて、メモリセルの第1の電極は共通であり、該共通の第1の電極は、第n番目の選択用トランジスタ及び書込用トランジスタを介してビット線に接続され、(m=1, 2, ..., M)メモリセルを構成する第2の電極は共通の第m番目のプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

(F) 検出用トランジスタ、及び、

(G) 読出用トランジスタ、

を更に備え、

検出用トランジスタの一端は所定の電位を有する配線に接続され、他端は読み出用トランジスタを介してビット線に接続され、

第n番目のメモリユニットを構成する各メモリセルに記憶されたデータの読み出し時、第n番目の選択用トランジスタ及び読み出用トランジスタが導通状態とされ、各メモリセルに記憶されたデータに基づき共通の第1の電極に生じた電位により、検出用トランジスタの動作が制御されることを特徴とする。

【0076】

本発明の第11の態様に係る強誘電体型不揮発性半導体メモリにおいては、N>2を満足すればよく、実際的なNの値として、例えば2のべき数(2, 4, 8, ...)を挙げることができる。

【0077】

本発明の第9の態様、第10の態様若しくは第11の態様に係る強誘電体型不揮発性半導体メモリにおいては、Mの値は、2≤M≤128、好ましくは、4≤M≤32を満足することが望ましい。

【0078】

本発明の第10の態様若しくは第11の態様に係る強誘電体型不揮発性半導体メモリにおいては、例えば、シリコン半導体基板に各種のトランジスタを作製し、かかる各種のトランジスタ上に絶縁層を形成し、この絶縁層上にメモリセルを形成することが、セル面積の縮小化といった観点から好ましい。場合によっては、複数のメモリユニットを層間絶縁層を介して積層してもよい。即ち、本発明の第10の態様あるいは第11の態様に係る強誘電体型不揮発性半導体メモリに、更には、メモリユニットの数が2以上である本発明の第9の態様に係る強誘電体型不揮発性半導体メモリに、好ましい形態を含む本発明の第1の態様～第6の態様に係る強誘電体型不揮発性半導体メモリを適用することができる。ここで、絶縁層あるいは層間絶縁層を構成する材料として、酸化シリコン(SiO₂)、窒化シリコン(SiN)、SiON、SOG、NSG、BPSG、PSG、BSG及びLTOを例示することができる。更には、本発明の第9の態様、第10の態様若しくは第11の態様に係る強誘電体型不揮発性半導体メモリと、本発明の第7の態様若しくは第8の態様

10

20

30

40

50

に係る強誘電体型不揮発性半導体メモリとを組み合わせることもできる。

【0079】

本発明の第10の態様に係る強誘電体型不揮発性半導体メモリの具体的な構成として、各種のトランジスタをFETから構成する場合、書込用トランジスタの一方のソース／ドレイン領域はビット線に接続され、他方のソース／ドレイン領域は共通の第1の電極に接続され、検出用トランジスタの一方のソース／ドレイン領域は、所定の電位を有する配線（例えば、不純物層から構成された電源線）に接続され、他方のソース／ドレイン領域は、読出用トランジスタの一方のソース／ドレイン領域に接続され、読出用トランジスタの他方のソース／ドレイン領域はビット線に接続され、更に、共通の第1の電極（あるいは、書込用トランジスタの他方のソース／ドレイン領域）は、検出用トランジスタのゲート電極に接続されている構成とすることができます。尚、検出用トランジスタの他方のソース／ドレイン領域が読出用トランジスタの一方のソース／ドレイン領域に接続された構成には、検出用トランジスタの他方のソース／ドレイン領域と読出用トランジスタの一方のソース／ドレイン領域とが1つのソース／ドレイン領域を占める構成が含まれる。

【0080】

本発明の第11の態様に係る強誘電体型不揮発性半導体メモリの具体的な構成として、各種のトランジスタをFETから構成する場合、書込用トランジスタの一方のソース／ドレイン領域はビット線に接続され、他方のソース／ドレイン領域は、N個の選択用トランジスタのそれぞれの一方のソース／ドレイン領域に接続され、第n番目の選択用トランジスタの他方のソース／ドレイン領域は、第n番目のメモリユニットを構成する共通の第1の電極に接続され、検出用トランジスタの一方のソース／ドレイン領域は、所定の電位を有する配線に接続され、他方のソース／ドレイン領域は、読出用トランジスタの一方のソース／ドレイン領域に接続され、読出用トランジスタの他方のソース／ドレイン領域はビット線に接続され、更に、各メモリユニットを構成する共通の第1の電極（あるいは、書込用トランジスタの他方のソース／ドレイン領域）は、検出用トランジスタのゲート電極に接続されている構成とすることができます。尚、検出用トランジスタの他方のソース／ドレイン領域が読出用トランジスタの一方のソース／ドレイン領域に接続された構成には、検出用トランジスタの他方のソース／ドレイン領域と読出用トランジスタの一方のソース／ドレイン領域とが1つのソース／ドレイン領域を占める構成が含まれる。

【0081】

本発明の第9の態様に係る強誘電体型不揮発性半導体メモリにおいては、1つの選択用トランジスタと信号検出回路とに対して、M個のメモリセルが設けられているが故に、1ビット当たりのセル面積を減少させることができる。また、本発明の第10の態様に係る強誘電体型不揮発性半導体メモリにおいては、1つの書込用トランジスタと1つの検出用トランジスタと1つの読出用トランジスタに対して、M個のメモリセルが設けられているが故に、1ビット当たりのセル面積を減少させることができる。更には、本発明の第11の態様に係る強誘電体型不揮発性半導体メモリにおいては、1つの書込用トランジスタと1つの検出用トランジスタと1つの読出用トランジスタとN個の選択用トランジスタに対して、M×N個のメモリセルが設けられているが故に、1ビット当たりのセル面積を一層減少させることができる。しかも、共通の第1の電極の電位変化を信号検出回路によって検出し、あるいは又、各メモリセルに記憶されたデータに基づき共通の第1の電極に生じた電位により検出用トランジスタの動作が制御されるが、第1の電極はM個のメモリセルに共通であるが故に、第1の電極に一種の追加の負荷容量が付加された状態となっている。その結果、データの読み出し時、プレート線に電圧を印加した際、第1の電極の電位上昇を抑制することができ、第1の電極と第2の電極との間に十分な電位差が生じる結果、強誘電体層に確実に分極反転が発生する。

【0082】

上記の第6の目的を達成するための本発明の第1の態様に係る強誘電体型不揮発性半導体メモリの駆動方法は、

（A-1）第1のビット線と、

10

20

30

40

50

(B - 1) N 個 (但し、 N 1) の第 1 の選択用トランジスタと、
(C - 1) それぞれが M 個 (但し、 M 2) の第 1 のメモリセルから構成された、 N 個の第 1 のサブメモリユニットと、

(D - 1) N 個の第 1 のサブメモリユニット間ににおいて、 N 個の第 1 のサブメモリユニットのそれぞれを構成する第 1 のメモリセルで共通とされた M 本のプレート線、から成る第 1 のメモリユニット、並びに、

(A - 2) 第 2 のビット線と、

(B - 2) N 個の第 2 の選択用トランジスタと、

(C - 2) それぞれが M 個の第 2 のメモリセルから構成された、 N 個の第 2 のサブメモリユニットと、

(D - 2) N 個の第 2 のサブメモリユニット間ににおいて、 N 個の第 2 のサブメモリユニットのそれぞれを構成する第 2 のメモリセルで共通とされ、且つ、前記第 1 のメモリユニットを構成する M 本のプレート線と共に M 本のプレート線、から成る第 2 のメモリユニットから構成され、

各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成り、

第 1 のメモリユニットにおいて、第 n 番目 (但し、 n = 1 , 2 ··· N) の第 1 のサブメモリユニットを構成する第 1 のメモリセルの第 1 の電極は、第 n 番目の第 1 のサブメモリユニットにおいて共通であり、該共通の第 1 の電極は、第 n 番目の第 1 の選択用トランジスタを介して第 1 のビット線に接続され、第 m 番目 (但し、 m = 1 , 2 ··· M) の第 1 のメモリセルの第 2 の電極は共通の第 m 番目のプレート線に接続されており、

第 2 のメモリユニットにおいて、第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルの第 1 の電極は、第 n 番目の第 2 のサブメモリユニットにおいて共通であり、該共通の第 1 の電極は、第 n 番目の第 2 の選択用トランジスタを介して第 2 のビット線に接続され、第 m 番目の第 2 のメモリセルの第 2 の電極は共通の第 m 番目のプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、

プレート線を共有した第 1 のサブメモリユニットにおける第 1 のメモリセル及び第 2 のサブメモリユニットにおける第 2 のメモリセルに記憶されたデータの読み出し及びデータの再書き込みを、1 回のプレート線の電位立ち上げ及び電位立ち下げにて行うことを特徴とする。

【 0083 】

本発明の第 1 の態様に係る強誘電体型不揮発性半導体メモリの駆動方法 (以下、本発明の第 1 の態様に係る駆動方法と略称する) においては、

第 1 のビット線と第 2 のビット線との間に、第 1 のメモリセル及び第 2 のメモリセルのそれぞれに記憶されたデータをラッチするための 2 N 個のラッチ回路が設けられており、

第 (2 n - 1) 番目のラッチ回路にラッチされたデータに基づき、第 n 番目の第 1 のサブメモリユニットを構成する第 1 のメモリセルへのデータの再書き込みを行い、第 2 n 番目のラッチ回路にラッチされたデータに基づき、第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルへのデータの再書き込みを行う構成とすることができる。即ち、プレート線を共有した (即ち、対となった) 第 n 番目の第 1 のサブメモリユニットを構成する第 1 のメモリセル及び第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルのそれぞれに、1 ビットを記憶することができ、これによって、強誘電体型不揮発性半導体メモリの高集積化を図ることができる。尚、このような構成の本発明の第 1 の態様に係る駆動方法を、本発明の第 1 の構成に係る駆動方法と呼ぶ。

【 0084 】

本発明の第 1 の構成に係る駆動方法においては、第 1 のメモリセルに記憶されたデータの読み出しを行うとき、第 1 の選択用トランジスタをオン状態とし、第 2 の選択用トランジスタをオフ状態とし、且つ、第 2 のビット線に参照電位を印加し、第 2 のメモリセルに記憶されたデータの読み出しを行うとき、第 2 の選択用トランジスタをオン状態とし、第 1 の選択用トランジスタをオフ状態とし、且つ、第 1 のビット線に参照電位を印加する構成とすることができる。

【0085】

尚、本発明の第1の構成に係る駆動方法においては、選択用トランジスタがオフ状態において、プレート線を共有した第1のサブメモリユニットにおける第1のメモリセル及び第2のサブメモリユニットにおける第2のメモリセルに記憶されたデータの読み出し及びデータの再書き込みを行うために、プレート線の電位立ち上げを行い、その後、選択用トランジスタをオン状態とすることが望ましい。また、プレート線を共有した第1のサブメモリユニットにおける第1のメモリセル及び第2のサブメモリユニットにおける第2のメモリセルに記憶されたデータの読み出しを行った後、データをラッチ回路にラッチし、一旦、これらのメモリセルに2値データの一方（例えば、データ「0」）を書き込み、その後、プレート線の電位立ち下げを行い、次いで、これらのメモリセルへのデータ（例えば、データ「1」）の再書き込みを行うことが望ましい。

10

【0086】

あるいは又、本発明の第1の態様に係る駆動方法においては、
N 2 であり、

第1のビット線と第2のビット線との間には、第1のメモリセル及び第2のメモリセルに記憶されたデータをラッチするためのN個のラッチ回路が設けられており、

第n番目のラッチ回路にラッチされたデータに基づき、第n番目の第1のサブメモリユニットを構成する第1のメモリセル及び第n番目の第2のサブメモリユニットを構成する第2のメモリセルへのデータの再書き込みを行う構成とすることができます。即ち、プレート線を共有した（即ち、対となつた）第n番目の第1のサブメモリユニットを構成する第1のメモリセル及び第n番目の第2のサブメモリユニットを構成する第2のメモリセルに、相補的なデータ構成の1ビットを記憶することができる。尚、このような構成の本発明の第1の態様に係る駆動方法を、本発明の第2の構成に係る駆動方法と呼ぶ。

20

【0087】

本発明の第2の構成に係る駆動方法においては、第n番目の第1のサブメモリユニットを構成する第m番目（但し、m = 1, 2, ..., M）の第1のメモリセルと、第n番目の第2のサブメモリユニットを構成する第m番目の第2のメモリセルとは、対となって相補的なデータを記憶する構成とすることができます。

【0088】

尚、本発明の第2の構成に係る駆動方法においても、選択用トランジスタがオフ状態において、プレート線を共有した第1のサブメモリユニットにおける第1のメモリセル及び第2のサブメモリユニットにおける第2のメモリセルに記憶されたデータの読み出し及びデータの再書き込みを行うために、プレート線の電位立ち上げを行い、その後、選択用トランジスタをオン状態とすることが望ましい。また、プレート線を共有した第1のサブメモリユニットにおける第1のメモリセル及び第2のサブメモリユニットにおける第2のメモリセルに記憶されたデータの読み出しを行った後、データをラッチ回路にラッチし、一旦、これらのメモリセルに2値データの一方（例えば、データ「0」）を書き込み、その後、プレート線の電位立ち下げを行い、次いで、これらのメモリセルへのデータ（例えば、データ「1」）の再書き込みを行うことが望ましい。

30

【0089】

上記の第6の目的を達成するための本発明の第12の態様に係る強誘電体型不揮発性半導体メモリは、

（A-1）第1のビット線と、

（B-1）N個（但し、N 1）の第1の選択用トランジスタと、

（C-1）それがM個（但し、M 2）の第1のメモリセルから構成された、N個の第1のサブメモリユニットと、

（D-1）N個の第1のサブメモリユニット間ににおいて、N個の第1のサブメモリユニットのそれぞれを構成する第1のメモリセルで共通とされたM本のプレート線、
から成る第1のメモリユニット、並びに、

（A-2）第2のビット線と、

40

50

(B - 2) N 個の第 2 の選択用トランジスタと、
(C - 2) それぞれが M 個の第 2 のメモリセルから構成された、 N 個の第 2 のサブメモリユニットと、

(D - 2) N 個の第 2 のサブメモリユニット間ににおいて、 N 個の第 2 のサブメモリユニットのそれぞれを構成する第 2 のメモリセルで共通とされ、且つ、前記第 1 のメモリユニットを構成する M 本のプレート線と共通の M 本のプレート線、から成る第 2 のメモリユニットから構成され、

各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成り、

第 1 のメモリユニットにおいて、第 n 番目（但し、 $n = 1, 2 \dots N$ ）の第 1 のサブメモリユニットを構成する第 1 のメモリセルの第 1 の電極は、第 n 番目の第 1 のサブメモリユニットにおいて共通であり、該共通の第 1 の電極は、第 n 番目の第 1 の選択用トランジスタを介して第 1 のビット線に接続され、第 m 番目（但し、 $m = 1, 2 \dots M$ ）の第 1 のメモリセルの第 2 の電極は共通の第 m 番目のプレート線に接続されており、

第 2 のメモリユニットにおいて、第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルの第 1 の電極は、第 n 番目の第 2 のサブメモリユニットにおいて共通であり、該共通の第 1 の電極は、第 n 番目の第 2 の選択用トランジスタを介して第 2 のビット線に接続され、第 m 番目の第 2 のメモリセルの第 2 の電極は共通の第 m 番目のプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

更に、第 1 のビット線と第 2 のビット線との間には、第 1 のメモリセル及び第 2 のメモリセルに記憶されたデータをラッチするための P 個のラッチ回路が設けられていることを特徴とする。

【 0090 】

本発明の第 1 2 の態様に係る強誘電体型不揮発性半導体メモリにおいては、 $N = 1$ であり、 $P = 2 N$ を満たす構成とすることができます。尚、このような構成の本発明の強誘電体型不揮発性半導体メモリを、本発明の第 1 2 A の態様に係る強誘電体型不揮発性半導体メモリと呼ぶ。このような構成とすることで、本発明の第 1 の構成に係る駆動方法を実行することができる。尚、本発明の第 1 2 A の態様に係る強誘電体型不揮発性半導体メモリにおいては、第 (2 n - 1) 番目のラッチ回路は、第 n 番目の第 1 のサブメモリユニットを構成する第 1 のメモリセルに記憶されたデータをラッチし、第 2 n 番目のラッチ回路は、第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルに記憶されたデータをラッチすることが好ましい。

【 0091 】

あるいは又、本発明の第 1 2 の態様に係る強誘電体型不揮発性半導体メモリにおいては、 $N = 2$ であり、 $P = N$ を満たす構成とすることができます。尚、このような構成の本発明の強誘電体型不揮発性半導体メモリを、本発明の第 1 2 B の態様に係る強誘電体型不揮発性半導体メモリと呼ぶ。このような構成とすることで、本発明の第 2 の構成に係る駆動方法を実行することができる。尚、本発明の第 1 2 B の態様に係る強誘電体型不揮発性半導体メモリにおいては、第 n 番目のラッチ回路は、第 n 番目の第 1 のサブメモリユニットを構成する第 1 のメモリセル及び第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルに記憶されたデータをラッチすることが好ましい。

【 0092 】

上記の第 6 の目的を達成するための本発明の第 2 の態様に係る強誘電体型不揮発性半導体メモリの駆動方法（以下、本発明の第 2 の態様に係る駆動方法と呼ぶ場合がある）は、

(A) ビット線と、

(B) N 個（但し、 $N = 2$ ）の選択用トランジスタと、

(C) それぞれが M 個（但し、 $M = 2$ ）のメモリセルから構成された、 N 個のメモリユニットと、

(D) M 本のプレート線、

から成り、

各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成り、

10

20

30

40

50

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、
 第n番目(但し、 $n = 1, 2 \dots N$)のメモリユニットにおける共通の第1の電極は、
 第n番目の選択用トランジスタを介してビット線に接続され、
 第n番目のメモリユニットにおいて、第m番目(但し、 $m = 1, 2 \dots M$)のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、
 N個のメモリユニットにおいて、プレート線を共有したメモリセルに記憶されたデータの読み出し及びデータの再書き込みを、1回のプレート線の電位立ち上げ及び電位立ち下げにて行うことを特徴とする。

【0093】

10

上記の第6の目的を達成するための本発明の第3の態様に係る強誘電体型不揮発性半導体メモリの駆動方法(以下、本発明の第3の態様に係る駆動方法と呼ぶ場合がある)は、
 (A)ビット線と、
 (B)N個(但し、 $N \geq 2$)の選択用トランジスタと、
 (C)それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個のメモリユニットと、
 (D)M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

20

第n番目(但し、 $n = 1, 2 \dots N$)のメモリユニットにおける共通の第1の電極は、
 第n番目の選択用トランジスタを介してビット線に接続され、
 第n番目のメモリユニットにおいて、第m番目(但し、 $m = 1, 2 \dots M$)のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法であって、
 N個のメモリユニットにおいて、プレート線を共有したメモリセルに記憶されたデータの読み出しを、先ず、該プレート線にパルスを与え、次いで、N個の選択用トランジスタを順次選択して行うことを特徴とする。

【0094】

30

本発明の第2の態様若しくは第3の態様に係る駆動方法にあっては、N個のメモリユニットは層間絶縁層を介して積層されていることが好ましい。そして、この場合、好ましい形態を含む本発明の第6の態様に係る強誘電体型不揮発性半導体メモリを適用することができる。

【0095】

上記の第6の目的を達成するための本発明の第13の態様に係る強誘電体型不揮発性半導体メモリは、

(A)ビット線と、
 (B)N個(但し、 $N \geq 2$)の選択用トランジスタと、
 (C)それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個のメモリユニットと、
 (D)M本のプレート線、

から成り、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n番目(但し、 $n = 1, 2 \dots N$)のメモリユニットにおける共通の第1の電極は、
 第n番目の選択用トランジスタを介してビット線に接続され、

第n番目のメモリユニットにおいて、第m番目(但し、 $m = 1, 2 \dots M$)のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されている強誘電体型不揮発性半導体メモリであって、

更に、ビット線には、メモリセルに記憶されたデータをラッチするため、少なくともN個

40

50

のラッチ回路が接続されていることを特徴とする。

【0096】

本発明の第13の態様に係る強誘電体型不揮発性半導体メモリにあっては、第n番目(但し、 $n = 1, 2 \cdots N$)のラッチ回路は、第n番目のメモリユニットのそれぞれを構成するメモリセルに記憶されたデータをラッチすることが好ましい。また、N個のメモリユニットは層間絶縁層を介して積層されていることが望ましい。

【0097】

尚、本発明の第12の態様若しくは第13の態様の好ましい形態に係る強誘電体型不揮発性半導体メモリに、好ましい形態を含む本発明の第1の態様～第6の態様に係る強誘電体型不揮発性半導体メモリを適宜適用することができる。

10

【0098】

即ち、例えば、本発明の第12Aの態様に係る強誘電体型不揮発性半導体メモリにおいては、一層の高集積化を達成するために、強誘電体型不揮発性半導体メモリを構成する第1のメモリユニットと、この強誘電体型不揮発性半導体メモリと第1のピット線の延在する方向に隣接した強誘電体型不揮発性半導体メモリを構成する第1のメモリユニットとを層間絶縁層を介して積層し、強誘電体型不揮発性半導体メモリを構成する第2のメモリユニットと、この強誘電体型不揮発性半導体メモリと第2のピット線の延在する方向に隣接した強誘電体型不揮発性半導体メモリを構成する第2のメモリユニットとを層間絶縁層を介して積層した構成とができる。

【0099】

20

また、例えば、本発明の第12Bの態様に係る強誘電体型不揮発性半導体メモリにおいては、一層の高集積化を達成するために、第1のメモリユニットを構成する第1のサブメモリユニットのそれぞれは層間絶縁層を介して積層されており、第2のメモリユニットを構成する第2のサブメモリユニットのそれぞれは層間絶縁層を介して積層されている構成とができる。あるいは又、第1のメモリユニットを構成する第1のサブメモリユニットと第2のメモリユニットを構成する第2のサブメモリユニットとは、層間絶縁層を介して積層されている構成とすることもできる。

【0100】

あるいは又、本発明の第12の態様若しくは第13の態様に係る強誘電体型不揮発性半導体メモリに、好ましい形態を含む本発明の第7の態様～第11の態様に係る強誘電体型不揮発性半導体メモリを適用することもできる。

30

【0101】

本発明の第12の態様若しくは第13の態様に係る強誘電体型不揮発性半導体メモリあるいは又、本発明の第2の態様若しくは第3の態様に係る駆動方法において、 $M \geq 2$ を満足すればよく、実際的なMの値として、例えば、2のべき数(2, 4, 8, ...)を挙げることができる。また、本発明の第12Aの態様に係る強誘電体型不揮発性半導体メモリあるいは第1の構成に係る駆動方法では、 $N \geq 1$ を満足すればよく、実際的なNの値として、例えば、1、及び、2のべき数(2, 4, 8, ...)を挙げることができる。また、本発明の第12Bの態様に係る強誘電体型不揮発性半導体メモリあるいは第2の構成に係る駆動方法では、 $N \geq 2$ を満足すればよく、実際的なNの値として、例えば2のべき数(2, 4, 8, ...)を挙げることができる。

40

【0102】

本発明の第12の態様若しくは第13の態様に係る強誘電体型不揮発性半導体メモリあるいは強誘電体型不揮発性半導体メモリの駆動方法におけるラッチ回路は、周知のラッチ回路から構成すればよい。

【0103】

本発明の第12の態様に係る強誘電体型不揮発性半導体メモリあるいは本発明の第1の態様に係る駆動方法においては、第1及び第2の選択用トランジスタに複数の第1及び第2のメモリセルが並列に接続されており、しかも、第1及び第2のメモリセルにおいてブレート線が共通化されているので、強誘電体型不揮発性半導体メモリの高集積化を達成する

50

ことができる。しかも、本発明の第1の態様に係る駆動方法においては、プレート線を共有した第1のメモリセル及び第2のメモリセルに記憶されたデータの読み出し及びデータの再書き込みを1回のプレート線の電位立ち上げ及び電位立ち下げにて行うので、各メモリセルがディスターブを受ける回数を少なくすることができるし、高速動作、低消費電力が可能となる。また、本発明の第12の態様若しくは第13の態様に係る強誘電体型不揮発性半導体メモリにおいては、ラッチ回路を備えているので、メモリセルへのデータの再書き込み、あるいは又、第1及び第2のメモリセルへのデータの再書き込みを確実に行うことができる。

【0104】

本発明の第2の態様に係る駆動方法においては、N個のメモリユニットにおいて、プレート線を共有したメモリセルに記憶されたデータの読み出し及びデータの再書き込みを、1回のプレート線の電位立ち上げ及び電位立ち下げにて行うので、各メモリセルがディスターブを受ける回数を少なくすることができるし、高速動作、低消費電力が可能となる。また、本発明の第3の態様に係る駆動方法においては、N個のメモリユニットにおいて、プレート線を共有したメモリセルに記憶されたデータの読み出しを、先ず、該プレート線にパルスを与え、次いで、N個の選択用トランジスタを順次選択して行うので、各メモリセルがディスターブを受ける回数を少なくすることができるし、高速動作、低消費電力が可能となる。

【0105】

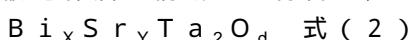
本発明の強誘電体型不揮発性半導体メモリにおける強誘電体層を構成する材料として、ビスマス層状化合物、より具体的には、Bi系層状構造ペロブスカイト型の強誘電体材料を挙げることができる。Bi系層状構造ペロブスカイト型の強誘電体材料は、所謂不定比化合物に属し、金属元素、アニオン(O等)元素の両サイトにおける組成ずれに対する寛容性がある。また、化学量論的組成からやや外れたところで最適な電気的特性を示すことも珍しくない。Bi系層状構造ペロブスカイト型の強誘電体材料は、例えば、一般式(Bi_2O_2)²⁺($A_{m-1}B_mO_{3m+1}$)²⁻で表すことができる。ここで、「A」は、Bi、Pb、Ba、Sr、Ca、Na、K、Cd等の金属から構成された群から選択された1種類の金属を表し、「B」は、Ti、Nb、Ta、W、Mo、Fe、Co、Crから成る群から選択された1種類、若しくは複数種の任意の比率による組み合わせを表す。また、mは1以上の整数である。

【0106】

あるいは又、強誘電体層を構成する材料は、



(但し、 $0.9 \leq X \leq 1.0, 0.7 \leq Y \leq 1.0, 0 \leq Z \leq 1.0, 8.7 \leq d \leq 9.3$)で表される結晶相を主たる結晶相として含んでいることが好ましい。あるいは又、強誘電体層を構成する材料は、



(但し、 $X + Y = 3, 0.7 \leq Y \leq 1.3, 8.7 \leq d \leq 9.3$)で表される結晶相を主たる結晶相として含んでいることが好ましい。これらの場合、式(1)若しくは式(2)で表される結晶相を主たる結晶相として85%以上含んでいることが一層好ましい。尚、式(1)中、(Bi_x, Sr_{1-x})の意味は、結晶構造における本来Biが占めるサイトをSrが占め、このときのBiとSrの割合が $X : (1 - X)$ であることを意味する。また、(Sr_Y, Bi_{1-Y})の意味は、結晶構造における本来Srが占めるサイトをBiが占め、このときのSrとBiの割合が $Y : (1 - Y)$ であることを意味する。式(1)若しくは式(2)で表される結晶相を主たる結晶相として含む強誘電体層を構成する材料には、Biの酸化物、TaやNbの酸化物、Bi、TaやNbの複合酸化物が若干含まれている場合もあり得る。

【0107】

あるいは又、強誘電体層を構成する材料は、



10

20

30

40

50

(但し、1.7 X 2.5、0.6 Y 1.2、0 Z 1.0、8.0 d 10
 .0)で表される結晶相を含んでいてもよい。尚、「(Sr, Ca, Ba)」は、Sr、Ca及びBaから構成された群から選択された1種類の元素を意味する。これらの各式で表される強誘電体層を構成する材料の組成を化学量論的組成で表せば、例えば、Bi₂SrTa₂O₉、Bi₂SrNb₂O₉、Bi₂BaTa₂O₉、Bi₂SrTaNbO₉等を挙げることができる。あるいは又、強誘電体層を構成する材料として、Bi₄SrTi₄O₁₅、Bi₄Ti₃O₁₂、Bi₂PbTa₂O₉等を例示することができるが、これらの場合においても、各金属元素の比率は、結晶構造が変化しない程度に変化させ得る。即ち、金属元素及び酸素元素の両サイトにおける組成ずれがあつてもよい。

【0108】

10

あるいは又、強誘電体層を構成する材料として、PbTiO₃、ペロブスカイト型構造を有するPbZrO₃とPbTiO₃の固溶体であるチタン酸ジルコン酸鉛[PZT, Pb(Zr_{1-y}, Ti_y)O₃(但し、0 < y < 1)]、PZTにLaを添加した金属酸化物であるPLZT、あるいはPZTにNbを添加した金属酸化物であるPNZTといったPZT系化合物を挙げることができる。

【0109】

以上に説明した強誘電体層を構成する材料において、これらの組成を化学量論的組成から外すことによって、結晶化温度を変化させることができる。

【0110】

20

本発明の第6の態様、若しくは、本発明の第1の態様～第5の態様及び第7の態様～第12の態様に係る強誘電体型不揮発性半導体メモリにおける好ましい態様においては、上述した強誘電体層を構成する材料を適宜選択することによって、上方に位置するメモリセルを構成する強誘電体層の結晶化温度を、下方に位置するメモリセルを構成する強誘電体層の結晶化温度よりも低くすることができ、あるいは又、上方に位置するメモリユニットあるいはサブメモリユニットを構成するメモリセルの強誘電体層の結晶化温度を、下方に位置するメモリユニットあるいはサブメモリユニットを構成するメモリセルの強誘電体層の結晶化温度よりも低くすることができる。以下の表1に、強誘電体層を構成する代表的な材料の結晶化温度を示すが、強誘電体層を構成する材料をかかる材料に限定するものではない。

【0111】

30

[表1]

材料名	結晶化温度
Bi ₂ SrTa ₂ O ₉	700～800°C
Bi ₂ Sr(Ta _{1.5} , Nb _{0.5})O ₉	650～750°C
Bi ₄ Ti ₃ O ₁₂	600～700°C
Pb(Zr _{0.48} , Ti _{0.52})O ₃	550～650°C
PbTiO ₃	500～600°C

【0112】

本発明の各種の態様の強誘電体型不揮発性半導体メモリにおいては、強誘電体層の下に第1の電極を形成し、強誘電体層の上に第2の電極を形成する構成(即ち、第1の電極は下部電極に相当し、第2の電極は上部電極に相当する)とすることもできるし、強誘電体層の上に第1の電極を形成し、強誘電体層の下に第2の電極を形成する構成(即ち、第1の電極は上部電極に相当し、第2の電極は下部電極に相当する)とすることもできる。プレート線は、第2の電極から延在している構成とすることもできるし、第2の電極とは別途に形成され、第2の電極と接続された構成とすることもできる。後者の場合、プレート線を構成する配線材料として、例えばアルミニウムやアルミニウム系合金を例示することができる。第1の電極が共通である構造として、具体的には、ストライプ状の第1の電極を形成し、かかるストライプ状の第1の電極の全面を覆うように強誘電体層を形成する構成を挙げることができる。尚、このような構造においては、第1の電極と強誘電体層と第2の電極の重複領域がメモリセルあるいはキャパシタ部に相当する。第1の電極が共通であ

40

50

る構造として、その他、第1の電極の所定の領域に、それぞれの強誘電体層が形成され、強誘電体層上に第2の電極が形成された構造、あるいは又、配線層の所定の表面領域に、それぞれの第1の電極が形成され、かかるそれぞれの第1の電極上に強誘電体層が形成され、強誘電体層上に第2の電極が形成された構造を挙げることができるが、これらの構成に限定するものではない。

【0113】

強誘電体層を得るためには、強誘電体薄膜を形成した後の工程において、強誘電体薄膜をパターニングすればよい。場合によっては、強誘電体薄膜のパターニングは不要である。強誘電体薄膜の形成は、例えば、MOCVD法、パルスレーザアブレーション法、スパッタ法、ゾル-ゲル法といった強誘電体薄膜を構成する材料に適宜適した方法にて行うことができる。また、強誘電体薄膜のパターニングは、例えば異方性イオンエッチング(RIE)法にて行うことができる。

【0114】

本発明において、第1の電極及び第2の電極を構成する材料として、例えば、Ir、IrO_{2-x}、SrIrO₃、Ru、RuO_{2-x}、SrRuO₃、Pt、Pt/IrO_{2-x}、Pt/RuO_{2-x}、Pd、Pt/Tiの積層構造、Pt/Taの積層構造、Pt/Ti/Taの積層構造、La_{0.5}Sr_{0.5}CoO₃(LSCO)、Pt/LSCOの積層構造、YBa₂Cu₃O₇を挙げることができる。ここで、Xの値は、0 < X < 2である。尚、積層構造においては、「/」の前に記載された材料が上層を構成し、「/」の後ろに記載された材料が下層を構成する。第1の電極と第2の電極は、同じ材料から構成されていてもよいし、同種の材料から構成されていてもよいし、異種の材料から構成されていてもよい。第1の電極あるいは第2の電極を形成するためには、第1の電極材料層あるいは第2の電極材料層を形成した後の工程において、第1の電極材料層あるいは第2の電極材料層をパターニングすればよい。第1の電極材料層あるいは第2の電極材料層の形成は、例えばスパッタ法、反応性スパッタ法、電子ビーム蒸着法、MOCVD法、あるいはパルスレーザアブレーション法といった第1の電極材料層や第2の電極材料層を構成する材料に適宜適した方法にて行うことができる。また、第1の電極材料層や第2の電極材料層のパターニングは、例えばイオンミーリング法やRIE法にて行うことができる。

【0115】

本発明において、層間絶縁層を構成する材料として、酸化シリコン(SiO₂)、窒化シリコン(SiN)、SiON、SOG、NSG、BPSG、PSG、BSGあるいはLTOを例示することができる。

【0116】

選択用トランジスタ(スイッチング用トランジスタ)や各種のトランジスタは、例えば、周知のMIS型FETやMOS型FETから構成することができる。ビット線を構成する材料として、不純物がドーピングされたポリシリコンや高融点金属材料を挙げることができる。共通の第1の電極と選択用トランジスタとの電気的な接続は、共通の第1の電極と選択用トランジスタとの間に形成された絶縁層に設けられた接続孔(コンタクトホール)を介して、あるいは又、かかる絶縁層に設けられた接続孔(コンタクトホール)及び絶縁層上に形成された配線層を介して行うことができる。尚、絶縁層を構成する材料として、酸化シリコン(SiO₂)、窒化シリコン(SiN)、SiON、SOG、NSG、BPSG、PSG、BSGあるいはLTOを例示することができる。

【0117】

【発明の実施の形態】

以下、図面を参照して、発明の実施の形態(以下、実施の形態と略称する)に基づき本発明を説明する。

【0118】

(実施の形態1)

実施の形態1は、本発明の第1の態様及び第6の態様に係る強誘電体型不揮発性半導体メモリ(以下、不揮発性メモリと略称する)に関する。実施の形態1の不揮発性メモリの回

10

20

30

40

50

路図を図1に示し、模式的な一部断面図を図2に示す。尚、図1には、2つの不揮発性メモリM₁、M₂を示すが、これらの不揮発性メモリは同じ回路である。以下の説明においては、不揮発性メモリM₁についての説明を行う。

【0119】

この不揮発性メモリM₁は、ビット線B L₁と、MOS型FETから構成された選択用トランジスタT R₁と、N個（但し、N=2であり、実施の形態1においてはN=2）のメモリユニットM U₁₁、M U₁₂と、プレート線から構成されている。メモリユニットM U₁₁は、M個（但し、M=2であり、実施の形態1においてはM=4）のメモリセルM C_{11m}（m=1, 2, 3, 4）から構成されている。また、メモリユニットM U₁₂も、M個（M=4）のメモリセルM C_{12m}（m=1, 2, 3, 4）から構成されている。プレート線の数は、M×N本（実施の形態1においては、8本）であり、P L_{1m}、P L_{2m}（m=1, 2, 3, 4）で表している。選択用トランジスタT R₁のゲート電極に接続されたワード線W L₁は、ワード線デコーダ／ドライバW Dに接続されている。一方、各プレート線P L_{1m}、P L_{2m}は、プレート線デコーダ／ドライバP Dに接続されている。

【0120】

また、メモリユニットM U₁₁を構成する各メモリセルM C_{11m}は、第1の電極21と強誘電体層22と第2の電極23とから成り、メモリユニットM U₁₂を構成する各メモリセルM C_{12m}は、第1の電極31と強誘電体層32と第2の電極33とから成る。そして、各メモリユニットM U₁₁、M U₁₂において、メモリセルM C_{11m}、M C_{12m}の第1の電極21、31は共通である。この共通の第1の電極21、31を、便宜上、共通ノードC N₁₁、C N₁₂と呼ぶ。共通ノードC N₁₁、C N₁₂（共通の第1の電極21、31）は、選択用トランジスタT R₁を介してビット線B L₁に接続されている。また、第n番目（但し、n=1, 2, ..., N）のメモリユニットM U₁₁、M U₁₂において、第m番目（但し、m=1, 2, ..., M）のメモリセルM C_{11m}、M C_{12m}の第2の電極23、33は、第[(n-1)M+m]番目のプレート線P L_{1m}、P L_{2m}に接続されている。具体的には、メモリユニットM U₁₁におけるメモリセルM C_{11m}の第2の電極23は、それぞれ、プレート線P L_{1m}に接続されており、メモリユニットM U₁₂におけるメモリセルM C_{12m}の第2の電極33は、それぞれ、プレート線P L_{2m}に接続されている。

【0121】

実施の形態1においては、2つのメモリユニットM U₁₁、M U₁₂は、それぞれ、層間絶縁層26を介して積層されている。メモリユニットM U₁₂は絶縁膜36Aで被覆されている。また、メモリユニットM U₁₁は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、選択用トランジスタT R₁は、ゲート電極13、ゲート絶縁膜12、ソース／ドレイン領域14から構成されている。そして、一方のソース／ドレイン領域14はコンタクトホール15を介してビット線B L₁に接続されている。また、他方のソース／ドレイン領域14は、絶縁層16に形成された開口部17中に設けられた接続孔18を介して共通ノードC N₁₁に接続され、更に、層間絶縁層26に形成された開口部27中に設けられた接続孔28を介して共通ノードC N₁₂に接続されている。

【0122】

ここで、ワード線W L₁は、図2の紙面垂直方向に延びている。また、第2の電極23は、図2の紙面垂直方向に隣接するメモリユニットM U₂₁を構成するメモリセルと共に接続され、プレート線P L_{1m}を兼ねている。更には、第2の電極32も、図2の紙面垂直方向に隣接するメモリユニットM U₂₂を構成するメモリセルと共に接続され、プレート線P L_{2m}を兼ねている。各メモリセルを結ぶこれらの各プレート線は、図2の紙面垂直方向に延びており、図示しない領域において接続孔を介して接続されている。また、メモリセルM C_{11m}とメモリセルM C_{12m}とは、垂直方向に揃っている。このような構造にすることによって、メモリユニットの占有面積を小さくすることができ、集積度の向上を図ることができる。

【0123】

10

20

30

40

50

尚、図1に示した不揮発性メモリM₂は、図2の模式的な一部断面図において、上述のとおり、不揮発性メモリM₁と紙面垂直方向に隣接している。

【0124】

更には、ビット線B L₁は、センスアンプSAに接続されている。尚、ビット線B L₂も同じセンスアンプSAに接続されているが、ビット線B L₂は、異なるセンスアンプSAに接続されていてもよい。また、ビット線B L₁、B L₂は、ビット線B L₁、B L₂の伸びる方向に隣接する他の不揮発性メモリとも共有されている。

【0125】

そして、各メモリセルMC_{11m}、MC_{12m}(m=1, 2, 3, 4)に1ビットがデータとして記憶される。実際の不揮発性メモリにおいては、この8ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。10

【0126】

実施の形態1の不揮発性メモリにデータを書き込む方法の一例を、以下、説明する。尚、一例として、メモリセルMC₁₁₁にデータを書き込むものとする。図3に動作波形を示す。尚、図3中、括弧内の数字は、以下に説明する工程の番号と対応している。

【0127】

(1-1A) 待機状態では、ビット線B L₁、ワード線WL₁、全プレート線PL_{1m}、PL_{2m}が0ボルトとなっている。更には、共通ノードCN₁₁、CN₁₂も0ボルトで浮遊状態となっている。

【0128】

(1-2A) データ書き込みの開始時、選択プレート線PL₁₁の電位をV_{cc}とし、非選択プレート線PL_{1k}(k=2, 3, 4)、PL_{2k}(k=1, 2, 3, 4)の電位を(1/2)V_{cc}とする。これによって、浮遊状態の共通ノードCN₁₁、CN₁₂の電位は、プレート線PL_{1M}、PL_{2M}とのカップリングにより、概ね(1/2)V_{cc}近傍まで上昇する。また、選択メモリセルMC₁₁₁にデータ「1」を書き込む場合には、ビット線B L₁の電位をV_{cc}とし、データ「0」を書き込む場合には、ビット線B L₁の電位を0ボルトとする。20

【0129】

(1-3A) その後、選択用トランジスタTR₁をオン状態とする。これによって、共通ノードCN₁₁、CN₁₂の電位は、選択メモリセルMC₁₁₁にデータ「1」を書き込む場合には、V_{cc}となり、データ「0」を書き込む場合には、0ボルトとなる。尚、選択プレート線PL₁₁にはV_{cc}が印加された状態にあるので、共通ノードCN₁₁、CN₁₂の電位が0ボルトの場合、選択メモリセルMC₁₁₁にデータ「0」が書き込まれる。一方、共通ノードCN₁₁、CN₁₂の電位がV_{cc}の場合、選択メモリセルMC₁₁₁には何らデータが書き込まれない。30

【0130】

(1-4A) 次いで、選択プレート線PL₁₁の電位を0ボルトとする。共通ノードCN₁₁、CN₁₂の電位がV_{cc}の場合、選択メモリセルMC₁₁₁にデータ「1」が書き込まれる。選択メモリセルMC₁₁₁に既にデータ「0」が書き込まれている場合には、選択メモリセルMC₁₁₁に何ら変化は生じない。

【0131】

(1-5A) その後、ビット線B L₁を0ボルトと印加する。40

【0132】

(1-6A) 更に、非選択プレート線PL_{1k}、PL_{2k}を0ボルトとし、選択用トランジスタTR₁をオフ状態とする。

【0133】

他のメモリセルMC_{11m}(m=2, 3, 4)、MC_{12m}(m=1, 2, 3, 4)にデータを書き込む場合には、同様の操作を繰り返す。このような書き込み動作においては、非選択メモリセルMC_{11k}、MC_{12k}に(±1/2)V_{cc}のディスターブが発生するが、V_{cc}の値を適切に設定することによって、非選択メモリセルMC_{11k}、MC_{12k}におけるデータの破壊を確実に防止することができる。50

【0134】

次に、実施の形態1の不揮発性メモリからデータを読み出し、データを再書き込みする動作を、以下、説明する。尚、一例として、プレート線PL₁₁に接続されたメモリセルMC₁₁₁からデータを読み出し、データを再書き込みするものとする。図4に動作波形を示す。

【0135】

(1-1B) 待機状態では、ビット線BL₁、ワード線WL₁、全プレート線PL_{1m}、PL_{2m}が0ボルトとなっている。更には、共通ノードCN₁₁、CN₁₂も0ボルトで浮遊状態となっている。

【0136】

(1-2B) データ読み出し時、選択プレート線PL₁₁にV_{cc}を印加する。このとき、選択メモリセルMC₁₁₁にデータ「1」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、共通ノードCN₁₁、CN₁₂の電位が上昇する。一方、選択メモリセルMC₁₁₁にデータ「0」が記憶されていれば、強誘電体層に分極反転が生ぜず、共通ノードCN₁₁、CN₁₂の電位は殆ど上昇しない。即ち、共通ノードCN₁₁、CN₁₂は、非選択メモリセルの強誘電体層を介して複数の非選択プレート線PL_{1k}(k=2,3,4), PL_{2k}(k=1,2,3,4)にカップリングされているので、共通ノードCN₁₁、CN₁₂の電位は0ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセルMC₁₁₁に記憶されたデータに依存して共通ノードCN₁₁、CN₁₂の電位に変化が生じる。従って、選択メモリセルMC₁₁₁の強誘電体層には、分極反転に十分な電界を与えることができる。

10

【0137】

(1-3B) 次に、ビット線BL₁を浮遊状態とし、選択用トランジスタTR₁をオン状態とする。これによって、選択メモリセルMC₁₁₁に記憶されたデータに基づき共通の第1の電極(共通ノードCN₁₁、CN₁₂)に生じた電位により、ビット線BL₁に電位が生じる。

20

【0138】

(1-4B) 次いで、選択用トランジスタTR₁をオフ状態とする。そして、かかるビット線BL₁の電位をセンスアンプSAにてラッチし、センスアンプSAを活性化してデータを増幅し、データの読み出し動作を完了する。

30

【0139】

以上の動作によって、選択メモリセルに記憶されていたデータが一旦破壊されてしまうので、データの再書き込み動作を行う。

【0140】

(1-5B) そのために、先ず、ビット線BL₁をセンスアンプSAによって充放電させ、ビット線BL₁にV_{cc}又は0ボルトを印加する。

【0141】

(1-6B) そして、非選択プレート線PL_{1k}(k=2,3,4), PL_{2k}(k=1,2,3,4)の電位を(1/2)V_{cc}とする。

【0142】

(1-7B) その後、選択用トランジスタTR₁をオン状態とする。これによって、共通ノードCN₁₁、CN₁₂の電位はビット線BL₁の電位と等しくなる。即ち、選択メモリセルMC₁₁₁に記憶されていたデータが「1」の場合には、共通ノードCN₁₁、CN₁₂の電位はV_{cc}となり、選択メモリセルMC₁₁₁に記憶されていたデータが「0」の場合には、共通ノードCN₁₁、CN₁₂の電位は0ボルトとなる。選択プレート線PL₁₁の電位はV_{cc}のままであるが故に、共通ノードCN₁₁、CN₁₂の電位が0ボルトの場合、選択メモリセルMC₁₁₁にはデータ「0」が再書き込みされる。

40

【0143】

(1-8B) 次に、選択プレート線PL₁₁の電位を0ボルトとする。これによって、選択メモリセルMC₁₁₁に記憶されていたデータが「1」の場合には、共通ノードCN₁₁、CN₁₂の電位が0ボルトとなる。

50

N_{12} の電位が V_{cc} であるが故に、データ「1」が再書き込みされる。選択メモリセル MC_{111} にデータ「0」が既に再書き込みされていた場合には、選択メモリセル MC_{111} に変化は生じない。

【0144】

(1-9B) その後、ピット線 BL_1 を0ボルトとする。

【0145】

(1-10B) 最後に、非選択プレート線 PL_{1k}, PL_{2k} を0ボルトとし、選択用トランジスタ TR_1 をオフ状態とする。

【0146】

他のメモリセル MC_{11m} ($m = 2, 3, 4$), MC_{12m} ($m = 1, 2, 3, 4$) からデータを読み出し、データを再書き込みする場合には、同様の操作を繰り返す。 10

【0147】

実施の形態1の不揮発性メモリにおいては、メモリユニット MU_{11} を構成する各メモリセル MC_{11m} における強誘電体層22と、メモリユニット MU_{12} を構成する各メモリセル MC_{12m} における強誘電体層32とを同一の材料から構成してもよいが、本発明の第6の態様に係る不揮発性メモリのように、上方に位置するメモリセルを構成する強誘電体層32の結晶化温度は、下方に位置するメモリセルを構成する強誘電体層22の結晶化温度よりも低い構成とすることが好ましい。具体的には、強誘電体層22, 32を、以下の表2に例示する材料から構成することができる。

【0148】

20

【表2】

	材料	結晶化温度
強誘電体層32	$Bi_2Sr(Ta_{1.5}Nb_{0.5})O_9$	700°C
強誘電体層22	$Bi_2SrTa_2O_9$	750°C

【0149】

以下、このような構成の不揮発性メモリの製造方法を説明するが、他の実施の形態あるいはその変形における不揮発性メモリも、実質的に同様の方法で製造することができる。

【0150】

30

【工程-100】

先ず、不揮発性メモリにおける選択用トランジスタとして機能するMOS型トランジスタを半導体基板10に形成する。そのために、例えばLOCOS構造を有する素子分離領域11を公知の方法に基づき形成する。尚、素子分離領域は、トレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組合せとしてもよい。その後、半導体基板10の表面を例えばパイロジェニック法により酸化し、ゲート絶縁膜12を形成する。次いで、不純物がドーピングされたポリシリコン層をCVD法にて全面に形成した後、ポリシリコン層をパターニングし、ゲート電極13を形成する。このゲート電極13はワード線を兼ねている。尚、ゲート電極13をポリシリコン層から構成する代わりに、ポリサイドや金属シリサイドから構成することもできる。次に、半導体基板10にイオン注入を行い、LDD構造を形成する。その後、全面にCVD法にて SiO_2 層を形成した後、この SiO_2 層をエッチバックすることによって、ゲート電極13の側面にゲートサイドウォール(図示せず)を形成する。次いで、半導体基板10にイオン注入を施した後、イオン注入された不純物の活性化アニール処理を行うことによって、ソース/ドレイン領域14を形成する。 40

【0151】

【工程-110】

次いで、 SiO_2 から成る下層絶縁層をCVD法にて形成した後、一方のソース/ドレイン領域14の上方の下層絶縁層に開口部をRIE法にて形成する。そして、かかる開口部内を含む下層絶縁層上に不純物がドーピングされたポリシリコン層をCVD法にて形成す

50

る。これによって、コンタクトプラグ 15 が形成される。次に、下層絶縁層上のポリシリコン層をパターニングすることによって、ビット線 BL を形成する。その後、BPSG から成る上層絶縁層を CVD 法にて全面に形成する。尚、BPSG から成る上層絶縁層の形成後、窒素ガス雰囲気中で例えば $900^{\circ}\text{C} \times 20$ 分間、上層絶縁層をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法 (CMP 法) にて上層絶縁層の頂面を化学的及び機械的に研磨し、上層絶縁層を平坦化することが望ましい。尚、下層絶縁層と上層絶縁層を纏めて、絶縁層 16 と呼ぶ。

【0152】

[工程 - 120]

次に、他方のソース / ドレイン領域 14 の上方の絶縁層 16 に開口部 17 を RIE 法にて形成した後、かかる開口部 17 内を、不純物をドーピングしたポリシリコンで埋め込み、接続孔 (コンタクトプラグ) 18 を完成させる。ビット線 BL は、下層絶縁層上を、図の左右方向に接続孔 18 と接触しないように延びている。

【0153】

尚、接続孔 18 は、絶縁層 16 に形成された開口部 17 内に、例えば、タングステン、Ti、Pt、Pd、Cu、TiW、TiNW、WSi₂、MoSi₂ 等の高融点金属や金属シリサイドから成る金属配線材料を埋め込むことによって形成することもできる。接続孔 18 の頂面は絶縁層 16 の表面と略同じ平面に存在していてもよいし、接続孔 18 の頂部が絶縁層 16 の表面に延在していてもよい。タングステンにて開口部 17 を埋め込み、接続孔 18 を形成する条件を、以下の表 3 に例示する。尚、タングステンにて開口部 17 を埋め込む前に、Ti 層及び TiN 層を順に例えばマグнетロンスパッタ法にて開口部 17 内を含む絶縁層 16 の上に形成することが好ましい。ここで、Ti 層及び TiN 層を形成する理由は、オーミックな低コンタクト抵抗を得ること、プランケットタングステン CVD 法における半導体基板 10 の損傷発生の防止、タングステンの密着性向上のためである。

【0154】

[表 3]

Ti 層 (厚さ : 20 nm) のスパッタ条件

プロセスガス : Ar = 35 sccm

圧力 : 0.52 Pa

R F パワー : 2 kW

基板の加熱 : 無し

TiN 層 (厚さ : 100 nm) のスパッタ条件

プロセスガス : N₂ / Ar = 100 / 35 sccm

圧力 : 1.0 Pa

R F パワー : 6 kW

基板の加熱 : 無し

タングステンの CVD 形成条件

使用ガス : WF₆ / H₂ / Ar = 40 / 400 / 2250 sccm

圧力 : 10.7 kPa

形成温度 : 450 °C

タングステン層及び TiN 層、Ti 層のエッチング条件

第 1 段階のエッチング : タングステン層のエッチング

使用ガス : SF₆ / Ar / He = 110 : 90 : 5 sccm

圧力 : 4.6 Pa

R F パワー : 275 W

第 2 段階のエッチング : TiN 層 / Ti 層のエッチング

使用ガス : Ar / Cl₂ = 75 / 5 sccm

圧力 : 6.5 Pa

R F パワー : 250 W

【0155】

10

20

30

40

50

[工程 - 130]

次に、絶縁層16上に、酸化チタンから成る密着層(図示せず)を形成することが望ましい。そして、密着層上にIrから成る第1の電極(下部電極)21を構成する第1の電極材料層を、例えばスパッタ法にて形成し、第1の電極材料層及び密着層をフォトリソグラフィ技術及びドライエッチング技術に基づきパターニングすることによって、第1の電極21を得ることができる。尚、以下の工程においても、第1の電極材料層を形成する前に、層間絶縁層上に密着層を形成することが望ましい。

【0156】

[工程 - 140]

その後、例えば、MOCVD法によって、Bi系層状構造ペロブスカイト型の強誘電体材料(具体的には、例えば、結晶化温度750°CのBi₂SrTa₂O₉)から成る強誘電体薄膜を全面に形成する。その後、250°Cの空気中で乾燥処理を行った後、750°Cの酸素ガス雰囲気で1時間の熱処理を施し、結晶化を促進させる。

10

【0157】

[工程 - 150]

次に、IrO_{2-x}層、Pt層を、スパッタ法にて、順次、全面に形成した後、フォトリソグラフィ技術、ドライエッチング技術に基づき、Pt層、IrO_{2-x}層、Bi₂SrTa₂O₉薄膜を順次、パターニングして、第2の電極23及び強誘電体層22を形成する。エッチングによって、強誘電体層22にダメージが加わる場合には、ダメージ回復に必要とされる温度にて、熱処理を行えばよい。

20

【0158】

[工程 - 160]

その後、

- ・層間絶縁層26の形成及び平坦化処理
- ・開口部27の形成及び接続孔28の形成
- ・第1の電極31、結晶化温度700°CのBi₂Sr(Ta_{1.5}Nb_{0.5})O₉から成る強誘電体層32、及び第2の電極33の形成
- ・絶縁膜36Aの形成

を、順次、行う。尚、Bi₂Sr(Ta_{1.5}Nb_{0.5})O₉から成る強誘電体層32に対して、結晶化促進のための熱処理を、700°Cの酸素ガス雰囲気で1時間、行えばよい。

30

【0159】

尚、各第2の電極はプレート線を兼ねていなくともよい。この場合には、絶縁膜36Aの形成完了後、第2の電極23、第2の電極33を接続孔(ビアホール)によって接続し、併せて、絶縁膜36A上に、かかる接続孔と接続したプレート線を形成すればよい。

【0160】

例えば、Bi₂SrTa₂O₉から成る強誘電体薄膜の形成条件を以下の表4に例示する。

尚、表4中、「thd」は、テトラメチルヘプタンジオンの略である。また、表4に示したソース原料はテトラヒドロフラン(THF)を主成分とする溶媒中に溶解されている。

【0161】

[表4]

MOCVD法による形成

ソース材料 : Sr (thd) 2-tetraglyme

Bi (C₆H₅) 3Ta (O-iC₃H₇) 4 (thd)

形成温度 : 400~700°C

プロセスガス : Ar/O₂ = 1000/1000 cm³

形成速度 : 5~20 nm/分

【0162】

あるいは又、Bi₂SrTa₂O₉から成る強誘電体薄膜をパルスレーザアブレーション法、ゾル-ゲル法、あるいはRFスパッタ法にて全面に形成することもできる。これらの場合の形成条件を以下に例示する。尚、ゾル-ゲル法によって厚い強誘電体薄膜を形成する場合、所望の回数、スピンドル及び乾燥、あるいはスピンドル及び焼成（又は、アニール処理）を繰り返せばよい。

【0163】

[表5]

パルスレーザアブレーション法による形成

ターゲット : Bi₂SrTa₂O₉

使用レーザ : KrFエキシマレーザ（波長248 nm、パルス幅25 ns、5 Hz）

形成温度 : 400~800°C

酸素濃度 : 3 Pa

【0164】

[表6]

ゾル-ゲル法による形成

原料 : Bi (CH₃(CH₂)₃CH(C₂H₅)COO)₃[ビスマス・2エチルヘキサン酸, Bi (OOC)₃]Sr (CH₃(CH₂)₃CH(C₂H₅)COO)₂[ストロンチウム・2エチルヘキサン酸, Sr (OOC)₂]Ta (OEt)₅ [タンタル・エトキシド]

スピンドル条件 : 3000 rpm × 20秒

乾燥 : 250°C × 7分

焼成 : 700~800°C × 1時間（必要に応じてRTA処理を加える）

【0165】

[表7]

RFスパッタ法による形成

ターゲット : Bi₂SrTa₂O₉セラミックターゲットRFパワー : 1.2 W ~ 2.0 W / ターゲット 1 cm²

雰囲気圧力 : 0.2 ~ 1.3 Pa

形成温度 : 室温 ~ 600°C

プロセスガス : Ar / O₂の流量比 = 2 / 1 ~ 9 / 1

【0166】

10

20

40

50

強誘電体層を、P Z TあるいはP L Z Tから構成するときの、マグネットロンスパッタ法によるP Z TあるいはP L Z Tの形成条件を以下の表8に例示する。あるいは又、P Z TやP L Z Tを、反応性スパッタ法、電子ビーム蒸着法、ゾル-ゲル法、又はM O C V D法にて形成することもできる。

【0167】

[表8]

ターゲット : P Z TあるいはP L Z T
 プロセスガス : Ar / O₂ = 90 体積% / 10 体積%
 圧力 : 4 Pa
 パワー : 50 W
 形成温度 : 500 °C

10

【0168】

更には、P Z TやP L Z Tをパルスレーザアブレーション法にて形成することもできる。この場合の形成条件を以下の表9に例示する。

【0169】

[表9]

ターゲット : P Z T又はP L Z T
 使用レーザ : KrFエキシマレーザ(波長248 nm、パルス幅25 ns、3 Hz)
 出力エネルギー : 400 mJ (1.1 J / cm²)
 形成温度 : 550 ~ 600 °C

20

酸素濃度 : 40 ~ 120 Pa

【0170】

(実施の形態2)

実施の形態2は、本発明の第2の態様に係る不揮発性メモリに関する。実施の形態2の不揮発性メモリの回路図を図5に示し、模式的な一部断面図を図6に示す。尚、図5には、2つの不揮発性メモリM₁, M₂を示すが、これらの不揮発性メモリは同じ回路である。以下の説明においては、不揮発性メモリM₁についての説明を行う。

【0171】

この不揮発性メモリM₁は、ビット線B L₁と、MOS型FETから構成されたN個(但し、N = 2であり、実施の形態2においてはN = 2)の選択用トランジスタT R₁₁, T R₁₂と、N個(実施の形態2においてはN = 2)のメモリユニットM U₁₁, M U₁₂と、プレート線から構成されている。第1番目のメモリユニットM U₁₁は、M個(但し、M = 2であり、実施の形態2においてはM = 4)のメモリセルM C_{11m}(m = 1, 2, 3, 4)から構成されている。また、第2番目のメモリユニットM U₁₂も、M個(M = 4)のメモリセルM C_{12m}(m = 1, 2, 3, 4)から構成されている。プレート線の数は、M本(実施の形態2においては4本)であり、P L_m(m = 1, 2, 3, 4)で表している。第1の選択用トランジスタT R₁₁のゲート電極に接続されたワード線W L₁₁、第2の選択用トランジスタT R₁₂のゲート電極に接続されたワード線W L₁₂は、ワード線デコーダ/ドライバW Dに接続されている。一方、各プレート線P L_mは、プレート線デコーダ/ドライバP Dに接続されている。

30

【0172】

また、第1のメモリユニット第1のM U₁₁を構成する各メモリセルM C_{11m}は、第1の電極21と強誘電体層22と第2の電極23とから成り、第2のメモリユニットM U₁₂を構成する各メモリセルM C_{12m}は、第1の電極31と強誘電体層32と第2の電極33とから成る。そして、各メモリユニットM U₁₁, M U₁₂において、メモリセルの第1の電極21, 31は共通である。この共通の第1の電極21, 31を、便宜上、共通ノードC N₁₁, C N₁₂と呼ぶ。第1番目のメモリユニットM U₁₁における共通の第1の電極21(第1の共通ノードC N₁₁)は、第1番目の選択用トランジスタT R₁₁を介してビット線B L₁に接続されている。また、第2番目のメモリユニットM U₁₂における共通の第1の電極31(第2の共通ノードC N₁₂)は、第2番目の選択用トランジスタT R₁₂を介してビット

40

50

線 $B L_1$ に接続されている。更には、第 n 番目（但し、 $n = 1, 2 \dots N$ ）のメモリユニット $M U_{1n}$ において、第 m 番目（但し、 $m = 1, 2 \dots M$ ）のメモリセル $M C_{1nm}$ の第 2 の電極は、メモリユニット間 ($M U_{11}, M U_{12}$) で共通とされた第 m 番目のプレート線 $P L_m$ に接続されている。具体的には、第 1 番目のメモリユニット $M U_{11}$ において、メモリセル $M C_{11m}$ の第 2 の電極 23 は、プレート線 $P L_m$ に接続されている。また、第 2 番目のメモリユニット $M U_{12}$ において、メモリセル $M C_{12m}$ の第 2 の電極 33 は、プレート線 $P L_m$ に接続されている。

【 0 1 7 3 】

実施の形態 2 の不揮発性メモリにおいては、第 1 のメモリユニット $M U_{11}$ を構成する各メモリセル $M C_{11m}$ における強誘電体層 22 と、第 2 のメモリユニット $M U_{12}$ を構成する各メモリセル $M C_{12m}$ における強誘電体層 32 とを同一の材料から構成してもよいが、本発明の第 6 の態様に係る不揮発性メモリのように、上方に位置するメモリセルを構成する強誘電体層 32 の結晶化温度は、下方に位置するメモリセルを構成する強誘電体層 22 の結晶化温度よりも低い構成とすることが好ましい。具体的には、強誘電体層 22, 32 を、表 2 に例示した材料から構成することができる。

【 0 1 7 4 】

実施の形態 2 においては、2 つのメモリユニット $M U_{11}, M U_{12}$ は、それぞれ、層間絶縁層 26 を介して積層されている。メモリユニット $M U_{12}$ は絶縁膜 36 A で被覆されている。また、メモリユニット $M U_{11}$ は、半導体基板 10 の上方に絶縁層 16 を介して形成されている。半導体基板 10 には素子分離領域 11 が形成されている。また、選択用トランジスタ $T R_{11}, T R_{12}$ は、ゲート電極 13、ゲート絶縁膜 12、ソース／ドレイン領域 14 から構成されている。そして、第 1 の選択用トランジスタ $T R_{11}$ 及び第 2 の選択用トランジスタ $T R_{12}$ の一方のソース／ドレイン領域 14 はコンタクトホール 15 を介してビット線 $B L_1$ に接続されている。また、第 1 の選択用トランジスタ $T R_{11}$ の他方のソース／ドレイン領域 14 は、絶縁層 16 に形成された開口部 17 中に設けられた接続孔 18 を介して第 1 の共通ノード $C N_{11}$ に接続されている。更には、第 2 の選択用トランジスタ $T R_{12}$ の他方のソース／ドレイン領域 14 は、接続孔 18、絶縁層 16 上に形成された接続部 25、層間絶縁層 26 に形成された開口部 27 中に設けられた接続孔 28 を介して第 2 の共通ノード $C N_{12}$ に接続されている。

【 0 1 7 5 】

ここで、ワード線 $W L_1$ は、図 6 の紙面垂直方向に延びている。また、第 2 の電極 23 は、図 6 の紙面垂直方向に隣接するメモリユニット $M U_{21}$ を構成するメモリセルと共に通であり、プレート線 $P L_m$ を兼ねている。更には、第 2 の電極 32 も、図 6 の紙面垂直方向に隣接するメモリユニット $M U_{22}$ を構成するメモリセルと共に通であり、プレート線 $P L_m$ を兼ねている。各メモリセルを結ぶこれらの各プレート線は、図 6 の紙面垂直方向に延びてあり、図示しない領域において接続孔を介して接続されている。また、メモリセル $M C_{11m}$ とメモリセル $M C_{12m}$ とは、垂直方向に揃っている。このような構造にすることによって、メモリユニットの占有面積を小さくすることができ、集積度の向上を図ることができる。

【 0 1 7 6 】

尚、図 5 に示した不揮発性メモリ M_2 は、図 6 の模式的な一部断面図において、上述のとおり、不揮発性メモリ M_1 と紙面垂直方向に隣接している。

【 0 1 7 7 】

更には、ビット線 $B L_1$ は、センスアンプ $S A$ に接続されている。尚、ビット線 $B L_2$ も同じセンスアンプ $S A$ に接続されているが、ビット線 $B L_2$ は、異なるセンスアンプ $S A$ に接続されていてもよい。また、ビット線 $B L_1, B L_2$ は、ビット線 $B L_1, B L_2$ の延びる方向に隣接する他の不揮発性メモリとも共有されている。

【 0 1 7 8 】

そして、各メモリセル $M C_{11m}, M C_{12m}$ ($m = 1, 2, 3, 4$) に 1 ビットがデータとして記憶される。実際の不揮発性メモリにおいては、この 8 ビットを記憶するメモリユニッ

10

20

30

40

50

トの集合がアクセス単位ユニットとしてアレイ状に配設されている。

【0179】

実施の形態2の不揮発性メモリにデータを書き込む方法の一例を、以下、説明する。尚、一例として、メモリセルMC₁₁₁にデータを書き込むものとする。図7に動作波形を示す。尚、図7中、括弧内の数字は、以下に説明する工程の番号と対応している。

【0180】

(2-1A) 待機状態では、ビット線BL₁、ワード線WL₁₁, WL₁₂、全プレート線PL_mが0ボルトとなっている。更には、共通ノードCN₁₁, CN₁₂も0ボルトで浮遊状態となっている。

【0181】

(2-2A) データ書き込みの開始時、選択プレート線PL₁の電位をV_{cc}とし、非選択プレート線PL_k(k=2, 3, 4)の電位を(1/2)V_{cc}とする。これによって、浮遊状態の共通ノードCN₁₁, CN₁₂の電位は、プレート線PL_Mとのカップリングにより、概ね(1/2)V_{cc}近傍まで上昇する。また、選択メモリセルMC₁₁₁にデータ「1」を書き込む場合には、ビット線BL₁の電位をV_{cc}とし、データ「0」を書き込む場合には、ビット線BL₁の電位を0ボルトとする。

10

【0182】

(2-3A) その後、第1の選択用トランジスタTR₁₁をオン状態とする。これによって、第1の共通ノードCN₁₁の電位は、選択メモリセルMC₁₁₁にデータ「1」を書き込む場合には、V_{cc}となり、データ「0」を書き込む場合には、0ボルトとなる。尚、選択プレート線PL₁にはV_{cc}が印加された状態にあるので、第1の共通ノードCN₁₁の電位が0ボルトの場合、選択メモリセルMC₁₁₁にデータ「0」が書き込まれる。一方、第1の共通ノードCN₁₁の電位がV_{cc}の場合、選択メモリセルMC₁₁₁には何らデータが書き込まれない。浮遊状態にある第2の共通ノードCN₁₂の電位は概ね(1/2)V_{cc}近傍のままであるが故に、非選択メモリセルMC₁₂₁にディスターべは発生しない。

20

【0183】

(2-4A) 次いで、選択プレート線PL₁の電位を0ボルトとする。第1の共通ノードCN₁₁の電位がV_{cc}の場合、選択メモリセルMC₁₁₁にデータ「1」が書き込まれる。選択メモリセルMC₁₁₁に既にデータ「0」が書き込まれている場合には、選択メモリセルMC₁₁₁に何ら変化は生じない。

30

【0184】

(2-5A) その後、ビット線BL₁を0ボルトと印加する。

【0185】

(2-6A) 更に、非選択プレート線PL_kを0ボルトとし、第1の選択用トランジスタTR₁₁をオフ状態とする。

【0186】

他のメモリセルMC_{11m}(m=2, 3, 4), MC_{12m}(m=1, 2, 3, 4)にデータを書き込む場合には、同様の操作を繰り返す。このような書き込み動作においては、非選択メモリセルMC_{11k}, MC_{12k}に(±1/2)V_{cc}のディスターべが発生するが、V_{cc}の値を適切に設定することによって、非選択メモリセルMC_{11k}, MC_{12k}におけるデータの破壊を確実に防止することができる。

40

【0187】

次に、実施の形態2の不揮発性メモリからデータを読み出し、データを再書き込みする動作を、以下、説明する。尚、一例として、プレート線PL₁に接続されたメモリセルMC₁₁₁からデータを読み出し、データを再書き込みするものとする。図8に動作波形を示す。

【0188】

(2-1B) 待機状態では、ビット線BL₁、ワード線WL₁₁, WL₁₂、全プレート線PL_mが0ボルトとなっている。更には、共通ノードCN₁₁, CN₁₂も0ボルトで浮遊状態となっている。

【0189】

50

(2-2B) データ読み出し時、選択プレート線 P_{L_1} に V_{cc} を印加する。このとき、選択メモリセル MC_{111} にデータ「1」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、第1の共通ノード CN_{11} の電位が上昇する。一方、選択メモリセル MC_{111} にデータ「0」が記憶されていれば、強誘電体層に分極反転が生ぜず、第1の共通ノード CN_{11} の電位は殆ど上昇しない。即ち、第1の共通ノード CN_{11} は、非選択メモリセルの強誘電体層を介して複数の非選択プレート線 P_{L_k} にカップリングされているので、第1の共通ノード CN_{11} の電位は0ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセル MC_{111} に記憶されたデータに依存して第1の共通ノード CN_{11} の電位に変化が生じる。従って、選択メモリセル MC_{111} の強誘電体層には、分極反転に十分な電界を与えることができる。

10

【0190】

(2-3B) 次に、ビット線 BL_1 を浮遊状態とし、第1の選択用トランジスタ TR_{11} をオン状態とする。これによって、選択メモリセル MC_{111} に記憶されたデータに基づき共通の第1の電極（第1の共通ノード CN_{11} ）に生じた電位により、ビット線 BL_1 に電位が生じる。

【0191】

(2-4B) 次いで、第1の選択用トランジスタ TR_{11} をオフ状態とする。そして、かかるビット線 BL_1 の電位をセンスアンプ SA にてラッチし、センスアンプ SA を活性化してデータを增幅し、データの読み出し動作を完了する。

【0192】

以上の動作によって、選択メモリセルに記憶されていたデータが一旦破壊されてしまうので、データの再書き込み動作を行う。

20

【0193】

(2-5B) そのために、先ず、ビット線 BL_1 をセンスアンプ SA によって充放電させ、ビット線 BL_1 に V_{cc} 又は0ボルトを印加する。

【0194】

(2-6B) そして、非選択プレート線 P_{L_k} ($k = 2, 3, 4$) の電位を $(1/2)V_c$ とする。

【0195】

(2-7B) その後、第1の選択用トランジスタ TR_{11} をオン状態とする。これによって、第1の共通ノード CN_{11} の電位はビット線 BL_1 の電位と等しくなる。即ち、選択メモリセル MC_{111} に記憶されていたデータが「1」の場合には、第1の共通ノード CN_{11} の電位は V_{cc} となり、選択メモリセル MC_{111} に記憶されていたデータが「0」の場合には、第1の共通ノード CN_{11} の電位は0ボルトとなる。選択プレート線 P_{L_1} の電位は V_{cc} のままであるが故に、第1の共通ノード CN_{11} の電位が0ボルトの場合、選択メモリセル MC_{111} にはデータ「0」が再書き込みされる。

30

【0196】

(2-8B) 次に、選択プレート線 P_{L_1} の電位を0ボルトとする。これによって、選択メモリセル MC_{111} に記憶されていたデータが「1」の場合には、第1の共通ノード CN_{11} の電位が V_{cc} であるが故に、データ「1」が再書き込みされる。選択メモリセル MC_{111} にデータ「0」が既に再書き込みされていた場合には、選択メモリセル MC_{111} に変化は生じない。

40

【0197】

(2-9B) その後、ビット線 BL_1 を0ボルトとする。

【0198】

(2-10B) 最後に、非選択プレート線 P_{L_k} を0ボルトとし、第1の選択用トランジスタ TR_{11} をオフ状態とする。

【0199】

他のメモリセル MC_{11m} ($m = 2, 3, 4$) , MC_{12m} ($m = 1, 2, 3, 4$) からデータを読み出し、データを再書き込みする場合には、同様の操作を繰り返す。

50

【0200】

実施の形態2の不揮発性メモリにおいて、ワード線WL₁₁又はワード線WL₁₂を選択した場合、メモリユニットMU₁₁又はメモリユニットMU₁₂がアクセスされ、ビット線BL₁にのみ、記憶されたデータに相当する電位が出現する。ここで、同じセンスアンプSAに接続されたビット線BL₂に、データ「1」の読み出し電位と、データ「0」の読み出し電位の中間の参照電位を与えてもよい。一方、ワード線WL₂₁又はワード線WL₂₂を選択した場合、メモリユニットMU₂₁又はメモリユニットMU₂₂がアクセスされ、ビット線BL₂にのみ、記憶されたデータに相当する電位が出現する。ここで、同じセンスアンプSAに接続されたビット線BL₁に、データ「1」の読み出し電位と、データ「0」の読み出し電位の中間の参照電位を与えてもよい。

10

【0201】

実施の形態2の不揮発性メモリにおいては、信号量（電位差）が後述する実施の形態5と比較して約半分となり、しかも、参照電位のばらつき等から動作マージンは低下するが、不揮発性メモリの集積度は約2倍になる。

【0202】

尚、この場合にも、プレート線PL_mを共有する非アクセスのメモリセルにもディスター
ブが発生するので、4つのメモリユニットMU₁₁, MU₁₂, MU₂₁, MU₂₂を一括して、且つ、連続的にアクセスすることが望ましい。即ち、ワード線WL₁₁をアクセスした場合は、共通ノードCN₁₁におけるメモリセルMC_{11m}の全てを順次アクセスし、次に、ワード線WL₁₂をアクセスする。更に、同様に、ワード線WL₂₁、ワード線WL₂₂を連続してアクセスする。これによって、共通ノードCN₁₁, CN₁₂, CN₂₁, CN₂₂におけるメモリセルMC_{11m}, MC_{12m}, MC_{21m}, MC_{22m}の全てからデータを読み出し、再書き込みを行ってディスター
ブによる劣化を回復させる。

20

【0203】

実施の形態2のメモリアレイの構成上の限界寸法は、ワード線WL₁₁, WL₁₂, WL₂₁, WL₂₂、若しくはプレート線PL_mのピッチと、ビット線BL₁, BL₂のピッチとで規定され、プレート線1本とビット線1本で囲まれた領域に2ビットが記憶される。従って、限界寸法は2F²である。

【0204】

また、実施の形態2の不揮発性メモリにおいては、4本のワード線と4本のプレート線との2次元マトリックスにより、ロー・アドレスの選択が行われる。即ち、ワード線4本、プレート線4本の組み合わせで、ロー方向の16ビットのアクセスが可能であり、ロー・アドレスの選択に必要とされるドライバは、1アドレス当たり0.5本でよい。従って、従来型のメモリセル構造と比較して、駆動用の信号線を大幅に減少させることができ、周辺回路を大幅に削減することができる。

30

【0205】

(実施の形態3)

実施の形態3は、実施の形態2の不揮発性メモリの変形例である。その回路図を図9に示し、模式的な一部断面図を図10に示す。実施の形態3の不揮発性メモリにおいては、メモリユニット数Nが4である。即ち、この不揮発性メモリは、ビット線BL₁と、4個の選択用トランジスタTR_{1N}と、それぞれが8個のメモリセルMC_{1NM}から構成された、4個のメモリユニットMU_{1N}と、8本のプレート線PL_Mから構成されている。

40

【0206】

また、各メモリセルMC_{1nm}は、第1の電極21, 31, 41, 51と強誘電体層22, 32, 42, 52と第2の電極23, 33, 43, 53とから成る。各メモリユニットMU_{1n}において、メモリセルMC_{1nm}の第1の電極は共通である。即ち、共通ノードCN_{1n}を構成する。

【0207】

また、メモリユニットMU_{1n}における共通の第1の電極（共通ノードCN_{1n}）は、選択用トランジスタTR_{1n}を介してビット線BL₁に接続されている。更には、メモリユニット

50

MU_{1n} において、メモリセル MC_{1nm} の第2の電極は、メモリユニット間($MU_{11}, MU_{12}, MU_{13}, MU_{14}$)で共通とされたプレート線 PL_m に接続されている。

【0208】

実施の形態3においては、4つのメモリユニット $MU_{11}, MU_{12}, MU_{13}, MU_{14}$ は、それぞれ、層間絶縁層26, 36, 46を介して積層されている。メモリユニット MU_{14} は絶縁膜56Åで被覆されている。また、メモリユニット MU_{11} は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、MOS型FETから構成された選択用トランジスタ $TR_{11}, TR_{12}, TR_{13}, TR_{14}$ は、ゲート電極13、ゲート絶縁膜12、ソース/ドレイン領域14から構成されている。そして、第1の選択用トランジスタ TR_{11} 、第2の選択用トランジスタ TR_{12} 、第3の選択用トランジスタ TR_{13} 、第4の選択用トランジスタ TR_{14} の一方のソース/ドレイン領域14はコンタクトホール15を介してピット線 BL_1 に接続されている。

また、第1の選択用トランジスタ TR_{11} の他方のソース/ドレイン領域14は、絶縁層16に形成された開口部17中に設けられた接続孔18を介して第1の共通ノード CN_{11} に接続されている。更には、第2の選択用トランジスタ TR_{12} の他方のソース/ドレイン領域14は、接続孔18、絶縁層16上に形成された接続部25、層間絶縁層26に形成された開口部27中に設けられた接続孔28を介して第2の共通ノード CN_{12} に接続されている。また、第3の選択用トランジスタ TR_{13} の他方のソース/ドレイン領域14は、接続孔18、接続部25、接続孔28、層間絶縁層26上に形成された接続部35、層間絶縁層36に形成された開口部37中に設けられた接続孔38を介して第3の共通ノード CN_{13} に接続されている。更には、第4の選択用トランジスタ TR_{14} の他方のソース/ドレイン領域14は、接続孔18、接続部25、接続孔28、接続部35、接続孔38、層間絶縁層36上に形成された接続部45、層間絶縁層46に形成された開口部47中に設けられた接続孔48を介して第4の共通ノード CN_{14} に接続されている。

【0209】

ワード線 $WL_{11}, WL_{12}, WL_{13}, WL_{14}$ は、図10の紙面垂直方向に延びている。また、第2の電極21は、図10の紙面垂直方向に隣接するメモリセル MC_{21m} と共にあり、プレート線 PL_m を兼ねている。更には、第2の電極33, 43, 53も、図10の紙面垂直方向に隣接するメモリセル $MC_{22m}, MC_{23m}, MC_{24m}$ と共に、プレート線 PL_m を兼ねている。各メモリセル $MC_{11m}, MC_{12m}, MC_{13m}, MC_{14m}, MC_{21m}, MC_{22m}, MC_{23m}, MC_{24m}$ を結ぶこれらの各プレート線 PL_m は、図10の紙面垂直方向に延びてあり、図示しない領域において接続孔を介して接続されている。また、メモリユニット MU_{1n} は、垂直方向に揃っている。このような構造にすることによって、メモリセルの占有面積をより一層小さくすることができ、集積度のより一層の向上を図ることができる。

【0210】

実施の形態3の不揮発性メモリの動作は、実施の形態2の不揮発性メモリの動作と実質的に同一とすることができますので、詳細な説明は省略する。尚、各メモリセル MC_{1nm} ($n = 1 \sim 4, m = 1 \sim 8$)に1ビットがデータとして記憶される。実際の不揮発性メモリにおいては、この32ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。そして、このアレイ構成では、プレート線 PL_m の最小ピッチでロー方向の寸法が規定され、プレート線1本、ビット線2本が囲む領域に4ビットが記憶される。従って、アレイ構成上の限界セル面積は $2F^2$ である。また、4本のワード線 $WL_{11} \sim WL_{14}$ と8本のプレート線 PL_m ($m = 1 \sim 8$)との2次元マトリクスにより、ロードレスの選択が行われるようになっている。即ち、ワード線4本、プレート線8本の組み合わせで、口向の32ビットのアクセスが可能であり、ロードレスの選択に必要なドライバは、1アドレス当たり0.375本と少ない。従って、従来型セル選択に比較して駆動する信号線を低減することができ、周辺回路を大幅に削減することができる。

【0211】

実施の形態3の不揮発性メモリにおいては、第1のメモリユニット MU_{11} を構成する各メ

10

20

30

40

50

モリセルMC_{11m}における強誘電体層22と、第2のメモリユニットMU₁₂を構成する各メモリセルMC_{12m}における強誘電体層32と、第3のメモリユニットMU₁₃を構成する各メモリセルMC_{13m}における強誘電体層42と、第4のメモリユニットMU₁₄を構成する各メモリセルMC_{14m}における強誘電体層52とを、同一の材料から構成してもよいが、本発明の第6の態様に係る不揮発性メモリのように、上方に位置するメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するメモリセルを構成する強誘電体層の結晶化温度よりも低い構成とすることが好ましい。具体的には、強誘電体層22, 32, 42, 52を、以下の表10あるいは表11に例示する材料から構成することができる。

【0212】

[表10]

10

	材料	結晶化温度
強誘電体層52	Bi ₂ Sr (Ta _{1.5} Nb _{0.5}) O ₉	700°C
強誘電体層42	Bi ₂ Sr (Ta _{1.65} Nb _{0.35}) O ₉	715°C
強誘電体層32	Bi ₂ Sr (Ta _{1.8} Nb _{0.2}) O ₉	730°C
強誘電体層22	Bi ₂ SrTa ₂ O ₉	750°C

【0213】

[表11]

20

	材料	結晶化温度
強誘電体層52	PbTiO ₃	600°C
強誘電体層42	Pb (Zr _{0.48} Ti _{0.52}) O ₃	650°C
強誘電体層32	Bi ₂ Sr (Ta _{1.5} Nb _{0.5}) O ₉	700°C
強誘電体層22	Bi ₂ SrTa ₂ O ₉	750°C

【0214】

尚、強誘電体薄膜を構成する材料として、例えば、Bi₂Sr (Ta_{1.8}Nb_{0.2}) O₉を使用する場合、結晶化促進のための熱処理を、730°Cの酸素ガス雰囲気で1時間、行い、例えば、Bi₂Sr (Ta_{1.5}Nb_{0.5}) O₉を使用する場合、結晶化促進のための熱処理を、700°Cの酸素ガス雰囲気で1時間、行う。また、強誘電体薄膜を構成する材料として、例えば、Bi₂Sr (Ta_{1.65}Nb_{0.35}) O₉を使用する場合、結晶化促進のための熱処理を、715°Cの酸素ガス雰囲気で1時間、行い、例えば、Pb (Zr_{0.48}Ti_{0.52}) O₃を使用する場合、結晶化促進のための熱処理を、650°Cの酸素ガス雰囲気で1時間、行い、PbTiO₃を使用する場合、結晶化促進のための熱処理を、600°Cの酸素ガス雰囲気で1時間、行う。

30

【0215】

(実施の形態4)

40

実施の形態4は、本発明の第3の態様に係る不揮発性メモリに関する。実施の形態4の不揮発性メモリの模式的な一部断面図を図11に示す。尚、実施の形態4の不揮発性メモリの回路図は、図9に示したと同様である。

【0216】

この不揮発性メモリは、センスアンプSAに接続されているビット線BL₁と、MOS型FETから構成された2N個（但し、N=1であり、実施の形態4においてはN=2）の選択用トランジスタTR₁₁, TR₁₂, TR₁₃, TR₁₄と、2N個（実施の形態4においてはN=2）のメモリユニットMU₁₁, MU₁₂, MU₁₃, MU₁₄と、プレート線から構成されている。第1番目のメモリユニットMU₁₁は、M個（但し、M=2であり、実施の形態4においてはM=8）のメモリセルMC_{12m}（m=1, 2, ..., 8）から構成されてい

50

る。また、第2番目のメモリユニットMU₁₂も、M個(M=8)のメモリセルMC_{12m}(m=1, 2, ..., 8)から構成されている。更には、第3番目のメモリユニットMU₁₃も、M個(M=8)のメモリセルMC_{13m}(m=1, 2, ..., 8)から構成され、第4番目のメモリユニットMU₁₄も、M個(M=8)のメモリセルMC_{14m}(m=1, 2, ..., 8)から構成されている。プレート線の数は、M本(実施の形態4においては8本)であり、PL_m(m=1, 2, ..., 8)で表している。選択用トランジスタTR_{1n}のゲート電極に接続されたワード線WL_{1n}は、ワード線デコーダ/ドライバWDに接続されている。一方、各プレート線PL_mは、プレート線デコーダ/ドライバPDに接続されている。

【0217】

また、第1のメモリユニット第1のMU₁₁を構成する各メモリセルMC_{11m}は、第1の電極21Aと強誘電体層22Aと第2の電極23とから成り、第2のメモリユニットMU₁₂を構成する各メモリセルMC_{12m}は、第1の電極21Bと強誘電体層22Bと第2の電極23とから成り、第3のメモリユニットMU₁₃を構成する各メモリセルMC_{13m}は、第1の電極31Aと強誘電体層32Aと第2の電極33とから成り、第4のメモリユニットMU₁₄を構成する各メモリセルMC_{14m}は、第1の電極31Bと強誘電体層32Bと第2の電極33とから成る。そして、各メモリユニットMU₁₁, MU₁₂, MU₁₃, MU₁₄において、メモリセルの第1の電極21A, 21B, 31A, 31Bは共通である。この共通の第1の電極21A, 21B, 31A, 31Bを、便宜上、共通ノードCN₁₁, CN₁₂, CN₁₃, CN₁₄と呼ぶ。

【0218】

ここで、第1番目のメモリユニットMU₁₁における共通の第1の電極21A(第1の共通ノードCN₁₁)は、第1番目の選択用トランジスタTR₁₁を介してビット線BL₁に接続されている。また、第2番目のメモリユニットMU₁₂における共通の第1の電極21B(第2の共通ノードCN₁₂)は、第2番目の選択用トランジスタTR₁₂を介してビット線BL₁に接続されている。更には、第3番目のメモリユニットMU₁₃における共通の第1の電極31A(第3の共通ノードCN₁₃)は、第3番目の選択用トランジスタTR₁₃を介してビット線BL₁に接続されている。また、第4番目のメモリユニットMU₁₄における共通の第1の電極31B(第4の共通ノードCN₁₄)は、第4番目の選択用トランジスタTR₁₄を介してビット線BL₁に接続されている。

【0219】

また、第1番目のメモリユニットMU₁₁を構成するメモリセルMC_{11m}と、第2番目のメモリユニットMU₁₂を構成するメモリセルMC_{12m}は、第2の電極23を共有しており、この共有された第m番目の第2の電極23はプレート線PL_mに接続されている。更には、第3番目のメモリユニットMU₁₃を構成するメモリセルMC_{13m}と、第4番目のメモリユニットMU₁₄を構成するメモリセルMC_{14m}は、第2の電極33を共有しており、この共有された第m番目の第2の電極33はプレート線PL_mに接続されている。

【0220】

実施の形態4の不揮発性メモリにおいては、メモリユニットMU₁₁, MU₁₂とメモリユニットMU₁₃, MU₁₄は、層間絶縁層26を介して積層されている。メモリユニットMU₁₄は絶縁膜36Aで被覆されている。また、メモリユニットMU₁₁は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、選択用トランジスタTR₁₁, TR₁₂, TR₁₃, TR₁₄は、ゲート電極13、ゲート絶縁膜12、ソース/ドレイン領域14から構成されている。そして、第1の選択用トランジスタTR₁₁、第2の選択用トランジスタTR₁₂、第3の選択用トランジスタTR₁₃、第4の選択用トランジスタTR₁₄の一方のソース/ドレイン領域14はコンタクトホール15を介してビット線BL₁に接続されている。また、第1の選択用トランジスタTR₁₁の他方のソース/ドレイン領域14は、絶縁層16に形成された開口部17中に設けられた接続孔18を介して第1の共通ノードCN₁₁に接続されている。更には、第2の選択用トランジスタTR₁₂の他方のソース/ドレイン領域14は、接続孔18を介して第2の共通ノードCN₁₂に接続されている。また、第3の選択用トランジスタTR₁₃の

10

20

30

40

50

他方のソース／ドレイン領域14は、接続孔18、絶縁層16上に形成された接続部25、層間絶縁層26に形成された開口部27中に設けられた接続孔28を介して第3の共通ノードCN₁₃に接続されている。更には、第4の選択用トランジスタTR₁₄の他方のソース／ドレイン領域14は、接続孔18、接続部25、接続孔28を介して第4の共通ノードCN₁₄に接続されている。

【0221】

実施の形態4の不揮発性メモリの動作は、実施の形態2の不揮発性メモリの動作と実質的に同一とすることができますので、詳細な説明は省略する。尚、各メモリセルMC_{1nm}(n=1~4, m=1~8)に1ビットがデータとして記憶される。実際の不揮発性メモリにおいては、この32ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。

【0222】

また、実施の形態4の不揮発性メモリにおいては、第1のメモリユニットMU₁₁を構成する各メモリセルMC_{11m}における強誘電体層22Aと、第2のメモリユニットMU₁₂を構成する各メモリセルMC_{12m}における強誘電体層22Bと、第3のメモリユニットMU₁₃を構成する各メモリセルMC_{13m}における強誘電体層32Aと、第4のメモリユニットMU₁₄を構成する各メモリセルMC_{14m}における強誘電体層32Bとを、同一の材料から構成してもよいが、本発明の第6の態様に係る不揮発性メモリのように、上方に位置するメモリセルを構成する強誘電体層の結晶化温度は、下方に位置するメモリセルを構成する強誘電体層の結晶化温度よりも低い構成とすることが好ましい。具体的には、強誘電体層22A, 22Bを表2の強誘電体層22に例示した材料から構成し、強誘電体層32A, 32Bを表2の強誘電体層32に例示した材料から構成することができる。

【0223】

(実施の形態5)

実施の形態5は、実施の形態2の不揮発性メモリの変形である。実施の形態5においては、実施の形態1と異なり、図12の回路図に示すように、プレート線の延びる方向に隣接する2つの不揮発性メモリM₁, M₂において、第1の選択用トランジスタTR₁₁, TR₂₁のゲート電極がワード線W₁に接続され、第2の選択用トランジスタTR₁₂, TR₂₂のゲート電極がワード線W₂に接続されている。また、ビット線BL₁, BL₂は、センスアンプSAに接続されている。その他の構成は、実施の形態2の不揮発性メモリと同様である。

【0224】

このような構成の実施の形態5の不揮発性メモリにおいては、対となったメモリセルMC_{11m}, MC_{21m}、あるいは、対となったメモリセルMC_{12m}, MC_{22m}に相補的なデータを書き込むことで1ビットを記憶する。また、4つの選択用トランジスタTR₁₁, TR₁₂, TR₂₁, TR₂₂と、16個のメモリセルMC_{11m}, MC_{21m}, MC_{12m}, MC_{22m}によって、1つのメモリユニット(アクセス単位ユニット)が構成され、8ビットを記憶する。実際の不揮発性メモリにおいては、この8ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。

【0225】

次に、実施の形態5の不揮発性メモリからデータを読み出し、再書き込みする方法について、以下、説明する。尚、一例として、対となったメモリセルMC₁₁₁, MC₂₁₁からデータを読み出すものとし、メモリセルMC₁₁₁にはデータ「1」が、メモリセルMC₂₁₁にはデータ「0」が記憶されているとする。図13に動作波形を示す。尚、図13中、括弧内の数字は、以下に説明する工程の番号と対応している。

【0226】

(4-1A)待機状態では、全ビット線、全ワード線、全プレート線が接地されている。

【0227】

(4-2A)データ読み出しが開始されると、先ず、選択されたメモリユニット(アクセス単位ユニット)における全プレート線PL_m(m=1, 2, 3, 4)を(1/2)V_{cc}

10

20

30

40

50

(但し、 V_{cc} は電源電圧)にプレチャージし、更に、ビット線 BL_1, BL_2 を(1/2) V_{cc} にプレチャージする。その後、ワード線 WL_1, WL_2 をハイレベルとすることによって、選択用トランジスタ $TR_{11}, TR_{12}, TR_{21}, TR_{22}$ をオン状態とする。これによって、共通の第1の電極 21 (共通ノード $CN_{11}, CN_{12}, CN_{21}, CN_{22}$)がビット線 BL_1, BL_2 に接続され、共通ノード $CN_{11}, CN_{12}, CN_{21}, CN_{22}$ の電位は(1/2) V_{cc} となる。

【0228】

(4-3A) 次いで、非選択のワード線 WL_2 をロウレベルとすることによって、選択用トランジスタ TR_{12}, TR_{22} をオフ状態とする。これによって、非選択の共通ノード CN_{12}, CN_{22} は、電位が(1/2) V_{cc} のまま、浮遊状態となる。

10

【0229】

(4-4A) その後、選択プレート線 PL_1 、及び、ビット線 BL_1, BL_2 を接地線(図示せず)を介して0ボルトまで放電させる。このとき、ビット線 BL_1, BL_2 に接続されている共通ノード CN_{11}, CN_{21} も0ボルトとなる。ビット線 BL_1, BL_2 の放電が完了したならば、接地線とビット線 BL_1, BL_2 との電気的な接続を解き、ビット線 BL_1, BL_2 を浮遊状態とする。

【0230】

(4-5A) 次に、選択プレート線 PL_1 に V_{cc} を印加する。これによって、データ「1」を記憶していたメモリセル MC_{111} からは、反転電荷が放出され、その結果、ビット線 BL_1, BL_2 の間に電位差が生じる。次に、センスアンプ SA を活性化して、かかるビット線 BL_1, BL_2 の間の電位差をデータとして読み出す。

20

【0231】

(4-6A) その後、ビット線 BL_1, BL_2 を、センスアンプ SA によって充放電させ、ビット線 BL_1 には V_{cc} を印加し、ビット線 BL_2 には0ボルトを印加する。その結果、メモリセル MC_{211} には、データ「0」が再び書き込まれる。

【0232】

(4-7A) その後、選択プレート線 PL_1 を0ボルトとすることによって、メモリセル MC_{111} には、データ「1」が再び書き込まれる。

【0233】

(4-8A) データの読み出しを終了する場合には、次いで、ビット線 BL_1, BL_2 を0ボルトまで放電する。次に、プレート線 PL_m ($m = 1, 2, 3, 4$)を0ボルトまで放電した後、非選択のワード線 WL_2 を再びハイレベルとし、選択用トランジスタ TR_{12}, TR_{22} をオン状態として、メモリユニット(アクセス単位ユニット)の全ての共通ノード $CN_{11}, CN_{12}, CN_{21}, CN_{22}$ を0ボルトとする。

30

【0234】

尚、引き続き、対となった次のメモリセルのデータを読み出す場合には、再び、全プレート線 PL_m ($m = 1, 2, 3, 4$)を(1/2) V_{cc} にプレチャージし、上述の(4-2A)~(4-7A)の動作を繰り返す。

【0235】

以上のシーケンスに従えば、非選択のメモリセルに加わるディスターブは、常に、(1/2) V_{cc} 以下に抑えられる。

40

【0236】

尚、非選択状態であって、しかも、浮遊状態の共通ノード CN_{21}, CN_{22} の電位は、選択プレート線 PL_1 と(1/2) V_{cc} に固定された非選択プレート線 PL_m ($m = 2, 3, 4$)とのカップリング比に従って変動するが、非選択プレート線側のカップリング容量の方が大きい。従って、共通ノード CN_{12}, CN_{22} の電位変動は、(1/2) V_{cc} ~ V_{cc} の範囲に抑えられ、メモリセル MC_{12m}, MC_{22m} ($m = 1 \sim 4$)に加わるディスターブは、(1/2) V_{cc} 以下である。

【0237】

また、このような回路構成においては、ディスターブ回数を有限回に制限するために、ブ

50

レート線又は共通ノードを共有する全メモリセルを一括して、且つ、連続してシリアルにアクセスする仕様とすることが望ましい。即ち、ワード線 WL_1 にアクセスした場合には、共通ノード CN_{11}, CN_{21} に関連したメモリセル MC_{11m}, MC_{21m} ($m = 1, 2, 3, 4$) の全てを、順次アクセスする。続いて、ワード線 WL_2 にアクセスし、共通ノード CN_{12}, CN_{22} に関連したメモリセル MC_{12m}, MC_{22m} ($m = 1, 2, 3, 4$) の全てを、順次アクセスする。これにより、メモリユニット（アクセス単位ユニット）内のメモリセルの全てからデータを読み出し、その後、再書き込みを行って、ディスターブによる劣化を回復させる。このようにすれば、ディスターブ回数の上限は、メモリユニット（アクセス単位ユニット）に記憶されるビット数から 1 を減じた回数となり、信頼性を保証することができる。以上に説明した実施の形態 5 におけるディスターブ回数は 7 回である。

10

【0238】

実施の形態 5 におけるメモリアレイの構成上の限界寸法は、プレート線 PL_m と、ビット線 BL_1, BL_2 のピッチによって決定される。そして、プレート線 PL_m と、ビット線 BL_1, BL_2 によって囲まれた領域に 2 ビットが格納される。従って、限界寸法は $4F^2$ である。

【0239】

また、実施の形態 5 においては、2 本のワード線 WL_1, WL_2 と 4 本のプレート線 PL_m ($m = 1, 2, 3, 4$) との 2 次元マトリックスにより、ロー・アドレスの選択が行われる。即ち、ワード線 2 本と、プレート線 4 本の組み合わせで、ロー方向の 8 ビットのアクセスが可能であり、ロー・アドレスの選択に必要とされるドライバーは 1 アドレス当たり 0.75 本と少ない。従って、従来型のメモリセル構造と比較して、駆動用の信号線を減少させることができ、周辺回路を大幅に削減することができる。

20

【0240】

実施の形態 5 の不揮発性メモリにおいては、対となったメモリセル MC_{11m}, MC_{21m} による相補的なデータ記憶を例に挙げたが、例えば、ダミーセル等を用いて、参照側ビット線に、データ「1」の読み出し電位と、データ「0」の読み出し電位の中間の参照電位を与えることによって、メモリセル毎に 1 ビットを記憶することも可能である。

【0241】

また、先に説明した実施の形態 2 ~ 実施の形態 4 の不揮発性メモリにおいて、メモリセルを対として（例えば、メモリセル MC_{11m} とメモリセル MC_{21m} 、メモリセル MC_{12m} とメモリセル MC_{22m} ）、相補的なデータ記憶を行ってもよい。

30

【0242】

また、実施の形態 5 の不揮発性メモリを実施の形態 1 にて説明した不揮発性メモリに適用することができ、この場合の回路図は、図 14 に示すとおりとなる。更には、図 1 及び図 14 に示した等価回路を有する実施の形態 1 の不揮発性メモリにおいて、実施の形態 5 と同様に、相補的なデータ記憶を行ってもよい。

【0243】

（実施の形態 6）

実施の形態 6 は、本発明の第 4 の態様に係る不揮発性メモリに関する。実施の形態 6 の不揮発性メモリの回路図を図 15 に示し、模式的な一部断面図を図 16 に示す。

40

【0244】

実施の形態 6 の不揮発性メモリは、第 1 のメモリユニット MU_1 及び第 2 のメモリユニット MU_2 から構成されている。

【0245】

そして、第 1 のメモリユニット MU_1 は、

（A-1）第 1 のビット線 BL_1 と、

（B-1） N 個（但し、 $N \geq 1$ であり、実施の形態 6 においては、 $N = 2$ ）の第 1 の選択用トランジスタ TR_{11}, TR_{12} と、

（C-1）それぞれが M 個（但し、 $M \geq 2$ である、実施の形態 6 においては、 $M = 4$ ）の第 1 のメモリセル MC_{1NM} から構成された、 N 個の第 1 のサブメモリユニット SMU_{1N} と

50

、
(D - 1) N 個の第 1 のサブメモリユニット間 (S M U ₁₁ , S M U ₁₂) において、 N 個の第 1 のサブメモリユニット (S M U ₁₁ , S M U ₁₂) のそれぞれを構成する第 1 のメモリセル M C _{1nm} で共通とされた M 本のプレート線 P _m 、
から成る。

【 0 2 4 6 】

また、第 2 のメモリユニット M U ₂ は、

(A - 2) 第 2 のビット線 B L ₂ と、

(B - 2) N 個 (実施の形態 6 においては、 N = 2) の第 2 の選択用トランジスタ T R ₂₁ , T R ₂₂ と、
10

(C - 2) それぞれが M 個 (実施の形態 6 においては、 M = 4) の第 2 のメモリセル M C _{2nm} から構成された、 N 個の第 2 のサブメモリユニット S M U ₂₁ , S M U ₂₂ と、

(D - 2) N 個の第 2 のサブメモリユニット (S M U ₂₁ , S M U ₂₂) において、 N 個の第 2 のサブメモリユニット (S M U ₂₁ , S M U ₂₂) のそれぞれを構成する第 2 のメモリセル M C _{2nm} で共通とされ、且つ、前記第 1 のメモリユニット M U ₁ を構成する M 本のプレート線 P L _m と共通の M 本のプレート線 P L _m 、
から成る。

【 0 2 4 7 】

そして、第 1 のサブメモリユニット S M U ₁₁ , S M U ₁₂ は、層間絶縁層 2 6 を介して、第 2 のサブメモリユニット S M U ₂₁ , S M U ₂₂ と積層されている。
20

【 0 2 4 8 】

各メモリセル M U _{1nm} , M C _{2nm} は、第 1 の電極 2 1 , 3 1 と強誘電体層 2 2 , 3 2 と第 2 の電極 2 3 , 3 3 から成る。

【 0 2 4 9 】

また、第 1 のメモリユニット M U ₁ において、第 1 番目の第 1 のサブメモリユニット S M U ₁₁ を構成する第 1 のメモリセル M C _{11m} の第 1 の電極 2 1 は、第 1 番目の第 1 のサブメモリユニット S M U ₁₁ において共通であり、この共通の第 1 の電極 2 1 (共通ノード C N ₁₁) は、第 1 番目の第 1 の選択用トランジスタ T R ₁₁ を介して第 1 のビット線 B L ₁ に接続され、第 m 番目 (但し、 m = 1 , 2 , 3 , 4 , 5 , 6 , 7 , 8 , 9 , 10 , 11 , 12 , 13 , 14 , 15 , 16 , 17 , 18 , 19 , 20) の第 1 のメモリセル M C _{11m} の第 2 の電極 2 3 は共通の第 m 番目のプレート線 P L _m に接続されている。
30

【 0 2 5 0 】

更には、第 1 のメモリユニット M U ₁ において、第 2 番目の第 1 のサブメモリユニット S M U ₁₂ を構成する第 1 のメモリセル M C _{12m} の第 1 の電極 2 1 は、第 2 番目の第 1 のサブメモリユニット S M U ₁₂ において共通であり、この共通の第 1 の電極 2 1 (共通ノード C N ₁₂) は、第 2 番目の第 1 の選択用トランジスタ T R ₁₂ を介して第 1 のビット線 B L ₁ に接続され、第 m 番目 (但し、 m = 1 , 2 , 3 , 4 , 5 , 6 , 7 , 8 , 9 , 10 , 11 , 12 , 13 , 14 , 15 , 16 , 17 , 18 , 19 , 20) の第 1 のメモリセル M C _{12m} の第 2 の電極 2 3 は共通の第 m 番目のプレート線 P L _m に接続されている。尚、これらは図示していないが、図 1 6 の紙面垂直方向に隣接して設けられている。

【 0 2 5 1 】

第 2 のメモリユニット M U ₂ において、第 1 番目の第 2 のサブメモリユニット S M U ₂₁ を構成する第 2 のメモリセル M C _{21m} の第 1 の電極 3 1 は、第 1 番目の第 2 のサブメモリユニット S M U ₂₁ において共通であり、この共通の第 1 の電極 3 1 (共通ノード C N ₂₁) は、第 1 番目の第 2 の選択用トランジスタ T R ₂₁ を介して第 2 のビット線 B L ₂ に接続され、第 m 番目の第 2 のメモリセル M C _{21m} の第 2 の電極 3 3 は共通の第 m 番目のプレート線 P L _m に接続されている。
40

【 0 2 5 2 】

また、第 2 のメモリユニット M U ₂ において、第 2 番目の第 2 のサブメモリユニット S M U ₂₂ を構成する第 2 のメモリセル M C _{22m} の第 1 の電極 3 1 は、第 2 番目の第 2 のサブメモリユニット S M U ₂₂ において共通であり、この共通の第 1 の電極 3 1 (共通ノード C N ₂₂) は、第 2 番目の第 2 の選択用トランジスタ T R ₂₂ を介して第 2 のビット線 B L ₂ に接
50

続され、第m番目の第2のメモリセルMC_{22m}の第2の電極33は共通の第m番目のプレート線PL_mに接続されている。尚、これらは図示していないが、図16の紙面垂直方向に隣接して設けられている。

【0253】

各選択用トランジスタのゲート電極に接続されたワード線WL₁₁, WL₁₂, WL₂₁, WL₂₂は、ワード線デコーダ/ドライバWDに接続されている。一方、各プレート線PL_mは、プレート線デコーダ/ドライバPDに接続されている。更には、ビット線BL₁, BL₂はセンスアンプSAに接続されている。尚、ビット線BL₂も同じセンスアンプSAに接続されているが、ビット線BL₂は、異なるセンスアンプSAに接続されていてもよい。また、ビット線BL₁, BL₂は、ビット線BL₁, BL₂の延びる方向に隣接する他の不揮発性メモリとも共有されている。

【0254】

ここで、ワード線WL₁₁, WL₁₂, WL₂₁, WL₂₂は、図16の紙面垂直方向に延びている。また、第2の電極23, 33は、図16の紙面垂直方向に隣接するサブメモリユニットSMU₁₂, SMU₂₂を構成するメモリセルと共通であり、プレート線PL_mを兼ねている。各メモリセルを結ぶこれらの各プレート線は、図16の紙面垂直方向に延びており、図示しない領域において接続孔を介して接続されている。また、サブメモリユニットSMU₁₁とサブメモリユニットSMC₂₁とは、垂直方向に揃っている。このような構造にすることによって、メモリユニットの占有面積を小さくすることができ、集積度の向上を図ることができる。

【0255】

実施の形態6の不揮発性メモリにおいては、第1のメモリユニットMU₁における第1番目の第1のサブメモリユニットSMU₁₁を構成する各メモリセルMC_{11m}の強誘電体層22と、第2のメモリユニットMU₂における第1番目の第2のサブメモリユニットSMU₂₁を構成する各メモリセルMC_{21m}の強誘電体層32とを同一の材料から構成してもよいが、本発明の第1の態様に係る不揮発性メモリのように、上方に位置するメモリセルを構成する強誘電体層32の結晶化温度は、下方に位置するメモリセルを構成する強誘電体層22の結晶化温度よりも低い構成とすることが好ましい。具体的には、強誘電体層22, 32を、表2に例示した材料から構成することができる。

【0256】

実施の形態6においては、2つのサブメモリユニットSMU₁₁, SMU₂₁は、それぞれ、層間絶縁層26を介して積層されている。また、2つのサブメモリユニットSMU₁₂, SMU₂₂も、それぞれ、層間絶縁層26を介して積層されている。サブメモリユニットSMU₂₁, SMU₂₂は絶縁膜36Aで被覆されている。また、サブメモリユニットSMU₁₁, SMU₁₂は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、MOS型FETから構成された選択用トランジスタTR₁₁, TR₁₂, TR₂₁, TR₂₂は、ゲート電極13、ゲート絶縁膜12、ソース/ドレイン領域14から構成されている。そして、第1の選択用トランジスタTR₁₁, TR₂₁の一方のソース/ドレイン領域14はコンタクトホール15を介してビット線BL₁に接続されている。更に、第2の選択用トランジスタTR₂₁, TR₂₂の一方のソース/ドレイン領域14はコンタクトホール15を介してビット線BL₂に接続されている。

【0257】

また、第1の選択用トランジスタTR₁₁, TR₁₂の他方のソース/ドレイン領域14は、絶縁層16に形成された開口部17中に設けられた接続孔18を介して第1の共通ノードCN₁₁, CN₁₂に接続されている。更には、第2の選択用トランジスタTR₂₁, TR₂₂の他方のソース/ドレイン領域14は、接続孔18、絶縁層16上に形成された接続部25、層間絶縁層26に形成された開口部27中に設けられた接続孔28を介して第2の共通ノードCN₂₁, CN₂₂に接続されている。尚、第2の選択用トランジスタTR₁₂, TR₂₂における接続孔18、接続部25、接続孔28は、第1の選択用トランジスタTR₁₁, TR₂₁における接続孔18、接続部25、接続孔28と同一の構成である。

10

20

30

40

50

R₁₂における接続孔18と同一垂直面内に存在しておらず、図16においては本来見えない部分に位置しているが、図16においてはこれらを図示した。

【0258】

尚、実施の形態6の不揮発性メモリにおいて、サブメモリユニットSMU₁₂, SMU₂₂は、図16の模式的な一部断面図において、サブメモリユニットSMU₁₁, SMU₂₁と紙面垂直方向に隣接している。

【0259】

そして、各メモリセルMC_{11m}, MC_{12m}, MC_{21m}, MC_{22m}(m=1, 2, 3, 4)に1ビットがデータとして記憶される。あるいは又、対となったメモリセルMC_{11m}, MC_{21m}及び対となったメモリセルMC_{12m}, MC_{22m}に相補的なデータが記憶される。

10

【0260】

実施の形態6の不揮発性メモリの動作は、実施の形態2あるいは実施の形態5にて説明した動作と同様とすることができるので、詳細な説明は省略する。

【0261】

尚、実施の形態6の不揮発性メモリを、図12に等価回路を示したと同様の等価回路に変更してもよい。

【0262】

また、N=4とした例の回路図を図17に示し、模式的な一部断面図を図18に示す。この場合、ワード線WL₁₁～ワード線WL₁₄を選択した場合、サブメモリユニットSMU₁₁～サブメモリユニットSMU₁₄がアクセスされ、ビット線BL₁にのみ、記憶されたデータに相当する電圧(電位)が出現する。尚、同じセンスアンプSAに接続されたビット線BL₂には、データ「1」の読み出し電圧(電位)と、データ「0」の読み出し電圧(電位)の中間の参照電位を与える。一方、ワード線WL₂₁～ワード線WL₂₄を選択した場合、サブメモリユニットSMU₂₁～サブメモリユニットSMU₂₄がアクセスされ、ビット線BL₂にのみ、記憶されたデータに相当する電圧(電位)が出現する。尚、同じセンスアンプSAに接続されたビット線BL₁には、データ「1」の読み出し電圧(電位)と、データ「0」の読み出し電圧(電位)の中間の参照電位を与える。この場合、次の図19を参照して説明する不揮発性メモリの場合と比較した、信号量(電位差)が約半分となり、しかも、参照電位のばらつき等から動作マージンは低下するが、不揮発性メモリの集積度は約2倍になる。尚、例えば、ワード線WL₁₁とワード線WL₂₁とを同時に選択すれば、対となったメモリセルMC₁₁₁, MC₂₁₁からデータを相補的な読み出すことができる。尚、後述する実施の形態6の不揮発性メモリの構造に対して、実施の形態5の不揮発性メモリの変形を適用することもできる。

20

【0263】

図18において、選択用トランジスタTR₂₁～TR₂₄の配置を変更することで、図19に回路図を示す構成とすることもできる。この場合には、対となったメモリセルMC_{11m}, MC_{21m}、対となったメモリセルMC_{12m}, MC_{22m}、対となったメモリセルMC_{13m}, MC_{23m}、対となったメモリセルMC_{14m}, MC_{24m}に相補的なデータを書き込むことで1ビットを記憶する。即ち、8つの選択用トランジスタTR₁₁～TR₁₄, TR₂₁～TR₂₄と、64個のメモリセルMC_{11m}～MC_{14m}, MC_{21m}～MC_{24m}によって、1つのメモリユニット(アクセス単位ユニット)が構成され、32ビットを記憶する。このメモリアレイの構成上の限界寸法は、プレート線PL_mの最小ピッチに基づきロー方向の寸法が規定され、プレート線1本、及び、ビット線BL₁, BL₂で囲まれた領域に4ビットが記憶される。従って、限界寸法は2F²である。また、4本のワード線WL₁, WL₂, WL₃, WL₄と8本のプレート線PL_Mの2次元マトリックスによって、ロー・アドレスの選択が行われる。即ち、4本のワード線と8本のプレート線によって、ロー方向の32ビットのアクセスが可能であり、ロー・アドレスの選択に必要とされるドライバは、1アドレス当たり0.375本でよい。従って、従来型のメモリセル構造と比較して、駆動用の信号線を大幅に減少させることができ、周辺回路を大幅に削減することができる。

30

【0264】

40

50

(実施の形態 7)

実施の形態 7 は、本発明の第 5 の態様に係る不揮発性メモリに関する。実施の形態 7 の不揮発性メモリの模式的な一部断面図を図 20 に示す。尚、不揮発性メモリの回路図は図 17 と同様である。尚、実施の形態 7 においては、 $N = 4$ としたが、 N の値はこのような値に限定するものではない。

【0265】

実施の形態 7 の不揮発性メモリは、第 1 のメモリユニット MU_1 及び第 2 のメモリユニット MU_2 から構成されている。

【0266】

そして、第 1 のメモリユニット MU_1 は、

10

(A - 1) 第 1 のビット線 BL_1 と、

(B - 1) N 個 (但し、 $N = 1$ であり、実施の形態 7 においては、 $N = 4$) の第 1 の選択用トランジスタ TR_{1N} と、

(C - 1) それぞれが M 個 (但し、 $M = 2$ であり、実施の形態 7 においては、 $M = 8$) の第 1 のメモリセル MC_{1NM} から構成された、 N 個の第 1 のサブメモリユニット SMU_{1N} と、

(D - 1) N 個の第 1 のサブメモリユニット SMU_{1n} 間において、 N 個の第 1 のサブメモリユニット SMU_{1nm} のそれぞれを構成する第 1 のメモリセル SMU_{1n} で共通とされた M 本のプレート線 PL_m 、

から成る。

20

【0267】

また、第 2 のメモリユニット MU_2 は、

(A - 2) 第 2 のビット線 BL_2 と、

(B - 2) N 個 (実施の形態 7 においては、 $N = 4$) の第 2 の選択用トランジスタ TR_{2N} と、

(C - 2) それぞれが M 個 (実施の形態 7 においては、 $M = 8$) の第 2 のメモリセル MC_{2NM} から構成された、 N 個の第 2 のサブメモリユニット SMU_{2N} と、

(D - 2) N 個の第 2 のサブメモリユニット SMU_{2n} 間において、 N 個の第 2 のサブメモリユニット SMU_{2n} のそれぞれを構成する第 2 のメモリセル MC_{2nm} で共通とされ、且つ、前記第 1 のメモリユニット MU_1 を構成する M 本のプレート線 PL_m と共に M 本のプレート線 PL_m 、

から成る。

30

【0268】

そして、メモリセル MC_{11m} , MC_{13m} は、第 1 の電極 21A と強誘電体層 22A と第 2 の電極 23 とから成り、メモリセル MC_{21m} , MC_{23m} は、第 1 の電極 21B と強誘電体層 22B と第 2 の電極 23 とから成る。また、メモリセル MC_{12m} , MC_{14m} は、第 1 の電極 31A と強誘電体層 32A と第 2 の電極 33 とから成り、メモリセル MC_{22m} , MC_{24m} は、第 1 の電極 31B と強誘電体層 32B と第 2 の電極 33 とから成る。

【0269】

更には、第 1 のメモリユニット MU_1 において、第 n 番目の第 1 のサブメモリユニット SMU_{1n} を構成する第 1 のメモリセル MC_{1nm} の第 1 の電極 21A, 31A は、第 n 番目の第 1 のサブメモリユニット SMU_{1n} において共通であり、これらの共通の第 1 の電極 21A, 31A (共通ノード CN_{1n}) は、第 n 番目の第 1 の選択用トランジスタ TR_{1n} を介して第 1 のビット線 BL_1 に接続されている。

40

【0270】

また、第 2 のメモリユニット MU_2 において、第 n 番目の第 2 のサブメモリユニット SMU_{1n} を構成する第 2 のメモリセル MC_{2nm} の第 1 の電極 21B, 31B は、第 n 番目の第 2 のサブメモリユニット SMU_{2n} において共通であり、これらの共通の第 1 の電極 21B, 31B (共通ノード CN_{2n}) は、第 n 番目の第 2 の選択用トランジスタ TR_{2n} を介して第 2 のビット線 BL_2 に接続されている。

50

【0271】

更には、第1のメモリユニットMU₁における第n番目の第1のサブメモリユニットSMU_{1n}を構成する第m番目の第1のメモリセルMC_{1nm}と、第2のメモリユニットMU₂における第n番目の第2のサブメモリユニットSMU_{2n}を構成する第m番目の第2のメモリセルMC_{2nm}は、第2の電極23, 33を共有しており、これらの共有された第2の電極23, 33は第m番目のプレート線PL_mに接続されている。

【0272】

各選択用トランジスタのゲート電極に接続されたワード線WL₁₁~WL₁₄, WL₂₁~WL₂₄は、ワード線デコーダ/ドライバWDに接続されている。一方、各プレート線PL_mは、プレート線デコーダ/ドライバPDに接続されている。更には、ビット線BL₁, BL₂はセンスアンプSAに接続されている。尚、ビット線BL₂も同じセンスアンプSAに接続されているが、ビット線BL₂は、異なるセンスアンプSAに接続されていてもよい。また、ビット線BL₁, BL₂は、ビット線BL₁, BL₂の延びる方向に隣接する他の不揮発性メモリとも共有されている。

【0273】

ここで、ワード線WL₁₁~WL₁₄, WL₂₁~WL₂₄は、図20の紙面垂直方向に延びている。また、第2の電極23, 33は、図20の紙面垂直方向に隣接するサブメモリユニットSMU₁₃, SMU₁₄, SMU₂₃, SMU₂₄を構成するメモリセルと共通であり、プレート線PL_mを兼ねている。各メモリセルを結ぶこれらの各プレート線は、図20の紙面垂直方向に延びており、図示しない領域において接続孔を介して接続されている。また、サブメモリユニットSMU₁₁, SMU₁₂とサブメモリユニットSMC₂₁, SMU₂₂とは、垂直方向に揃っている。このような構造にすることによって、メモリユニットの占有面積を小さくすることができ、集積度の向上を図ることができる。

【0274】

実施の形態7の不揮発性メモリにおいては、第1のメモリユニットMU₁における第1のサブメモリユニットSMU_{1n}を構成する各メモリセルMC_{1nm}の強誘電体層22A, 32Aと、第2のメモリユニットMU₂における第2のサブメモリユニットSMU_{2n}を構成する各メモリセルMC_{2nm}にの強誘電体層22B, 32Bとを同一の材料から構成してもよいが、本発明の第1の態様に係る不揮発性メモリのように、上方に位置するメモリセルを構成する強誘電体層32A, 32Bの結晶化温度は、下方に位置するメモリセルを構成する強誘電体層22A, 22Bの結晶化温度よりも低い構成とすることが好ましい。具体的には、強誘電体層22A, 22Bを表2の強誘電体層22に例示した材料から構成し、強誘電体層32A, 32Bを表2の強誘電体層32に例示した材料から構成することができる。

【0275】

実施の形態7においては、サブメモリユニットSMU₂₁~SMU₂₄は、層間絶縁層26を介して、サブメモリユニットSMU₁₁~SMU₁₄の上に積層されている。サブメモリユニットSMU₂₂, SMU₂₄は絶縁膜36Aで被覆されている。また、サブメモリユニットSMU₁₁, SMU₁₃は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、選択用トランジスタTR₁₁~TR₁₄, TR₂₁~TR₂₄は、ゲート電極13、ゲート絶縁膜12、ソース/ドレイン領域14から構成されている。そして、第1の選択用トランジスタTR₁₁~TR₁₄の一方のソース/ドレイン領域14はコンタクトホール15を介してビット線BL₁に接続されている。更に、第2の選択用トランジスタTR₂₁~TR₂₄の一方のソース/ドレイン領域14はコンタクトホール15を介してビット線BL₂に接続されている。

【0276】

また、第1の選択用トランジスタTR₁₁, TR₁₃の他方のソース/ドレイン領域14、及び、第2の選択用トランジスタTR₂₁, TR₂₃の他方のソース/ドレイン領域14は、絶縁層16に形成された開口部17中に設けられた接続孔18を介して共通ノードCN₁₁, CN₁₃, CN₂₁, CN₂₃に接続されている。更には、第1の選択用トランジスタTR₁₂,

10

20

30

40

50

$T R_{14}$ の他方のソース／ドレイン領域14、及び、第2の選択用トランジスタ $T R_{22}$ 、 $T R_{24}$ の他方のソース／ドレイン領域14は、接続孔18、絶縁層16上に形成された接続部25、層間絶縁層26に形成された開口部27中に設けられた接続孔28を介して、共通ノード $C N_{12}$ 、 $C N_{14}$ 、 $C N_{22}$ 、 $C N_{24}$ に接続されている。

【0277】

尚、実施の形態7の不揮発性メモリにおいて、サブメモリユニット $S M U_{13}$ 、 $S M U_{14}$ 、 $S M U_{23}$ 、 $S M U_{24}$ は、図20の模式的な一部断面図において、サブメモリユニット $S M U_{11}$ 、 $S M U_{12}$ 、 $S M U_{21}$ 、 $S M U_{22}$ と紙面垂直方向に隣接している。

【0278】

そして、各メモリセル $M C_{1nm}$ 、 $M C_{2nm}$ （ $n = 1 \sim 4$ 、 $m = 1 \sim 8$ ）に1ビットがデータとして記憶される。この場合、ワード線 $W L_{1n}$ を選択した場合、サブメモリユニット $S M U_{1n}$ がアクセスされ、ビット線 $B L_1$ にのみ、記憶されたデータに相当する電位が出現する。尚、同じセンスアンプSAに接続されたビット線 $B L_2$ には、データ「1」の読み出し電位と、データ「0」の読み出し電位の中間の参照電位を与える。一方、ワード線 $W L_{2n}$ を選択した場合、サブメモリユニット $S M U_{2n}$ がアクセスされ、ビット線 $B L_2$ にのみ、記憶されたデータに相当する電位が出現する。尚、同じセンスアンプSAに接続されたビット線 $B L_1$ には、データ「1」の読み出し電位と、データ「0」の読み出し電位の中間の参照電位を与える。このような構成においては、次に説明する構成と比較して、信号量（電位差）が約半分となり、しかも、参照電位のばらつき等から動作マージンは低下するが、不揮発性メモリの集積度は約2倍になる。

【0279】

あるいは又、対となったメモリセル（ $M C_{11m}$ 、 $M C_{21m}$ ）、（ $M C_{12m}$ 、 $M C_{22m}$ ）、（ $M C_{13m}$ 、 $M C_{23m}$ ）、（ $M C_{14m}$ 、 $M C_{24m}$ ）に相補的なデータが記憶される。即ち、8つの選択用トランジスタ $T R_{11} \sim T R_{14}$ 、 $T R_{21} \sim T R_{24}$ と、64個のメモリセル $M C_{1nm}$ 、 $M C_{2nm}$ によって、1つのメモリユニット（アクセス単位ユニット）が構成され、32ビットを記憶する。

【0280】

実際の不揮発性メモリにおいては、この32ビットあるいは64ビットを記憶する不揮発性メモリの集合がアクセス単位ユニットとしてアレイ状に配設されている。

【0281】

実施の形態7の不揮発性メモリの動作は、実施の形態2あるいは実施の形態5にて説明した動作と同様とすることができるので、詳細な説明は省略する。

【0282】

尚、メモリセル $M C_{11M}$ 、 $M C_{12M}$ 、 $M C_{13M}$ 、 $M C_{14M}$ 、 $M C_{21M}$ 、 $M C_{22M}$ 、 $M C_{23M}$ 、 $M C_{24M}$ は、例えば、

- ・第1の電極21Aを構成する第1の電極材料層の形成
 - ・強誘電体層22Aを構成する強誘電体薄膜の形成
 - ・第1の電極21Aを構成する第1の電極材料層及び強誘電体層22Aを構成する強誘電体薄膜のパターニング
 - ・第2の電極23を構成する第2の電極材料層の形成及びパターニング
 - ・強誘電体層22Bを構成する強誘電体薄膜の形成
 - ・強誘電体層22A及び強誘電体層22Bを構成する強誘電体薄膜の結晶化促進のための熱処理
 - ・第1の電極21Bを構成する第1の電極材料層の形成及びパターニング
- といった工程を経て、 $M C_{11M}$ 、 $M C_{13M}$ 、 $M C_{21M}$ 、 $M C_{23M}$ を形成した後、
- ・層間絶縁層26の形成
 - ・第1の電極31Aを構成する第1の電極材料層の形成
 - ・強誘電体層32Aを構成する強誘電体薄膜の形成
 - ・第1の電極31Aを構成する第1の電極材料層及び強誘電体層32Aを構成する強誘電体薄膜のパターニング

10

20

30

40

50

- ・第2の電極33を構成する第2の電極材料層の形成及びパターニング
 - ・強誘電体層32Bを構成する強誘電体薄膜の形成
 - ・強誘電体層32A及び強誘電体層32Bを構成する強誘電体薄膜の結晶化促進のための熱処理
 - ・第1の電極31Bを構成する第1の電極材料層の形成及びパターニング
- といった工程を経て、 MC_{12M} , MC_{14M} , MC_{22M} , MC_{24M} を形成することで、得ることができる。

【0283】

尚、実施の形態7の不揮発性メモリを、図19に等価回路を示したように変更してもよい。この場合のメモリアレイの構成上の限界寸法は、プレート線 PL_m の最小ピッチに基づきロー方向の寸法が規定され、プレート線1本、及び、ビット線 BL_1 , BL_2 で囲まれた領域に4ビットが記憶される。従って、限界寸法は $2F^2$ である。また、4本のワード線 WL_1 ~ WL_4 と8本のプレート線 PL_M の2次元マトリックスによって、ロー・アドレスの選択が行われる。即ち、4本のワード線と8本のプレート線によって、ロー方向の32ビットのアクセスが可能であり、ロー・アドレスの選択に必要とされるドライバは、1アドレス当たり0.375本でよい。従って、従来型のメモリセル構造と比較して、駆動用の信号線を大幅に減少させることができ、周辺回路を大幅に削減することができる。

10

【0284】

(実施の形態8)

実施の形態8は、本発明の第7の態様に係る不揮発性メモリに関する。実施の形態8の不揮発性メモリにおけるメモリユニットは、具体的には、特開平9-121032号公報に開示された構造を有する。実施の形態8の不揮発性メモリの回路図を図21に示す。更には、実施の形態8の不揮発性メモリの模式的な一部断面図を図22に示す。

20

【0285】

実施の形態8の不揮発性メモリは、強誘電体層を有するキャパシタ部を備えたメモリセル MC_{1M} あるいは MC_{2M} （例えば、 $M=4$ ）が、複数、配列されて成るメモリユニット MU_1 あるいは MU_2 を備え、選択されたメモリセルへのアクセス時、非選択のメモリセルにデイスターべが発生する構造を有する。そして、キャパシタ部に接続され、出力が負の温度特性を有する電源電圧回路60を備えている。ここで、出力が負の温度特性を有するとは、不揮発性メモリの動作温度が高くなるに従い、出力電圧が減少（低下）するような特性を意味する。具体的には、メモリセル MC_{1M} , MC_{2M} を構成するそれぞれのキャパシタ部の一端はビット線 BL_1 , BL_2 に接続され、他端はプレート線 PL_M （ $M=4$ ）に接続され、ビット線 BL_1 , BL_2 には電源電圧回路60（具体的には、センスアンプSAに含まれる）が接続され、プレート線 PL_M には電源電圧回路60（具体的には、プレート線デコーダ/ドライバPDに含まれる）が接続されている。

30

【0286】

あるいは又、実施の形態8の不揮発性メモリは、ビット線 BL_1 と、選択用トランジスタ TR_1 と、 M 個（但し、実施の形態8においては、 $M=4$ ）のメモリセル MC_{1m} （ $m=1, 2, 3, 4$ ）と、 M 本のプレート線 PL_m （ $m=1, 2, 3, 4$ ）から構成されている。そして、各メモリセル MC_{1m} は、第1の電極（下部電極）21と強誘電体層22と第2の電極（上部電極）23とから成り、メモリセル MC_{1m} を構成するキャパシタ部の第1の電極21は、メモリユニット MU_1 において共通であり、共通の第1の電極21（共通ノード CN_1 と呼ぶ場合がある）は、選択用トランジスタ TR_1 を介してビット線 BL_1 に接続され、第2の電極23はプレート線 PL_m に接続されている。メモリセル MC_{1m} は、絶縁膜26Aによって被覆されている。

40

【0287】

あるいは又、実施の形態8の不揮発性メモリは、ビット線 BL_2 と、選択用トランジスタ TR_2 と、 M 個（但し、実施の形態8においては、 $M=4$ ）のメモリセル MC_{2m} （ $m=1, 2, 3, 4$ ）と、 M 本のプレート線 PL_m （ $m=1, 2, 3, 4$ ）から構成されている。そして、各メモリセル MC_{2m} は、第1の電極21（下部電極）と強誘電体層22と第2

50

の電極（上部電極）23とから成り、メモリセルMC_{2m}を構成するキャパシタ部の第1の電極21は、メモリユニットMU₂において共通であり、共通の第1の電極21（共通ノードCN₂と呼ぶ場合がある）は、選択用トランジスタTR₂を介してビット線BL₂に接続され、第2の電極23はプレート線PL_mに接続されている。図22の模式的な一部断面図において、これらのビット線BL₂、選択用トランジスタTR₂及びメモリセルMC_{2m}は、ビット線BL₁、選択用トランジスタTR₁及びメモリセルMC_{1m}と、紙面垂直方向に隣接している。

【0288】

メモリセルMC_{2m}におけるプレート線PL_mは、メモリセルMC_{1m}におけるプレート線PL_mと共通化されており、プレート線デコーダ／ドライバPDに接続されている。また、選択用トランジスタTR₁、TR₂のゲート電極は共通のワード線WLに接続され、ワード線WLは、ワード線デコーダ／ドライバWDに接続されている。更には、ビット線BL₁、BL₂は、センスアンプSAに接続されている。

【0289】

尚、図22においては、選択用トランジスタTR₁及びメモリセルMC_{1m}、並びに、ビット線BL₁の延びる方向に隣接する選択用トランジスタTR_{1'}及びメモリセルMC_{1'm}の一部分を併せて図示した。ビット線BL₁の延びる方向に隣接するメモリセルMC_{1m}、MC_{1'm}…におけるビット線BL₁は共通化されている。

【0290】

そして、対となったメモリセルMC_{1m}、MC_{2m}（m=1, 2, 3, 4）に相補的なデータが記憶される。

【0291】

実施の形態8の不揮発性メモリからデータを読み出す方法の一例を、以下、説明する。尚、一例として、対となったメモリセルMC₁₁、MC₂₁からデータを読み出すものとし、メモリセルMC₁₁にはデータ「1」が、メモリセルMC₂₁にはデータ「0」が記憶されているとする。図23に動作波形を示す。尚、図23中、括弧内の数字は、以下に説明する工程の番号と対応している。

【0292】

（8-1）待機状態では、全ビット線、全ワード線、全プレート線が接地されている。そして、接地線（図示せず）とビット線BL₁、BL₂との電気的な接続を解き、ビット線BL₁、BL₂を浮遊状態とする。

【0293】

（8-2）データ読み出しの開始時、ワード線WLをハイレベルとすることによって、選択用トランジスタTR₁、TR₂をオン状態とする。併せて、選択されたプレート線PL₁にV_{CC}を印加し、非選択のプレート線PL_m（m=2, 3, 4）に（1/2）V_{CC}を印加する。これによって、データ「1」を記憶していたキャパシタ部から構成されたメモリセルMC₁₁からは反転電荷が放出され、その結果、ビット線BL₁、BL₂の間に電位差が生じる。次に、センスアンプSAを活性化して、かかるビット線BL₁、BL₂の間の電位差をデータとして読み出す。

【0294】

（8-3）その後、ビット線BL₁、BL₂を、センスアンプSAによって充放電させ、ビット線BL₁にはV_{CC}を印加し、ビット線BL₂には0ボルトを印加する。その結果、メモリセルMC₂₁には、データ「0」が再び書き込まれる。

【0295】

（8-4）その後、プレート線PL₁を0ボルトとすることによって、メモリセルMC₁₁には、データ「1」が再び書き込まれる。

【0296】

（8-5）データの読み出しを終了する場合には、次いで、ビット線BL₁、BL₂を0ボルトまで放電し、プレート線PL_m（m=2, 3, 4）を0ボルトまで放電する。

【0297】

10

20

30

40

50

以上のシーケンスに従えば、非選択のメモリセル $M C_{1m}$, $M C_{2m}$ ($m = 2, 3, 4$) におけるキャパシタ部に加わるディスター^ブは、常に、 $(1/2)V_{cc}$ 以下に抑えられる。

【0298】

センスアンプ SA に含まれている、ビット線 $B L_1$, $B L_2$ に電圧を印加するための電源電圧回路 60、及び、プレート線デコーダ/ドライバ PD に含まれている、プレート線 $P L_m$ に電圧を印加するための電源電圧回路 60 は、出力が負の温度特性を有するが、これらの電源電圧回路 60 の構成例を以下に説明する。

【0299】

この電源電圧回路 60 は、図 24 の (A) に回路図を示すように、参照電圧回路 61 と、参照電圧回路 61 から出力された参照電圧 [例え、 V_{cc} や $(1/2)V_{cc}$] と出力電圧との電位差を検出する比較器 70 と、比較器 70 からの出力電圧に従って、比較器 70 からの出力電圧に負のフィードバックをかける回路、例え、比較結果に応じて PMOS 型 FET 73 を制御する帰還ループから構成されている。具体的には、電源電圧回路 60 は、参照電圧回路 61 と、参照電圧回路 61 から出力された参照電圧が第 1 の入力部 61 に入力される比較器 70 と、比較器 70 からの出力電圧がゲート部に入力され、ドレイン領域が比較器 70 の第 2 の入力部 72 及びキャパシタ部に接続された PMOS 型 FET 73 から成る。PMOS 型 FET 73 のドレイン領域は、具体的には、ビット線 $B L_1$, $B L_2$ 、あるいは、プレート線 $P L_m$ に接続されている。比較器 70 は、例え、カレントミラー-差動アンプから構成することができる。

【0300】

出力に接続されている負荷に V_{DL} 端子 74 からグランドに向けて過渡電流が流れようとすると、PMOS 型 FET 73 が或るインピーダンスとして作用し、PMOS 型 FET 73 のドレイン電圧は負側に変動する。出力電圧が参照電圧よりも低くなり始めると、PMOS 型 FET 73 のゲート電圧はより低くなつて、PMOS 型 FET 73 はオン状態となり、負荷に電流を供給しながら出力を充電し始める。或るレベルまで充電し、参照電圧よりも出力電圧が高くなり始めると、今度は PMOS 型 FET 73 のゲート電圧が上昇し、PMOS 型 FET 73 はオフ状態となり、充電が停止する。これによって、PMOS 型 FET 73 からの出力電圧 [例え、 V_{cc} や $(1/2)V_{cc}$] の安定化を図ることができる。

【0301】

図 24 の (B) に回路図を示すように、参照電圧回路 61 は、一端が電源 V_{DD} に接続された第 1 の抵抗素子 62 と、一端が第 1 の抵抗素子 62 の他端に接続され、他端が接地された第 2 の抵抗素子 63 から成り、第 1 の抵抗素子 62 と第 2 の抵抗素子 63 との接続部から参照電圧が出力される。そして、第 1 の抵抗素子 62 は抵抗体から成り、第 2 の抵抗素子 63 は、ドレイン部とゲート部が短絡された少なくとも 1 つの PMOS 型 FET から成る。

【0302】

図 24 の (B) に示した例では、第 2 の抵抗素子 63 は、3 つの PMOS 型 FET を直列に接続した構造を有し、各 PMOS 型 FET の閾値電圧を V_{th} としたとき、第 1 の抵抗素子 62 の抵抗値が充分に高い場合、出力される参照電圧は $3V_{th}$ となる。MOS 型 FET の閾値電圧 V_{th} は、一般に、負の温度特性を有する (即ち、温度が上昇するに従い、抵抗値が減少する)。第 2 の抵抗素子 63 を構成する PMOS 型 FET の段数、PMOS 型 FET を構成する各種の半導体領域の不純物濃度を調整することによって、第 2 の抵抗素子 63 に所望の抵抗値や所望の負の温度特性を与えることができる。

【0303】

図 25 の (A) には、別の形式の参照電圧回路 61A を示す。この参照電圧回路 61A においては、第 1 の抵抗素子 64 及び第 2 の抵抗素子 65 は負の温度特性を有し (即ち、温度が上昇するに従い、抵抗値が減少し)、第 2 の抵抗素子 65 の抵抗値の温度変化量の絶対値は、第 1 の抵抗素子 64 の抵抗値の温度変化量の絶対値よりも大きい。具体的には、第 1 の抵抗素子 64 及び第 2 の抵抗素子 65 は抵抗体から構成されている。より具体的には、例え、第 1 の抵抗素子 64 は不純物がドープされた半導体層 (例え、ポリシリコ)

10

20

30

40

50

ン層)から成り、第2の抵抗素子65は、第1の抵抗素子64を構成する半導体層の不純物濃度よりも低い濃度の不純物がドープされた半導体層(例えば、ポリシリコン層)から成る構成とすることができる。あるいは又、ポリシリコン層にGeをイオン注入してバンドギャップを狭めて温度変化量を小さくしたSi-Ge半導体層から成る第1の抵抗素子64と、Si半導体層(具体的には、ポリシリコン層)から成る第2の抵抗素子65とから、参照電圧回路61Aを構成することもできる。このような構成にすることで、不揮発性メモリの動作温度が上昇すると、第2の抵抗素子65における電圧降下が、動作温度上昇前よりも小さくなり、その結果、参照電圧回路61Aから出力される参照電圧が低下する。

【0304】

図25の(B)には、更に別の形式の参照電圧回路61Bを示す。この参照電圧回路61Bにおいては、第1の抵抗素子66は正の温度特性を有し(即ち、温度が上昇するに従い、抵抗値が増加し)、第2の抵抗素子67は負の温度特性を有する(即ち、温度が上昇するに従い、抵抗値が減少する)。具体的には、第1の抵抗素子66は、ゲート部が接地されたPMOS型FETから成り、第2の抵抗素子67は、不純物がドープされた半導体層から成る抵抗体から構成されている。第1の抵抗素子66は、電圧に依存せず、第1の抵抗素子66の抵抗値(具体的には、チャネル抵抗の値)が直線的に変化し、しかも、正の温度特性を有する。従って、このような構成にすることで、不揮発性メモリの動作温度が上昇すると、第2の抵抗素子67における電圧降下が、動作温度上昇前よりも小さくなり、その結果、参照電圧回路61Bから出力される参照電圧が低下する。

【0305】

電源電圧回路からの出力電圧として、不揮発性メモリの動作温度が20°Cのとき1.5ボルト、105°Cのとき1.0ボルトとすれば、いずれの動作温度においてもメモリセルにおけるキャパシタ部においては $6 \mu C / cm^2$ 以上の信号電荷を保持することができ、且つ、非選択のメモリセルにおけるデータ破壊が生じることはない。

【0306】

以上に説明した電源電圧回路及び各種の参照電圧回路は、周知の方法にて作製することができる。尚、場合によっては、参照電圧回路61, 61A, 61Bのいずれかのみから電源電圧回路を構成することもできる。また、電源電圧回路をセンスアンプSAにのみ含ませてもよいし、プレート線デコーダ/ドライバPDにのみ含ませてもよいし、電源電圧回路からの出力電圧をセンスアンプSA及び/又はプレート線デコーダ/ドライバPDに供給する形態としてもよい。以下の実施の形態にて説明する不揮発性メモリにおいても同様である。

【0307】

実施の形態8の不揮発性メモリにおいては、対となったメモリセルMC_{1m}, MC_{2m}による相補的なデータ記憶を例に挙げたが、例えば、ダミーセル等を用いて、参照側ビット線に、データ「1」の読み出し電位と、データ「0」の読み出し電位の中間の参照電位を与えることによって、メモリセル毎に1ビットを記憶することも可能である。この場合の回路図を、図26に示す。図21に示した構成と異なり、この不揮発性メモリの変形例においては、選択用トランジスタTR₁及び選択用トランジスタTR₂のそれぞれは、ワード線WL₁及びWL₂に接続され、これらのワード線WL₁, WL₂は、ワード線デコーダ/ドライバWDに接続されている。

【0308】

尚、実施の形態8にて説明した不揮発性メモリに、実施の形態1~実施の形態7にて説明した不揮発性メモリにおけるメモリユニットあるいはサブメモリユニットの構造を適用することができる。

【0309】

(実施の形態9)

実施の形態9は、本発明の第8の態様に係る不揮発性メモリに関する。実施の形態9の不揮発性メモリにおけるメモリユニットは、具体的には、実施の形態8にて説明したメモリ

10

20

30

40

50

ユニットと同様であり、その模式的な一部断面図は図22に示したと同様である。それ故、メモリユニットの詳細な説明は省略する。

【0310】

実施の形態9の不揮発性メモリの回路図を図27に示す。実施の形態9の不揮発性メモリにおいては、メモリセル $M_{C_{1M}}, M_{C_{2M}}$ を構成するキャパシタ部のそれぞれの一端はビット線 B_{L_1}, B_{L_2} に接続され、他端はプレート線 P_{L_m} に接続されている。そして、ビット線 B_{L_1}, B_{L_2} には、クランプ電圧（クランプ電位）が負の温度特性を有するクランプ回路80が接続されている。このような構成においては、センスアンプSAには、実施の形態8にて説明した電源電圧回路60を含ませる必要はない。センスアンプSAに実施の形態8にて説明した電源電圧回路60を含ませた場合、電源電圧回路の電流供給能力が充分でないと、不要なノイズが発生し、データの読み出しを誤る虞がある。このような場合には、センスアンプSAとして、従来のセンスアンプSAを用い、ビット線 B_{L_1}, B_{L_2} の電圧（電位）をクランプするクランプ回路80をビット線 B_{L_1}, B_{L_2} に接続すればよい。

10

【0311】

クランプ電圧が負の温度特性を有するクランプ回路80は、図28に回路図を示すように、ドレイン部とゲート部が短絡されたPMOS型FET81を直列に接続した構造を有する、従来のクランプ回路から構成することができる。クランプ回路80を構成するPMOS型FET81の段数、PMOS型FETを構成する各種の半導体領域の不純物濃度を調整することによって、クランプ回路80に所望のクランプ電圧値や所望の負の温度特性を与えることができる。

20

【0312】

このような、クランプ電圧が負の温度特性を有するクランプ回路80をビット線 B_{L_1}, B_{L_2} に接続することによって、不揮発性メモリの動作温度が高いときにはビット線が高い電圧（電位）にクランプされ、動作温度が低いときにはビット線が低い電圧（電位）にクランプされる。それ故、不揮発性メモリの動作温度が高くなり、抗電圧が減少しても、ビット線の電圧（電位）を低い電圧（電位）にクランプすることができる結果、非選択のメモリセルにおけるキャパシタ部の電荷反転を防止することができる。

【0313】

尚、プレート線に電圧を印加するための電源電圧回路は、出力が負の温度特性を有することが望ましい。具体的には、実施の形態8にて説明した電源電圧回路60及び各種の参照電圧回路61, 61A, 61Bが、実施の形態9の不揮発性メモリに備えられていることが望ましい。

30

【0314】

尚、実施の形態9の不揮発性メモリを、実施の形態8の不揮発性メモリの変形例と同様の構成とすることもできる。

【0315】

また、実施の形態9にて説明した不揮発性メモリに、実施の形態1～実施の形態7にて説明した不揮発性メモリにおけるメモリユニットあるいはサブメモリユニットの構造を適用することができる。

40

【0316】

（実施の形態10）

実施の形態10は、本発明の第9の態様及び第10の態様に係る不揮発性メモリに関する。実施の形態10の不揮発性メモリの回路図を図29に示し、不揮発性メモリを構成する各種のトランジスタの模式的なレイアウトを図30に示し、不揮発性メモリの模式的な一部断面図を図31及び図32に示す。尚、図30において、各種のトランジスタの領域を点線で囲み、活性領域及び配線を実線で示し、ゲート電極あるいはワード線を一点鎖線で示した。また、図31に示す不揮発性メモリの模式的な一部断面図は、図30の線A-Aに沿った模式的な一部断面図であり、図32に示す不揮発性メモリの模式的な一部断面図は、図30の線B-Bに沿った模式的な一部断面図である。

50

【0317】

実施の形態10の不揮発性メモリは、所謂ゲインセルタイプの不揮発性メモリであり、ビット線B Lと、書込用トランジスタ（本発明の第10の態様に係る不揮発性メモリにおける構成要素であり、本発明の第9の態様に係る不揮発性メモリにおける選択用トランジスタである）TR_Wと、M個（但し、M=2であり、実施の形態10においては、M=8）のメモリセルMC_Mから構成されたメモリユニットMUと、M本のプレート線PL_Mから成るメモリユニットMUから構成されている。そして、各メモリセルMC_Mは、第1の電極21と強誘電体層22と第2の電極23とから成り、メモリユニットMUを構成するメモリセルMC_Mの第1の電極21は、メモリユニットMUにおいて共通であり、この共通の第1の電極（共通ノードCN）は、書込用トランジスタTR_Wを介してビット線B Lに接続され、各メモリセルMC_Mを構成する第2の電極23はプレート線PL_Mに接続されている。メモリセルMC_Mは絶縁膜26Aによって被覆されている。尚、不揮発性メモリのメモリユニットMUを構成するメモリセルの数（M）は8個に限定されず、一般には、M=2を満足すればよく、2のべき数（M=2, 4, 8, 16, …）とすることが好ましい。

【0318】

更には、実施の形態10の不揮発性メモリは、共通の第1の電極の電位変化を検出し、該検出結果をビット線に電流又は電圧として伝達する信号検出回路を備えている。あるいは又、検出用トランジスタTR_S、及び、読出用トランジスタTR_Rを備えている。信号検出回路は、検出用トランジスタTR_S及び読出用トランジスタTR_Rから構成されている。そして、検出用トランジスタTR_Sの一端は所定の電位V_{cc}を有する配線（例えば、不純物層から構成された電源線）に接続され、他端は読出用トランジスタTR_Rを介してビット線B Lに接続され、各メモリセルMC_Mに記憶されたデータの読み出し時、読出用トランジスタTR_Rが導通状態とされ、各メモリセルMC_Mに記憶されたデータに基づき共通の第1の電極（共通ノードCN）に生じた電位により、検出用トランジスタTR_Sの動作が制御される。

【0319】

具体的には、各種のトランジスタはMOS型FETから構成されており、書込用トランジスタ（選択用トランジスタ）TR_Wの一方のソース／ドレイン領域は絶縁層16に形成されたコンタクトホール15を介してビット線B Lに接続され、他方のソース／ドレイン領域は、絶縁層16に形成された開口部17中に設けられた接続孔18を介して共通の第1の電極（共通ノードCN）に接続されている。また、検出用トランジスタTR_Sの一方のソース／ドレイン領域は、所定の電位V_{cc}を有する配線に接続され、他方のソース／ドレイン領域は、読出用トランジスタTR_Rの一方のソース／ドレイン領域に接続されている。より具体的には、検出用トランジスタTR_Sの他方のソース／ドレイン領域と読出用トランジスタTR_Rの一方のソース／ドレイン領域とは、1つのソース／ドレイン領域を占めている。更には、読出用トランジスタTR_Rの他方のソース／ドレイン領域はコンタクトホール15を介してビット線B Lに接続され、更に、共通の第1の電極（共通ノードCN、あるいは、書込用トランジスタTR_Wの他方のソース／ドレイン領域）は、開口部17A中に設けられた接続孔18A、ワード線WL_Sを介して検出用トランジスタTR_Sのゲート電極に接続されている。また、書込用トランジスタTR_Wのゲート電極に接続されたワード線WL_W及び読出用トランジスタTR_Rのゲート電極に接続されたワード線WL_Rは、ワード線デコーダ／ドライバWDに接続されている。一方、各プレート線PL_Mは、プレート線デコーダ／ドライバPDに接続されている。更には、ビット線B LはセンスアンプSAに接続されている。

【0320】

先ず、実施の形態10の不揮発性メモリへのデータの書き込み動作を、以下、説明する。尚、一例として、プレート線PL₁に接続されたメモリセルMC₁にデータを書き込むものとする。図33に動作波形を示す。尚、図33及び後述する図34中、括弧内の数字は、以下に説明する工程の番号と対応している。

10

20

30

40

50

【0321】

(10-1A) 待機状態では、ビット線、ワード線、全プレート線が0ボルトとなっている。更には、共通ノードCNも0ボルトで浮遊状態となっている。

【0322】

(10-2A) データ書き込みの開始時、選択プレート線PL₁の電位をV_{cc}とし、非選択プレート線PL_k(k=2, 3, ..., 8)の電位を(1/2)V_{cc}とする。これによって、浮遊状態の共通ノードCNの電位は、プレート線PL_Mとのカップリングにより、概ね(1/2)V_{cc}近傍まで上昇する。また、選択メモリセルにデータ「1」を書き込む場合には、ビット線BLの電位をV_{cc}とし、データ「0」を書き込む場合には、ビット線BLの電位を0ボルトとする。

10

【0323】

(10-3A) その後、書き用トランジスタTR_Wをオン状態とする。これによって、共通ノードの電位は、選択メモリセルにデータ「1」を書き込む場合には、V_{cc}となり、データ「0」を書き込む場合には、0ボルトとなる。尚、選択プレート線PL₁にはV_{cc}が印加された状態にあるので、共通ノードの電位が0ボルトの場合、選択メモリセルにデータ「0」が書き込まれる。一方、共通ノードの電位がV_{cc}の場合、選択メモリセルには何らデータが書き込まれない。

【0324】

(10-4A) 次いで、選択プレート線PL₁の電位を0ボルトとする。共通ノードの電位がV_{cc}の場合、選択メモリセルにデータ「1」が書き込まれる。選択メモリセルに既にデータ「0」が書き込まれている場合には、選択メモリセルに何ら変化は生じない。

20

【0325】

(10-5A) その後、ビット線BLを0ボルトと印加する。

【0326】

(10-6A) 更に、非選択プレート線PL_kを0ボルトとし、書き用トランジスタTR_Wをオフ状態とする。

【0327】

他のメモリセルMC_m(m=2, 3, ..., 8)にデータを書き込む場合には、同様の操作を繰り返す。このような書き込み動作においては、非選択メモリセルMC_kに(±1/2)V_{cc}のディスターべが発生するが、V_{cc}の値を適切に設定することによって、非選択メモリセルMC_kにおけるデータの破壊を確実に防止することができる。

30

【0328】

次に、実施の形態10の不揮発性メモリからデータを読み出し、データを再書き込みする動作を、以下、説明する。尚、一例として、プレート線PL₁に接続されたメモリセルMC₁からデータを読み出し、データを再書き込みするものとする。図34に動作波形を示す。

【0329】

(10-1B) 待機状態では、ビット線、ワード線、全プレート線が0ボルトとなっている。更には、共通ノードCNも0ボルトで浮遊状態となっている。

【0330】

(10-2B) データ読み出し時、選択プレート線PL₁にV_{cc}を印加する。このとき、選択メモリセルMC₁にデータ「1」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、共通ノードCNの電位が上昇する。一方、選択メモリセルMC₁にデータ「0」が記憶されていれば、強誘電体層に分極反転が生ぜず、共通ノードCNの電位は殆ど上昇しない。即ち、共通ノードCNは、非選択メモリセルの強誘電体層を介して複数の非選択プレート線PL_kにカップリングされているので、共通ノードCNの電位は0ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセルMC₁に記憶されたデータに依存して共通ノードCNの電位に変化が生じる。従って、選択メモリセルの強誘電体層には、分極反転に十分な電界を与えることができる。

40

【0331】

50

(10-3B) 次に、ビット線 B_L を浮遊状態とし、読出用トランジスタ T_{R_R} をオン状態とする。一方、選択メモリセル M_{C_1} に記憶されたデータに基づき共通の第1の電極(共通ノード C_N)に生じた電位により、検出用トランジスタ T_{R_S} の動作が制御される。具体的には、選択メモリセル M_{C_1} に記憶されたデータに基づき共通の第1の電極(共通ノード C_N)に高い電位が生じれば、検出用トランジスタ T_{R_S} は導通状態となり、検出用トランジスタ T_{R_S} の一方のソース/ドレイン領域は所定の電位 V_{cc} を有する配線に接続されているので、かかる配線から、検出用トランジスタ T_{R_S} 及び読出用トランジスタ T_{R_R} を介してビット線 B_L に電流が流れ、ビット線 B_L の電位が上昇する。即ち、信号検出回路によって共通の第1の電極(共通ノード C_N)の電位変化が検出され、この検出結果がビット線 B_L に電圧(電位)として伝達される。ここで、検出用トランジスタ T_{R_S} の閾値を V_{th} 、検出用トランジスタ T_{R_S} のゲート電極の電位(即ち、共通ノード C_N の電位)を V_g とすれば、ビット線 B_L の電位は概ね $(V_g - V_{th})$ となる。尚、検出用トランジスタ T_{R_S} をディプレッション型のN MOSFET とすれば、閾値 V_{th} は負の値となる。これにより、ビット線 B_L の負荷の大小に拘わらず、安定したセンス信号量を確保できる。尚、検出用トランジスタ T_{R_S} をPMOSFET から構成することもできる。

【0332】

(10-4B) 次いで、読出用トランジスタ T_{R_R} をオフ状態とする。そして、ビット線 B_L の電位をビット線 B_L に接続されたセンスアンプ S_A にてラッチし、センスアンプ S_A を活性化してデータを増幅し、データの読み出し動作を完了する。

【0333】

以上の動作によって、選択メモリセルに記憶されていたデータが一旦破壊されてしまうので、データの再書き込み動作を行う。

【0334】

(10-5B) そのために、先ず、ビット線 B_L をセンスアンプ S_A によって充放電させ、ビット線 B_L に V_{cc} 又は0ボルトを印加する。

【0335】

(10-6B) 次いで、非選択プレート線 P_{L_k} ($k = 2, 3 \dots 8$) の電位を $(1/2)V_{cc}$ とする。

【0336】

(10-7B) その後、書き用トランジスタ T_{R_W} をオン状態とする。これによって、共通ノード C_N の電位はビット線 B_L の電位と等しくなる。即ち、選択メモリセル M_{C_1} に記憶されていたデータが「1」の場合には、共通ノード C_N の電位は V_{cc} となり、選択メモリセル M_{C_1} に記憶されていたデータが「0」の場合には、共通ノード C_N の電位は0ボルトとなる。選択プレート線 P_{L_1} の電位は V_{cc} のままであるが故に、共通ノード C_N の電位が0ボルトの場合、選択メモリセル M_{C_1} にはデータ「0」が再書き込みされる。

【0337】

(10-8B) 次に、選択プレート線 P_{L_1} の電位を0ボルトとする。これによって、選択メモリセル M_{C_1} に記憶されていたデータが「1」の場合には、共通ノード C_N の電位が V_{cc} であるが故に、データ「1」が再書き込みされる。選択メモリセル M_{C_1} にデータ「0」が既に再書き込みされていた場合には、選択メモリセルに変化は生じない。

【0338】

(10-9B) その後、ビット線 B_L を0ボルトとする。

【0339】

(10-10B) 最後に、非選択プレート線 P_{L_k} を0ボルトとし、書き用トランジスタ T_{R_W} をオフ状態とする。

【0340】

他のメモリセル M_{C_m} ($m = 2, 3 \dots 8$) からデータを読み出し、データを再書き込みする場合には、同様の操作を繰り返す。

【0341】

上述の工程(10-2B)において、メモリユニットMUを構成するメモリセルの個数(

10

20

30

40

50

M) は、選択メモリセルの強誘電体層に十分に大きな電界を与えて、かかる強誘電体層に確実に分極反転が生じるような個数とする必要がある。即ち、 M の値が値が小さ過ぎると、工程 (10 - 2B) において、選択プレート線 PL_1 に V_{cc} を印加したとき、第 2 の電極と第 1 の電極とのカップリングによって、浮遊状態にある第 1 の電極の電位が大きく上昇してしまい、第 2 の電極と第 1 の電極との間に十分なる電界が形成されず、強誘電体層に分極反転が生じなくなる。一方、第 1 の電極に現れる電位 (信号電位と呼ぶ) は、蓄積電荷量を負荷容量で除したものなので、 M の値が大き過ぎると、第 1 の電極に現れる電位が低くなり過ぎる。

【 0 3 4 2 】

図 35 に、 M の値と信号電位との関係をシミュレーションした結果を示す。ここでは、メモリセルにおける強誘電体層のヒステリシス実測値を基に、図 29 に示した回路におけるメモリセルの個数 (M) と信号電位の関係を求めた。尚、各メモリセルを構成する強誘電体層の面積を $0.5 \mu m^2$ とし、共通ノード CN のメモリセル以外の負荷容量 (主に、検出用トランジスタ TR_s のゲート容量) を $2 fF$ 、電源電圧 V_{cc} を 2.5 ボルトとした。

【 0 3 4 3 】

選択プレート線 PL_1 に V_{cc} を印加したとき、選択メモリセルにデータ「 1 」が記憶されていれば、第 1 の電極と第 2 の電極との間にあっては、強誘電体層の分極を反転する方向に電界が生じる。従って、このような選択メモリセルからの信号電位 (浮遊状態の第 1 の電極に現れる電位であり、検出用トランジスタ TR_s のゲート電極に印加される電位 V_g) は、データ「 0 」が記憶されていた場合よりも高くなる。そして、データ「 1 」が記憶されていた場合の信号電位と、データ「 0 」が記憶されていた場合の信号電位との差が大きいほど、データ読み出しの信頼性が高くなる。

【 0 3 4 4 】

M の値が 1 の場合、図 57 の (B) に示した回路と等価となり、共通ノード CN における負荷容量が小さ過ぎる結果、データ「 1 」が記憶されていた場合の信号電位と、データ「 0 」が記憶されていた場合の信号電位は、共に 2.2 ボルト程度まで上昇してしまい、選択プレート線 PL_1 に印加された V_{cc} ($= 2.5$ ボルト) との間の電位差は、約 0.3 ボルトしかない。従って、強誘電体層の分極反転が不十分であり、選択メモリセルからのデータの読み出しが困難となる。

【 0 3 4 5 】

一方、 M の値が 2 以上となると、選択メモリセルにおいては、選択プレート線 PL_1 に印加された V_{cc} ($= 2.5$ ボルト) と信号電位との間の電位差 (図 35 では、「信号量」で表示する) が十分に大きくなり、選択メモリセルからデータを確実に読み出すことが可能となる。尚、 M の値を増加させるに従い、共通ノード CN の負荷容量が増加し、 M の値が或るレベルを超えると、今度は、選択プレート線 PL_1 に印加された V_{cc} と信号電位との間の電位差である信号量の値が低下し始める。

【 0 3 4 6 】

このように、 M の値には最適値が存在し、かかる M の最適値は、 $2 \leq M \leq 8$ 、好ましくは、 $4 \leq M \leq 2$ であることが判った。

【 0 3 4 7 】

実施の形態 1 にて説明したメモリユニットの構造を実施の形態 10 における不揮発性メモリに適用することができるし、実施の形態 8 、実施の形態 9 にて説明した不揮発性メモリを実施の形態 10 に適用することもできる。

【 0 3 4 8 】

(実施の形態 11)

実施の形態 11 は、本発明の第 11 の態様に係る不揮発性メモリに関する。実施の形態 11 の不揮発性メモリの回路図を図 36 に示し、不揮発性メモリを構成する各種のトランジスタの模式的なレイアウトを図 37 に示す。尚、図 37 において、各種のトランジスタの領域を点線で囲み、活性領域及び配線を実線で示し、ゲート電極あるいはワード線を一点鎖線で示した。

10

20

30

40

50

【0349】

実施の形態11の不揮発性メモリも、所謂ゲインセルタイプの不揮発性メモリであり、ビット線B Lと、書込用トランジスタT R_Wと、M個（但し、M ≥ 2であり、実施の形態11においては、M = 8）のメモリセルM C_Mから構成されたN個（但し、N ≥ 2であり、実施の形態11においては、N = 2）のメモリユニットM U₁, M U₂と、N個の選択用トランジスタT R₁, T R₂と、N個のメモリユニットM U₁, M U₂のそれぞれを構成するメモリセルM C_{1m}, M C_{2m}で共通とされたM本のプレート線P L_mから構成されている。

【0350】

そして、各メモリセルM C_mは、第1の電極21と強誘電体層22と第2の電極23とから成り、第n番目（n = 1, 2, ..., N）であり、実施の形態11においては、n = 1, 2, ..., 8のメモリユニットM U₁, M U₂を構成するメモリセルM C_{1m}, M C_{2m}の第1の電極21は、第n番目のメモリユニットM U₁, M U₂において共通であり、この共通の第1の電極（共通ノードC N₁, C N₂）は、第n番目の選択用トランジスタT R₁, T R₂及び書込用トランジスタT R_Wを介してビット線B Lに接続され、第2の電極23は共通のプレート線P L_mに接続されている。尚、不揮発性メモリのメモリユニットM U₁, M U₂を構成するメモリセルの数（M）は8個に限定されず、一般には、M ≥ 2を満足すればよく、2のべき数（M = 2, 4, 8, 16, ..., 2ⁿ）とすることが好ましい。また、Nの数も2に限定されず、例えば2のべき数（2, 4, 8, ..., 2ⁿ）とすることができる。

【0351】

更には、実施の形態11の不揮発性メモリは、検出用トランジスタT R_S、及び、読出用トランジスタT R_Rを備えている。そして、検出用トランジスタT R_Sの一端は所定の電位V_{cc}を有する配線（不純物層から構成された電源線）に接続され、他端は読出用トランジスタT R_Rを介してビット線B Lに接続され、第n番目のメモリユニットM U₁, M U₂を構成する各メモリセルM C_{1m}, M C_{2m}に記憶されたデータの読み出し時、第n番目の選択用トランジスタT R₁, T R₂及び読出用トランジスタT R_Rが導通状態とされ、各メモリセルM C_{1m}, M C_{2m}に記憶されたデータに基づき共通の第1の電極（共通ノードC N₁, C N₂）に生じた電位により、検出用トランジスタT R_Sの動作が制御される。

【0352】

具体的には、各種のトランジスタはMOS型FETから構成されており、書込用トランジスタT R_Wの一方のソース/ドレイン領域はコンタクトホール15を介してビット線B Lに接続され、他方のソース/ドレイン領域は、接続孔18B、図示しない副ビット線、接続孔18Cを介して、選択用トランジスタT R₁, T R₂のそれぞれの一方のソース/ドレイン領域に接続されている。また、選択用トランジスタT R₁, T R₂のそれぞれの他方のソース/ドレイン領域は、各メモリユニットM U₁, M U₂のそれぞれを構成する共通の第1の電極（共通ノードC N₁, C N₂）に、接続孔18₁, 18₂を介して接続されている。更には、検出用トランジスタT R_Sの一方のソース/ドレイン領域は、所定の電位V_{cc}を有する配線に接続され、他方のソース/ドレイン領域は、読出用トランジスタT R_Rの一方のソース/ドレイン領域に接続されている。また、読出用トランジスタT R_Rの他方のソース/ドレイン領域は、コンタクトホール15を介してビット線B Lに接続されている。更に、各メモリユニットM U₁, M U₂を構成する共通の第1の電極（共通ノードC N₁, C N₂、あるいは、書込用トランジスタT R_Wの他方のソース/ドレイン領域）は、検出用トランジスタT R_Sのゲート電極に、図示しない副ビット線及び接続孔18Aを介して接続されている。検出用トランジスタT R_Sの他方のソース/ドレイン領域とは、1つのソース/ドレイン領域を占めている。また、書込用トランジスタT R_Wのゲート電極に接続されたワード線W L_W、読出用トランジスタT R_Rのゲート電極に接続されたワード線W L_R、及び、選択用トランジスタT R₁, T R₂のゲート電極に接続されたワード線W L₁, W L₂は、ワード線デコーダ/ドライバW Dに接続されている。一方、各プレート線P L_mは、プレート線デコーダ/ドライバP Dに接続されている。更には、ビット線B LはセンスアンプS Aに接続されている。

10

20

30

40

50

【0353】

各メモリユニット MU_1, MU_2 の構造は、実質的に、実施の形態 10 にて説明したメモリユニット MU と同様の構造とすることができますので、詳細な説明は省略する。尚、メモリユニット MU₁ を構成する共通の第 1 の電極（共通ノード CN₁）は、選択用トランジスタ TR₁ の他方のソース / ドレイン領域と、絶縁層 16 に設けられた接続孔 18₁ を介して接続されており、メモリユニット MU₂ を構成する共通の第 1 の電極（共通ノード CN₂）は、選択用トランジスタ TR₂ の他方のソース / ドレイン領域と、絶縁層 16 に設けられた接続孔 18₂ を介して接続されている。また、書込用トランジスタ TR_W の一方のソース / ドレイン領域、及び、読出用トランジスタ TR_R の他方のソース / ドレイン領域は、下層絶縁層上に形成されたピット線 BL に、下層絶縁層に設けられたコンタクトホール 15 を介して接続されている。更には、選択用トランジスタ TR_{1, TR₂} の一方のソース / ドレイン領域、書込用トランジスタ TR_W の他方のソース / ドレイン領域、検出用トランジスタ TR_S のゲート電極（ワード線 WL_S）は、下層絶縁層に設けられた接続孔 18_{C, 18_{B, 18_A}} を介して、下層絶縁層上に形成された副ピット線（図示せず）に接続されている。ここで、副ピット線は、下層絶縁層上を延び、ピット線 BL に接続されている。

【0354】

実施の形態 11 の不揮発性メモリにおいては、複数のメモリユニットが設けられているので、実施の形態 10 にて説明した不揮発性メモリよりも更に 1 ピット当たりのセル面積の一層の縮小化を図ることができる。即ち、実施の形態 11 の不揮発性メモリの大きさ（占有面積）は、基本的には、一方向においては、プレート線 PL_M のピッチと本数（M の値）で決定され、かかる方向と直交する方向においては、共通ノードのピッチと本数（N の値）で決定される。不揮発性メモリが占める半導体基板の領域の面積（大きさ）は、選択用トランジスタ TR_{1, TR₂} の占める面積（大きさ）によって主に決定される。書込用トランジスタ TR_W、読出用トランジスタ TR_R、検出用トランジスタ TR_S は、半導体基板の空領域に形成すればよく、空領域の面積は、メモリユニットの数（N）、メモリユニットを構成するメモリセルの数（M）が大きくなるほど、広くなる。従って、このように、書込用トランジスタ TR_W、読出用トランジスタ TR_R、検出用トランジスタ TR_S を、半導体基板の空領域に形成すれば、半導体基板を極めて効果的に利用することができる。

【0355】

実施の形態 11 の不揮発性メモリにおけるデータ書き込み動作、データ読み出し及び再書き込み動作は、選択用トランジスタ TR_{1, TR₂} によってメモリユニット MU_{1, MU₂} を適宜選択することを付加した状態で、実施の形態 10 の不揮発性メモリにて説明したデータ書き込み動作、データ読み出し及び再書き込み動作と同様の動作を行えばよいので、詳細な説明は省略する。

【0356】

メモリユニットの数 N は 2 に限定されない。N = 4 とした場合の不揮発性メモリのメモリユニットの構造は、例えば、図 6 に示したと同様とすることができます。また、実施の形態 2 ~ 実施の形態 7 にて説明したメモリユニットの構造を実施の形態 11 における不揮発性メモリに適用することができるし、実施の形態 8、実施の形態 9 にて説明した不揮発性メモリを実施の形態 11 に適用することもできる。

【0357】

実施の形態 10 あるいは実施の形態 11 において、検出用トランジスタの一端が接続された配線の所定の電位は V_{cc} に限定されず、例えば、接地されていてもよい。即ち、検出用トランジスタの一端が接続された配線の所定の電位を 0 ボルトとしてもよい。但し、この場合には、選択メモリセルにおけるデータの読み出し時に電位（ V_{cc} ）がピット線に現れた場合、再書き込み時には、ピット線の電位を 0 ボルトとし、選択メモリセルにおけるデータの読み出し時に 0 ボルトがピット線に現れた場合、再書き込み時には、ピット線の電位を V_{cc} とする必要がある。そのためには、図 38 に例示するような、トランジスタ TR_{IV-1, TR_{IV-2, TR_{IV-3, TR_{IV-4}}} から構成された一種のスイッチ回路（反転回路）をピット線間に配設し、データの読み出し時には、トランジスタ TR_{IV-2, TR_{IV-4}} をオン}

10

20

40

50

状態とし、データの再書き込み時には、トランジスタ TR_{IV-1} , TR_{IV-3} をオン状態とすればよい。

【0358】

(実施の形態12)

実施の形態12は、本発明の第12Aの態様に係る不揮発性メモリ、及び、本発明の第1の構成に係る不揮発性メモリの駆動方法に関する。図39に実施の形態12の不揮発性メモリの回路図を示し、図40に模式的な一部断面図を示す。

【0359】

実施の形態12の不揮発性メモリは、

(A-1) 第1のビット線 BL_1 と、

10

(B-1) N 個(但し、実施の形態12では、 $N = 1$ であり、具体的には、 $N = 1$) の第1の選択用トランジスタ TR_{1N} と、

(C-1) それが M 個(但し、 $M = 2$ であり、実施の形態12においては、 $M = 4$) の第1のメモリセル MC_{1nm} ($m = 1, 2 \dots M$, $n = 1, 2 \dots N$) から構成された、 N 個の第1のサブメモリユニット $S MU_{1N}$ と、

(D-1) N 個の第1のサブメモリユニット $S MU_{1N}$ において、 N 個の第1のサブメモリユニット $S MU_{1n}$ のそれを構成する第1のメモリセル MC_{1nm} ($m = 1, 2 \dots M$) で共通とされた M 本のプレート線 PL_m 、

から成る第1のメモリユニット MU_1 、並びに、

(A-2) 第2のビット線 BL_2 と、

20

(B-2) N 個の第2の選択用トランジスタ TR_{2N} と、

(C-2) それが M 個の第2のメモリセル MC_{2nm} から構成された、 N 個の第2のサブメモリユニット $S MU_{2N}$ と、

(D-2) N 個の第2のサブメモリユニット $S MU_{2N}$ において、 N 個の第2のサブメモリユニット $S MU_{2n}$ のそれを構成する第2のメモリセル MC_{2nm} で共通とされ、且つ、前記第1のメモリユニット MU_1 を構成する M 本のプレート線 PL_m と共に M 本のプレート線 PL_m 、

から成る第2のメモリユニット MU_2 から構成されている。

【0360】

尚、実施の形態12～実施の形態15においては、 $N = 1$ としたが故に、以下においては、添字「 N 」、「 n 」を省略し、第1の選択用トランジスタ TR_{1N} を第1の選択用トランジスタ TR_1 と表現し、第1のメモリセル MC_{1nM} , MC_{1nm} を第1のメモリセル MC_{1M} , MC_{1m} と表現し、第1のサブメモリユニット $S MU_{1N}$ をサブメモリユニット $S MU_1$ と表現し、第2の選択用トランジスタ TR_{2N} を第2の選択用トランジスタ TR_2 と表現し、第2のメモリセル MC_{2nM} , MC_{2nm} を第2のメモリセル MC_{2M} , MC_{2m} と表現し、第2のサブメモリユニット $S MU_{2N}$ を第2のサブメモリユニット $S MU_2$ と表現する。

30

【0361】

図40の模式的な一部断面図において、これらの第2のビット線 BL_2 、第2の選択用トランジスタ TR_2 及び第2のメモリセル MC_{2m} は、第1のビット線 BL_1 、第1の選択用トランジスタ TR_1 及び第1のメモリセル MC_{1m} と、紙面垂直方向に隣接している。また、図40においては、第1の選択用トランジスタ TR_1 及び第1のメモリセル MC_{1m} と、ビット線 BL_1 の延在する方向に隣接する第1の選択用トランジスタ $TR_{1'}$ 及び第1のメモリセル $MC_{1'm}$ の一部分を併せて図示した。ビット線 BL_1 の延在する方向に隣接する第1のメモリセル MC_{1m} , $MC_{1'm} \dots$ におけるビット線 BL_1 は共通化されている。

40

【0362】

そして、各メモリセル MC_{1m} , MC_{2m} は、第1の電極21(下部電極)と、強誘電体層22と、第2の電極(上部電極)23とから成る。第1のメモリユニット MU_1 において、第n番目(但し、 $n = 1, 2 \dots N$ であり、実施の形態12においては、 $n = 1$) の第1のサブメモリユニット $S MU_1$ を構成する第1のメモリセル MC_{1m} の第1の電極21は、第n番目の第1のサブメモリユニット $S MU_1$ において共通であり、該共通の第1の電

50

極 2 1 (共通ノード C N₁) は、第 n 番目の第 1 の選択用トランジスタ T R₁を介して第 1 のビット線 B L₁に接続され、第 2 の電極 2 3 は共通のプレート線 P L_mに接続されている。一方、第 2 のメモリユニット M U₂において、第 n 番目 (実施の形態 1 2 においては、n = 1) の第 2 のサブメモリユニット S M U₂を構成する第 2 のメモリセル M C_{2m}の第 1 の電極 2 1 は、第 n 番目の第 2 のサブメモリユニット S M U₁において共通であり、該共通の第 1 の電極 2 1 (共通ノード C N₂) は、第 n 番目の第 2 の選択用トランジスタ T R₂を介して第 2 のビット線 B L₂に接続され、第 2 の電極 2 3 は共通のプレート線 P L_mに接続されている。

【 0 3 6 3 】

メモリセル M C_{2m}におけるプレート線 P L_mは、メモリセル M C_{1m}におけるプレート線 P L_mと共通化されており、プレート線デコーダ／ドライバ P D に接続されている。更には、第 1 の選択用トランジスタ T R₁のゲート電極はワード線 W L₁に接続され、第 2 の選択用トランジスタ T R₂のゲート電極は第 2 のワード線 W L₂に接続され、ワード線 W L₁、W L₂は、ワード線デコーダ／ドライバ W D に接続されている。 10

【 0 3 6 4 】

尚、不揮発性メモリのサブメモリユニットを構成するメモリセルの数 (M) は 4 個に限定されず、一般には、M = 2 を満足すればよく、2 のべき数 (M = 2, 4, 8, 16, ...) とすることが好ましい。

【 0 3 6 5 】

実施の形態 1 2 の不揮発性メモリにおいては、更に、第 1 のビット線 B L₁と第 2 のビット線 B L₂との間に、第 1 のメモリセル M C_{1m}及び第 2 のメモリセル M C_{2m}のそれぞれに記憶されたデータをラッチするための P 個のラッチ回路が設けられている。実施の形態 1 2 においては、N = 1 であり、P = 2 N を満たす。そして、第 (2 n - 1) 番目のラッチ回路は、第 n 番目の第 1 のサブメモリユニットを構成する第 1 のメモリセルに記憶されたデータをラッチし、第 2 n 番目のラッチ回路は、第 n 番目の第 2 のサブメモリユニットを構成する第 2 のメモリセルに記憶されたデータをラッチする。実施の形態 1 2 の不揮発性メモリにおいては、プレート線を共有した (即ち、対となった) メモリセル M C_{1m}, M C_{2m} (m = 1, 2, ..., M) のそれぞれには、1 ビットのデータが記憶される。 20

【 0 3 6 6 】

具体的には、第 1 のビット線 B L₁と第 2 のビット線 B L₂との間に、第 1 のメモリセル M C_{1m}に記憶されたデータをラッチするための第 1 のラッチ回路 L C₁、及び、第 2 のメモリセル M C_{2m}に記憶されたデータをラッチするための第 2 のラッチ回路 L C₂が設けられている。尚、第 1 のラッチ回路 L C₁と第 1 のビット線 B L₁との間にはスイッチング用のトランジスタ T R_{SW11}が配設され、第 1 のラッチ回路 L C₁と第 2 のビット線 B L₂との間にはスイッチング用のトランジスタ T R_{SW12}が配設されている。一方、第 2 のラッチ回路 L C₂と第 1 のビット線 B L₁との間にはスイッチング用のトランジスタ T R_{SW21}が配設され、第 2 のラッチ回路 L C₂と第 2 のビット線 B L₂との間にはスイッチング用のトランジスタ T R_{SW22}が配設されている。第 1 のセンスアンプ S A₁は、第 1 のラッチ回路 L C₁から構成されており、第 2 のセンスアンプ S A₂は、第 2 のラッチ回路 L C₂から構成されているが、このような構成に限定するものではない。スイッチング用のトランジスタ T R_{SW11}, T R_{SW12}のゲート電極は第 1 のラッチ制御線 C L₁に接続され、スイッチング用のトランジスタ T R_{SW21}, T R_{SW22}のゲート電極は第 2 のラッチ制御線 C L₂に接続されている。 30

【 0 3 6 7 】

そして、第 (2 n - 1) 番目のラッチ回路 (実施の形態 1 2 においては、具体的には、第 1 のラッチ回路 L C₁) にラッチされたデータに基づき、第 n 番目の第 1 のサブメモリユニット S M U₁を構成する第 1 のメモリセル M C_{1m}へのデータの再書き込みを行い、第 2 n 番目のラッチ回路 (実施の形態 1 2 においては、具体的には、第 2 のラッチ回路 L C₂) にラッチされたデータに基づき、第 n 番目の第 2 のサブメモリユニット S M U₂を構成する第 2 のメモリセル M C_{2m}へのデータの再書き込みを行う。そして、第 1 のメモリセル 40

$M C_{1m}$ に記憶されたデータの読み出しを行うとき、第1の選択用トランジスタ $T R_1$ をオン状態とし、第2の選択用トランジスタ $T R_2$ をオフ状態とし、且つ、第2のビット線 $B L_2$ に参照電位を印加し、第2のメモリセル $M C_{2m}$ に記憶されたデータの読み出しを行うとき、第2の選択用トランジスタ $T R_2$ をオン状態とし、第1の選択用トランジスタ $T R_1$ をオフ状態とし、且つ、第1のビット線 $B L_1$ に参照電位を印加する。

【0368】

ラッチ回路 $L C_1$ の回路図を、図41に例示する。このラッチ回路は、2つのCMOSインバータの組み合わせから構成されている。尚、それぞれのCMOSインバータは、pチャネル型MOSトランジスタ $T R L_1$ とnチャネル型MOSトランジスタ $T R L_2$ 、及び、pチャネル型MOSトランジスタ $T R L_3$ とnチャネル型MOSトランジスタ $T R L_4$ から構成されている。また、このラッチ回路には、スイッチング用のトランジスタ $T R_{SW11}$ 、 $T R_{SW12}$ 、 $T R_{SW-A}$ 、 $T R_{SW-B}$ が備えられている。そして、このラッチ回路 $L C_1$ においては、センスイネーブル信号 p 、 n を受けて活性化されることにより、ビット線 $B L_1$ のビット線電位とビット線 $B L_2$ のビット線電位とを比較することで、ビット線のアナログ電位を2値データ（例えば、 V_{cc} 及び0ボルト）に変換し、保持（ラッチ）することができる。尚、ラッチ回路 $L C_2$ も同様の構成とすることができます。

【0369】

実施の形態12の不揮発性メモリからデータを読み出し、データを再書き込みする不揮発性メモリの駆動方法を、以下、説明する。尚、一例として、プレート線 $P L_1$ を共有した（即ち、対となった）メモリセル $M C_{11}$ 、 $M C_{21}$ からデータを読み出し、再書き込みするものとし、メモリセル $M C_{11}$ にはデータ「1」が、メモリセル $M C_{21}$ にはデータ「0」が記憶されているとする。図42及び図43に動作波形を示す。尚、図42及び図43中、括弧内の数字は、以下に説明する工程の番号と対応している。また、動作波形を示す図面における「センスアンプ $S A_1$ 」及び「センスアンプ $S A_2$ 」は、これらのセンスアンプの出力部における電位を意味する。

【0370】

先ず、選択された第1のメモリセル $M C_{11}$ 及び第2のメモリセル $M C_{21}$ のデータの読み出しを行う（図42参照）。

【0371】

（1A）待機状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更には、共通ノード $C N_1$ 、 $C N_2$ も0ボルトで浮遊状態となっている。

【0372】

（2A）データ読み出しの開始時、選択されたプレート線 $P L_1$ の電位立ち上げを行い、即ち、選択されたプレート線 $P L_1$ に V_{PL-H} （＝ V_{cc} ）を印加し、非選択のプレート線 $P L_m$ （ $m = 2, 3, \dots, M$ ）を V_{PL-L} （＝0ボルト）のまます。このとき、共通ノード $C N_1$ 、 $C N_2$ は、非選択のプレート線 $P L_m$ （ $m = 2, 3, \dots, M$ ）とのカップリング要素が強いため、0ボルトよりの値となる。その結果、データ「1」が書き込まれていた第1のメモリセル $M C_{11}$ においては、強誘電体層における分極反転が生じ、共通ノード $C N_1$ の電位は上昇する。併せて、第1のラッチ制御線 $C L_1$ を介してスイッチング用のトランジスタ $T R_{SW11}$ 、 $T R_{SW12}$ をオン状態とし、第1のラッチ回路 $L C_1$ を選択すると共に、第1のセンスアンプ $S A_1$ の両端の電位を0ボルトにイコライズしておく。その後、接地線（図示せず）とビット線 $B L_1$ 、 $B L_2$ との電気的な接続を解き、ビット線 $B L_1$ 、 $B L_2$ を浮遊状態とする。

【0373】

（3A）次いで、ワード線 $W L_1$ をハイレベルとすることによって、第1の選択用トランジスタ $T R_1$ をオン状態とする。これによって、第1のサブメモリユニット $S M U_1$ の共通ノード $C N_1$ が第1のビット線 $B L_1$ に接続される。一方、ダミーセル等を用いて、第2のビット線 $B L_2$ に、データ「1」のときのビット線電位と、データ「0」のときのビット線電位の中間の参照電位を与える。この場合、第1のビット線 $B L_1$ の電位（ビット線電位）は、第2のビット線 $B L_2$ の電位（ビット線電位）よりも高くなる。

10

20

30

40

50

【0374】

(4A) その後、第1のラッチ制御線 CL_1 を介してスイッチング用のトランジスタ TR_{SW11}, TR_{SW12} をオフ状態とし、第1のラッチ回路 LC_1 をビット線 BL_1, BL_2 から切り離す。

【0375】

(5A) そして、第1のラッチ回路 LC_1 を活性化して、データを確定し、かかるデータ(この例では、データ「1」)を第1のセンスアンプ SA_1 内の第1のラッチ回路 LC_1 にラッチする。一方、ビット線 BL_1, BL_2 を0ボルトにイコライズする。これによって、選択された第1のメモリセル MC_{11} には、データ「0」が書き込まれる。

【0376】

(6A) 次に、ワード線 WL_1 をロウレベルとすることによって、第1の選択用トランジスタ TR_1 をオフ状態とする。これによって、第1のサブメモリユニット SMU_1 の共通ノード CN_1 と第1のビット線 BL_1 との接続が解かれる。併せて、第2のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21}, TR_{SW22} をオン状態とし、第2のラッチ回路 LC_2 を選択すると共に、第2のセンスアンプ SA_2 の両端の電位を0ボルトにイコライズしておく。その後、接地線(図示せず)とビット線 BL_1, BL_2 との電気的な接続を解き、ビット線 BL_1, BL_2 を浮遊状態とする。

10

【0377】

(7A) 次いで、ワード線 WL_2 をハイレベルとすることによって、第2の選択用トランジスタ TR_2 をオン状態とする。これによって、第2のサブメモリユニット SMU_2 の共通ノード CN_2 が第2のビット線 BL_2 に接続される。データ「0」が書き込まれていた第2のメモリセル MC_{21} においては、強誘電体層における分極反転が生じない。従って、第2のビット線 BL_2 に生じる電位(ビット線電位)は低い。一方、ダミーセル等を用いて、第1のビット線 BL_1 に、データ「1」のときのビット線電位と、データ「0」のときのビット線電位の中間の参照電位を与える。この場合、第1のビット線 BL_1 の電位(ビット線電位)は、第2のビット線 BL_2 の電位(ビット線電位)よりも高い。

20

【0378】

(8A) その後、第2のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21}, TR_{SW22} をオフ状態とし、第2のラッチ回路 LC_2 をビット線 BL_1, BL_2 から切り離す。

30

【0379】

(9A) そして、第2のラッチ回路 LC_2 を活性化して、データを確定し、かかるデータ(この例では、データ「0」)を第2のセンスアンプ SA_2 内の第2のラッチ回路 LC_2 にラッチする。一方、ビット線 BL_1, BL_2 を0ボルトにイコライズする。これによって、選択された第2のメモリセル MC_{21} には、データ「0」が書き込まれる。

【0380】

(10A) 次に、ワード線 WL_2 をロウレベルとすることによって、選択用トランジスタ TR_2 をオフ状態とする。これによって、第2のサブメモリユニット SMU_2 の共通ノード CN_2 と第2のビット線 BL_2 との接続が解かれる。併せて、選択されたブレート線 PL_1 の電位立ち下げを行う。即ち、選択されたブレート線 PL_1 の電位を V_{PL-L} (=0ボルト)に戻す。

40

【0381】

以上の操作によって、第1のメモリセル MC_{11} 及び第2のメモリセル MC_{21} におけるデータの読み出しが完了する。この状態においては、第1のメモリセル MC_{11} 及び第2のメモリセル MC_{21} には、データ「0」が書き込まれている。また、第1のラッチ回路 LC_1 及び第2のラッチ回路 LC_2 には、それぞれ、第1のメモリセル MC_{11} 及び第2のメモリセル MC_{21} に記憶されていたデータがラッチされている。

【0382】

次に、選択された第1のメモリセル MC_{11} 及び第2のメモリセル MC_{21} におけるデータの再書き込み、具体的には、データ「1」の再書き込みを行う(図43参照)。

50

【0383】

(1B) 初期状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更には、共通ノードCN₁、CN₂も0ボルトで浮遊状態となっている。

【0384】

(2B) 次に、非選択のプレート線PL_m(m=2, 3, ..., M)に(1/2)V_{PL-H}[(= (1/2)V_{cc})]を印加する。選択プレート線PL₁はV_{PL-L}(=0ボルト)のままである。

【0385】

(3B) その後、ワード線WL₁をハイレベルとすることによって、第1の選択用トランジスタTR₁をオン状態とする。これによって、第1のサブメモリユニットSMU₁の共通ノードCN₁が第1のビット線BL₁に接続される。併せて、第1のラッチ制御線CL₁を介してスイッチング用のトランジスタTR_{SW11}、TR_{SW12}をオン状態とし、第1のラッチ回路LC₁をビット線BL₁、BL₂に接続する。これによって、第1のラッチ回路LC₁にラッチされていたデータ(この例では、データ「1」)に従い、第1のビット線BL₁の電位がV_{BL-H}(=V_{cc})に引き上げられる。その結果、選択された第1のメモリセルMC₁₁は、その分極状態が再度反転し、データ「1」が書き込まれる。

【0386】

(4B) 次いで、ビット線BL₁、BL₂を0ボルトにイコライズし、共通ノードCN₁を0ボルトに戻す。

【0387】

(5B) そして、ワード線WL₁をロウレベルとすることによって、第1の選択用トランジスタTR₁をオフ状態とする。これによって、第1のサブメモリユニットSMU₁の共通ノードCN₁と第1のビット線BL₁との接続が解かれる。併せて、第1のラッチ制御線CL₁を介してスイッチング用のトランジスタTR_{SW11}、TR_{SW12}をオフ状態とし、第1のラッチ回路LC₁をビット線BL₁、BL₂から切り離す。

【0388】

(6B) その後、ワード線WL₂をハイレベルとすることによって、第2の選択用トランジスタTR₂をオン状態とする。これによって、第2のサブメモリユニットSMU₂の共通ノードCN₂が第2のビット線BL₂に接続される。併せて、第2のラッチ制御線CL₂を介してスイッチング用のトランジスタTR_{SW21}、TR_{SW22}をオン状態とし、第2のラッチ回路LC₂をビット線BL₁、BL₂に接続する。これによって、第2のラッチ回路LC₂にラッチされていたデータ(この例では、データ「0」)に従い、第1のビット線BL₁の電位がV_{BL-H}(=V_{cc})に引き上げられるが、第2のビット線BL₂の電位はV_{BL-L}(=0ボルト)のままである。その結果、選択された第2のメモリセルMC₂₁は、その分極状態が変化せず、データ「0」のままである。

【0389】

(7B) 次いで、ビット線BL₁、BL₂を0ボルトにイコライズし、共通ノードCN₂を0ボルトに戻す。

【0390】

(8B) そして、ワード線WL₂をロウレベルとすることによって、第2の選択用トランジスタTR₂をオフ状態とする。これによって、第2のサブメモリユニットSMU₂と第2のビット線BL₂との接続が解かれる。併せて、第2のラッチ制御線CL₂を介してスイッチング用のトランジスタTR_{SW21}、TR_{SW22}をオフ状態とし、第2のラッチ回路LC₂をビット線BL₁、BL₂から切り離す。

【0391】

(9B) その後、非選択のプレート線PL_m(m=2, 3, ..., M)をV_{PL-L}(=0ボルト)に戻す。

【0392】

以上の操作によって、データ「1」の再書き込みが完了するが、プレート線PL₁を共有した第1のメモリセルMC₁₁及び第2のメモリセルMC₂₁に記憶されたデータの読み出し

10

20

30

40

50

及びデータの再書き込みを、1回のプレート線の電位立ち上げ(V_{PL-L} V_{PL-H}) [工程(2A)]及び電位立ち下げ(V_{PL-H} V_{PL-L}) [工程(10A)]にて行っている。

【0393】

以降、プレート線 PL_2 を共有した第1のメモリセル MC_{12} 及び第2のメモリセル MC_{22} 、プレート線 PL_3 を共有した第1のメモリセル MC_{13} 及び第2のメモリセル MC_{23} 、プレート線 PL_4 を共有した第1のメモリセル MC_{14} 及び第2のメモリセル MC_{24} に対して、順次、工程(1A)～(10A)、工程(1B)～(9B)の操作を行う。

【0394】

尚、新たにデータの書き込みを行う場合には、先ず、(1A)～(10A)の操作を行った後、新たにデータを書き込むべきメモリセルに関連するラッチ回路(即ち、第1のメモリセルに対しては第1のラッチ回路、第2のメモリセルに対しては第2のラッチ回路)を所望の値に書き換えて、(1B)～(9B)の操作を行えばよい。

10

【0395】

尚、本特許出願人は、平成11年6月4日に提出した特願平11-158632号においても、同様の不揮発性メモリを提案した。この特許出願における不揮発性メモリにおいては、第1のメモリユニット MU_1 における第1のメモリセル MC_{1M} において、 MC_{11} MC_{12} MC_{13} MC_{14} の順にデータの読み出し、再書き込みを行った後、第2のメモリユニット MU_2 における第2のメモリセル MC_{2M} において、 MC_{21} MC_{22} MC_{23} MC_{24} の順にデータの読み出し、再書き込みを行う。即ち、プレート線 PL_1 を共有した第1のメモリセル MC_{11} 及び第2のメモリセル MC_{21} に記憶されたデータの読み出し及びデータの再書き込みを、1回ではなく、2回のプレート線の電位立ち上げ及び電位立ち下げにて行っている。

20

【0396】

ところで、複数のメモリセルに接続されているプレート線は負荷容量が大きく、駆動速度が遅い(即ち、充放電に時間を要する)。また、消費電力も大きい。従って、2回のプレート線の電位立ち上げ及び電位立ち下げにてプレート線 PL_1 を共有した第1のメモリセル MC_{11} 及び第2のメモリセル MC_{21} に記憶されたデータの読み出し及びデータの再書き込みを行う特願平11-158632号にて提案された不揮発性メモリの駆動方法よりも、これらを1回のプレート線の電位立ち上げ及び電位立ち下げにて行う実施の形態12の不揮発性メモリの駆動方法の方が、駆動速度、消費電力の観点から有利である。

30

【0397】

また、特願平11-158632号にて提案された不揮発性メモリの駆動方法においては、選択された第1のメモリセル MC_{11} におけるデータの読み出し、データの再書き込みを行う際、プレート線 PL_1 を共有した非選択の第2のメモリセル MC_{21} はディスターブを受けてデータの劣化が生じる虞がある。ここで、ディスターブとは、非選択のメモリセルのキャパシタを構成する強誘電体層に対して、分極が反転する方向に、即ち、保存されていたデータが劣化若しくは破壊される方向に、即ち、保存されていたデータが劣化若しくは破壊される方向に、電界が加わる現象を指す。

【0398】

実施の形態12の不揮発性メモリの駆動方法においては、(MC_{11} , MC_{21}) (MC_{12} , MC_{22}) (MC_{13} , MC_{23}) (MC_{14} , MC_{24})の順にデータの読み出し、再書き込みを行う。従って、プレート線 PL_m を共有し、そして、データの読み出し、再書き込みを行う第1のメモリセル MC_{1m} 及び第2のメモリセル MC_{2m} においてはディスターブが加わらない。

40

【0399】

尚、(1A)～(10A)の工程において、非選択のプレート線 PL_m ($m = 2, 3 \dots M$)は V_{PL-L} (=0ボルト)に固定されている。また、各ビット線 BL_1 , BL_2 は、0ボルトからビット線電位(読み出し信号量)の間で変動する。ここで、ビット線電位(読み出し信号量)は、通常、0.5ボルト程度以下である。従って、(1A)～(10A)の工程においては、非選択のプレート線 PL_m ($m = 2, 3 \dots M$)に接続されたメモ

50

リセル $M C_{1m}$, $M C_{2m}$ ($m = 2, 3 \dots M$) にはディスターブが殆ど発生しない。

【0400】

一方、(1B)～(9B)の工程においては、選択されたプレート線 $P L_1$ の電位は V_{PL-L} (= 0 ボルト)、非選択のプレート線 $P L_m$ ($m = 2, 3 \dots M$) は $(1/2)V_{PL-H}$ [$= (1/2)V_{cc}$] に固定されている。また、ビット線 $B L_1$, $B L_2$ の一方は V_{BL-L} (= 0 ボルト)、他方は V_{BL-H} ($= V_{cc}$) である。従って、非選択のプレート線 $P L_m$ ($m = 2, 3 \dots M$) に接続されたメモリセルには $\pm (1/2)V_{cc}$ のディスターブが加わるもの、これらのメモリセルに加わる電位は安定しており、抗電圧をそれ以上に設定してあれば分極の反転は起こらない。また、選択されたプレート線 $P L_1$ に接続されたメモリセル $M C_{11}$, $M C_{21}$ には実効的にディスターブは加わらない。

10

【0401】

(実施の形態 13)

実施の形態 13 は、実施の形態 12 の変形である。実施の形態 13 においては、所謂フラッシュメモリと同様に、選択されたプレート線に接続されたメモリセルを一括して書き換える。この場合には、書き換えの際の読み出し動作を省略して、動作の簡素化と、書き換えの高速化を図ることができる。実施の形態 13 における不揮発性メモリの構造は、実施の形態 12 の不揮発性メモリの構造と同様とすることができる。以下、図 44 の動作波形を参照して、実施の形態 13 の不揮発性メモリの駆動方法を説明する。尚、図 44 中、括弧内の数字は、以下に説明する工程の番号と対応している。ここでは、一例として、プレート線 $P L_1$ を共有した（即ち、対となった）メモリセル $M C_{11}$, $M C_{21}$ にデータを書き込むものとし、メモリセル $M C_{11}$ にはデータ「1」が、メモリセル $M C_{21}$ にはデータ「0」が記憶されているものとする。

20

【0402】

(1C) 待機状態では、全ビット線、全ワード線、全プレート線が 0 ボルトとなっている。更には、共通ノード $C N_1$, $C N_2$ も 0 ボルトで浮遊状態となっている。また、第 1 のラッチ制御線 $C L_1$ を介してスイッチング用のトランジスタ $T R_{SW11}$, $T R_{SW12}$ をオフ状態とし、第 2 のラッチ制御線 $C L_2$ を介してスイッチング用のトランジスタ $T R_{SW21}$, $T R_{SW22}$ をオフ状態としておく。

【0403】

(2C) そして、ビット線 $B L_1$, $B L_2$ を 0 ボルトにイコライズする。

30

【0404】

(3C) 次に、選択されたプレート線 $P L_1$ の電位立ち上げを行い、即ち、選択されたプレート線 $P L_1$ に V_{PL-H} (= V_{cc}) を印加し、非選択のプレート線 $P L_m$ ($m = 2, 3 \dots M$) に V_{PL-L} (= 0 ボルト) を印加する。併せて、ワード線 $W L_1$, $W L_2$ をハイレベルとすることによって、第 1 の選択用トランジスタ $T R_1$ 、第 2 の選択用トランジスタ $T R_2$ をオン状態とする。これによって、第 1 のサブメモリユニット $S M U_1$ の共通ノード $C N_1$ が第 1 のビット線 $B L_1$ に接続され、第 2 のサブメモリユニット $S M U_2$ の共通ノード $C N_2$ が第 2 のビット線 $B L_2$ に接続される。その結果、選択された第 1 のメモリセル $M C_{11}$ 、第 2 のメモリセル $M C_{21}$ にデータ「0」が書き込まれる。

40

【0405】

(4C) その後、ワード線 $W L_1$, $W L_2$ をロウレベルとすることによって、第 1 の選択用トランジスタ $T R_1$ 、第 2 の選択用トランジスタ $T R_2$ をオフ状態とする。併せて、選択されたプレート線 $P L_1$ の電位立ち下げを行う。即ち、選択されたプレート線 $P L_1$ を V_{PL-L} (= 0 ボルト) とする。

【0406】

以上の操作で、選択されたプレート線 $P L_1$ に接続されたメモリセル $M C_{11}$, $M C_{21}$ にはデータ「0」が書き込まれる。尚、これまでの操作の間に、第 1 のラッチ回路 $L C_1$ 、第 2 のラッチ回路 $L C_2$ には所望の書き込みデータを転送しておく。

【0407】

(5C) その後、実施の形態 12 の工程 (1B)～(9B) の再書き込みと同じ操作を行

50

う。これにより、データ「1」の書き込みが行われ、書き込みが完了する。

【0408】

以降、プレート線 $P\ L_2$ を共有した第1のメモリセル $M\ C_{12}$ 及び第2のメモリセル $M\ C_{22}$ 、プレート線 $P\ L_3$ を共有した第1のメモリセル $M\ C_{13}$ 及び第2のメモリセル $M\ C_{23}$ 、プレート線 $P\ L_4$ を共有した第1のメモリセル $M\ C_{14}$ 及び第2のメモリセル $M\ C_{24}$ に対して、順次、工程(1C)～(4C)、工程(1B)～(9B)の操作を行う。

【0409】

(実施の形態14)

実施の形態14も、実施の形態12の変形である。実施の形態14においては、データの再書き込み時、非選択のプレート線 $P\ L_m$ ($m = 2, 3 \dots M$) に $(2/3)V_{cc}$ を印加する。また、ビット線 $B\ L_1, B\ L_2$ を、0ボルトではなく、 $(1/3)V_{cc}$ にイコライズする。実施の形態14における不揮発性メモリの構造も、実施の形態12の不揮発性メモリの構造と同様とすることができる。尚、データの読み出しが、実施の形態12の(1A)～(10A)の工程と同じ工程を実行すればよい。以下、図45の動作波形を参照して、実施の形態14の不揮発性メモリの駆動方法におけるデータの再書き込み操作を説明するが、選択された第1のメモリセル $M\ C_{11}$ 及び第2のメモリセル $M\ C_{21}$ にデータの再書き込みを行うものとする。尚、図45中、括弧内の数字は、以下に説明する工程の番号と対応している。

【0410】

(1D) 初期状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更に、各共通ノード $C\ N_1, C\ N_2$ も0ボルトで浮遊状態となっている。また、第1のラッチ回路 $L\ C_1$ 及び第2のラッチ回路 $L\ C_2$ のそれぞれには、第1のメモリセル $M\ C_{11}$ 、第2のメモリセル $M\ C_{21}$ に関するデータがラッチされている。

【0411】

(2D) 次に、非選択のプレート線 $P\ L_m$ ($m = 2, 3 \dots M$) に $(2/3)V_{PL-H}$ [$= (2/3)V_{cc}$] を印加する。選択プレート線 $P\ L_1$ は V_{PL-L} (= 0ボルト) のままである。併せて、ビット線 $B\ L_1, B\ L_2$ を V_{BL-L} [$= (1/3)V_{cc}$] にイコライズする。尚、図示しないラッチ回路のグランド駆動線は切り離しておく。

【0412】

(3D) その後、ワード線 $W\ L_1$ をハイレベルとすることによって、第1の選択用トランジスタ $T\ R_1$ をオン状態とする。これによって、第1のサブメモリユニット $S\ M\ U_1$ の共通ノード $C\ N_1$ が第1のビット線 $B\ L_1$ に接続される。併せて、第1のラッチ制御線 $C\ L_1$ を介してスイッチング用のトランジスタ $T\ R_{SW11}, T\ R_{SW12}$ をオン状態とし、第1のラッチ回路 $L\ C_1$ をビット線 $B\ L_1, B\ L_2$ に接続する。これによって、第1のラッチ回路 $L\ C_1$ にラッチされていたデータに従い、第1のビット線 $B\ L_1$ の電位が V_{BL-H} (= V_{cc}) に引き上げられる。その結果、選択された第1のメモリセル $M\ C_{11}$ は、その分極状態が再度反転し、データ「1」が書き込まれる。一方、ラッチ回路のグランド駆動線が切り離されているので、第2のビット線 $B\ L_2$ の電位は V_{BL-L} [$= (1/3)V_{cc}$] のままである。

【0413】

(4D) 次いで、ビット線 $B\ L_1, B\ L_2$ を V_{BL-L} [$= (1/3)V_{cc}$] にイコライズし、共通ノード $C\ N_1$ を V_{BL-L} [$= (1/3)V_{cc}$] に戻す。

【0414】

(5D) そして、ワード線 $W\ L_1$ をロウレベルとすることによって、第1の選択用トランジスタ $T\ R_1$ をオフ状態とする。これによって、第1のサブメモリユニット $S\ M\ U_1$ の共通ノード $C\ N_1$ と第1のビット線 $B\ L_1$ との接続が解かれる。併せて、第1のラッチ制御線 $C\ L_1$ を介してスイッチング用のトランジスタ $T\ R_{SW11}, T\ R_{SW12}$ をオフ状態とし、第1のラッチ回路 $L\ C_1$ をビット線 $B\ L_1, B\ L_2$ から切り離す。

【0415】

(6D) その後、ワード線 $W\ L_2$ をハイレベルとすることによって、第2の選択用トランジスタ $T\ R_2$ をオン状態とする。これによって、第2のサブメモリユニット $S\ M\ U_2$ の共通

10

20

30

40

50

ノードCN₂が第2のビット線BL₂に接続される。併せて、第2のラッチ制御線CL₂を介してスイッチング用のトランジスタTR_{SW21}, TR_{SW22}をオン状態とし、第2のラッチ回路LC₂をビット線BL₁, BL₂に接続する。これによって、第2のラッチ回路LC₂にラッチされていたデータに従い、第1のビット線BL₁の電位がV_{BL-H}(=V_{cc})に引き上げられるが、ラッチ回路のグランド駆動線が切り離されているので、第2のビット線BL₂の電位はV_{BL-L}[=(1/3)V_{cc}]のままである。その結果、選択された第2のメモリセルMC₂₁は、その分極状態が変化せず、データ「0」のままである。

【0416】

(7D) 次いで、ビット線BL₁, BL₂をV_{BL-L}[=(1/3)V_{cc}]にイコライズし、共通ノードCN₂をV_{BL-L}[=(1/3)V_{cc}]に戻す。 10

【0417】

(8D) そして、ワード線WL₂をロウレベルとすることによって、第2の選択用トランジスタTR₂をオフ状態とする。これによって、第2のサブメモリユニットSMU₂の共通ノードCN₂と第2のビット線BL₂との接続が解かれる。併せて、第2のラッチ制御線CL₂を介してスイッチング用のトランジスタTR_{SW21}, TR_{SW22}をオフ状態とし、第2のラッチ回路LC₂をビット線BL₁, BL₂から切り離す。

【0418】

(9D) その後、非選択のプレート線PL_m(m=2, 3, ..., M)をV_{PL-L}(=0ボルト)に戻し、ビット線BL₁, BL₂を0ボルトに戻す。 20

【0419】

以上の操作によって、データ「1」の再書き込みが完了する。

【0420】

以降、プレート線PL₂を共有した第1のメモリセルMC₁₂及び第2のメモリセルMC₂₂、プレート線PL₃を共有した第1のメモリセルMC₁₃及び第2のメモリセルMC₂₃、プレート線PL₄を共有した第1のメモリセルMC₁₄及び第2のメモリセルMC₂₄に対して、順次、工程(1A)~(10A)、工程(1D)~(9D)の操作を行う。

【0421】

実施の形態14においては、データの再書き込み時、非選択のプレート線PL_m(m=2, 3, ..., M)は(2/3)V_{PL-H}[=(2/3)V_{cc}]に固定されている。一方、ビット線BL₁はV_{BL-H}(=V_{cc})に、ビット線BL₂はV_{BL-L}[=(1/3)V_{cc}]に駆動される。従って、非選択のプレート線PL_m(m=2, 3, ..., M)に接続されたメモリセルMC_{1m}, MC_{2m}(m=2, 3, ..., M)には、±(1/3)V_{cc}のディスターブしか加わらない。尚、選択されたプレート線PL₁に接続された第2のメモリセルMC₂₁にも(1/3)V_{cc}のディスターブが加わる点が実施の形態12と異なっている。しかしながら、この程度のディスターブは全く問題とはならない。 30

【0422】

実施の形態14においては、回路の動作中に2つの中間電位[(1/3)V_{cc}及び(2/3)V_{cc}]が必要になるものの、ディスターブの最大レベルは、実施の形態12の±(1/2)V_{cc}から大きく低減され、安定したデータの読み出しが可能となる。 40

【0423】

(実施の形態15)

実施の形態15も、実施の形態12の不揮発性メモリの変形である。実施の形態15の不揮発性メモリは、不揮発性メモリを構成する第1のメモリユニットMU₁と、この不揮発性メモリと第1のビット線BL₁の延在する方向に隣接した不揮発性メモリを構成する第1のメモリユニットMU₁'とを層間絶縁層26を介して積層し、不揮発性メモリを構成する第2のメモリユニットMU₂と、この不揮発性メモリと第2のビット線BL₂の延在する方向に隣接した不揮発性メモリを構成する第2のメモリユニットMU₂'とを層間絶縁層26を介して積層した構成を有する。かかる実施の形態15の不揮発性メモリの模式的な一部断面図を図46に示す。但し、図46においては、第1のメモリユニットMU₁, MU₁'のみを図示した。第2のメモリユニットMU₂, MU₂'は、図46の紙面垂直方 50

向に隣接している。尚、第1のメモリユニットMU'1の構成要素に関する参照番号には「」を付した。

【0424】

より具体的には、図46に示す不揮発性メモリにおいては、p型のシリコン半導体基板10に形成されたLOCOS構造、シャロートレンチ構造、あるいはLOCOS構造とシャロートレンチ構造の組合せから成る素子分離領域11に囲まれた活性領域に、MOS型FETから成る選択用トランジスタTR₁, TR'₁が形成されている。選択用トランジスタTR₁, TR'₁は、シリコン半導体基板10の表面に形成された、例えばシリコン酸化膜から成るゲート絶縁膜12、ゲート絶縁膜12上に形成されたゲート電極13(ワード線WL₁, WL'₁を兼ねている)、及び、シリコン半導体基板10の活性領域に形成され、n⁺型不純物を含有するソース/ドレイン領域14から構成されている。
10

【0425】

そして、全面に形成された下層絶縁層上にビット線BL₁が形成され、ビット線BL₁は、下層絶縁層に形成された接続孔(コンタクトホール)15を介して、選択用トランジスタTR₁, TR'₁の一方のソース/ドレイン領域14に接続されている。また、ビット線BL₁を含む下層絶縁層上には上層絶縁層が形成されている。尚、図面においては、下層絶縁層及び上層絶縁層を纏めて絶縁層16で表した。また、ビット線BL₁は、後述する接続孔(コンタクトホール)18と接触しないように、図46の左右方向に延びている。

【0426】

絶縁層16上には第1の電極(下部電極)21が形成され、第1の電極21上に強誘電体層22が形成され、強誘電体層22上に第2の電極(上部電極)23が形成され、これらによってメモリセルMC_{1M}が構成されている。第1の電極21は、メモリセルMC_{1M}に共通であり、ストライプ状の平面形状を有する。そして、第1の電極21は、絶縁層16に形成された開口部17内に設けられた接続孔18を介して選択用トランジスタTR₁の他方のソース/ドレイン領域14に接続されている。尚、共通の第1の電極21を、共通ノードCN₁で示す。強誘電体層22は、第2の電極23と略同じパターンにて形成されている。
20

【0427】

更に、メモリセルMC_{1M}及び絶縁層16上には、層間絶縁層26が形成されている。そして、層間絶縁層26上には第1の電極(下部電極)21'が形成され、第1の電極21'上に強誘電体層22'が形成され、強誘電体層22'上に第2の電極(上部電極)23'が形成され、これらによってメモリセルMC_{1M}が構成されている。第1の電極21'は、メモリセルMC_{1M}に共通であり、ストライプ状の平面形状を有する。そして、第1の電極21'は、層間絶縁層26に形成された開口部27内に設けられた接続孔28、絶縁層16上に形成された接続部25、及び、接続孔18を介して、選択用トランジスタTR₁の他方のソース/ドレイン領域14に接続されている。尚、共通の第1の電極21'を、共通ノードCN₁で示す。強誘電体層22'は、第2の電極23'と略同じパターンにて形成されている。更には、メモリセルMC_{1M}及び層間絶縁層26上には、絶縁膜36Aが形成されている。
30

【0428】

ワード線WL₁, WL'₁は、図46の紙面垂直方向に延びている。また、第2の電極23', 23'は、図46の紙面垂直方向に隣接するメモリセルMC_{2M}, MC_{2M}'と共に共通であり、プレート線PL_mを兼ねている。また、メモリセルMC_{1M}とメモリセルMC_{1M}'とは、垂直方向に揃っている。このような構造にすることによって、メモリセルの占有面積を小さくすることができ、集積度の向上を図ることができる。
40

【0429】

尚、表2に示したように、上方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度を、下方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低くしてもよい。

【0430】

10

20

30

40

50

(実施の形態 16)

実施の形態 16 は、本発明の第 12 B の態様に係る不揮発性メモリ、及び、本発明の第 2 の構成に係る不揮発性メモリの駆動方法に関する。図 4 7 に実施の形態 16 の不揮発性メモリの回路図を示す。尚、断面構造は図 6 と同様である。

【0431】

実施の形態 16 の不揮発性メモリは、

(A - 1) 第 1 のビット線 $B L_1$ と、

(B - 1) N 個 (但し、実施の形態 16 では、 $N = 2$ であり、具体的には、 $N = 2$) の第 1 の選択用トランジスタ $T R_{1N}$ と、

(C - 1) それぞれが M 個 (但し、 $M = 2$ であり、実施の形態 16 においては、 $M = 4$) の第 1 のメモリセル $M C_{1nm}$ ($m = 1, 2 \dots M, n = 1, 2 \dots N$) から構成された、 N 個 (但し、 $N = 2$ であり、実施の形態 16 においては、 $N = 2$) の第 1 のサブメモリユニット $S M U_{1N}$ と、

(D - 1) N 個の第 1 のサブメモリユニット $S M U_{1N}$ において、 N 個の第 1 のサブメモリユニット $S M U_{1n}$ のそれぞれを構成する第 1 のメモリセル $M C_{1nm}$ ($m = 1, 2 \dots M$) で共通とされた M 本のプレート線 $P L_m$ 、

から成る第 1 のメモリユニット $M U_1$ 、並びに、

(A - 2) 第 2 のビット線 $B L_2$ と、

(B - 2) N 個の第 2 の選択用トランジスタ $T R_{2N}$ と、

(C - 2) それぞれが M 個の第 2 のメモリセル $M C_{2nm}$ から構成された、 N 個の第 2 のサブメモリユニット $S M U_{2N}$ と、

(D - 2) N 個の第 2 のサブメモリユニット $S M U_{2N}$ において、 N 個の第 2 のサブメモリユニット $S M U_{2n}$ のそれぞれを構成する第 2 のメモリセル $M C_{2nm}$ で共通とされ、且つ、前記第 1 のメモリユニット $M U_1$ を構成する M 本のプレート線 $P L_m$ と共に M 本のプレート線 $P L_m$ 、

から成る第 2 のメモリユニット $M U_2$ から構成されている。

【0432】

ここで、これらの第 2 のビット線 $B L_2$ 、第 2 の選択用トランジスタ $T R_{2N}$ 及び第 2 のメモリユニット $M U_2$ は、第 1 のビット線 $B L_1$ 、第 1 の選択用トランジスタ $T R_{1N}$ 及び第 1 のメモリユニット $M U_1$ と隣接している。

【0433】

尚、表 2 に示したように、上方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度を、下方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低くしてもよい。

【0434】

そして、各メモリセル $M C_{1nm}$ ($m = 1, 2 \dots M$ であり、 $n = 1, 2 \dots N$ であり、実施の形態 16 においては、 $m = 1, 2, 3, 4, n = 1, 2$) は、第 1 の電極 (下部電極) 21, 31 と、強誘電体層 22, 32 と、第 2 の電極 (上部電極) 23, 33 とから成る。そして、第 1 のメモリユニット $M U_1$ において、第 n 番目 (但し、 $n = 1, 2 \dots N$) の第 1 のサブメモリユニット $S M U_{1n}$ を構成する第 1 のメモリセル $M C_{1nm}$ の第 1 の電極 21, 31 は、第 n 番目の第 1 のサブメモリユニット $S M U_{1n}$ において共通であり、該共通の第 1 の電極 21, 31 (共通ノード $C N_{1n}$) は、第 n 番目の第 1 の選択用トランジスタ $T R_{1n}$ を介して第 1 のビット線 $B L_1$ に接続され、第 2 の電極 23, 33 は共通のプレート線 $P L_m$ に接続されている。一方、第 2 のメモリユニット $M U_2$ において、第 n 番目の第 2 のサブメモリユニット $S M U_{2n}$ を構成する第 2 のメモリセル $M C_{2nm}$ の第 1 の電極 21, 31 は、第 n 番目の第 2 のサブメモリユニット $S M U_{2n}$ において共通であり、該共通の第 1 の電極 21, 31 (共通ノード $C N_{2n}$) は、第 n 番目の第 2 の選択用トランジスタ $T R_{2n}$ を介して第 2 のビット線 $B L_2$ に接続され、第 2 の電極 23, 33 は共通のプレート線 $P L_m$ に接続されている。

【0435】

10

20

30

40

50

尚、不揮発性メモリのメモリユニットを構成するメモリセルの数は4個に限定されず、一般には、 $M = 2$ を満足すればよく、2のべき数($M = 2, 4, 8, 16 \dots$)とすることが好ましい。

【0436】

実施の形態16の不揮発性メモリにおいても、更に、第1のビット線 BL_1 と第2のビット線 BL_2 との間に、第1のメモリセル MC_{1nm} 及び第2のメモリセル MC_{2nm} に記憶されたデータをラッチするためのP個のラッチ回路が設けられている。実施の形態16においては、 $N = 2$ であり、 $P = N$ を満たす。そして、第n番目のラッチ回路は、第n番目の第1のサブメモリユニット SMU_{1n} を構成する第1のメモリセル MC_{1nm} 及び第n番目の第2のサブメモリユニット SMU_{2n} を構成する第2のメモリセル MC_{2nm} に記憶されたデータをラッチする。実施の形態16の不揮発性メモリにおいては、第n番目(但し、 $n = 1, 2 \dots N$)の第1のサブメモリユニット SMU_{1n} を構成する第m番目(但し、 $m = 1, 2 \dots M$)の第1のメモリセル MC_{1nm} と、第n番目の第2のサブメモリユニット SMU_{2n} を構成する第m番目の第2のメモリセル MC_{2nm} とは、対となって相補的なデータを記憶する。

10

【0437】

具体的には、第1のビット線 BL_1 と第2のビット線 BL_2 との間には、第1のメモリセル MC_{1nm} 及び第2のメモリセル MC_{2nm} に記憶されたデータをラッチするための $P = N$ 個のラッチ回路(実施の形態16においては、第1のメモリセル MC_{11m}, MC_{21m} に記憶されたデータをラッチするための第1のラッチ回路 LC_1 、及び、第2のメモリセル MC_{12m}, MC_{22m} に記憶されたデータをラッチするための第2のラッチ回路 LC_2)が設けられている。尚、第1のラッチ回路 LC_1 と第1のビット線 BL_1 との間にはスイッチング用のトランジスタ TR_{SW11} が配設され、第1のラッチ回路 LC_1 と第2のビット線 BL_2 との間にはスイッチング用のトランジスタ TR_{SW12} が配設されている。一方、第2のラッチ回路 LC_2 と第1のビット線 BL_1 との間にはスイッチング用のトランジスタ TR_{SW21} が配設され、第2のラッチ回路 LC_2 と第2のビット線 BL_2 との間にはスイッチング用のトランジスタ TR_{SW22} が配設されている。第1のセンスアンプ SA_1 は、第1のラッチ回路 LC_1 から構成されており、第2のセンスアンプ SA_2 は、第2のラッチ回路 LC_2 から構成されているが、このような構成に限定するものではない。スイッチング用のトランジスタ TR_{SW11}, TR_{SW12} のゲート電極は第1のラッチ制御線 CL_1 に接続され、スイッチング用のトランジスタ TR_{SW21}, TR_{SW22} のゲート電極は第2のラッチ制御線 CL_2 に接続されている。

20

【0438】

そして、第n番目のラッチ回路にラッチされたデータに基づき、第n番目の第1のサブメモリユニットを構成する第1のメモリセル及び第n番目の第2のサブメモリユニットを構成する第2のメモリセルへのデータの再書き込みを行う。具体的には、第1のラッチ回路 LC_1 にラッチされたデータに基づき、第1番目の第1のサブメモリユニット SMU_{11} を構成する第1のメモリセル MC_{11m} 及び第1番目の第2のサブメモリユニット SMU_{21} を構成する第2のメモリセル MC_{21m} へのデータの再書き込みを行い、第2のラッチ回路 LC_2 にラッチされたデータに基づき、第2番目の第1のサブメモリユニット SMU_{12} を構成する第1のメモリセル MC_{12m} 及び第2番目の第2のサブメモリユニット SMU_{22} を構成する第2のメモリセル MC_{22m} へのデータの再書き込みを行う。

30

【0439】

メモリセル $MC_{11m}, MC_{12m}, MC_{21m}, MC_{22m}$ におけるプレート線 PL_m は共通化されており、プレート線デコーダ/ドライバ PD に接続されている。更には、第1の選択用トランジスタ TR_{11} のゲート電極と第2の選択用トランジスタ TR_{21} のゲート電極はワード線 WL_1 に接続され、第1の選択用トランジスタ TR_{12} のゲート電極と第2の選択用トランジスタ TR_{22} のゲート電極はワード線 WL_2 に接続され、ワード線 WL_1, WL_2 は、ワード線デコーダ/ドライバ WD に接続されている。

40

【0440】

実施の形態16の不揮発性メモリにおいては、第1のメモリユニット MU_1 を構成する第

50

1のサブメモリユニットSMU₁₁, SMU₁₂のそれぞれは層間絶縁層26を介して積層されており、第2のメモリユニットMU₂を構成する第2のサブメモリユニットSMU₂₁, SMU₂₂のそれぞれは層間絶縁層26を介して積層されている。即ち、第1のメモリユニットMU₁を構成する第1番目のサブメモリユニットSMU₁₁と第2番目のサブメモリユニットSMU₁₂とは層間絶縁層26を介して積層されている。更には、第2のメモリユニットMU₂を構成する第1番目のサブメモリユニットSMU₂₁と第2番目のサブメモリユニットSMU₂₂も層間絶縁層26を介して積層されている。これによって、不揮発性メモリの高集積化を図ることができる。

【0441】

実施の形態16の不揮発性メモリからデータを読み出し、データを再書き込みする不揮発性メモリの駆動方法を、以下、説明する。尚、一例として、プレート線PL₁を共有した（即ち、対となった）メモリセル（MC₁₁₁, MC₂₁₁）及びメモリセル（MC₁₂₁, MC₂₂₁）からデータを読み出し、再書き込みするものとし、第1のメモリセルMC₁₁₁, MC₁₂₁にはデータ「1」が記憶され、第2のメモリセルMC₂₁₁, MC₂₂₁にはデータ「0」が記憶されているものとする。動作波形は、図42及び図43に示したと同様である。尚、図42及び図43中、括弧内の数字は、以下に説明する工程の番号と対応している。但し、図42及び図43中の括弧内の数字の次のアルファベット「A」及び「B」は、以下の説明における工程番号の数字の次のアルファベット「E」及び「F」と対応している。

【0442】

先ず、選択されたメモリセル（MC₁₁₁, MC₂₁₁）及びメモリセル（MC₁₂₁, MC₂₂₁）のデータの読み出しを行う（図42参照）。

【0443】

（1E）待機状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更には、共通ノードCN₁, CN₂も0ボルトで浮遊状態となっている。

【0444】

（2E）データ読み出しの開始時、選択されたプレート線PL₁の電位立ち上げを行い、即ち、選択されたプレート線PL₁にV_{PL-H}（=V_{cc}）を印加し、非選択のプレート線PL_m（m=2, 3, ..., M）にV_{PL-L}（=0ボルト）を印加する。このとき、共通ノードCN₁₁, CN₁₂, CN₂₁, CN₂₂は、非選択のプレート線PL_m（m=2, 3, ..., M）とのカップリング要素が強いため、0ボルトよりの値となる。その結果、データ「1」が書き込まれていた第1のメモリセルMC₁₁₁, MC₁₂₁においては、強誘電体層における分極反転が生じ、共通ノードCN₁₁, CN₁₂の電位は上昇する。一方、データ「0」が書き込まれていた第2のメモリセルMC₂₁₁, MC₂₂₁においては、強誘電体層における分極反転が生ぜず、共通ノードCN₂₁, CN₂₂の電位は変化しない。併せて、第1のラッチ制御線CL₁を介してスイッチング用のトランジスタTR_{SW11}, TR_{SW12}をオン状態とし、第1のラッチ回路LC₁を選択すると共に、第1のセンスアンプSA₁の両端の電位を0ボルトにイコライズしておく。その後、接地線（図示せず）とビット線BL₁, BL₂との電気的な接続を解き、ビット線BL₁, BL₂を浮遊状態とする。

【0445】

（3E）次いで、ワード線WL₁をハイレベルとすることによって、第1番目の第1の選択用トランジスタTR₁₁、及び、第1番目の第2の選択用トランジスタTR₂₁をオン状態とする。これによって、第1のサブメモリユニットSMU₁₁の共通ノードCN₁₁が第1のビット線BL₁に接続され、第2のサブメモリユニットSMU₂₁の共通ノードCN₂₁が第2のビット線BL₂に接続される。その結果、第1のサブメモリユニットSMU₁₁の共通ノードCN₁₁が0ボルト近くに低下し、データ「1」が書き込まれていた第1のメモリセルMC₁₁₁においては、強誘電体層における分極反転が一層進行する。このようにして、第1のビット線BL₁と第2のビット線BL₂との間には電位差が生じる。

【0446】

（4E）その後、第1のラッチ制御線CL₁を介してスイッチング用のトランジスタTR_{SW11}, TR_{SW12}をオフ状態とし、第1のラッチ回路LC₁をビット線BL₁, BL₂から切り

10

20

30

40

50

離す。

【0447】

(5E) そして、第1のラッチ回路LC₁を活性化して、データを確定し、かかるデータ(この例では、データ「1」)を第1のセンスアンプSA₁内の第1のラッチ回路LC₁にラッチする。一方、ビット線BL₁, BL₂を0ボルトにイコライズする。これによって、選択された第1のメモリセルMC₁₁₁及び第2のメモリセルMC₂₁₁には、データ「0」が書き込まれる。

【0448】

(6E) 次に、ワード線WL₁をロウレベルとすることによって、第1番目の第1の選択用トランジスタTR₁₁、及び、第1番目の第2の選択用トランジスタTR₂₁をオフ状態とする。これによって、第1のサブメモリユニットSMU₁₁の共通ノードCN₁₁と第1のビット線BL₁との接続が解かれ、第2のサブメモリユニットSMU₂₁の共通ノードCN₂₁と第2のビット線BL₂との接続が解かれ。併せて、第2のラッチ制御線CL₂を介してスイッチング用のトランジスタTR_{SW21}, TR_{SW22}をオン状態とし、第2のラッチ回路LC₂を選択すると共に、第2のセンスアンプSA₂の両端の電位を0ボルトにイコライズしておく。その後、接地線(図示せず)とビット線BL₁, BL₂との電気的な接続を解き、ビット線BL₁, BL₂を浮遊状態とする。

【0449】

(7E) 次いで、ワード線WL₂をハイレベルとすることによって、第2番目の第1の選択用トランジスタTR₁₂、及び、第2番目の第2の選択用トランジスタTR₂₂をオン状態とする。これによって、第1のサブメモリユニットSMU₁₂の共通ノードCN₁₂が第1のビット線BL₁に接続され、第2のサブメモリユニットSMU₂₂の共通ノードCN₂₂が第2のビット線BL₂に接続される。データ「1」が書き込まれていた第1のメモリセルMC₁₂₁においては、強誘電体層における分極反転が生じており、共通ノードCN₁₂の電位は高い。一方、データ「0」が書き込まれた第2のメモリセルMC₂₂₁においては、強誘電体層における分極反転が生ぜず、共通ノードCN₂₂の電位は低い。

【0450】

(8E) その後、第2のラッチ制御線CL₂を介してスイッチング用のトランジスタTR_{SW21}, TR_{SW22}をオフ状態とし、第2のラッチ回路LC₂をビット線BL₁, BL₂から切り離す。

【0451】

(9E) そして、第2のラッチ回路LC₂を活性化して、データを確定し、かかるデータ(この例では、データ「1」)を第2のセンスアンプSA₂内の第2のラッチ回路LC₂にラッチする。一方、ビット線BL₁, BL₂を0ボルトにイコライズする。これによって、選択された第1のメモリセルMC₁₂₁には、データ「0」が書き込まれる。

【0452】

(10E) 次に、ワード線WL₂をロウレベルとすることによって、第2番目の第1の選択用トランジスタTR₁₂、及び、第2番目の第2の選択用トランジスタTR₂₂をオフ状態とする。これによって、第1のサブメモリユニットSMU₁₂の共通ノードCN₁₂と第2のビット線BL₂との接続が解かれ、第2のサブメモリユニットSMU₂₂の共通ノードCN₂₂と第2のビット線BL₂との接続が解かれ。併せて、選択されたプレート線PL₁の電位立ち下げを行う。即ち、選択されたプレート線PL₁の電位をV_{PL-L}(=0ボルト)に戻す。

【0453】

以上の操作によって、メモリセル(MC₁₁₁, MC₂₁₁)及びメモリセル(MC₁₂₁, MC₂₂₁)におけるデータの読み出しが完了する。この状態においては、第1のメモリセルMC₁₁₁及びメモリセルMC₁₂₁には、データ「0」が書き込まれている。また、第1のラッチ回路LC₁及び第2のラッチ回路LC₂には、それぞれ、メモリセル(MC₁₁₁, MC₂₁₁)及びメモリセル(MC₁₂₁, MC₂₂₁)に記憶されていたデータがラッチされている。

【0454】

10

20

30

40

50

次に、選択されたメモリセル (MC_{111} , MC_{211}) 及びメモリセル (MC_{121} , MC_{221}) におけるデータの再書き込み、具体的には、データ「1」の再書き込みを行う（図43参照）。

【0455】

(1F) 初期状態では、全ビット線、全ワード線、全プレート線が接地されている。更には、各共通ノード CN_{11} , CN_{12} , CN_{21} , CN_{22} も 0 ボルトで浮遊状態となっている。

【0456】

(2F) 次に、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) に $(1/2)V_{PL-H}$ [$= (1/2)V_{cc}$] を印加する。選択プレート線 PL_1 は V_{PL-L} (= 0 ボルト) のままである。

10

【0457】

(3F) その後、ワード線 WL_1 をハイレベルとすることによって、第1番目の第1の選択用トランジスタ TR_{11} 、及び、第1番目の第2の選択用トランジスタ TR_{21} をオン状態とする。これによって、第1のサブメモリユニット SMU_{11} の共通ノード CN_{11} が第1のビット線 BL_1 に接続され、第2のサブメモリユニット SMU_{21} の共通ノード CN_{21} が第2のビット線 BL_2 に接続される。併せて、第1のラッチ制御線 CL_1 を介してスイッチング用のトランジスタ TR_{SW11} , TR_{SW12} をオン状態とし、第1のラッチ回路 LC_1 をビット線 BL_1 , BL_2 に接続する。これによって、第1のラッチ回路 LC_1 にラッチされていたデータ（この例では、データ「1」）に従い、第1のビット線 BL_1 の電位が V_{BL-H} ($= V_{cc}$) に引き上げられる。その結果、選択された第1のメモリセル MC_{111} は、その分極状態が再度反転し、データ「1」が書き込まれる。一方、選択された第2のメモリセル MC_{211} は、その分極状態がそのままであり、データ「0」が保持される。

20

【0458】

(4F) 次いで、ビット線 BL_1 , BL_2 を 0 ボルトにイコライズし、各共通ノード CN_{11} , CN_{21} を 0 ボルトに戻す。

【0459】

(5F) そして、ワード線 WL_1 をロウレベルとすることによって、第1番目の第1の選択用トランジスタ TR_{11} 、及び、第1番目の第2の選択用トランジスタ TR_{21} をオフ状態とする。これによって、第1のサブメモリユニット SMU_{11} の共通ノード CN_{11} と第1のビット線 BL_1 との接続が解かれ、第2のサブメモリユニット SMU_{21} の共通ノード CN_{21} と第2のビット線 BL_2 との接続が解かれ。併せて、第1のラッチ制御線 CL_1 を介してスイッチング用のトランジスタ TR_{SW11} , TR_{SW12} をオフ状態とし、第1のラッチ回路 LC_1 をビット線 BL_1 , BL_2 から切り離す。

30

【0460】

(6F) その後、ワード線 WL_2 をハイレベルとすることによって、第2番目の第1の選択用トランジスタ TR_{12} 、及び、第2番目の第2の選択用トランジスタ TR_{22} をオン状態とする。これによって、第1のサブメモリユニット SMU_{12} の共通ノード CN_{12} が第1のビット線 BL_1 に接続され、第2のサブメモリユニット SMU_{22} の共通ノード CN_{22} が第2のビット線 BL_2 に接続される。併せて、第2のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21} , TR_{SW22} をオン状態とし、第2のラッチ回路 LC_2 をビット線 BL_1 , BL_2 に接続する。これによって、第2のラッチ回路 LC_2 にラッチされていたデータ（この例では、データ「0」）に従い、第1のビット線 BL_1 の電位が V_{BL-H} ($= V_{cc}$) に引き上げられるが、第2のビット線 BL_2 の電位は V_{BL-L} (= 0 ボルト) のままである。その結果、選択された第1のメモリセル MC_{121} は、その分極状態が再度反転し、データ「1」が書き込まれる。一方、選択された第2のメモリセル MC_{221} は、その分極状態がそのままであり、データ「0」が保持される。

40

【0461】

(7F) 次いで、ビット線 BL_1 , BL_2 を 0 ボルトにイコライズし、各共通ノード CN_{12} , CN_{22} を 0 ボルトに戻す。

【0462】

50

(8 F) そして、ワード線 WL_2 をロウレベルとすることによって、第 2 番目の第 1 の選択用トランジスタ TR_{12} 、及び、第 2 番目の第 2 の選択用トランジスタ TR_{22} をオフ状態とする。これによって、第 1 のサブメモリユニット SMU_{12} の共通ノード CN_{12} と第 1 のビット線 BL_1 との接続が解かれ、第 2 のサブメモリユニット SMU_{22} の共通ノード CN_{22} と第 2 のビット線 BL_2 との接続が解かれる。併せて、第 2 のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21} , TR_{SW22} をオフ状態とし、第 2 のラッチ回路 LC_2 をビット線 BL_1 , BL_2 から切り離す。

【 0 4 6 3 】

(9 F) その後、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) を V_{PL-L} (= 0 ボルト) に戻す。

10

【 0 4 6 4 】

以上の操作によって、データ「1」の再書き込みが完了するが、プレート線 PL_1 を共有した第 1 のメモリセル MC_{111} , MC_{121} 及び第 2 のメモリセル MC_{211} , MC_{221} に記憶されたデータの読み出し及びデータの再書き込みを、1 回のプレート線の電位立ち上げ (V_{PL-L} ~ V_{PL-H}) [工程 (2 E)] 及び電位立ち下げ (V_{PL-H} ~ V_{PL-L}) [工程 (10 E)] にて行っている。

【 0 4 6 5 】

以降、プレート線 PL_2 を共有した第 1 のメモリセル MC_{112} , MC_{122} 及び第 2 のメモリセル MC_{212} , MC_{222} 、プレート線 PL_3 を共有した第 1 のメモリセル MC_{113} , MC_{123} 及び第 2 のメモリセル MC_{213} , MC_{223} 、プレート線 PL_4 を共有した第 1 のメモリセル MC_{114} , MC_{124} 及び第 2 のメモリセル MC_{214} , MC_{224} に対して、順次、工程 (1 E) ~ (10 E)、工程 (1 F) ~ (9 F) の操作を行う。

20

【 0 4 6 6 】

尚、新たにデータの書き込みを行う場合には、先ず、工程 (1 E) ~ (10 E) の操作を行った後、新たにデータを書き込むべきメモリセルに関連するラッチ回路を所望の値に書き換えて、工程 (1 F) ~ (9 F) の操作を行えばよい。

【 0 4 6 7 】

(実施の形態 17)

実施の形態 17 は、実施の形態 16 の変形である。実施の形態 17 においては、所謂フラッシュメモリと同様に、選択されたプレート線に接続されたメモリセルを一括して書き換える。この場合には、書き換えの際の読み出し動作を省略して、動作の簡素化と、書き換えの高速化を図ることができる。実施の形態 17 における不揮発性メモリの構造は、実施の形態 16 の不揮発性メモリの構造と同様とすることができる。動作波形は、図 4 4 に示したと同様である。尚、図 4 4 中、括弧内の数字は、以下に説明する工程の番号と対応している。但し、図 4 4 中の括弧内の数字の次のアルファベット「C」は、以下の説明における工程番号の数字の次のアルファベット「G」と対応している。以下の説明においては、一例として、プレート線 PL_1 を共有した（即ち、対となった）メモリセル (MC_{111} , MC_{211}) 及びメモリセル (MC_{121} , MC_{221}) にデータを書き込むものとし、メモリセル MC_{111} , MC_{121} にはデータ「1」が、メモリセル MC_{211} , MC_{221} にはデータ「0」が記憶されているとする。

30

【 0 4 6 8 】

(1 G) 待機状態では、全ビット線、全ワード線、全プレート線が 0 ボルトとなっている。更には、共通ノード CN_{11} , CN_{12} , CN_{21} , CN_{22} も 0 ボルトで浮遊状態となっている。また、第 1 のラッチ制御線 CL_1 を介してスイッチング用のトランジスタ TR_{SW11} , TR_{SW12} をオフ状態とし、第 2 のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21} , TR_{SW22} をオフ状態としておく。

40

【 0 4 6 9 】

(2 G) そして、ビット線 BL_1 , BL_2 を 0 ボルトにイコライズする。

【 0 4 7 0 】

(3 G) 次に、選択されたプレート線 PL_1 の電位立ち上げを行い、即ち、選択されたブ

50

レート線 PL_1 に V_{PL-H} ($= V_{cc}$) を印加し、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) に V_{PL-L} ($= 0$ ボルト) を印加する。併せて、ワード線 WL_1, WL_2 をハイレベルとすることによって、第1番目の第1の選択用トランジスタ TR_{11} 、及び、第1番目の第2の選択用トランジスタ TR_{21} をオン状態とする。これによって、第1のサブメモリユニット SMU_{11}, SMU_{12} の共通ノード CN_{11}, CN_{12} が第1のビット線 BL_1 に接続され、第2のサブメモリユニット SMU_{21}, SMU_{22} の共通ノード CN_{21}, CN_{22} が第2のビット線 BL_2 に接続される。その結果、選択された第1のメモリセル MC_{111}, MC_{121} 、及び、第2のメモリセル MC_{211}, MC_{221} にデータ「0」が書き込まれる。

【0471】

(4G) その後、ワード線 WL_1, WL_2 をロウレベルとすることによって、第1番目の第1の選択用トランジスタ TR_{11} 、及び、第1番目の第2の選択用トランジスタ TR_{21} をオフ状態とする。併せて、選択されたプレート線 PL_1 の電位立ち下げを行う。即ち、選択されたプレート線 PL_1 を V_{PL-L} ($= 0$ ボルト) とする。 10

【0472】

以上の操作で、選択されたプレート線 PL_1 に接続されたメモリセル $MC_{111}, MC_{121}, MC_{211}, MC_{221}$ にはデータ「0」が書き込まれる。尚、これまでの操作の間に、第1のラッチ回路 LC_1 、第2のラッチ回路 LC_2 には所望の書き込みデータを転送しておく。

【0473】

(5G) その後、実施の形態16の工程(1F)～(9F)の再書き込みと同じ操作を行う。これにより、データ「1」の書き込みが行われ、書き込みが完了する。 20

【0474】

以降、プレート線 PL_2 を共有した第1のメモリセル MC_{112}, MC_{122} 及び第2のメモリセル MC_{212}, MC_{222} 、プレート線 PL_3 を共有した第1のメモリセル MC_{113}, MC_{123} 及び第2のメモリセル MC_{213}, MC_{223} 、プレート線 PL_4 を共有した第1のメモリセル MC_{114}, MC_{124} 及び第2のメモリセル MC_{214}, MC_{224} に対して、順次、工程(1G)～(4G)、工程(1F)～(9F)の操作を行う。

【0475】

(実施の形態18)

実施の形態18も、実施の形態16の変形である。実施の形態18においては、データの再書き込み時、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) に $(2/3)V_{cc}$ を印加する。また、ビット線 BL_1, BL_2 を、0ボルトではなく、 $(1/3)V_{cc}$ にイコライズする。実施の形態18における不揮発性メモリの構造も、実施の形態16の不揮発性メモリの構造と同様とすることができる。尚、データの読み出しあは、実施の形態16の(1E)～(10E)の工程と同じ工程を実行すればよい。動作波形は、図45に示したと同様である。尚、図45中、括弧内の数字は、以下に説明する工程の番号と対応している。但し、図45中の括弧内の数字の次のアルファベット「D」は、以下の説明における工程番号の数字の次のアルファベット「H」と対応している。以下の説明においては、一例として、プレート線 PL_1 を共有した(即ち、対となった)メモリセル(MC_{111}, MC_{211})及びメモリセル(MC_{121}, MC_{221})からデータを読み出し、再書き込みするものとし、メモリセル MC_{111}, MC_{121} にはデータ「1」が、メモリセル MC_{211}, MC_{221} にはデータ「0」が記憶されているとする。 30

【0476】

(1H) 初期状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更に、各共通ノード $CN_{11}, CN_{12}, CN_{21}, CN_{22}$ も0ボルトで浮遊状態となっている。また、第1のラッチ回路 LC_1 及び第2のラッチ回路 LC_2 のそれぞれには、メモリセル(MC_{111}, MC_{211})及びメモリセル(MC_{121}, MC_{221})に関するデータがラッ奇されている。

【0477】

(2H) 次に、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) に $(2/3)V_{PL-H}$ [$= (2/3)V_{cc}$] を印加する。選択プレート線 PL_1 は V_{PL-L} ($= 0$ ボルト) のままで 50

ある。併せて、ビット線 $B L_1, B L_2$ を $V_{BL-L} [= (1/3) V_{cc}]$ にイコライズする。尚、図示しないラッチ回路のグランド駆動線は切り離しておく。

【0478】

(3H) その後、ワード線 WL_1 をハイレベルとすることによって、第1番目の第1の選択用トランジスタ TR_{11} 、及び、第1番目の第2の選択用トランジスタ TR_{21} をオン状態とする。これによって、第1のサブメモリユニット SMU_{11} の共通ノード CN_{11} が第1のビット線 BL_1 に接続され、第2のサブメモリユニット SMU_{21} の共通ノード CN_{21} が第2のビット線 BL_2 に接続される。併せて、第1のラッチ制御線 CL_1 を介してスイッチング用のトランジスタ TR_{SW11}, TR_{SW12} をオン状態とし、第1のラッチ回路 LC_1 をビット線 BL_1, BL_2 に接続する。これによって、第1のラッチ回路 LC_1 にラッチされていたデータに従い、第1のビット線 BL_1 の電位が $V_{BL-H} (= V_{cc})$ に引き上げられる。その結果、選択された第1のメモリセル MC_{111} は、その分極状態が再度反転し、データ「1」が書き込まれる。一方、ラッチ回路のグランド駆動線が切り離されているので、第2のビット線 BL_2 の電位は $V_{BL-L} [= (1/3) V_{cc}]$ のままであり、選択された第2のメモリセル MC_{211} は、その分極状態が変化せず、データ「0」のままだ。

10

【0479】

(4H) 次いで、ビット線 BL_1, BL_2 を $V_{BL-L} [= (1/3) V_{cc}]$ にイコライズし、各共通ノード CN_{11}, CN_{21} を $V_{BL-L} [= (1/3) V_{cc}]$ に戻す。

【0480】

(5H) そして、ワード線 WL_1 をロウレベルとすることによって、第1番目の第1の選択用トランジスタ TR_{11} 、及び、第1番目の第2の選択用トランジスタ TR_{21} をオフ状態とする。これによって、第1のサブメモリユニット SMU_{11} の共通ノード CN_{11} と第1のビット線 BL_1 との接続が解かれ、第2のサブメモリユニット SMU_{21} の共通ノード CN_{21} と第2のビット線 BL_2 との接続が解かれ。併せて、第1のラッチ制御線 CL_1 を介してスイッチング用のトランジスタ TR_{SW11}, TR_{SW12} をオフ状態とし、第1のラッチ回路 LC_1 をビット線 BL_1, BL_2 から切り離す。

20

【0481】

(6H) その後、ワード線 WL_2 をハイレベルとすることによって、第2番目の第1の選択用トランジスタ TR_{12} 、及び、第2番目の第2の選択用トランジスタ TR_{22} をオン状態とする。これによって、第1のサブメモリユニット SMU_{12} の共通ノード CN_{12} が第1のビット線 BL_1 に接続され、第2のサブメモリユニット SMU_{22} の共通ノード CN_{22} が第2のビット線 BL_2 に接続される。併せて、第2のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21}, TR_{SW22} をオン状態とし、第2のラッチ回路 LC_2 をビット線 BL_1, BL_2 に接続する。これによって、第2のラッチ回路 LC_2 にラッチされていたデータに従い、第1のビット線 BL_1 の電位が $V_{BL-H} (= V_{cc})$ に引き上げられる。その結果、選択された第1のメモリセル MC_{121} は、その分極状態が再度反転し、データ「1」が書き込まれる。一方、ラッチ回路のグランド駆動線が切り離されているので、第2のビット線 BL_2 の電位は $V_{BL-L} [= (1/3) V_{cc}]$ のままであり、選択された第2のメモリセル MC_{221} は、その分極状態が変化せず、データ「0」のままだ。

30

【0482】

(7H) 次いで、ビット線 BL_1, BL_2 を $V_{BL-L} [= (1/3) V_{cc}]$ にイコライズし、各共通ノード CN_{12}, CN_{22} を $V_{BL-L} [= (1/3) V_{cc}]$ に戻す。

40

【0483】

(8H) そして、ワード線 WL_2 をロウレベルとすることによって、第2番目の第1の選択用トランジスタ TR_{12} 、及び、第2番目の第2の選択用トランジスタ TR_{22} をオフ状態とする。これによって、第1のサブメモリユニット SMU_{12} の共通ノード CN_{12} と第1のビット線 BL_1 との接続が解かれ、第2のサブメモリユニット SMU_{22} の共通ノード CN_{22} と第2のビット線 BL_2 との接続が解かれ。併せて、第2のラッチ制御線 CL_2 を介してスイッチング用のトランジスタ TR_{SW21}, TR_{SW22} をオフ状態とし、第2のラッチ回路 LC_2 をビット線 BL_1, BL_2 から切り離す。

50

【0484】

(9H) その後、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) を V_{PL-L} (= 0 ボルト) に戻し、ビット線 BL_1, BL_2 を 0 ボルトに戻す。

【0485】

以上の操作によって、データ「1」の再書き込みが完了する。

【0486】

以降、プレート線 PL_2 を共有した第1のメモリセル MC_{112}, MC_{122} 及び第2のメモリセル MC_{212}, MC_{222} 、プレート線 PL_3 を共有した第1のメモリセル MC_{113}, MC_{123} 及び第2のメモリセル MC_{213}, MC_{223} 、プレート線 PL_4 を共有した第1のメモリセル MC_{114}, MC_{124} 及び第2のメモリセル MC_{214}, MC_{224} に対して、順次、工程 (1E) 10 ~ (10E)、工程 (1H) ~ (9H) の操作を行う。

【0487】

実施の形態18においては、データの再書き込み時、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) は $(2/3)V_{PL-H}$ [$= (2/3)V_{cc}$] に固定されている。一方、ビット線 BL_1 は V_{BL-H} [$= V_{cc}$] に、ビット線 BL_2 は V_{BL-L} [$= (1/3)V_{cc}$] に駆動される。従って、非選択のプレート線 PL_m ($m = 2, 3 \dots M$) に接続されたメモリセル $MC_{11m}, MC_{12m}, MC_{21m}, MC_{22m}$ ($m = 2, 3 \dots M$) には、 $\pm (1/3)V_{cc}$ のディスターブしか加わらない。尚、選択されたプレート線 PL_1 に接続された第2のメモリセル MC_{211}, MC_{221} にも $(1/3)V_{cc}$ のディスターブが加わる点が実施の形態16と異なっている。しかしながら、この程度のディスターブは全く問題とはならない。 20

【0488】

実施の形態18においては、回路の動作中に2つの中間電位 [$(1/3)V_{cc}$ 及び $(2/3)V_{cc}$] が必要になるものの、ディスターブの最大レベルは、実施の形態16の $\pm (1/2)V_{cc}$ から大きく低減され、安定したデータの読み出しが可能となる。

【0489】

(実施の形態19)

実施の形態19の不揮発性メモリも、実施の形態16の不揮発性メモリの変形である。実施の形態19の不揮発性メモリの断面構造は図10と同じであり、等価回路は図19と同じである。尚、図19に示したビット線 BL_1, BL_2 には、図39に示したと同様のラッチ回路 LC_n ($n = 1, 2 \dots N$ であり、実施の形態19においては、 $N = 4$)、スイッチング用のトランジスタ TR_{SWn1}, TR_{SWn2} 、ラッチ制御線 CL_n 、センスアンプ SA_n が配設されているが、図19においては、これらの図示は省略した。 30

【0490】

実施の形態19の不揮発性メモリにおいては、第1のメモリユニット MU_1 を構成するサブメモリユニット $SMU_{11}, SMU_{12}, SMU_{13}, SMU_{14}$ が4段に積層されている。また、図示しないが、第2のメモリユニット MU_2 を構成するサブメモリユニット $SMU_{21}, SMU_{22}, SMU_{23}, SMU_{24}$ も4段に積層されている。

【0491】

実施の形態19の不揮発性メモリは、

(A-1) 第1のビット線 BL_1 と、

(B-1) N 個 (但し、実施の形態19では、 $N = 2$ であり、具体的には、 $N = 4$) の第1の選択用トランジスタ TR_{1N} ($TR_{11}, TR_{12}, TR_{13}, TR_{14}$) と、

(C-1) それぞれが M 個 (但し、 $M = 2$ であり、実施の形態19においては、 $M = 8$) の第1のメモリセル MC_{1nM} ($MC_{11M}, MC_{12M}, MC_{13M}, MC_{14M}$) から構成された、 N 個の第1のサブメモリユニット SMU_{1N} ($SMU_{11}, SMU_{12}, SMU_{13}, SMU_{14}$) と、

(D-1) N 個の第1のサブメモリユニット SMU_{1N} において、 N 個の第1のサブメモリユニット SMU_{1n} のそれぞれを構成する第1のメモリセル MC_{1nm} ($MC_{11m}, MC_{12m}, MC_{13m}, MC_{14m}$) で共通とされた M 本のプレート線 PL_m 、

から成る第1のメモリユニット MU_1 、並びに、

40

50

(A - 2) 第 2 のビット線 B_{L_2} と、

(B - 2) N 個の第 2 の選択用トランジスタ TR_{2N} (TR_{21} , TR_{22} , TR_{23} , TR_{24}) と、

(C - 2) それぞれが M 個の第 2 のメモリセル MC_{2nM} (MC_{21M} , MC_{22M} , MC_{23M} , MC_{24M}) から構成された、 N 個の第 2 のサブメモリユニット SMU_{2N} (SMU_{21} , SMU_{22} , SMU_{23} , SMU_{24}) と、

(D - 2) N 個の第 2 のサブメモリユニット SMU_{2N} において、 N 個の第 2 のサブメモリユニット SMU_{2n} のそれぞれを構成する第 2 のメモリセル MC_{2nm} (MC_{21m} , MC_{22m} , MC_{23m} , MC_{24m}) で共通とされ、且つ、前記第 1 のメモリユニットを構成する M 本のプレート線と共に M 本のプレート線 PL_m 、

から成る第 2 のメモリユニット MU_2 から構成されている。

10

【 0 4 9 2 】

即ち、実施の形態 19 の不揮発性メモリは、メモリユニットを構成するサブメモリユニットが 4 層構成である。尚、サブメモリユニットを構成するメモリセルの数は 8 個に限定されず、また、メモリユニットを構成するメモリセルの数は 32 個に限定されない。

【 0 4 9 3 】

尚、表 10 や表 11 に示したように、上方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度を、下方に位置するメモリユニットのメモリセルを構成する強誘電体層の結晶化温度よりも低くしてもよい。

【 0 4 9 4 】

そして、各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成る。具体的には、メモリセル MC_{11M} 及びメモリセル MC_{21M} のそれぞれは、第 1 の電極 21 と、強誘電体層 22 と、第 2 の電極 23 とから成る。また、メモリセル MC_{12M} 及びメモリセル MC_{22M} のそれぞれは、第 1 の電極 31 と、強誘電体層 32 と、第 2 の電極 33 とから成る。更には、メモリセル MC_{13M} 及びメモリセル MC_{23M} のそれぞれは、第 1 の電極 41 と、強誘電体層 42 と、第 2 の電極 43 とから成る。また、メモリセル MC_{14M} 及びメモリセル MC_{24M} のそれぞれは、第 1 の電極 51 と、強誘電体層 52 と、第 2 の電極 53 とから成る。

20

【 0 4 9 5 】

第 1 のメモリユニット MU_1 において、第 n 番目 ($n = 1, 2 \dots N$) の第 1 のサブメモリユニット SMU_{1n} を構成する第 1 のメモリセル MC_{1nm} の第 1 の電極 21, 31, 41, 51 は、第 n 番目の第 1 のサブメモリユニット SMU_{1n} において共通であり、該共通の第 1 の電極 21, 31, 41, 51 は、第 n 番目の第 1 の選択用トランジスタ TR_{1n} を介して第 1 のビット線 BL_1 に接続され、第 2 の電極 23, 33, 43, 53 は共通のプレート線 PL_m に接続されている。

30

【 0 4 9 6 】

第 2 のメモリユニット MU_2 において、第 n 番目の第 2 のサブメモリユニット SMU_{2n} を構成する第 2 のメモリセル MC_{2nm} の第 1 の電極 21, 31, 41, 51 は、第 n 番目の第 2 のサブメモリユニット SMU_{2n} において共通であり、該共通の第 1 の電極 21, 31, 41, 51 は、第 n 番目の第 2 の選択用トランジスタ TR_{2n} を介して第 2 のビット線 BL_2 に接続され、第 2 の電極 23, 33, 43, 53 は共通のプレート線 PL_m に接続されている。

40

【 0 4 9 7 】

そして、第 1 のビット線 BL_1 と第 2 のビット線 BL_2 との間には、第 1 のメモリセル MC_{11m} と第 2 のメモリセル MC_{21m} に記憶されたデータをラッチするための第 1 のラッチ回路 LC_1 、第 1 のメモリセル MC_{12m} と第 2 のメモリセル MC_{22m} に記憶されたデータをラッチするための第 2 のラッチ回路 LC_2 、第 1 のメモリセル MC_{13m} と第 2 のメモリセル MC_{23m} に記憶されたデータをラッチするための第 3 のラッチ回路 LC_3 、並びに、第 1 のメモリセル MC_{14m} と第 2 のメモリセル MC_{24m} に記憶されたデータをラッチするための第 4 のラッチ回路 LC_4 が設けられている。

【 0 4 9 8 】

50

そして、プレート線 $P\ L_1$ を共有したメモリセル $M\ C_{11m}$, $M\ C_{21m}$ 、プレート線 $P\ L_2$ を共有したメモリセル $M\ C_{12m}$, $M\ C_{22m}$ 、プレート線 $P\ L_3$ を共有した $M\ C_{13m}$, $M\ C_{23m}$ 、プレート線 $P\ L_4$ を共有したメモリセル $M\ C_{14m}$, $M\ C_{24m}$ に相補的なデータを書き込むことで、それぞれに、1ビットを記憶する。また、8つの選択用トランジスタ $T\ R_{11} \sim T\ R_{14}$, $T\ R_{21} \sim T\ R_{24}$ と、64個のメモリセル $M\ C_{11m} \sim M\ C_{14m}$, $M\ C_{21m} \sim M\ C_{24m}$ によって、1つのメモリユニット（アクセス単位ユニット）が構成され、32ビットを記憶する。

【0499】

センスアンプ $S\ A_1$, $S\ A_2$, $S\ A_3$, $S\ A_4$ は、ラッチ回路 $L\ C_1$, $L\ C_2$, $L\ C_3$, $L\ C_4$ から構成されている。

【0500】

実際の不揮発性メモリにおいては、この32ビットを記憶する不揮発性メモリの集合がアクセス単位ユニットとしてアレイ状に配設されている。

【0501】

実施の形態19の不揮発性メモリからデータを読み出す方法は、実施の形態16にて説明したと実質的に同じであるが故に、詳細な説明は省略する。

【0502】

実施の形態19のメモリアレイの構成上の限界寸法は、プレート線 $P\ L_m$ の最小ピッチに基づきロー方向の寸法が規定され、プレート線1本、及び、ビット線 $B\ L_1$, $B\ L_2$ で囲まれた領域に4ビットが記憶される。従って、限界寸法は $2\ F^2$ である。また、4本のワード線 $W\ L_1$, $W\ L_2$, $W\ L_3$, $W\ L_4$ と8本のプレート線 $P\ L_m$ の2次元マトリックスによって、ロー・アドレスの選択が行われる。即ち、4本のワード線と8本のプレート線によって、ロー方向の32ビットのアクセスが可能であり、ロー・アドレスの選択に必要とされるドライバは、1アドレス当たり0.375本でよい。従って、従来型のメモリセル構造と比較して、駆動用の信号線を大幅に減少させることができ、周辺回路を大幅に削減することができる。

【0503】

（実施の形態20）

実施の形態20においては、実施の形態19の不揮発性メモリの構造を変更し、実施の形態12にて説明した不揮発性メモリの構造と同様とする。即ち、図17に示した等価回路と同様に、メモリユニット $M\ U_{21}$, $M\ U_{22}$, $M\ U_{23}$, $M\ U_{24}$ に接続された選択用トランジスタ $T\ R_{21}$, $T\ R_{22}$, $T\ R_{23}$, $T\ R_{24}$ のゲート電極のそれぞれを、ワード線 $W\ L_1$, $W\ L_2$, $W\ L_3$, $W\ L_4$ ではなく、ワード線 $W\ L_{21}$, $W\ L_{22}$, $W\ L_{23}$, $W\ L_{24}$ に接続する。そして、プレート線 $P\ L_m$ を共有した第1のメモリセル及び第2のメモリセルの数の合計と一致する数のラッチ回路が、第1のビット線 $B\ L_1$ と第2のビット線 $B\ L_2$ の間に設けられている。

【0504】

即ち、第1のビット線 $B\ L_1$ と第2のビット線 $B\ L_2$ との間には、図39に示したと同様の第1のラッチ回路 $L\ C_P$ 、スイッチング用のトランジスタ $T\ R_{SWP1}$, $T\ R_{SWP2}$ 、ラッチ制御線 $C\ L_P$ 、センスアンプ $S\ A_P$ （但し、 $P = 2N$ であり、実施の形態20においては、 $P = 8$ ）が配設されている。尚、図17においては、これらの図示は省略した。

【0505】

この実施の形態20の不揮発性メモリにおいて、ワード線 $W\ L_{11} \sim W\ L_{14}$ を選択した場合、メモリユニット $M\ U_{11} \sim M\ U_{14}$ がアクセスされ、ビット線 $B\ L_1$ にのみ、記憶されたデータに相当する電圧（ビット線電位）が出現する。尚、同じセンスアンプ $S\ A_1 \sim S\ A_8$ に接続されたビット線 $B\ L_2$ には、データ「1」の読み出し電圧（ビット線電位）と、データ「0」の読み出し電圧（ビット線電位）の中間の参照電位を与える。一方、ワード線 $W\ L_{21} \sim W\ L_{24}$ を選択した場合、メモリユニット $M\ U_{21} \sim M\ U_{24}$ がアクセスされ、ビット線 $B\ L_2$ にのみ、記憶されたデータに相当する電圧（ビット線電位）が出現する。尚、同じセンスアンプ $S\ A_1 \sim S\ A_8$ に接続されたビット線 $B\ L_1$ には、データ「1」の読み出し電圧（ビット線電位）と、データ「0」の

10

20

30

40

50

読み出し電圧（ビット線電位）の中間の参照電位を与える。

【0506】

そして、第(2n-1)番目のラッチ回路は、第n番目の第1のサブメモリユニットを構成する第1のメモリセルに記憶されたデータをラッチし、第2n番目のラッチ回路は、第n番目の第2のサブメモリユニットを構成する第2のメモリセルに記憶されたデータをラッチする。具体的には、第1番目のラッチ回路LC₁は、第1番目の第1のサブメモリユニットSMU₁₁を構成する第1のメモリセルMC_{11m}に記憶されたデータをラッチし、第2番目のラッチ回路LC₂は、第1番目の第2のサブメモリユニットSMU₂₁を構成する第2のメモリセルMC_{21m}に記憶されたデータをラッチする。また、第3番目のラッチ回路LC₃は、第2番目の第1のサブメモリユニットSMU₁₂を構成する第1のメモリセルMC_{12m}に記憶されたデータをラッチし、第4番目のラッチ回路LC₄は、第2番目の第2のサブメモリユニットSMU₂₂を構成する第2のメモリセルMC_{22m}に記憶されたデータをラッチする。更には、第5番目のラッチ回路LC₅は、第3番目の第1のサブメモリユニットSMU₁₃を構成する第1のメモリセルMC_{13m}に記憶されたデータをラッチし、第6番目のラッチ回路LC₆は、第3番目の第2のサブメモリユニットSMU₂₃を構成する第2のメモリセルMC_{23m}に記憶されたデータをラッチする。更には、第7番目のラッチ回路LC₇は、第4番目の第1のサブメモリユニットSMU₁₄を構成する第1のメモリセルMC_{14m}に記憶されたデータをラッチし、第8番目のラッチ回路LC₈は、第4番目の第2のサブメモリユニットSMU₂₄を構成する第2のメモリセルMC_{24m}に記憶されたデータをラッチする。10 20

【0507】

この実施の形態20の不揮発性メモリにおいては、信号量（電位差）が実施の形態19と比較して約半分となり、しかも、参照電位のばらつき等から動作マージンは低下するが、不揮発性メモリの集積度は約2倍になる。実施の形態20の不揮発性メモリにおいて、例えば、ワード線WL₁₁とワード線WL₂₁とを同時に選択すれば、プレート線PL_mを共有した（対となった）メモリセルMC_{1nm}, MC_{2nm}からデータを読み出すことができ、実質的に、実施の形態19にて説明した不揮発性メモリと同様の動作を行うことができる。

【0508】

尚、実施の形態16の不揮発性メモリの構造を同様に変更し、実施の形態12にて説明した不揮発性メモリの構造と同様とすることもできる。即ち、メモリユニットMU₂₁, MU₂₂に接続された選択用トランジスタTR₂₁, TR₂₂のゲート電極のそれぞれを、ワード線WL₁, WL₂ではなく、図5に示したと同様に、ワード線WL₂₁, WL₂₂に接続すればよい。この場合には、第1のビット線BL₁と第2のビット線BL₂との間には、図39に示したと同様の第1のラッチ回路LC_P、スイッチング用のトランジスタTR_{SWP1}, TR_{SWP2}、ラッチ制御線CL_P、センスアンプSA_P（但し、P=2Nであり、P=4）を配設すればよい。そして、第(2n-1)番目のラッチ回路は、第n番目の第1のサブメモリユニットを構成する第1のメモリセルに記憶されたデータをラッチし、第2n番目のラッチ回路は、第n番目の第2のサブメモリユニットを構成する第2のメモリセルに記憶されたデータをラッチする。具体的には、第1番目のラッチ回路LC₁は、第1番目の第1のサブメモリユニットSMU₁₁を構成する第1のメモリセルMC_{11m}に記憶されたデータをラッチし、第2番目のラッチ回路LC₂は、第1番目の第2のサブメモリユニットSMU₂₁を構成する第2のメモリセルMC_{21m}に記憶されたデータをラッチする。また、第3番目のラッチ回路LC₃は、第2番目の第1のサブメモリユニットSMU₁₂を構成する第1のメモリセルMC_{12m}に記憶されたデータをラッチし、第4番目のラッチ回路LC₄は、第2番目の第2のサブメモリユニットSMU₂₂を構成する第2のメモリセルMC_{22m}に記憶されたデータをラッチする。30 40

【0509】

尚、面積的には不利になるが、絶縁層16上にサブメモリユニットSMU₁₁, SMU₁₂, SMU₂₁, SMU₂₂を形成し、層間絶縁層26をその上に形成し、層間絶縁層26上にサブメモリユニットSMU₁₃, SMU₁₄, SMU₂₃, SMU₂₄を形成する構造としてもよい50

。

【0510】

実施の形態1～実施の形態11にて説明したメモリユニットの構造を実施の形態12～実施の形態20における不揮発性メモリに適宜適用することができる。

【0511】

(実施の形態21)

実施の形態21は、本発明の第13の態様に係る不揮発性メモリ、並びに、本発明の第2の態様及び第3の態様に係る駆動方法に関する。図48に実施の形態21の不揮発性メモリの回路図を示し、図49に模式的な一部断面図を示す。

【0512】

10

実施の形態21の不揮発性メモリは、

(A) ビット線BLと、

(B) N個(但し、N=2であり、実施の形態21においては、具体的には、N=2)の選択用トランジスタTR₁, TR₂と、

(C) それぞれがM個(但し、M=2であり、実施の形態21においては、具体的には、M=8)のメモリセルMC_{nm}(n=1, 2, m=1, 2, ..., M)から構成された、N個のメモリユニットMU₁, MU₂と、

(D) M本のプレート線PL_m、

から構成されている。

【0513】

20

そして、各メモリセルMC_{nm}は、第1の電極21, 31と強誘電体層22, 32と第2の電極23, 33とから成る。また、第1番目のメモリユニットMU₁を構成するメモリセルMC_{1m}の第1の電極21は、第1番目のメモリユニットMU₁において共通であり、この共通の第1の電極(共通ノードCN₁)は、第1番目の選択用トランジスタTR₁を介してビット線BLに接続され、第m番目(但し、m=1, 2, ..., M)のメモリセルMC_{1m}の第2の電極23は、メモリユニット間で共通とされた共通の第m番目のプレート線PL_mに接続されている。一方、第2番目のメモリユニットMU₂を構成するメモリセルMC_{2m}の第1の電極31は、第2番目のメモリユニットMU₂において共通であり、この共通の第1の電極(共通ノードCN₂)は、第2番目の選択用トランジスタTR₂を介してビット線BLに接続され、第m番目(但し、m=1, 2, ..., M)のメモリセルMC_{2m}の第2の電極33は、メモリユニット間で共通とされた共通の第m番目のプレート線PL_mに接続されている。

30

【0514】

尚、不揮発性メモリのメモリユニットを構成するメモリセルの数(M)は8個に限定されず、一般には、M=2を満足すればよく、2のべき数(M=2, 4, 8, 16, ...)とすることが好ましい。

【0515】

40

そして、ビット線BLには、メモリセルに記憶されたデータをラッチするため、少なくともN個のラッチ回路が接続されている。具体的には、実施の形態21においては、第n番目(但し、n=1, 2, ..., N)のラッチ回路LC_nは、第n番目のメモリユニットMU_nのそれぞれを構成するメモリセルMC_{nm}に記憶されたデータをラッチする。尚、第1のラッチ回路LC₁とビット線BLとの間には第1のスイッチング用のトランジスタTR_{SW1}が配設され、第2のラッチ回路LC₂とビット線BLとの間には第2のスイッチング用のトランジスタTR_{SW2}が配設されている。第1のセンスアンプSA₁は、第1のラッチ回路LC₁から構成されており、第2のセンスアンプSA₂は、第2のラッチ回路LC₂から構成されているが、このような構成に限定するものではない。スイッチング用のトランジスタTR_{SW1}, TR_{SW2}のゲート電極は、それぞれ、第1のラッチ制御線CL₁、第2のラッチ制御線CL₂に接続されている。ラッチ回路は、図41に示したと同様の回路とすればよいので、詳細な説明は省略する。

【0516】

50

メモリセルMC_{2m}におけるプレート線PL_mは、メモリセルMC_{1m}におけるプレート線PL_mと共に通化されており、プレート線デコーダ／ドライバPDに接続されている。更には、第1番目の選択用トランジスタTR₁のゲート電極は第1のワード線WL₁に接続され、第2番目の選択用トランジスタTR₂のゲート電極は第2のワード線WL₂に接続され、ワード線WL₁、WL₂は、ワード線デコーダ／ドライバWDに接続されている。

【0517】

実施の形態21の不揮発性メモリからデータを読み出し、データを再書き込みする不揮発性メモリの駆動方法を、以下、説明する。尚、一例として、プレート線PL₁を共有したメモリセルMC₁₁、MC₂₁からデータを読み出し、再書き込みするものとし、メモリセルMC₁₁にはデータ「1」が、メモリセルMC₂₁にはデータ「0」が記憶されているとする。図50及び図51に動作波形を示す。尚、図50及び図51中、括弧内の数字は、以下に説明する工程の番号と対応している。また、動作波形を示す図面における「センスアンプSA₁」及び「センスアンプSA₂」は、これらのセンスアンプの出力部における電位を意味する。

10

【0518】

先ず、選択されたメモリセルMC₁₁及びメモリセルMC₂₁のデータの読み出しを行う（図50参照）。

【0519】

（1A）待機状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更には、共通ノードCN₁、CN₂も0ボルトで浮遊状態となっている。

20

【0520】

（2A）データ読み出しの開始時、選択されたプレート線PL₁の電位立ち上げを行い、即ち、選択されたプレート線PL₁にV_{PL-H}（=V_{cc}）を印加し、非選択のプレート線PL_m（m=2, 3, ..., M）をV_{PL-L}（=0ボルト）のまます。このとき、共通ノードCN₁、CN₂は、非選択のプレート線PL_m（m=2, 3, ..., M）とのカップリング要素が強いため、0ボルトよりの値となる。その結果、データ「1」が書き込まれていたメモリセルMC₁₁においては、強誘電体層における分極反転が生じ、共通ノードCN₁の電位は上昇する。併せて、第1のラッチ制御線CL₁を介して第1のスイッチング用のトランジスタTR_{SW1}をオン状態とし、第1のラッチ回路LC₁を選択すると共に、第1のセンスアンプSA₁の電位を0ボルトとしておく。その後、接地線（図示せず）とビット線BLとの電気的な接続を解き、ビット線BLを浮遊状態とする。

30

【0521】

（3A）次いで、第1のワード線WL₁をハイレベルとすることによって、第1番目の選択用トランジスタTR₁をオン状態とする。これによって、第1番目のメモリユニットMU₁の共通ノードCN₁がビット線BLに接続される。

【0522】

（4A）その後、第1のラッチ制御線CL₁を介して第1のスイッチング用のトランジスタTR_{SW1}をオフ状態とし、第1のラッチ回路LC₁をビット線BLから切り離す。

【0523】

（5A）そして、第1のラッチ回路LC₁を活性化して、データを確定し、かかるデータ（この例では、データ「1」）を第1のセンスアンプSA₁内の第1のラッチ回路LC₁にラッチする。一方、ビット線BLを0ボルトとする。これによって、選択されたメモリセルMC₁₁には、データ「0」が書き込まれる。

40

【0524】

（6A）次に、第1のワード線WL₁をロウレベルとすることによって、第1番目の選択用トランジスタTR₁をオフ状態とする。これによって、第1番目のメモリユニットMU₁の共通ノードCN₁とビット線BLとの接続が解かれる。併せて、第2のラッチ制御線CL₂を介して第2のスイッチング用のトランジスタTR_{SW2}をオン状態とし、第2のラッチ回路LC₂を選択すると共に、第2のセンスアンプSA₂の電位を0ボルトとしておく。その後、接地線（図示せず）とビット線BLとの電気的な接続を解き、ビット線BLを浮遊

50

状態とする。

【0525】

(7A) 次いで、第2のワード線 WL_2 をハイレベルとすることによって、第2番目の選択用トランジスタ TR_2 をオン状態とする。これによって、第2番目のメモリユニット MU_2 の共通ノード CN_2 がビット線 BL に接続される。データ「0」が書き込まれていたメモリセル MC_{21} においては、強誘電体層における分極反転が生じない。従って、ビット線 BL に生じる電位（ビット線電位）は低い。

【0526】

(8A) その後、第2のラッチ制御線 CL_2 を介して第2のスイッチング用のトランジスタ TR_{SW2} をオフ状態とし、第2のラッチ回路 LC_2 をビット線 BL から切り離す。

10

【0527】

(9A) そして、第2のラッチ回路 LC_2 を活性化して、データを確定し、かかるデータ（この例では、データ「0」）を第2のセンスアンプ SA_2 内の第2のラッチ回路 LC_2 にラッチする。一方、ビット線 BL を0ボルトとする。これによって、選択されたメモリセル MC_{21} には、データ「0」が書き込まれる。

【0528】

(10A) 次に、第2のワード線 WL_2 をロウレベルとすることによって、第2番目の選択用トランジスタ TR_2 をオフ状態とする。これによって、第2番目のメモリユニット MU_2 の共通ノード CN_2 とビット線 BL との接続が解かれる。併せて、選択されたプレート線 PL_1 の電位立ち下げを行う。即ち、選択されたプレート線 PL_1 の電位を V_{PL-L} （＝0ボルト）に戻す。

20

【0529】

以上の操作によって、メモリセル MC_{11} 及びメモリセル MC_{21} におけるデータの読み出しが完了する。この状態においては、メモリセル MC_{11} 及びメモリセル MC_{21} には、データ「0」が書き込まれている。また、第1のラッチ回路 LC_1 及び第2のラッチ回路 LC_2 には、それぞれ、第1番目のメモリユニットを構成するメモリセル MC_{11} 及び第2番目のメモリユニットを構成するメモリセル MC_{21} に記憶されていたデータがラッチされている。

【0530】

次に、選択されたメモリセル MC_{11} 及びメモリセル MC_{21} におけるデータの再書き込み、具体的には、データ「1」の再書き込みを行う（図51参照）。

30

【0531】

(1B) 初期状態では、全ビット線、全ワード線、全プレート線が0ボルトとなっている。更には、共通ノード CN_1 , CN_2 も0ボルトで浮遊状態となっている。

【0532】

(2B) 次に、非選択のプレート線 PL_m （ $m = 2, 3 \dots M$ ）に $(1/2)V_{PL-H}$ [$= (1/2)V_{cc}$] を印加する。選択プレート線 PL_1 は V_{PL-L} （＝0ボルト）のままである。

【0533】

(3B) その後、第1のワード線 WL_1 をハイレベルとすることによって、第1番目の選択用トランジスタ TR_1 をオン状態とする。これによって、第1番目のメモリユニット MU_1 の共通ノード CN_1 がビット線 BL に接続される。併せて、第1のラッチ制御線 CL_1 を介して第1のスイッチング用のトランジスタ TR_{SW1} をオン状態とし、第1のラッチ回路 LC_1 をビット線 BL に接続する。これによって、第1のラッチ回路 LC_1 にラッチされていたデータ（この例では、データ「1」）に従い、ビット線 BL の電位が V_{BL-H} （＝ V_{cc} ）に引き上げられる。その結果、選択されたメモリセル MC_{11} は、その分極状態が再度反転し、データ「1」が書き込まれる。

40

【0534】

(4B) 次いで、ビット線 BL を0ボルトとし、共通ノード CN_1 を0ボルトに戻す。

【0535】

(5B) そして、第1のワード線 WL_1 をロウレベルとすることによって、第1番目の選

50

選択用トランジスタ $T R_1$ をオフ状態とする。これによって、第1番目のメモリユニット $M U_1$ の共通ノード $C N_1$ とビット線 $B L$ との接続が解かれる。併せて、第1のラッチ制御線 $C L_1$ を介して第1のスイッチング用のトランジスタ $T R_{SW1}$ をオフ状態とし、第1のラッチ回路 $L C_1$ をビット線 $B L$ から切り離す。

【0536】

(6B) その後、第2のワード線 $W L_2$ をハイレベルとすることによって、第2番目の選択用トランジスタ $T R_2$ をオン状態とする。これによって、第2番目のメモリユニット $M U_2$ の共通ノード $C N_2$ がビット線 $B L$ に接続される。併せて、第2のラッチ制御線 $C L_2$ を介して第2のスイッチング用のトランジスタ $T R_{SW2}$ をオン状態とし、第2のラッチ回路 $L C_2$ をビット線 $B L$ に接続する。これによって、第2のラッチ回路 $L C_2$ にラッチされていたデータ（この例では、データ「0」）に従い、ビット線 $B L$ の電位は V_{BL-L} ($= 0$ ボルト) のままである。その結果、選択されたメモリセル $M C_{21}$ は、その分極状態が変化せず、データ「0」のままである。 10

【0537】

(7B) 次いで、ビット線 $B L$ を0ボルトとし、共通ノード $C N_2$ を0ボルトに戻す。

【0538】

(8B) そして、第2のワード線 $W L_2$ をロウレベルとすることによって、第2番目の選択用トランジスタ $T R_2$ をオフ状態とする。これによって、第2番目のメモリユニット $M U_2$ とビット線 $B L$ との接続が解かれる。併せて、第2のラッチ制御線 $C L_2$ を介して第2のスイッチング用のトランジスタ $T R_{SW2}$ をオフ状態とし、第2のラッチ回路 $L C_2$ をビット線 $B L$ から切り離す。 20

【0539】

(9B) その後、非選択のプレート線 $P L_m$ ($m = 2, 3 \dots M$) を V_{PL-L} ($= 0$ ボルト) に戻す。

【0540】

以上の操作によって、データ「1」の再書き込みが完了するが、2個のメモリユニット $M U_1, M U_2$ において、プレート線 $P L_1$ を共有したメモリセル $M C_{11}$ 及びメモリセル $M C_{21}$ に記憶されたデータの読み出し及びデータの再書き込みを、1回のプレート線の電位立ち上げ ($V_{PL-L} \rightarrow V_{PL-H}$) [工程 (2A)] 及び電位立ち下げ ($V_{PL-H} \rightarrow V_{PL-L}$) [工程 (10A)] にて行っている。 30

【0541】

また、2個のメモリユニット $M U_1, M U_2$ において、プレート線 $P L_1$ を共有したメモリユニットにおけるメモリセルに記憶されたデータの読み出しを、先ず、該プレート線にパルスを与え [工程 (2A)]、次いで、N個の選択用トランジスタを順次選択して行う。即ち、工程 (3A) ~ (5A) 及び工程 (7A) ~ (9A) を行っている。

【0542】

以降、プレート線 $P L_2$ を共有したメモリセル $M C_{12}$ 及びメモリセル $M C_{22}$ 、プレート線 $P L_3$ を共有したメモリセル $M C_{13}$ 及びメモリセル $M C_{23}$ 、プレート線 $P L_4$ を共有したメモリセル $M C_{14}$ 及びメモリセル $M C_{24}$ 等に対して、順次、工程 (1A) ~ (10A)、工程 (1B) ~ (9B) の操作を行う。 40

【0543】

尚、新たにデータの書き込みを行う場合には、先ず、(1A) ~ (10A) の操作を行つた後、新たにデータを書き込むべきメモリセルに関連するラッチ回路（即ち、第1番目のメモリユニットを構成するメモリセルに対しては第1のラッチ回路、第2番目のメモリユニットを構成するメモリセルに対しては第2のラッチ回路）を所望の値に書き換えて、(1B) ~ (9B) の操作を行えばよい。

【0544】

ところで、複数のメモリセルに接続されているプレート線は負荷容量が大きく、駆動速度が遅い（即ち、充放電に時間を要する）。また、消費電力も大きい。従って、2回のプレート線の電位立ち上げ及び電位立ち下げにてプレート線 $P L_1$ を共有したメモリセル $M C_1$ 50

₁及びメモリセルMC₂₁に記憶されたデータの読み出し及びデータの再書き込みを行う特願平11-158632号にて提案された不揮発性メモリの駆動方法よりも、これらを1回のプレート線の電位立ち上げ及び電位立ち下げにて行う実施の形態21の不揮発性メモリの駆動方法の方が、駆動速度、消費電力の観点から有利である。

【0545】

実施の形態21の不揮発性メモリの駆動方法においては、(MC₁₁, MC₂₁) (MC₁₂, MC₂₂) (MC₁₃, MC₂₃) (MC₁₄, MC₂₄) … の順にデータの読み出し、再書き込みを行う。従って、プレート線PL_mを共有し、そして、データの読み出し、再書き込みを行うメモリセルMC_{1m}及びメモリセルMC_{2m}においてはディスターブが加わらない。

10

【0546】

尚、(1A)~(10A)の工程において、非選択のプレート線PL_m(m=2, 3…·M)はV_{PL-L}(=0ボルト)に固定されている。また、各ビット線BLは、0ボルトからビット線電位(読み出し信号量)の間で変動する。ここで、ビット線電位(読み出し信号量)は、通常、0.5ボルト程度以下である。従って、(1A)~(10A)の工程においては、非選択のプレート線PL_m(m=2, 3…·M)に接続されたメモリセルMC_{1m}, MC_{2m}(m=2, 3…·M)にはディスターブが殆ど発生しない。

【0547】

一方、(1B)~(9B)の工程においては、選択されたプレート線PL₁の電位はV_{PL-L}(=0ボルト)、非選択のプレート線PL_m(m=2, 3…·M)は(1/2)V_{PL-H}[=(1/2)V_{cc}]に固定されている。また、ビット線BL V_{BL-L}(=0ボルト)あるいはV_{BL-H}(=V_{cc})である。従って、非選択のプレート線PL_m(m=2, 3…·M)に接続されたメモリセルには±(1/2)V_{cc}のディスターブが加わるもの、これらのメモリセルに加わる電位は安定しており、抗電圧をそれ以上に設定してあれば分極の反転は起こらない。また、選択されたプレート線PL₁に接続されたメモリセルMC₁₁, MC₂₁には実効的にディスターブは加わらない。

20

【0548】

実施の形態1~実施の形態11にて説明したメモリユニットの構造を実施の形態21における不揮発性メモリに適宜適用することができる。また、実施の形態13にて説明した所謂フラッシュメモリと同様に選択されたプレート線に接続されたメモリセルを一括して書き換える不揮発性メモリの駆動方法を実施の形態21に適用することもできるし、更には、実施の形態14にて説明した不揮発性メモリの駆動方法を実施の形態21に適用することもできる。

30

【0549】

以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した不揮発性メモリの構造、使用した材料、各種の形成条件、回路構成、駆動方法等は例示であり、適宜変更することができる。

【0550】

一般に、単位ユニットの駆動用の信号線の合計本数をA本、その内のワード線本数をB本、プレート線の本数をC本とすると、A=B+Cである。ここで、合計本数Aを一定とした場合、単位ユニットの総アドレス数(=B×C)が最大となるには、B=Cを満足すればよい。従って、最も効率良く周辺回路を配置するためには、単位ユニットにおけるワード線本数Bとプレート線の本数Cとを等しくすればよい。また、ロー・アドレスのアクセス単位ユニットにおけるワード線本数はメモリセルの積層段数に一致し、プレート線本数はメモリユニットあるいはサブメモリユニットを構成するメモリセルの数に一致するが、これらのワード線本数、プレート線本数が多いほど、実質的な不揮発性メモリの集積度は向上する。そして、ワード線本数とプレート線本数の積がアクセス可能なアドレス回数である。ここで、一括して、且つ、連続したアクセスを前提とすると、その積から「1」を減じた値がディスターブ回数である。従って、ワード線本数とプレート線本数の積の値は、メモリセルのディスターブ耐性、プロセス要因等から決定される。

40

50

【0551】

例えば、図52に示すように、実施の形態2の不揮発性メモリの変形例として、第1の電極21'を上部電極とし、第2の電極23'を下部電極とすることもできる。このような構造は、他の発明の実施の形態における不揮発性メモリにも適用することができる。尚、図52中、参照番号26B, 26Cは、それぞれ、第1の層間絶縁層の下層及び上層を示し、参照番号36B, 36Cは、それぞれ、上部絶縁層の下層及び上層を示す。

【0552】

強誘電体層22, 32, 42, 52は、不揮発性メモリの製造方法に依って、第1の電極と略同じ平面形状を有し、第1の電極を覆うように形成されていてもよい。あるいは又、強誘電体層をパターニングしない構成としてもよい。

10

【0553】

また、発明の実施の形態においては、専ら、1つの選択用トランジスタに複数のメモリセルが接続された構成の不揮発性メモリを説明したが、本発明の第7の態様若しくは第8の態様に係る不揮発性メモリの構成は、非選択のメモリセルにディスターブが発生する構造を有する如何なる形式、構成の不揮発性メモリにも適用することができる。例えば、選択用トランジスタとキャパシタ部とが一体になった構成の不揮発性メモリ、具体的には、電界効果型トランジスタのゲート絶縁膜の代わりに、強誘電体薄膜が形成された構造のメモリセルが、複数、配列されて成るメモリユニットから構成された不揮発性メモリに、本発明の第7の態様若しくは第8の態様に係る不揮発性メモリを適用することもできる。

【0554】

20

【発明の効果】

本発明の第1の態様～第5の態様に係る不揮発性メモリによれば、複数のメモリセルが設けられているが故に、1ピット当たりのセル面積の減少を図ることができ、しかも、メモリユニットやサブメモリユニットが積層されているが故に、より一層、高集積化された、例えば、ギガバイト級の不揮発性メモリを実現することが可能となる。また、最小加工寸法に制限されずに、不揮発性メモリの大容量化を図ることができる。更には、アドレス選択における駆動配線数を削減することで周辺回路の縮小を図ることができる。しかも、メモリセルの縮小と周辺回路の削減とを両立させることができ、デバイス全体として整合のとれた集積度向上が可能となる。

【0555】

30

また、本発明の第6の態様に係る不揮発性メモリによれば、各段に位置するキャパシタ部やメモリユニット、サブメモリユニットを構成するメモリセルの強誘電体層の結晶化温度を規定することによって、積層されたキャパシタ部やメモリユニット、サブメモリユニットの段数だけ結晶化熱処理を行っても、下方に位置するキャパシタ部やメモリユニット、サブメモリユニットを構成するメモリセルやキャパシタ部の特性劣化といった問題が生ぜず、優れた性能を有する不揮発性メモリを得ることができる。

【0556】

また、本発明の第7の態様～第8の態様に係る不揮発性メモリにおいては、出力が負の温度特性を有する電源電圧回路を備え、あるいは又、クランプ電圧が負の温度特性を有するクランプ回路を備えているが故に、不揮発性メモリの動作温度が高くなり、強誘電体層の抗電圧が減少しても、非選択のメモリセルにおける強誘電体層に加わる電界を緩和することができる結果、非選択のメモリセルにおける強誘電体層の電荷反転を確実に防止することができる。それ故、要求される温度範囲での不揮発性メモリの動作を確実に保証することができとなり、安定した特性を有する不揮発性メモリを提供することができる。

40

【0557】

更には、本発明の第9の態様～第11の態様に係る不揮発性メモリにおいては、第1の電極は、メモリユニットあるいは又サブメモリユニットを構成する複数のメモリセルに共通であるが故に、第1の電極に一種の追加の負荷容量が付加された状態にあり、データの読み出し時、プレート線に電圧を印加した際、浮遊状態にある第1の電極の電位上昇を抑制することができ、第1の電極と第2の電極との間に十分な電位差を生じさせることができ

50

るので、強誘電体層に分極反転を確実に発生させることが可能となる。

【0558】

本発明第12の態様～第13の態様に係る不揮発性メモリ及び本発明第1の態様～第3の態様に係る駆動方法においては、不揮発性メモリの高集積化を達成することができる。しかも、本発明の第1の態様～第2の態様に係る不揮発性メモリの駆動方法においては、プレート線を共有した第1のメモリセル及び第2のメモリセルに記憶されたデータの読み出し及びデータの再書き込みを1回のプレート線の電位立ち上げ及び電位立ち下げにて行い、第3の態様に係る不揮発性メモリの駆動方法においては、プレート線を共有したメモリセルに記憶されたデータの読み出しを、先ず、該プレート線にパルスを与え、次いで、N個の選択用トランジスタを順次選択して行うので、このとき、プレート線を共有したメモリセル、あるいは又、第1のメモリセル及び第2のメモリセルがディスターブを受けることがなく、各メモリセルがディスターブを受ける回数を少なくすることができる。また、複数のメモリセルに接続されているプレート線は負荷容量が大きく、駆動速度が遅い（即ち、充放電に時間をする）が、メモリセル、あるいは、第1のメモリセル及び第2のメモリセルに記憶されたデータの読み出し及びデータの再書き込みを1回のプレート線の電位立ち上げ及び電位立ち下げにて行うので、高速動作、低消費電力が可能となる。また、本発明の第12の態様～第13の態様に係る不揮発性メモリにおいては、ラッチ回路、あるいは、第1のラッチ回路及び第2のラッチ回路を備えているので、メモリセル、あるいは、第1及び第2のメモリセルへのデータの再書き込みを確実に行うことができる。

【図面の簡単な説明】

10

【図1】発明の実施の形態1の強誘電体型不揮発性半導体メモリの回路図である。

【図2】発明の実施の形態1の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図3】発明の実施の形態1の強誘電体型不揮発性半導体メモリへのデータ書き込み時の動作波形を示す図である。

20

【図4】発明の実施の形態1の強誘電体型不揮発性半導体メモリからデータを読み出し、データを再書き込みするときの動作波形を示す図である。

【図5】発明の実施の形態2の強誘電体型不揮発性半導体メモリの回路図である。

【図6】発明の実施の形態2の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

30

【図7】発明の実施の形態2の強誘電体型不揮発性半導体メモリへのデータ書き込み時の動作波形を示す図である。

【図8】発明の実施の形態2の強誘電体型不揮発性半導体メモリからデータを読み出し、データを再書き込みするときの動作波形を示す図である。

【図9】発明の実施の形態3の強誘電体型不揮発性半導体メモリの回路図である。

【図10】発明の実施の形態3の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図11】発明の実施の形態4の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

40

【図12】発明の実施の形態5の強誘電体型不揮発性半導体メモリの回路図である。

【図13】発明の実施の形態5の強誘電体型不揮発性半導体メモリからデータを読み出し、データを再書き込みするときの動作波形を示す図である。

【図14】発明の実施の形態5の強誘電体型不揮発性半導体メモリに発明の実施の形態1にて説明した強誘電体型不揮発性半導体メモリを適用したときの回路図である。

【図15】発明の実施の形態6の強誘電体型不揮発性半導体メモリの回路図である。

【図16】発明の実施の形態6の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図17】発明の実施の形態6の強誘電体型不揮発性半導体メモリの変形例（N=4）の回路図である。

【図18】図16に回路図を示した発明の実施の形態6の強誘電体型不揮発性半導体メモリの回路図である。

50

リの変形例 ($N = 4$) の模式的な一部断面図である。

【図 19】発明の実施の形態 6 の強誘電体型不揮発性半導体メモリの別の変形例 ($N = 4$) の回路図である。

【図 20】発明の実施の形態 7 の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図 21】発明の実施の形態 8 の強誘電体型不揮発性半導体メモリの回路図である。

【図 22】発明の実施の形態 8 の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図 23】発明の実施の形態 8 の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

10

【図 24】発明の実施の形態 8 の強誘電体型不揮発性半導体メモリにおける電源電圧回路、及び、参照電圧回路の一例を示す回路図である。

【図 25】発明の実施の形態 8 の強誘電体型不揮発性半導体メモリにおける参照電圧回路の変形例を示す回路図である。

【図 26】発明の実施の形態 8 の強誘電体型不揮発性半導体メモリの変形例の回路図である。

【図 27】発明の実施の形態 9 の強誘電体型不揮発性半導体メモリの回路図である。

【図 28】発明の実施の形態 9 の強誘電体型不揮発性半導体メモリにおけるクランプ回路の回路図である。

【図 29】発明の実施の形態 10 の強誘電体型不揮発性半導体メモリの回路図である。

20

【図 30】発明の実施の形態 10 の強誘電体型不揮発性半導体メモリにおけるレイアウト図である。

【図 31】発明の実施の形態 10 の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図 32】発明の実施の形態 10 の強誘電体型不揮発性半導体メモリの、図 31 とは異なる断面で見たときの模式的な一部断面図である。

【図 33】発明の実施の形態 10 の強誘電体型不揮発性半導体メモリのデータ書き込み動作における動作波形を示す図である。

【図 34】発明の実施の形態 10 の強誘電体型不揮発性半導体メモリのデータ読み出し及び再書き込み動作における動作波形を示す図である。

30

【図 35】発明の実施の形態 10 において、サブメモリユニットを構成するメモリセルの個数 (M) の値と信号電位との関係をシミュレーションした結果を示すグラフである。

【図 36】発明の実施の形態 11 の強誘電体型不揮発性半導体メモリの回路図である。

【図 37】発明の実施の形態 11 の強誘電体型不揮発性半導体メモリにおけるレイアウト図である。

【図 38】検出用トランジスタの一端が接続された配線の所定の電位を 0 ボルトとした場合の、ビット線間に配設された一種のスイッチ回路を示す回路図である。

【図 39】発明の実施の形態 12 の強誘電体型不揮発性半導体メモリの回路図である。

【図 40】発明の実施の形態 12 の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

40

【図 41】ラッチ回路の回路図の一例である。

【図 42】発明の実施の形態 12 及び発明の実施の形態 16 の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

【図 43】発明の実施の形態 12 及び発明の実施の形態 16 の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

【図 44】発明の実施の形態 13 び発明の実施の形態 17 の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

【図 45】発明の実施の形態 14 及び発明の実施の形態 18 の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

【図 46】発明の実施の形態 15 の強誘電体型不揮発性半導体メモリの模式的な一部断面

50

図である。

【図47】発明の実施の形態16の強誘電体型不揮発性半導体メモリの回路図である。

【図48】発明の実施の形態21の強誘電体型不揮発性半導体メモリの回路図である。

【図49】発明の実施の形態21の強誘電体型不揮発性半導体メモリの模式的な一部断面図である。

【図50】発明の実施の形態21の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

【図51】発明の実施の形態21の強誘電体型不揮発性半導体メモリの動作波形を示す図である。

【図52】発明の実施の形態4の強誘電体型不揮発性半導体メモリの変形例の模式的な一部断面図である。 10

【図53】強誘電体のP-Eヒステリシスループ図である。

【図54】米国特許第4873664号に開示された強誘電体型不揮発性半導体メモリの回路図である。

【図55】特開平9-121032号公報に開示された強誘電体型不揮発性半導体メモリの回路図である。

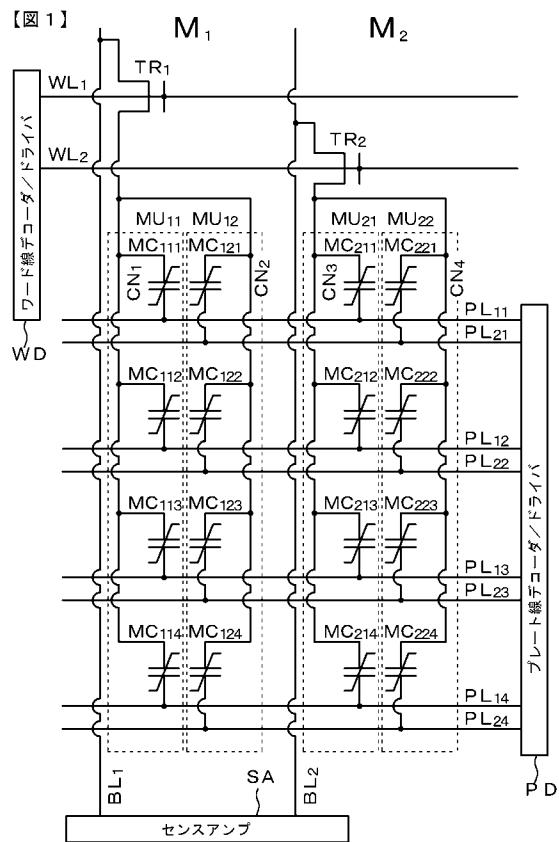
【図56】20°C及び105°Cにおける強誘電体材料のP-Eヒステリシスループを例示した図である。

【図57】DRAMにおけるゲインセルの回路図、及び、従来の米国特許第4873664号に開示された強誘電体型不揮発性半導体メモリにこのゲインセルを適用した場合の回路図である。 20

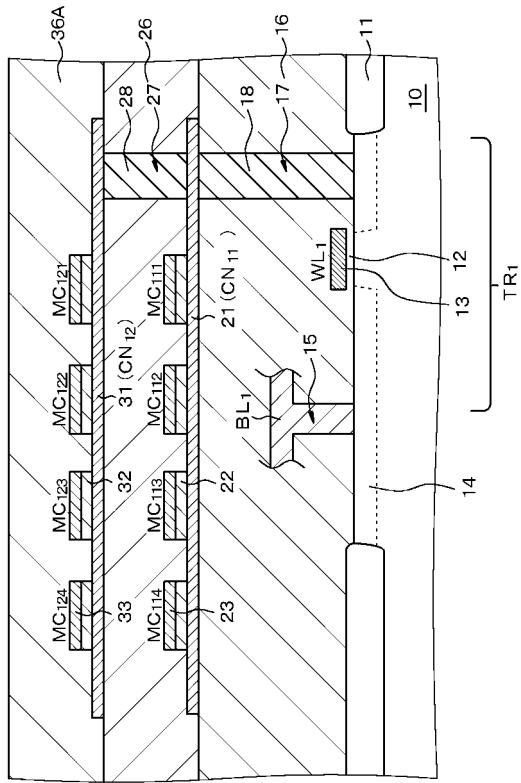
【符号の説明】

10・・・シリコン半導体基板、11・・・素子分離領域、12・・・ゲート絶縁膜、13・・・ゲート電極、14・・・ソース/ドレイン領域、15・・・コンタクトホール、16・・・絶縁層、17, 27, 37, 47・・・開口部、18, 18₁, 18₂, 18A, 18B, 18C, 28, 38, 48・・・接続孔、21, 21A, 21B・・・第1の電極、22, 22A, 22B, 32, 32A, 32B, 42, 52・・・強誘電体層、23, 33, 43, 53・・・第2の電極、25, 35, 45・・・接続部、26, 36, 46・・・層間絶縁層、26A, 36A, 56A・・・層間絶縁層、61, 61A, 61B・・・参照電圧回路、62, 64, 66・・・第1の抵抗素子、63, 65, 67・・・第2の抵抗素子、70・・・比較器、71・・・第1の入力部、72・・・第2の入力部、73, 81・・・PMOS型FET、74・・・V_{DL}端子、80・・・クランプ回路、M U・・・メモリユニット、S M U・・・サブメモリユニット、M C・・・メモリセル、T R・・・選択用トランジスタ、T R_W・・・書込用トランジスタ、T R_R・・・読出用トランジスタ、T R_S・・・検出用トランジスタ、W L・・・ワード線、B L・・・ビット線、P L・・・プレート線、W D・・・ワード線デコーダ/ドライバ、S A・・・センスアンプ、P D・・・プレート線デコーダ/ドライバ、C N・・・共通ノード、L C・・・ラッチ回路、C L・・・ラッチ制御線、T R_{SW}・・・スイッチング用のトランジスタ 30

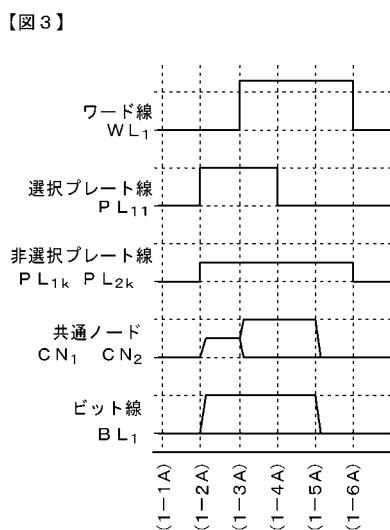
【図1】



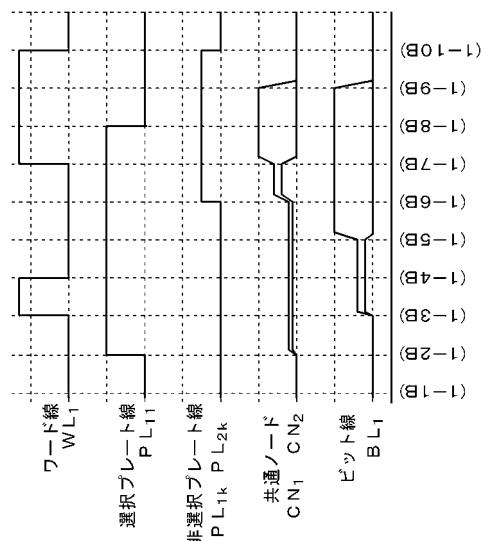
【図2】



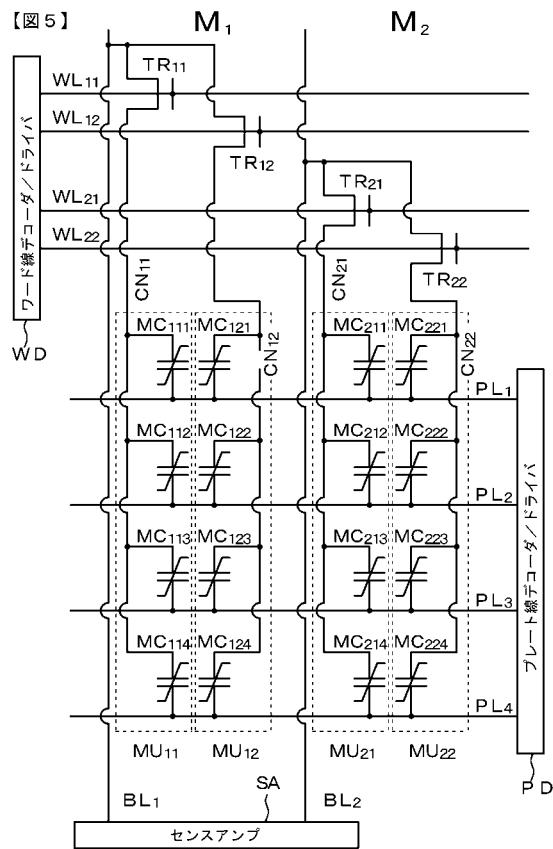
【図3】



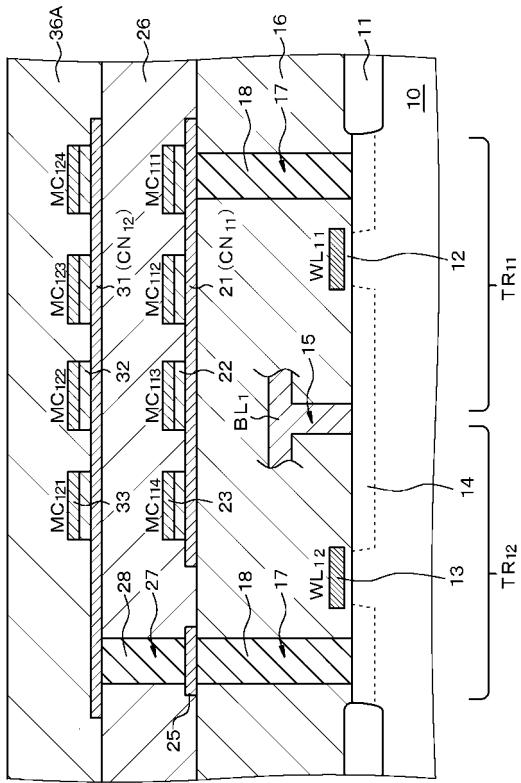
【図4】



【図5】

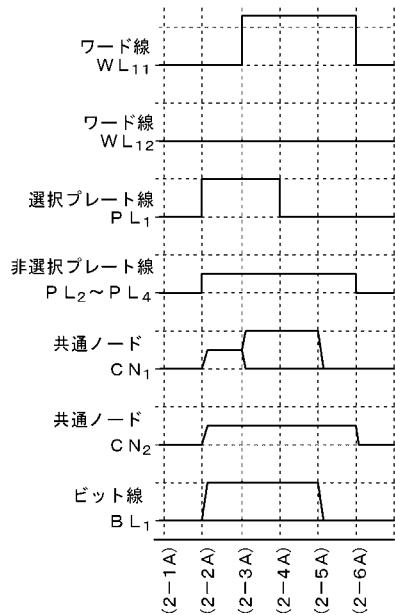


【図6】



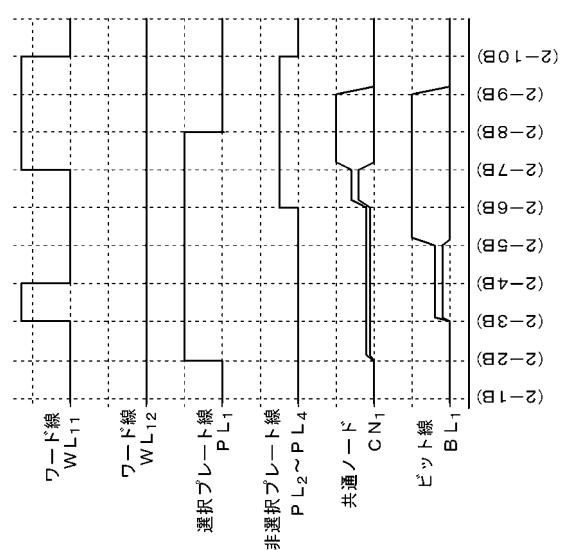
【図7】

【図7】



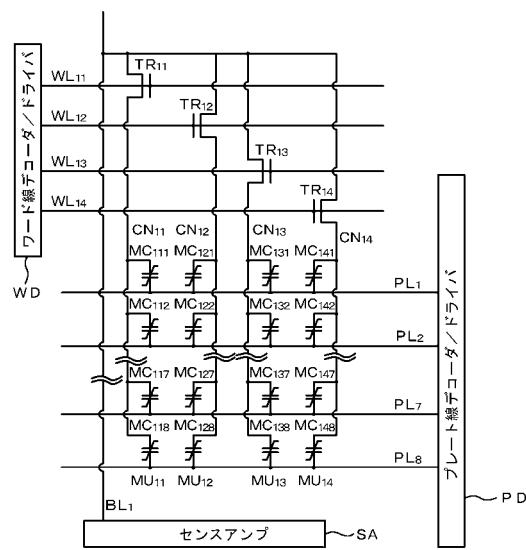
【図8】

【図8】



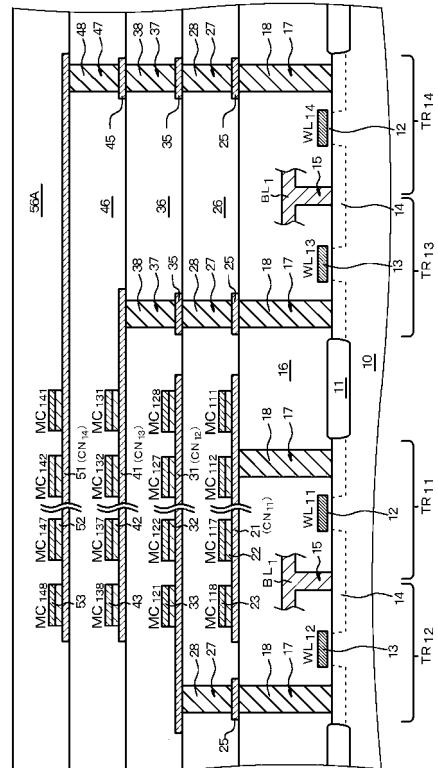
【図9】

【図9】



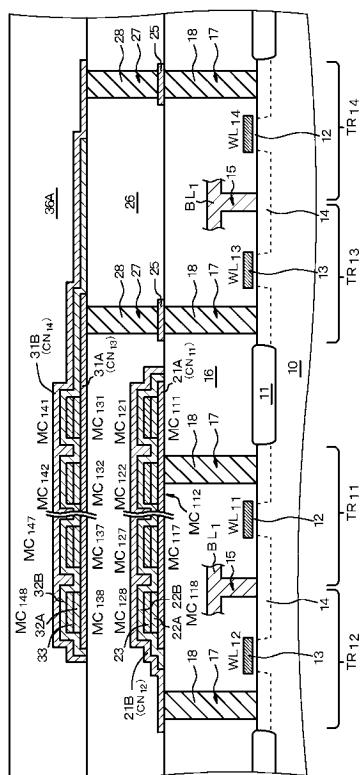
【 図 1 0 】

【図 10】



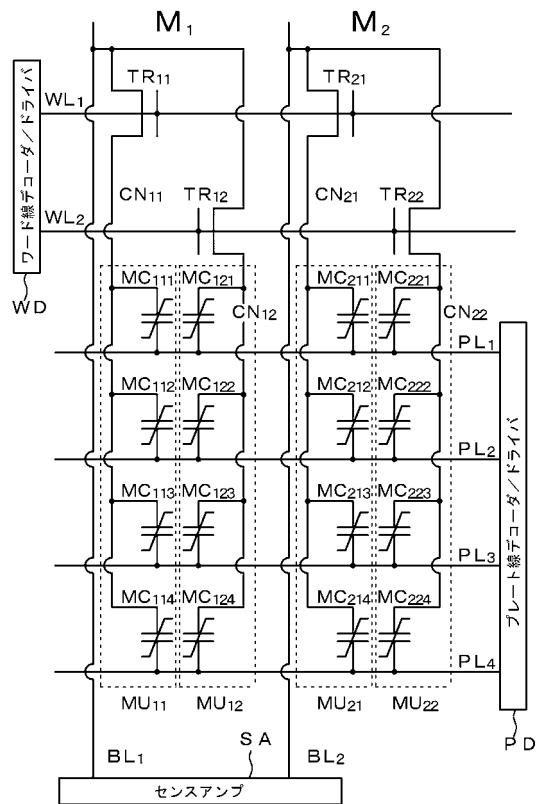
【 図 1 1 】

【図 1-1】



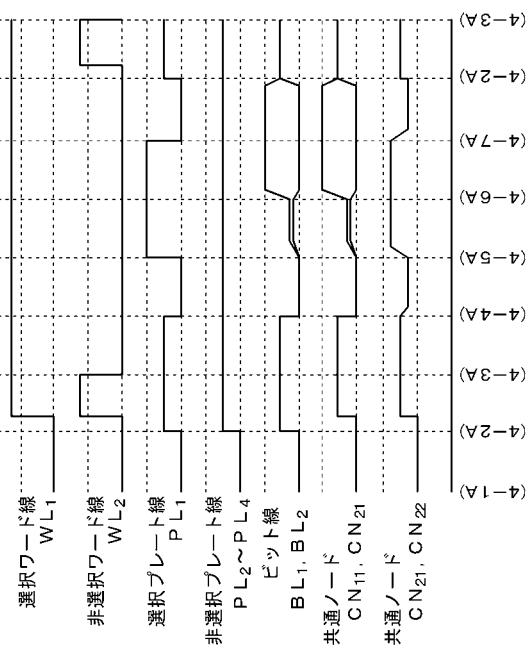
【 図 1 2 】

【図12】



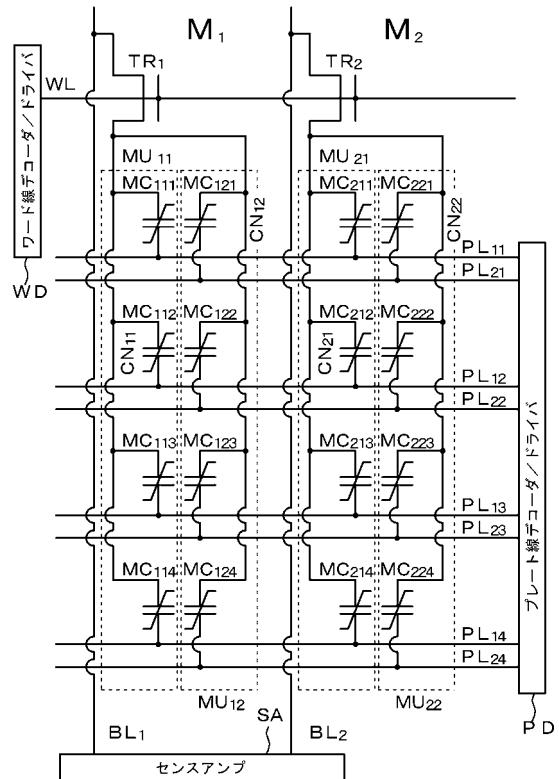
【図13】

【図13】



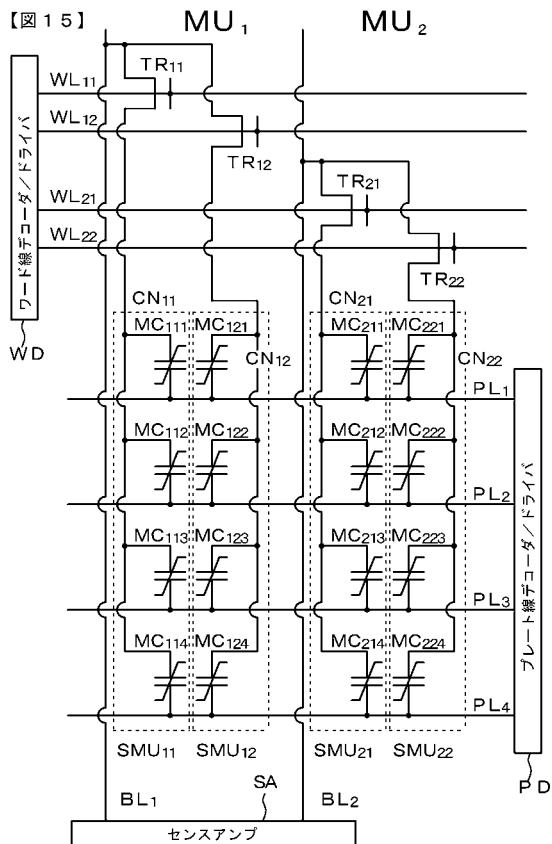
【図14】

【図14】



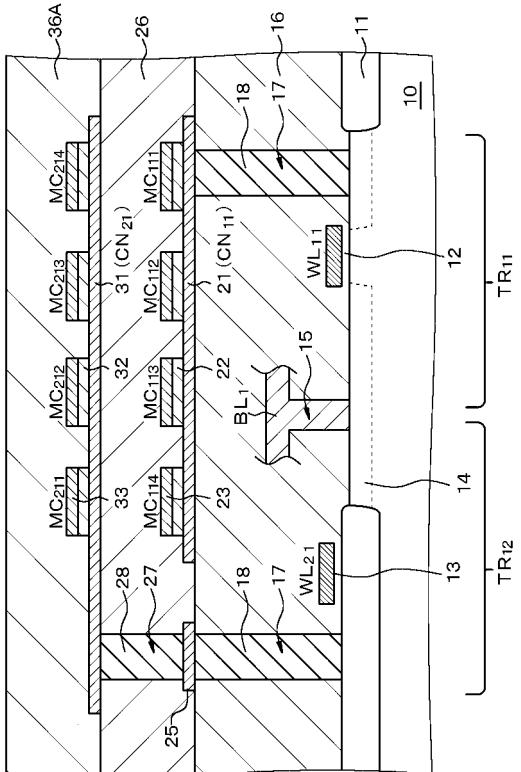
【図15】

【図15】



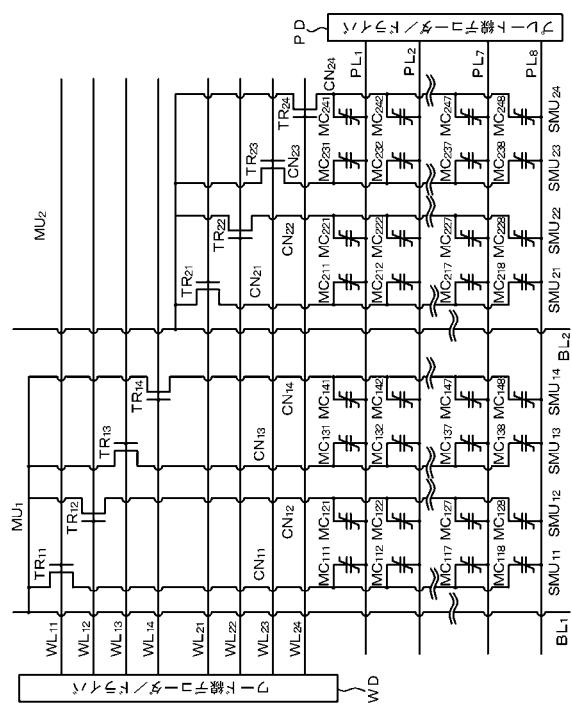
【図16】

【図16】



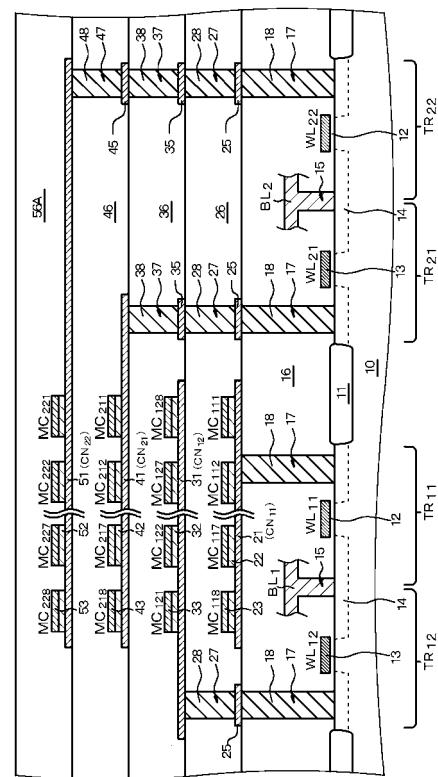
【図17】

【図17】



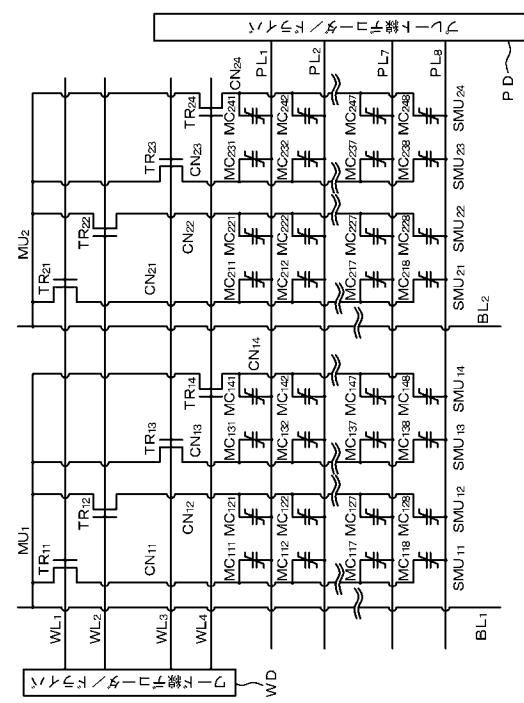
【図18】

【図18】



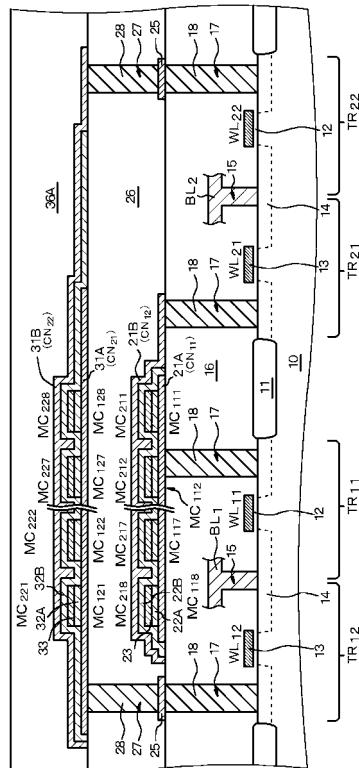
【図19】

【図19】



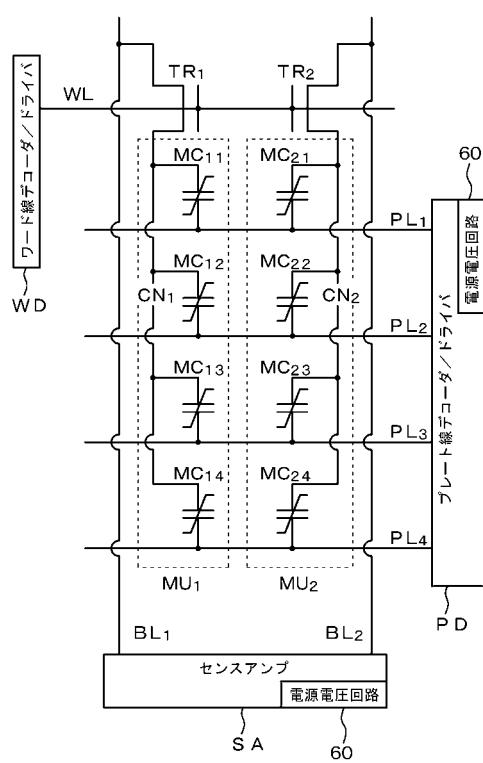
【図20】

【図20】



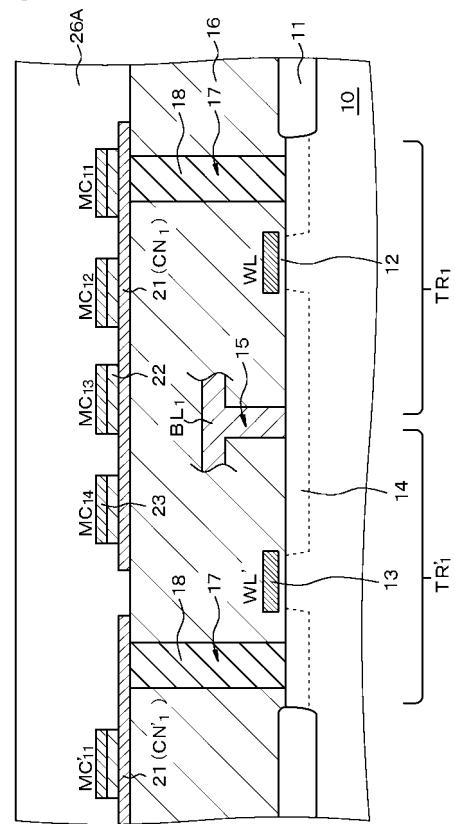
【図 2 1】

【図 2 1】



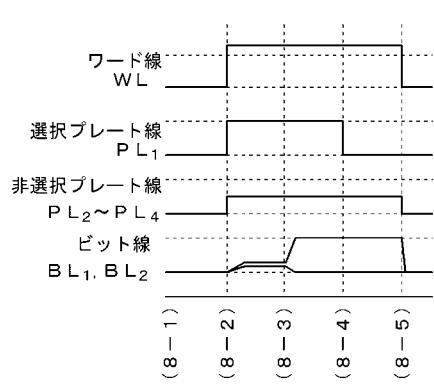
【図 2 2】

【図 2 2】



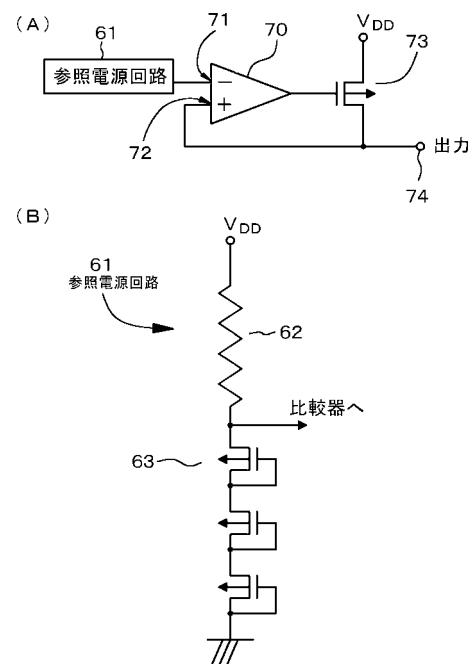
【図 2 3】

【図 2 3】



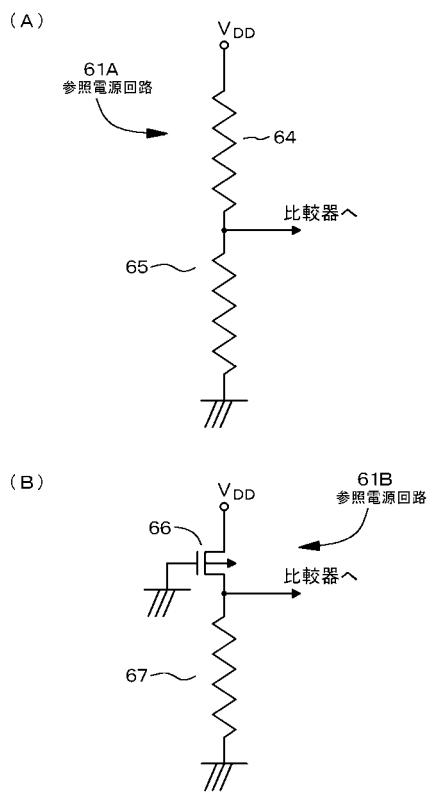
【図 2 4】

【図 2 4】



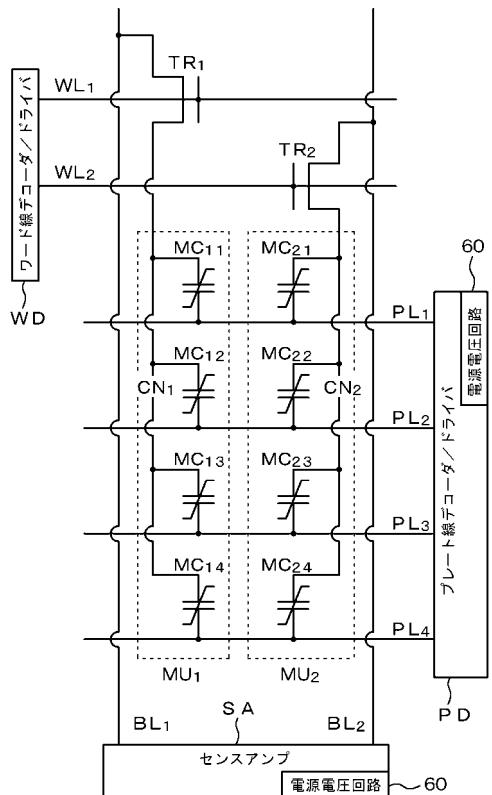
【図25】

【図25】



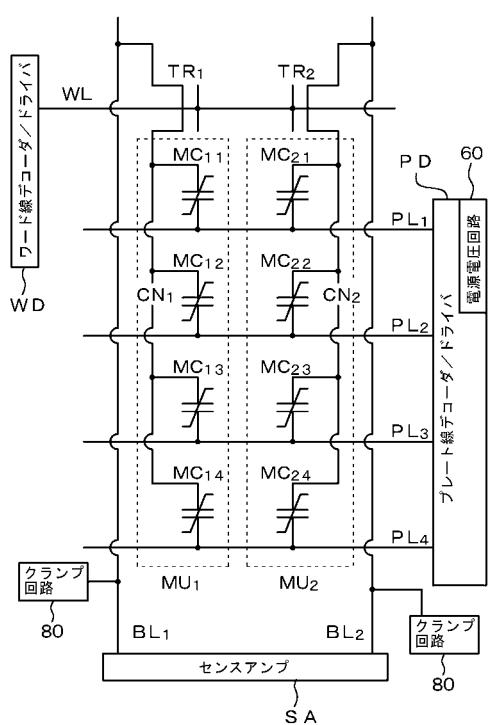
【図26】

【図26】



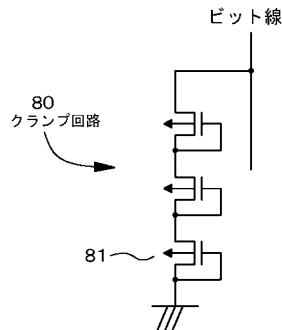
【図27】

【図27】



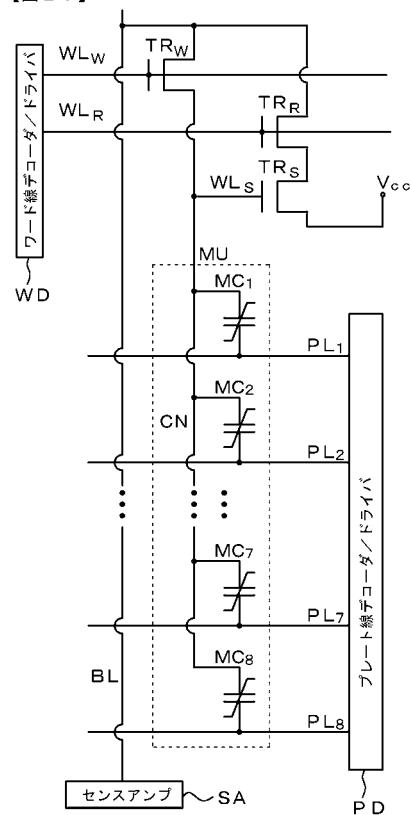
【 図 2 8 】

【図28】



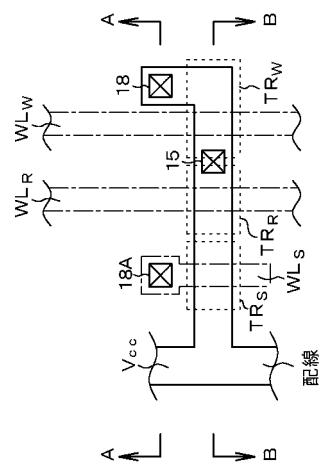
【図 2 9】

【図 2 9】



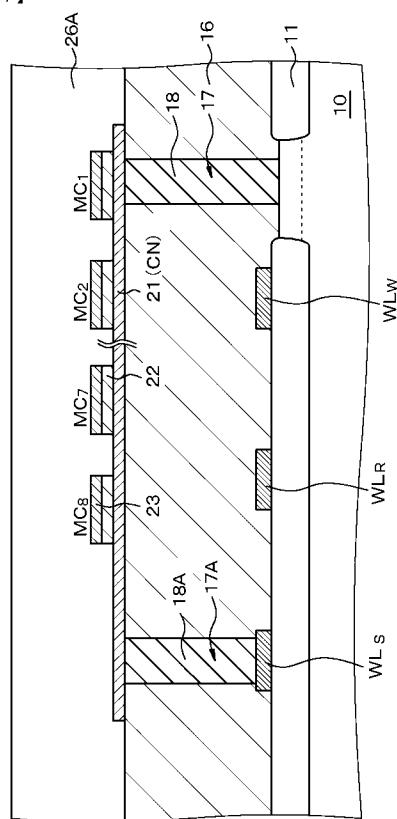
【図 3 0】

【図 3 0】



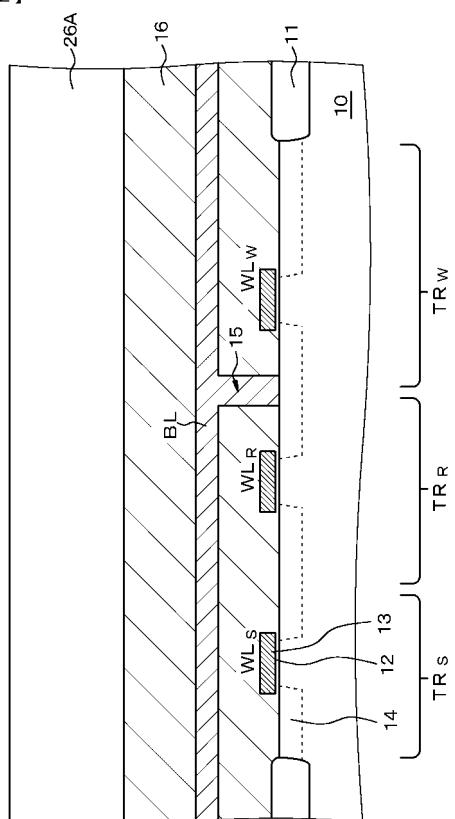
【図 3 1】

【図 3 1】



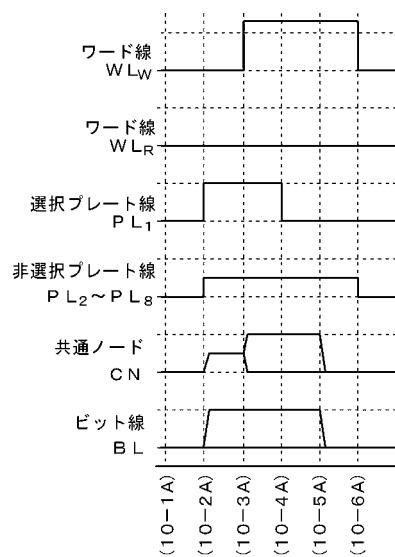
【図 3 2】

【図 3 2】



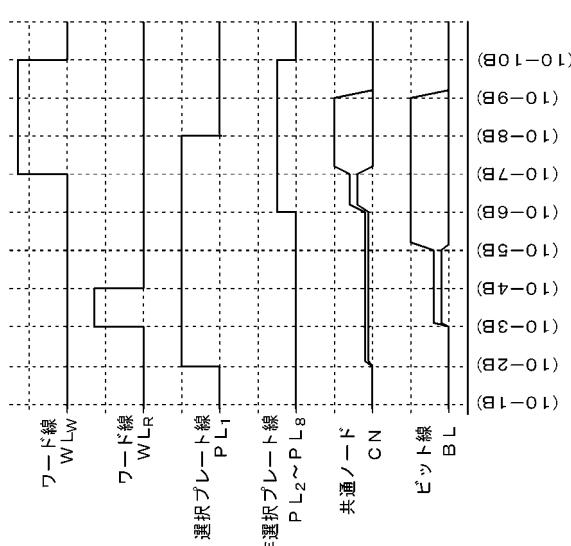
【図 3 3】

【図3 3】



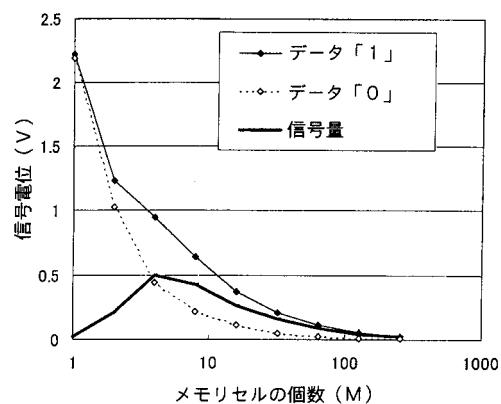
【図 3 4】

【図3 4】



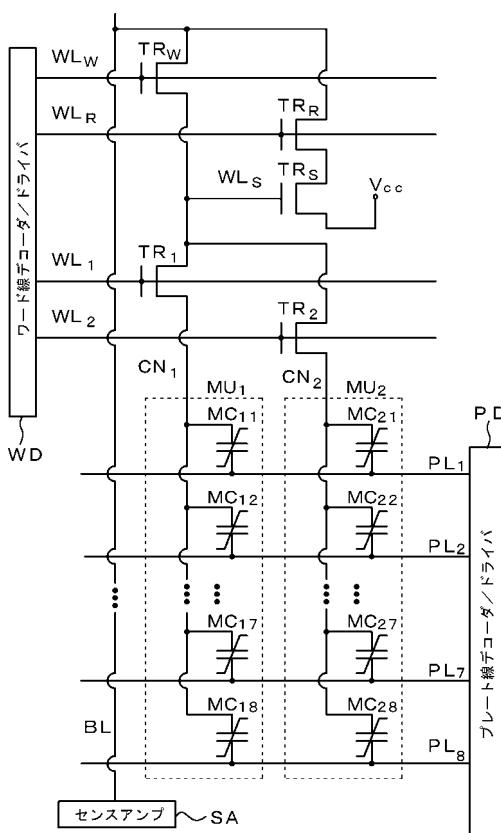
【図 3 5】

【図3 5】



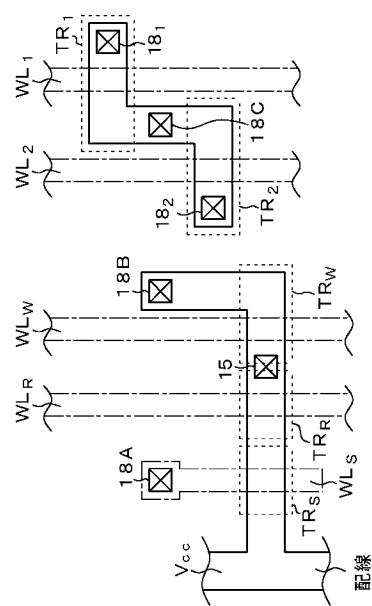
【図 3 6】

【図3 6】



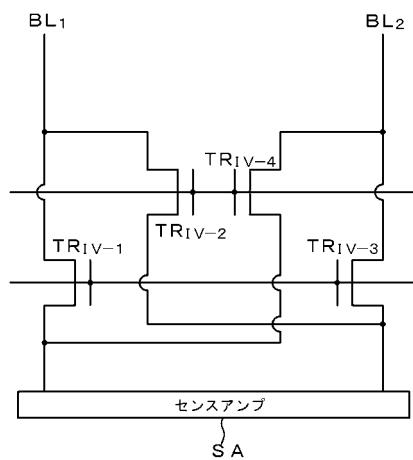
【図37】

【図37】



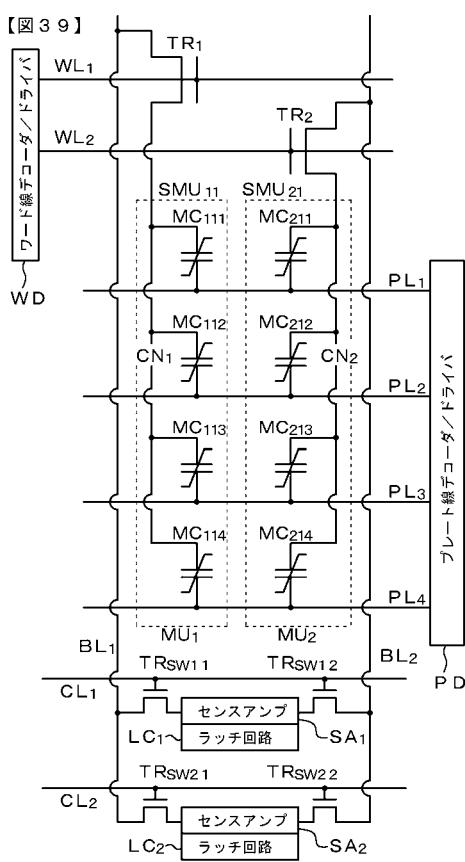
【図38】

【図38】



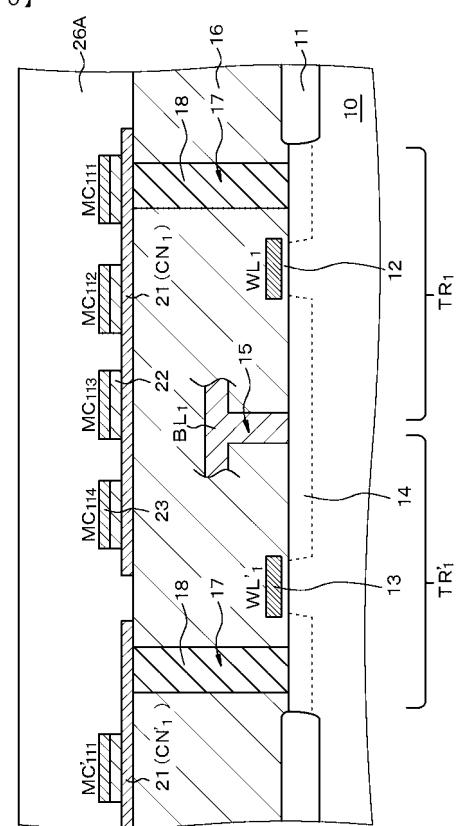
【図39】

【図39】



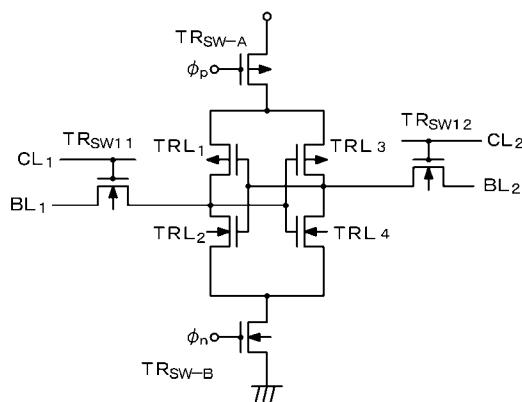
【図40】

【図40】



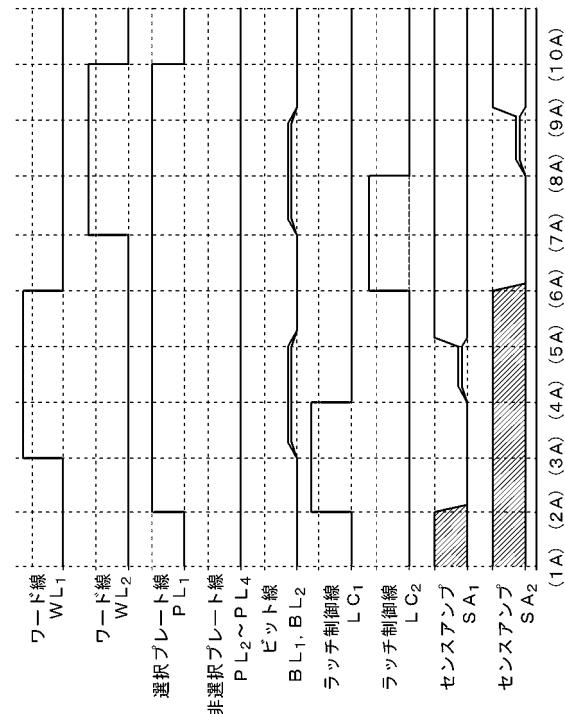
【図 4 1】

【図 4 1】



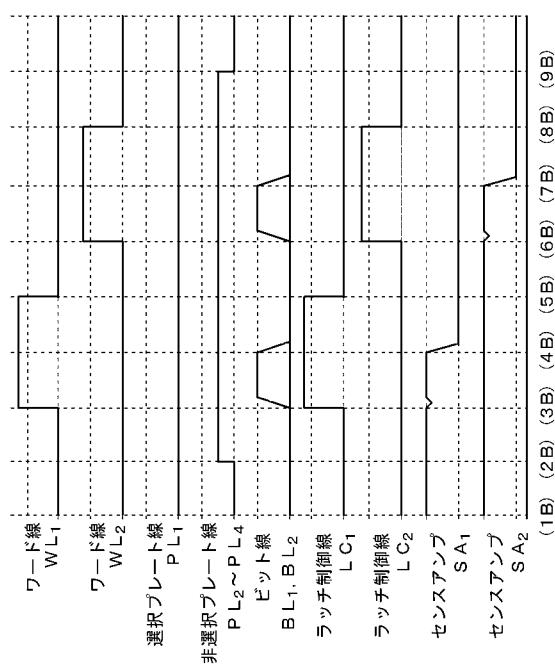
【図 4 2】

【図 4 2】



【図 4 3】

【図 4 3】



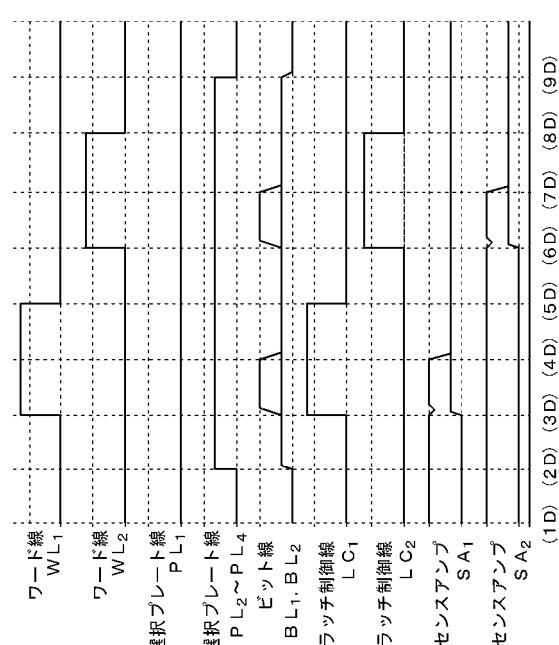
【図 4 4】

【図 4 4】



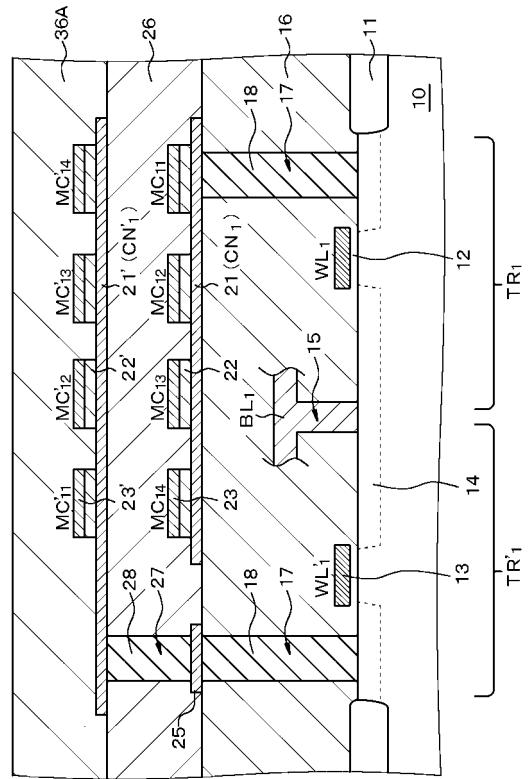
【図 4 5】

【図 4 5】

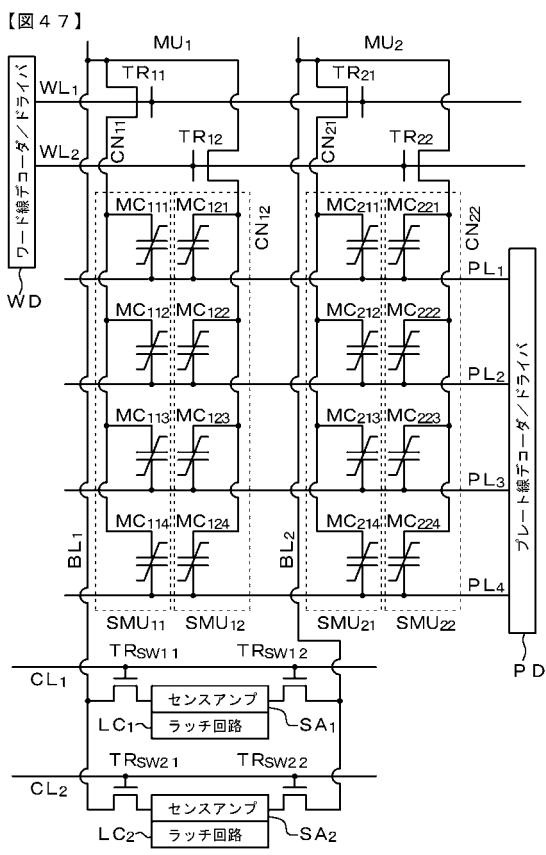


【図 4 6】

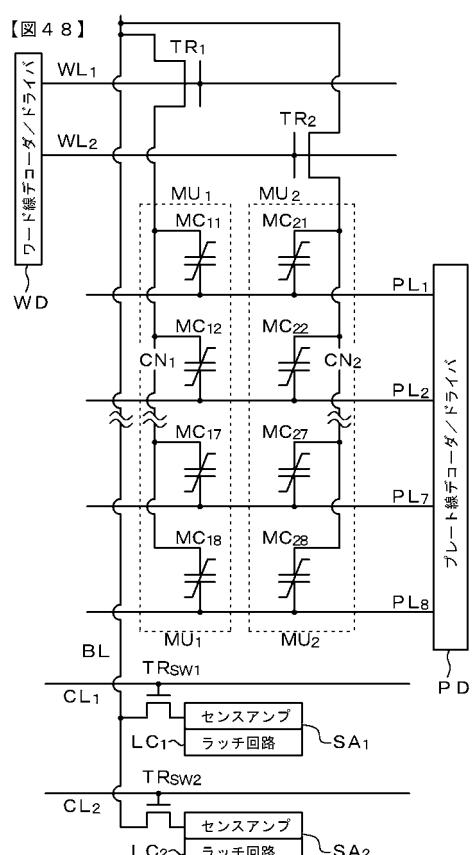
【図 4 6】



【図 4 7】

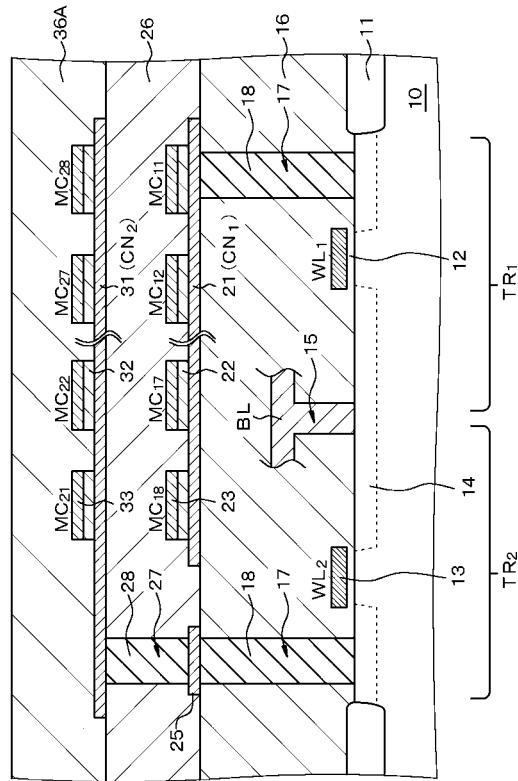


【図 4 8】



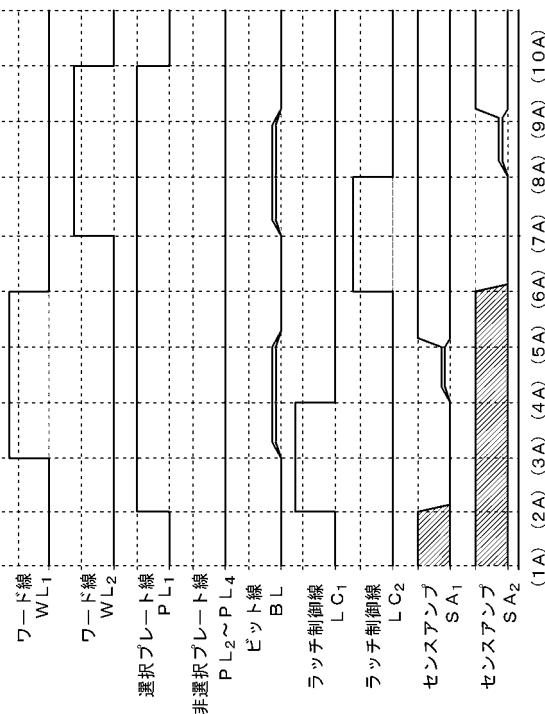
【図 4 9】

【図 4 9】



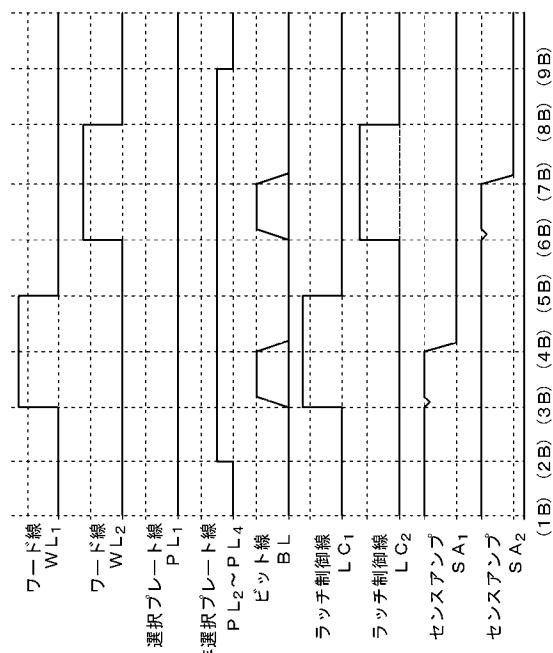
【図 5 0】

【図 5 0】



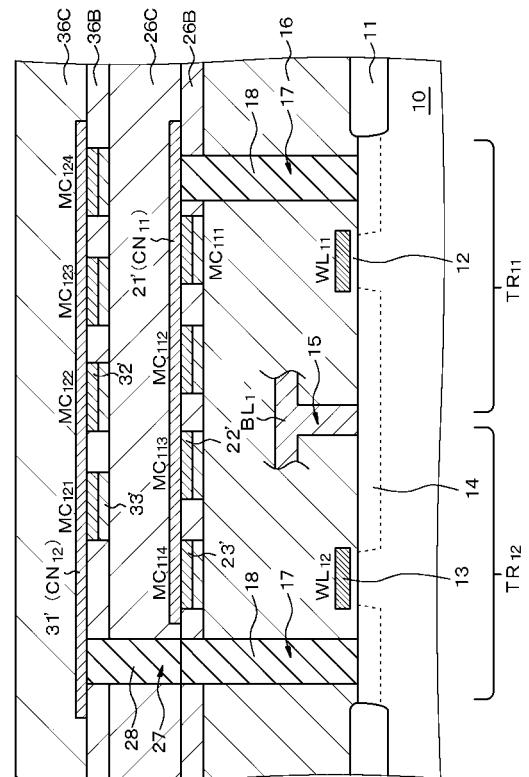
【図 5 1】

【図 5 1】



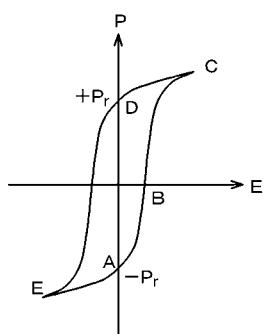
【図 5 2】

【図 5 2】



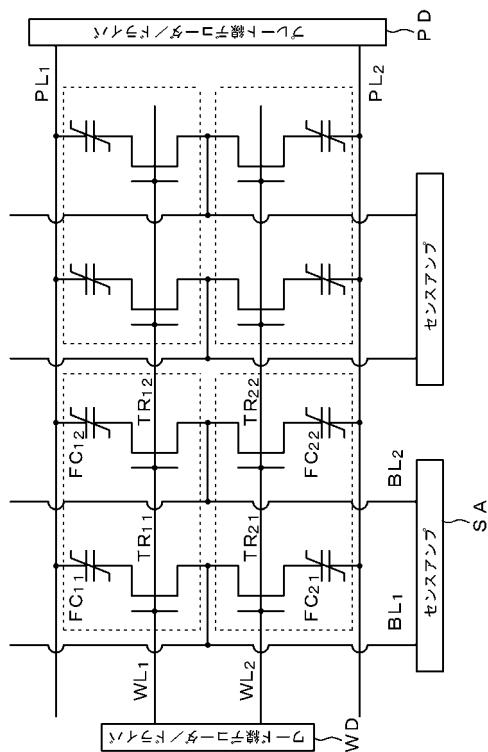
【図 5 3】

【図 5 3】



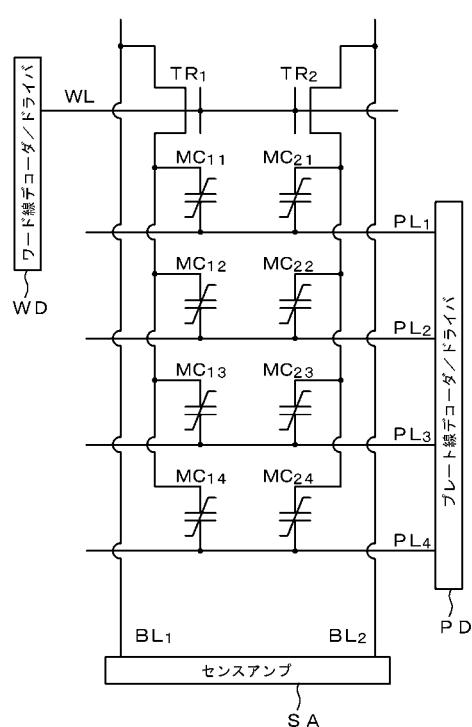
【図 5 4】

【図 5 4】 (従来の技術)



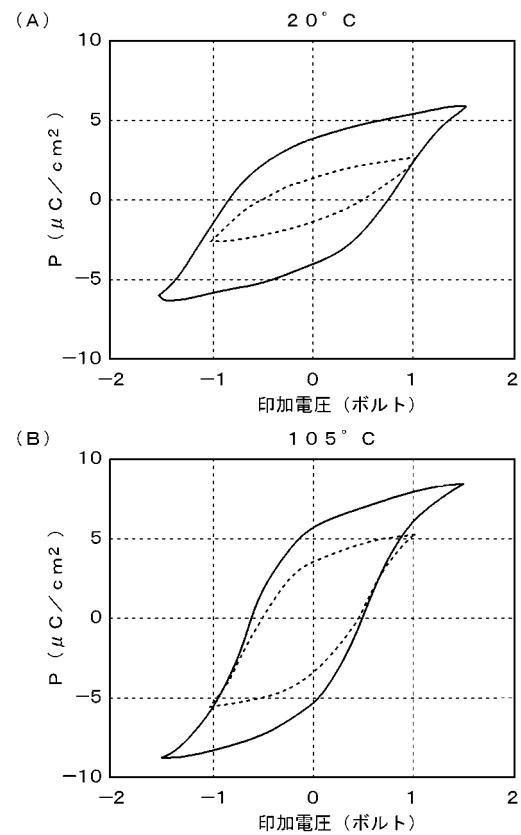
【図 5 5】

【図 5 5】 (従来の技術)



【図 5 6】

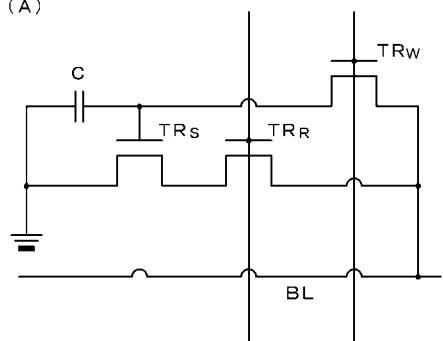
【図 5 6】



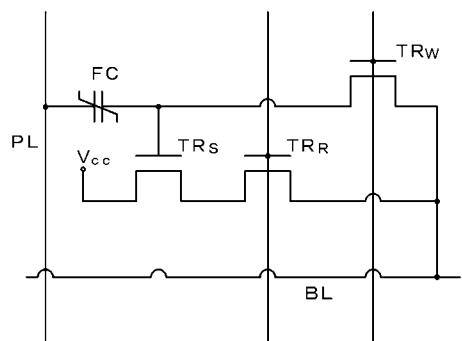
【図 5 7】

【図 5 7】

(A)



(B)



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 27/10 4 4 4 B

(31)優先権主張番号 特願2000-262755(P2000-262755)

(32)優先日 平成12年8月31日(2000.8.31)

(33)優先権主張国 日本国(JP)

(31)優先権主張番号 特願2000-317880(P2000-317880)

(32)優先日 平成12年10月18日(2000.10.18)

(33)優先権主張国 日本国(JP)

(56)参考文献 特開平09-116107 (JP, A)

特開平07-235648 (JP, A)

特開平04-090189 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/22

H01L 21/8246

H01L 27/10

H01L 27/105