(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0110201
(43) 공개일자 2022년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/11556 (2017.01) *H01L 27/1156* (2017.01)
H01L 27/11582 (2017.01) *H01L 29/788* (2006.01)
H01L 29/792 (2006.01)
(52) CPC특허분류
H01L 27/11556 (2013.01)
H01L 27/1156 (2013.01)
(21) 출원번호 10-2022-7018560
(22) 출원일자(국제) 2020년11월24일
심사청구일자 없음
(85) 번역문제출일자 2022년05월31일
(86) 국제출원번호 PCT/IB2020/061059
(87) 국제공개번호 WO 2021/111243
국제공개일자 2021년06월10일
(30) 우선권주장
JP-P-2019-220945 2019년12월06일 일본(JP)
JP-P-2020-069023 2020년04월07일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
츠다 가즈키
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
고도 히로미치
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

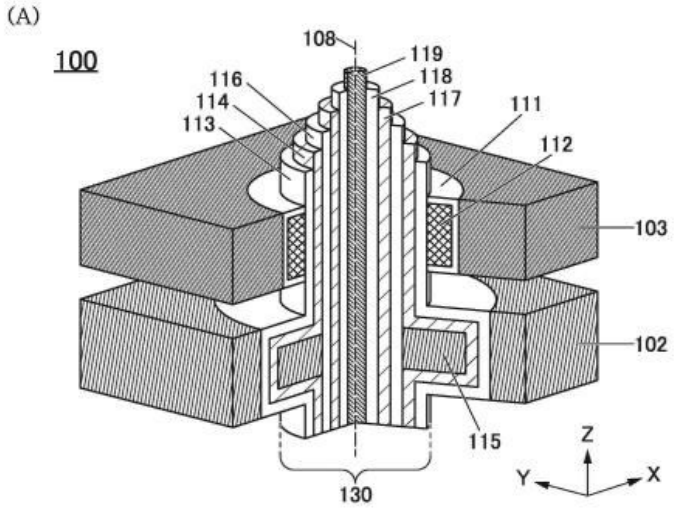
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **반도체 장치 및 전자 기기**

(57) 요 약

신규 반도체 장치를 제공한다. 제 1 방향으로 연장되는 구조체와, 제 2 방향으로 연장되는 제 1 도전체와, 제 2 방향으로 연장되는 제 2 도전체가 제공된다. 구조체와 제 1 도전체가 교차하는 제 1 교차부에서, 구조체는 제 1 절연체, 제 1 반도체, 제 2 절연체, 제 2 반도체, 제 3 절연체, 제 4 절연체, 및 제 5 절연체가 제 3 도전체의 외측에 동심상으로 제공된다. 구조체와 제 2 도전체가 교차하는 제 2 교차부에서, 구조체는 제 1 절연체, 제 1 반도체, 제 2 절연체, 제 4 도전체, 제 2 반도체, 및 제 3 절연체가 제 3 도전체의 외측에 동심상으로 제공된다.

대 표 도



(52) CPC특허분류
H01L 27/11582 (2013.01)
H01L 29/788 (2013.01)
H01L 29/792 (2013.01)
(72) 발명자
오시타 사토루
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
구니타케 히토시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 방향으로 연장되는 구조체와,

제 2 방향으로 연장되는 제 1 도전체와,

상기 제 2 방향으로 연장되는 제 2 도전체를 가지고,

상기 구조체는,

상기 제 1 방향으로 연장되는 제 3 도전체와,

상기 제 3 도전체에 인접한 제 1 절연체와,

상기 제 1 절연체에 인접한 제 1 반도체와,

상기 제 1 반도체에 인접한 제 2 절연체를 가지고,

상기 구조체와 상기 제 1 도전체가 교차하는 제 1 교차부에서 상기 구조체는,

상기 제 2 절연체에 인접한 제 2 반도체와,

상기 제 2 반도체에 인접한 제 3 절연체와,

상기 제 3 절연체에 인접한 기능체와,

상기 기능체에 인접한 제 4 절연체를 가지고,

상기 구조체와 상기 제 2 도전체가 교차하는 제 2 교차부에서 상기 구조체는,

상기 제 2 절연체에 인접한 제 4 도전체와,

상기 제 4 도전체에 인접한 상기 제 2 반도체와,

상기 제 2 반도체에 인접한 상기 제 3 절연체를 가지고,

상기 제 1 교차부에서, 상기 제 1 절연체, 상기 제 1 반도체, 상기 제 2 절연체, 상기 제 2 반도체, 상기 제 3 절연체, 상기 기능체, 및 상기 제 4 절연체는 상기 제 1 방향에서 보았을 때 상기 제 3 도전체의 외측에 동심상으로 제공되고,

상기 제 2 교차부에서, 상기 제 1 절연체, 상기 제 1 반도체, 상기 제 2 절연체, 상기 제 4 도전체, 상기 제 2 반도체, 및 상기 제 3 절연체는 상기 제 1 방향에서 보았을 때 상기 제 3 도전체의 외측에 동심상으로 제공되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 방향은 상기 제 2 방향과 직교하는 방향인, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 기능체는 절연체인, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 기능체는 반도체인, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 기능체는 실리콘을 포함하는, 반도체 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 기능체는 질소 및 실리콘을 포함하는, 반도체 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 교차부가 제 1 트랜지스터로서 기능하고,

상기 제 2 교차부가 제 2 트랜지스터 및 용량 소자로서 기능하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 트랜지스터는 노멀리 오프형인, 반도체 장치.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 제 2 트랜지스터는 노멀리 온형인, 반도체 장치.

청구항 10

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 반도체가 실리콘을 포함하는, 반도체 장치.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 2 반도체가 산화물 반도체를 포함하는, 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 산화물 반도체는 인듐 및 아연 중 적어도 한쪽을 포함하는, 반도체 장치.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

NAND형 기억 장치로서 기능하는, 반도체 장치.

청구항 14

전자 기기로서,

제 1 항 내지 제 13 항 중 어느 한 항에 기재된 반도체 장치와,

조작 스위치, 배터리, 및 표시부 중 적어도 하나를 가지는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 본 명세서에서 개시하는 본 발명의 일 형태가 속하는 기술분야의 더 구체적인 예로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 들 수 있다.

배 경 기 술

[0003] 근년, 퍼스널 컴퓨터, 스마트폰, 디지털 카메라 등 다양한 전자 기기에 중앙 처리 장치(CPU), 그래픽 처리 장치(GPU), 기억 장치, 센서 등의 전자 부품이 사용되고 있고, 상기 전자 부품은 미세화 및 저소비 전력 등 다양한 면에서 개량되고 있다.

[0004] 특히, 상술한 전자 기기 등에서 취급되는 데이터양은 증가되고 있어, 기억 용량이 큰 기억 장치가 요구되고 있다. 기억 용량을 크게 하는 수단으로서, 예를 들어 특허문헌 1 및 특허문헌 2에서는 채널 형성 영역에 금속 산화물을 사용한 3차원 구조의 NAND 메모리 소자가 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 국제공개공보 WO2019/3060호 팸플릿

(특허문헌 0002) 일본 공개특허공보 특개2018-207038호

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 형태는 신뢰성이 높은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 기억 용량이 큰 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 기억 용량이 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0007] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0008] 본 발명의 일 형태는 제 1 방향으로 연장되는 구조체와, 제 2 방향으로 연장되는 제 1 도전체와, 제 2 방향으로 연장되는 제 2 도전체를 가지고, 구조체는 제 1 방향으로 연장되는 제 3 도전체와, 제 3 도전체에 인접한 제 1 절연체와, 제 1 절연체에 인접한 제 1 반도체와, 제 1 반도체에 인접한 제 2 절연체를 가지고, 구조체와 제 1 도전체가 교차하는 제 1 교차부에서, 구조체는 제 2 절연체에 인접한 제 2 반도체와, 제 2 반도체에 인접한 제 3 절연체와, 제 3 절연체에 인접한 기능체와, 기능체에 인접한 제 4 절연체를 가지고, 구조체와 제 2 도전체가 교차하는 제 2 교차부에서, 구조체는 제 2 절연체에 인접한 제 4 도전체와, 제 4 도전체에 인접한 제 2 반도체

와, 제 2 반도체에 인접한 제 3 절연체를 가지고, 제 1 교차부에서 제 1 절연체, 제 1 반도체, 제 2 절연체, 제 2 반도체, 제 3 절연체, 기능체, 및 제 4 절연체는 제 1 방향에서 보았을 때 제 3 도전체의 외측에 동심상으로 제공되고, 제 2 교차부에서 제 1 절연체, 제 1 반도체, 제 2 절연체, 제 4 도전체, 제 2 반도체, 및 제 3 절연체는 제 1 방향에서 보았을 때 제 3 도전체의 외측에 동심상으로 제공되는 반도체 장치이다.

[0009] 제 1 방향은 제 2 방향과 직교하는 방향이다. 또한 제 1 교차부가 제 1 트랜지스터로서 기능하고, 제 2 교차부가 제 2 트랜지스터 및 용량 소자로서 기능한다. 제 1 반도체 및 제 2 반도체 중 적어도 한쪽이 실리콘이어도 좋다.

[0010] 기능체로서 절연체 또는 반도체를 사용할 수 있다. 예를 들어 기능체로서 질화 실리콘(질소와 실리콘을 포함하는 절연체)을 사용함으로써 제 1 트랜지스터를 MONOS형 트랜지스터로 할 수 있다. 또한 예를 들어 기능체로서 질화 실리콘(질소와 실리콘을 포함하는 절연체)을 사용함으로써 제 1 트랜지스터를 FG형 트랜지스터로 할 수 있다.

[0011] 기능체에 전하를 주입함으로써, 제 1 트랜지스터의 문턱 전압을 크게 하고, 제 1 트랜지스터를 노멀리 오프형 트랜지스터로 할 수 있다. 따라서, 제 1 트랜지스터를 노멀리 오프형 트랜지스터로 하고, 제 2 트랜지스터를 노멀리 온형 트랜지스터로 할 수도 있다.

[0012] 또한 제 1 반도체 및 제 2 반도체 중 적어도 한쪽이 산화물 반도체이어도 좋다. 산화물 반도체는 인듐 및 아연 중 적어도 한쪽을 포함하는 것이 바람직하다.

[0013] 본 발명의 다른 일 형태는 상기 반도체 장치와, 조작 스위치, 배터리, 및 표시부 중 적어도 하나를 가지는 전자 기기이다.

발명의 효과

[0014] 본 발명의 일 형태에 의하여 신뢰성이 높은 기억 장치를 제공할 수 있다. 또는 기억 용량이 큰 기억 장치를 제공할 수 있다. 또는 신규 기억 장치를 제공할 수 있다. 또는 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는 기억 용량이 큰 반도체 장치를 제공할 수 있다. 또는 신규 반도체 장치를 제공할 수 있다.

[0015] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0016] 도 1의 (A)는 메모리 셀의 사시도이다. 도 1의 (B)는 메모리 셀의 단면도이다.

도 2의 (A) 및 (B)는 메모리 셀의 단면도이다.

도 3은 구조체의 사시도이다.

도 4의 (A) 내지 (C)는 메모리 셀의 등가 회로도이다.

도 5의 (A) 및 (B)는 메모리 셀의 등가 회로도이다.

도 6은 메모리 스트링의 단면도이다.

도 7은 메모리 스트링의 등가 회로도이다.

도 8은 메모리 스트링의 등가 회로도이다.

도 9는 메모리 스트링의 등가 회로도이다.

도 10은 메모리 스트링의 등가 회로도이다.

도 11의 (A) 및 (B)는 메모리 스트링의 상면도이다.

도 12의 (A) 및 (B)는 메모리 셀의 단면도이다.

도 13은 메모리 셀의 단면도이다.

도 14의 (A)는 결정 구조의 분류를 설명하는 도면이다. 도 14의 (B)는 CAAC-IGZO막의 XRD 스펙트럼을 설명하는 도면이다. 도 14의 (C)는 CAAC-IGZO막의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 15의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 16의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 17의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 18의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 19의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 20의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 21의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 22의 (A) 및 (B)는 메모리 셀의 제작 방법을 설명하는 단면도이다.

도 23은 반도체 장치의 회로도이다.

도 24는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 25의 (A) 및 (B)는 반도체 장치의 동작예를 설명하는 타이밍 차트이다.

도 26의 (A)는 반도체 장치의 구성예를 설명하는 사시도이다. 도 26의 (B)는 반도체 장치의 구성예를 설명하는 상면도이다. 도 26의 (C)는 반도체 장치의 구성예를 설명하는 단면도이다.

도 27의 (A)는 반도체 장치의 구성예를 설명하는 사시도이다. 도 27의 (B)는 반도체 장치의 구성예를 설명하는 상면도이다. 도 27의 (C)는 반도체 장치의 구성예를 설명하는 단면도이다.

도 28의 (A) 및 (B)는 반도체 장치를 설명하는 단면도이다.

도 29의 (A) 및 (B)는 반도체 장치를 설명하는 단면도이다.

도 30은 반도체 장치의 구성예를 설명하는 블록도이다.

도 31은 반도체 장치의 구성예를 설명하는 도면이다.

도 32는 복수의 기억 장치를 사용하여 정보 처리 시스템을 구축하는 예를 설명하는 도면이다.

도 33은 CPU를 설명하는 블록도이다.

도 34의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 35의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 36의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 37의 (A)는 반도체 웨이퍼의 일례를 나타낸 사시도이고, 도 37의 (B)는 칩의 일례를 나타낸 사시도이고, 도 37의 (C) 및 (D)는 전자 부품의 일례를 나타낸 사시도이다.

도 38의 (A) 및 (B)는 각종 기억 장치를 계층마다 나타낸 도면이다.

도 39의 (A) 내지 (J)는 전자 기기의 일례를 설명하는 사시도 또는 모식도이다.

도 40의 (A) 내지 (E)는 전자 기기의 일례를 설명하는 사시도 또는 모식도이다.

도 41의 (A) 내지 (C)는 전자 기기의 일례를 설명하는 도면이다.

도 42는 컴퓨터 시스템의 구성예를 설명하는 도면이다.

도 43은 IoT 네트워크의 계층 구조와 요구 사양의 경향을 나타낸 도면이다.

도 44는 공장 자동화의 이미지 도면이다.

도 45의 (A)는 반도체 장치의 사시 개념도이다. 도 45의 (B)는 메모리 셀의 등가 회로도이다.

도 46은 3DOSNAND 스트링의 동작을 설명하는 타이밍 차트이다.

도 47의 (A)는 트랜지스터(WTr)의 Id-Vwg 특성을 나타낸 도면이다. 도 47의 (B)는 트랜지스터(WTr)의 문턱 전압과 Vpre의 관계를 나타낸 도면이다.

도 48의 (A) 및 (B)는 3DOSNAND 스트링의 유지 특성을 나타낸 도면이다.

도 49의 (A) 및 (B)는 메모리 셀의 유지 특성의 시뮬레이션 결과를 나타낸 도면이다.

도 50은 메모리 셀의 유지 데이터와 판독 전류(Irbl)의 시뮬레이션 결과를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 구비한 칩이나, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치이고, 반도체 장치를 가지는 경우가 있다.

[0018] 또한 본 명세서 등에 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 기재되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 기재되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0019] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한 스위치는 온 상태 또는 오프 상태가 제어되는 기능을 가진다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.

[0020] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 개재(介在)하여도 X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되는 것으로 한다.

[0021] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하여 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)를 포함하는 것으로 한다.

[0022] 또한 예를 들어 "X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는 "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공되어 있다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속의 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0023] 또한 회로도에서 독립되어 있는 구성 요소들이 서로 전기적으로 접속되는 것처럼 도시되어 있어도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는

경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0024] 또한 본 명세서 등에서 "저항 소자"란, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 배선 등으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스-드레인 간을 전류가 흐르는 트랜지스터, 다이오드, 코일 등을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", "저항값을 가지는 영역" 등의 용어로 바꿔 말할 수 있고, 반대로 "저항", "부하", "저항값을 가지는 영역"이라는 용어는 "저항 소자" 등의 용어로 바꿔 말할 수 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더욱 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 $1\times10^{9\Omega}$ 이하로 하여도 좋다.

[0025] 또한 본 명세서 등에서 "용량 소자"란, 예를 들어 0F보다 정전 용량의 값이 높은 회로 소자, 정전 용량의 값을 가지는 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 할 수 있다. 그러므로 본 명세서 등에서 "용량 소자"는 한 쌍의 전극과, 상기 전극 사이에 포함되는 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 발생하는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 "용량 소자", "기생 용량", "게이트 용량" 등이라는 용어는 "용량" 등의 용어로 바꿔 말할 수 있고, 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", "게이트 용량" 등의 용어로 바꿔 말할 수 있다. 또한 "용량"의 "한 쌍의 전극"이라는 용어는 "한 쌍의 도전체", "한 쌍의 도전 영역", "한 쌍의 영역" 등으로 바꿔 말할 수 있다. 또한 정전 용량의 값은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0026] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스나 드레인이라는 용어는 바꿔 말할 수 있는 것으로 한다. 또한 본 명세서 등에서는 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(혹은 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(혹은 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각각의 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0027] 또한 본 명세서 등에서 노드는 회로 구성이나 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0028] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화함으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화한다.

[0029] 또한 본 명세서 등에서 "고레벨 전위("하이 레벨 전위", "H 전위", 또는 "H"라고도 함)", "저레벨 전위("로 레벨 전위", "L 전위", 또는 "L"이라고도 함)"라는 용어는 특정의 전위를 의미하는 것은 아니다. 예를 들어, 2개의 배선의 양쪽이 "고레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 고레벨 전위는 서로 같지 않아도 된다. 또한 마찬가지로 2개의 배선의 양쪽이 "저레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 저레벨 전위는 서로 같지 않아도 된다.

[0030] "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"라고 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 특별히 언급하지 않는 경우, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어란 전자, 정공, 음이온, 양이온, 착이온 등이고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 진공 중 등)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양의 캐리어가 이동하는 방향이고, 전류량을 양의 값으로 기재한다. 바꿔 말하면, 음의 캐리어가 이동하

는 방향은 전류의 방향과 반대 방향이고, 전류량을 음의 값으로 기재한다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 언급하지 않는 경우, "소자(A)로부터 소자(B)로 전류가 흐른다" 등의 기재는 "소자(B)로부터 소자(A)로 전류가 흐른다" 등으로 바꿔 말할 수 있는 것으로 한다. 또한 "소자(A)에 전류가 입력된다" 등의 기재는 "소자(A)로부터 전류가 출력된다" 등으로 바꿔 말할 수 있는 것으로 한다.

[0031] 또한 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어, 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서는 생략될 수도 있다.

[0032] 또한 "위"나 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며, 직접 접한 것을 한정하는 것은 아니다. 예를 들어, "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0033] 또한 구성 요소의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어, 본 명세서 등에서 "위에", "아래에" 등 배치를 나타내는 용어는 구성 요소의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하는 경우가 있다. 따라서 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"로 바꿔 말할 수 있다. 또한 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 90° 회전시킴으로써, "도전체의 왼쪽 면(또는 오른쪽 면)에 위치하는 절연체"로 바꿔 말할 수 있다.

[0034] 마찬가지로, 본 명세서 등에서 "중첩" 등의 용어는 구성 요소의 적층 순서 등의 상태를 한정하는 것이 아니다. 예를 들어, "절연층(A)에 중첩되는 전극(B)"이라는 표현이면, "절연층(A) 위에 전극(B)이 형성되어 있는" 상태에 한정되지 않고, "절연층(A) 아래에 전극(B)이 형성되어 있는" 상태 또는 "절연층(A)의 오른쪽(또는 왼쪽)에 전극(B)이 형성되어 있는" 상태 등을 제외하지 않는다.

[0035] 또한 본 명세서 등에서 "인접"이나 "근접"이라는 용어는 구성 요소가 직접 접한 것을 한정하는 것이 아니다. 예를 들어, "절연층(A)에 인접한 전극(B)"이라는 표현이면, 절연층(A)과 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0036] 또한 본 명세서 등에서 "막", "층" 등의 용어는 상황에 따라 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막", "층" 등의 용어를 사용하지 않고, 다른 용어로 교체할 수 있다. 예를 들어, "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.

[0037] 또한 본 명세서 등에서 "전극", "배선", "단자" 등의 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는 복수의 "전극"이나 "배선"이 일체가 되어 형성되는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선"이나 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는 복수의 "전극", "배선", "단자" 등이 일체가 되어 형성되는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", "단자" 등의 용어는 경우에 따라 "영역" 등의 용어로 치환되는 경우가 있다.

[0038] 또한 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는 경우 또는 상황에 따라 서로 교체할 수 있다. 예를 들어, "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어, "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 공급되어 있는 "전위"라는 용어를 경우 또는 상황에 따라 "신호" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0039] 본 명세서 등에서 반도체의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체의 결함 준위 밀도가 높아지거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 구체적으로는, 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소 등이 있다.

[0040] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다. 일례로서는, 전기적 스위치 또는 기계적 스위치 등을 사용할 수 있다. 즉, 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0041] 전기적 스위치의 일례로서는, 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0042] 기계적 스위치의 일례로서는 MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 가지고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.

[0043] 또한 본 명세서 등에서 "온 전류"란, 트랜지스터가 온 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다. 또한 "오프 전류"란, 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다.

[0044] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0045] 본 명세서 등에서 계수치 및 계량값에 관하여, 또는 계수치 또는 계량값으로 환산할 수 있는 물건, 방법, 및 사상(事象) 등에 관하여 설명하는 데 있어 "동일하다", "같다", "동등하다", 또는 "균일하다" 등이라고 하는 경우에는, 명시된 경우를 제외하고 ±20%의 오차를 포함하는 것으로 한다.

[0046] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터로 바꿔 말할 수 있다.

[0047] 또한 본 명세서 등에서, 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.

[0048] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.

[0049] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어

도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.

[0050] 또한 실시형태에서 설명하는 내용이란, 각 실시형태(또는 실시예)에서 다양한 도면을 참조하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.

[0051] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.

[0052] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 도면을 이해하기 쉽게 하기 위하여, 사시도 또는 상면도 등에서 일부의 구성 요소를 생략한 경우가 있다.

[0053] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 크기나 종횡비 등에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0054] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 이들을 특별히 구별할 필요가 있는 경우에는, 부호에 "_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 예를 들어, 2개의 배선(GL) 중 한쪽을 배선(GL[1])이라고 기재하고, 다른 쪽을 배선(GL[2])이라고 기재하는 경우가 있다.

[0055] (실시형태 1)

[0056] 본 실시형태에서는 본 발명의 일 형태에 따른 기억 장치로서 기능하는 메모리 셀(100)의 구성예와 제작 방법예에 대하여 도면을 사용하여 설명한다.

[0057] <기억 장치의 구성예>

[0058] 도 1의 (A)는 본 발명의 일 형태에 따른 메모리 셀(100)의 사시도이다. 메모리 셀(100)은 3차원 적층 구조를 가지는 기억 장치이다. 또한 도 1의 (A)에서는 메모리 셀(100)의 내부 구조를 나타내기 위하여 메모리 셀(100)의 일부를 생략하였다. 또한 도면에서는 X방향, Y방향, 및 Z방향을 나타내는 화살표를 붙인 경우가 있다. X방향, Y방향, 및 Z방향은 각각이 서로 직교한다. 본 명세서 등에서는 X방향, Y방향, 및 Z방향 중 하나를 "제 1 방향"이라고 부르는 경우가 있다. 또한 다른 하나를 "제 2 방향"이라고 부르는 경우가 있다. 또한 나머지 하나를 "제 3 방향"이라고 부르는 경우가 있다. 또한 본 실시형태 등에서는 후술하는 구조체(130)가 연장되는 방향을 Z방향으로 한다.

[0059] 도 1의 (B)는 도 1의 (A)에 나타낸 메모리 셀(100)의 일부를 나타낸 단면도이다. 또한 도 1의 (B)는 메모리 셀(100)의 일부를 Y방향에서 본 단면도이다. 또한 도 1의 (B)는 중심축(108)을 지나가는 XZ면을 따르는 단면도이다. 도 2의 (A)는 도 1의 (B)에서 일점쇄선으로 나타낸 부분 A1-A2를 Z방향에서 본 단면도이다. 도 2의 (B)는 도 1의 (B)에서 일점쇄선으로 나타낸 부분 B1-B2를 Z방향에서 본 단면도이다.

[0060] 메모리 셀(100)은 기판(도시하지 않았음)의 위쪽에 배치된 복수의 절연체(101)를 가진다. 복수의 절연체(101)는 기판 측으로부터 순차적으로 적층되어 있다. 본 실시형태 등에서는, i번째(i는 1 이상의 정수(整數)임) 절연체(101)를 절연체(101[i])로 나타낸다. 도 1의 (B)에서는 절연체(101[i])의 위쪽에 배치된 절연체(101[i+1])와, 절연체(101[i+1])의 위쪽에 배치된 절연체(101[i+2])를 나타내었다. 또한 절연체(101[i])와 절연체(101[i+1]) 사이에 도전체(102)를 가지고, 절연체(101[i+1])와 절연체(101[i+2]) 사이에 도전체(103)를 가진다. 또한 절연체(101), 도전체(102), 및 도전체(103)는 Y방향으로 연장된다. 또한 메모리 셀(100)은 절연체(101), 도전체(102), 및 도전체(103)의 측면을 덮도록 절연체(121)를 가진다.

[0061] 또한 메모리 셀(100)은 구조체(130)를 가진다. 구조체(130)는 중심축(108)을 따라 Z방향으로 연장된다. 도 3에 구조체(130)의 사시도를 나타내었다. 구조체(130)는 기둥 형상을 가진다. 도 3에서는 구조체(130)의 내부 구조를 나타내기 위하여 구조체(130)의 일부를 생략하였다. 구조체(130)의 일부가 메모리 셀(100)의 일부로서 기능한다. 또한 도 1 및 도 3에 나타낸 바와 같이 구조체(130)는 Z방향으로 연장되는 측면에 요철을 가진다.

[0062] 본 실시형태에서는, 구조체(130)를 Z방향에서 보았을 때 구조체(130)의 외주 형상이 원형인 경우를 설명하지만, 구조체(130)의 외주 형상은 원형이 아니어도 된다. 예를 들어, 삼각형이나 사각형 등의 다각형이어도 좋다. 또한 구조체(130)의 외주 형상은 곡선으로 구성되어도 좋고, 곡선과 직선을 조합하여 구성되어도 좋다.

[0063] 구조체(130)는 도전체(102)와 교차하는 영역("교차부 R"라고도 함) 및 도전체(103)와 교차하는 영역("교차부 W"라고도 함)을 가진다. 또한 구조체(130)는 절연체(111), 기능체(112), 절연체(113), 반도체(114), 도전체(115), 절연체(116), 반도체(117), 절연체(118), 및 도전체(119)를 포함한다.

[0064] 구체적으로는 도전체(119)가 중심축(108)을 따라 Z방향으로 연장되고, 절연체(118)가 도전체(119)에 인접하여 제공된다. 또한 반도체(117)가 절연체(118)에 인접하여 제공된다. 또한 절연체(116)가 반도체(117)에 인접하여 제공된다.

[0065] 또한 구조체(130)는 교차부 W에서 절연체(116)에 인접하여 반도체(114)가 제공되고, 반도체(114)에 인접하여 절연체(113)가 제공되고, 절연체(113)에 인접하여 기능체(112)가 제공되고, 기능체(112)에 인접하여 절연체(111)가 제공된다. 도 2의 (A)는 교차부 W에서의 Z방향과 수직인 방향의 단면도이다. 교차부 W에서 절연체(111), 기능체(112), 절연체(113), 반도체(114), 절연체(116), 반도체(117), 및 절연체(118)는 도전체(119)의 외측에 동심상으로 제공된다.

[0066] 또한 구조체(130)는 교차부 R에서 절연체(116)에 인접하여 도전체(115)가 제공되고, 도전체(115)에 인접하여 반도체(114)가 제공되고, 반도체(114)에 인접하여 절연체(113)가 제공된다. 도 2의 (B)는 교차부 R에서의 Z방향과 수직인 방향의 단면도이다. 교차부 R에서 절연체(113), 반도체(114), 도전체(115), 절연체(116), 반도체(117), 및 절연체(118)는 도전체(119)의 외측에 동심상으로 제공된다.

[0067] 교차부 W에서 절연체(111), 기능체(112), 절연체(113), 반도체(114), 및 도전체(103)가 트랜지스터(WTr)로서 기능한다. 따라서 트랜지스터(WTr)는 교차부 W에 형성된다고 할 수 있다.

[0068] 교차부 W에서 도전체(103)는 트랜지스터(WTr)의 게이트 전극으로서 기능한다. 따라서 절연체(111), 기능체(112), 및 절연체(113)는 트랜지스터(WTr)의 게이트 절연체로서 기능한다. 반도체(114)는 트랜지스터(WTr)의 채널이 형성되는 반도체로서 기능한다.

[0069] 또한 교차부 W에서 도전체(119)는 트랜지스터(WTr)의 백 게이트 전극으로서 기능하는 경우가 있다. 따라서 절연체(116), 반도체(117), 및 절연체(118)는 트랜지스터(WTr)의 백 게이트 절연체로서 기능하는 경우가 있다. 도 2의 (A)는 Z방향에서 보았을 때의 트랜지스터(WTr)의 단면도이기도 하다.

[0070] 교차부 R에서 도전체(119), 절연체(118), 반도체(117), 절연체(116), 도전체(115)가 트랜지스터(RTr)로서 기능한다. 또한 도전체(115), 반도체(114), 절연체(113), 및 도전체(102)가 용량 소자(Cs)로서 기능한다. 따라서 트랜지스터(RTr) 및 용량 소자(Cs)는 교차부 R에 형성된다고 할 수 있다.

[0071] 교차부 R에서 도전체(115)는 트랜지스터(RTr)의 게이트 전극으로서 기능한다. 따라서 절연체(116)는 게이트 절연체로서 기능한다. 반도체(117)는 트랜지스터(RTr)의 채널이 형성되는 반도체로서 기능한다. 또한 도전체(119)는 트랜지스터(RTr)의 백 게이트 전극으로서 기능하는 경우가 있다. 따라서 절연체(118)는 트랜지스터(RTr)의 백 게이트 절연체로서 기능하는 경우가 있다. 도 2의 (B)는 Z방향에서 보았을 때의 트랜지스터(RTr)의 단면도이기도 하다.

[0072] 또한 트랜지스터(WTr)가 가지는 기능체(112)는 전하 축적층으로서 기능할 수 있다. 기능체(112)에 전하를 축적함으로써 트랜지스터(WTr)의 문턱 전압을 제어할 수 있다. 예를 들어 트랜지스터(WTr)의 문턱 전압을 크게 함으로써 트랜지스터(WTr)를 노멀리 오프형 트랜지스터로 할 수 있다.

[0073] 기능체(112)에 대한 전하의 주입은 절연체(111)를 통하여 도전체(103)로부터 수행할 수 있다. 이 경우, 절연체(111)는 주입층으로서 기능하고, 절연체(113)는 블록층으로서 기능한다. 또한 기능체(112)에 대한 전하의 주입은 절연체(113)를 통하여 반도체(114)로부터 수행할 수도 있다. 이 경우, 절연체(113)는 주입층으로서 기능하고, 절연체(111)는 블록층으로서 기능한다. Z방향에 수직인 방향에서 보았을 때의 주입층의 두께는 블록층보다 얇은 것이 바람직하다.

[0074] 절연체(111)를 산화물로, 기능체(112)를 질화물로, 절연체(113)를 산화물로 구성한 경우, 트랜지스터(WTr)를 MONOS(Metal Oxide Nitride Oxide Semiconductor)형 트랜지스터라고 부를 수 있다.

[0075] 또한 MONOS형 트랜지스터에서 게이트 전극에 n형 실리콘 또는 p형 실리콘을 사용한 경우에는 SONOS(Silicon

Oxide Nitride Oxide Semiconductor)형 트랜지스터라고 부를 수 있다.

[0076] 마찬가지로, 게이트 전극에 질화 탄탈럼을 사용하고 블록층에 산화 알루미늄을 사용한 경우에는 TANOS(Tantalum nitride Aluminium oxide Nitride Oxide Semiconductor)형 트랜지스터라고 부를 수 있다.

[0077] 또한 게이트 전극에 질화 탄탈럼을 사용하고 블록층에 산화 하프늄을 사용한 경우에는 THNOS(Tantalum nitride Hafnium oxide Nitride Oxide Semiconductor)형 트랜지스터라고 부를 수 있다.

[0078] 전하 축적층으로서 기능하는 기능체(112)에는, 절연체(111) 및 절연체(113)보다 밴드 갭이 작은 재료를 사용하는 것이 바람직하다. 예를 들어, 절연체(111) 및 절연체(113)에 산화 실리콘을 사용하고, 기능체(112)에 질화 실리콘 등의 절연체를 사용하면 좋다. 기능체(112)에 질화 실리콘을 사용하는 경우에는, 실리콘의 함유량이 많은 질화 실리콘을 사용하는 것이 바람직하다. 예를 들어 절연체(111) 및 절연체(113)에 질화 실리콘을 사용하는 경우, 기능체(112)에는 절연체(111) 및 절연체(113)에 사용하는 질화 실리콘보다 실리콘의 함유량이 많은 질화 실리콘을 사용하면 좋다.

[0079] 또한 전하 축적층으로서 기능하는 기능체(112)는 반도체이어도 좋다. 예를 들어 기능체(112)로서 실리콘 등의 반도체를 사용하여도 좋다. 기능체(112)에 반도체를 사용한 트랜지스터(WTr)를 FG(Floating Gate)형 트랜지스터라고 부를 수 있다.

[0080] 절연체(111), 기능체(112), 및 절연체(113)는 각각이 복수층의 적층이어도 좋다. 예를 들어, 블록층으로서 기능하는 절연체를 산화 실리콘과 산화 알루미늄의 적층으로 하여도 좋다.

[0081] 도 4의 (A)에 메모리 셀(100)의 등가 회로도를 나타내었다. 도 4의 (A)에서 트랜지스터(WTr)의 소스 및 드레인 중 한쪽은 반도체(114)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 트랜지스터(RTr)의 게이트와 전기적으로 접속된다. 트랜지스터(WTr)의 게이트는 도전체(103)와 전기적으로 접속된다. 트랜지스터(WTr)는 게이트와 반도체층 사이에 전하 축적층을 가지는 트랜지스터이다.

[0082] 반도체(114)의 일부는 트랜지스터(WTr)의 채널 형성 영역으로서 기능한다. 또한 반도체(114)의 다른 일부는 트랜지스터(WTr)의 소스 또는 드레인으로서 기능한다. 또한 반도체(114)는 전극 또는 배선으로서도 기능할 수 있다. 또한 도전체(103)의 일부가 트랜지스터(WTr)의 게이트로서 기능한다.

[0083] 도 4의 (A)에 나타낸 트랜지스터(RTr)는 백 게이트를 가지는 트랜지스터이다. 본 실시형태에서는 도전체(119)의 일부가 트랜지스터(RTr)의 백 게이트로서 기능한다. 또한 반도체(114)의 다른 일부 및 도전체(115)가 트랜지스터(RTr)의 게이트로서 기능한다. 또한 도전체(102)의 일부가 용량 소자(Cs)의 다른 쪽 전극으로서 기능한다. 또한 반도체(117)의 일부가 트랜지스터(RTr)의 소스 및 드레인 중 한쪽으로서 기능한다. 또한 반도체(117)의 다른 일부는 트랜지스터(RTr)의 소스 및 드레인 중 다른 쪽으로서 기능한다. 또한 반도체(117)는 전극 또는 배선으로서도 기능할 수 있다.

[0084] 또한 도 4의 (B)에 나타낸 바와 같이 트랜지스터(RTr)에 백 게이트를 제공하지 않아도 된다. 도 4의 (B)는 후술하는 메모리 셀(100B) 및 메모리 셀(100C)의 등가 회로도에 상당한다. 또한 도 4의 (C)에 나타낸 바와 같이 트랜지스터(WTr)에 백 게이트를 제공하여도 좋다. 도 4의 (C)에서는 트랜지스터(WTr)의 백 게이트를 도전체(119)와 전기적으로 접속하는 회로 구성예를 나타내었지만, 트랜지스터(WTr)의 백 게이트와 전기적으로 접속되는 도전체를 도전체(119) 이외에 제공하여도 좋다. 또는 도 5의 (A) 또는 (B)와 같은 회로 구성으로 하여도 좋다.

[0085] 도전체(102)는 용량 소자(Cs)의 한쪽 전극으로서 기능한다. 도전체(115) 및 반도체(114)는 다른 일부가 용량 소자(Cs)의 다른 쪽 전극으로서 기능한다. 본 명세서 등에서는 트랜지스터(RTr)의 게이트, 트랜지스터(WTr)의 소스 및 드레인 중 다른 쪽, 그리고 용량 소자(Cs)의 다른 쪽 전극이 전기적으로 접속되는 결합점을 노드(ND)라고 한다.

[0086] 도 6은 4개의 메모리 셀(100)(메모리 셀(100[1]) 내지 메모리 셀(100[4]))을 포함하는 메모리 스트링(200)의 단면도이다. 도 6에 나타낸 메모리 스트링(200)은 9층의 절연체(101)(절연체(101[1]) 내지 절연체(101[9])), 4층의 도전체(102)(도전체(102[1]) 내지 도전체(102[4])), 및 4층의 도전체(103)(도전체(103[1]) 내지 도전체(103[4]))를 가진다.

[0087] 도 7은 메모리 스트링(200)의 등가 회로도이다. 메모리 스트링(200)은 4개의 메모리 셀(100)이 직렬로 접속된 구성을 가진다. 따라서 메모리 스트링(200)은 NAND형 기억 장치이다.

[0088] 또한 등가 회로도 등에서는 트랜지스터가 OS 트랜지스터인 것을 명확하게 나타내기 위하여, 트랜지스터의 회로 기호에 "OS"라고 붙여서 기재한 경우가 있다. 마찬가지로, 트랜지스터가 Si 트랜지스터(채널이 형성되는 반도체층에 실리콘을 사용한 트랜지스터)인 것을 명확하게 나타내기 위하여, 트랜지스터의 회로 기호에 "Si"라고 붙여서 기재한 경우가 있다. 도 7에서는 트랜지스터(WTr) 및 트랜지스터(RTr)가 OS 트랜지스터인 것을 나타내었다.

[0089] 도 7에서는 메모리 셀(100[1])에 포함되는 트랜지스터(WTr), 트랜지스터(RTr), 및 용량 소자(Cs)를 각각 트랜지스터(WTr[1]), 트랜지스터(RTr[1]), 및 용량 소자(Cs[1])로 나타내었다. 메모리 셀(100[2]) 내지 메모리 셀(100[4])에 포함되는 트랜지스터(WTr), 트랜지스터(RTr), 및 용량 소자(Cs)도 마찬가지로 나타내었다.

[0090] 또한 메모리 스트링(200)에 포함되는 메모리 셀(100)의 개수는 4개에 한정되지 않는다. 메모리 스트링(200)에 포함되는 메모리 셀(100)의 개수를 n으로 하면, n은 2 이상의 정수이면 좋다.

[0091] 또한 "복수의 메모리 셀(100)이 직렬로 접속된 구성"이란, 메모리 셀(100[k])(k는 1 이상 n 이하의 정수임)에 포함되는 트랜지스터(WTr[k])의 드레인(또는 소스)이 메모리 셀(100[k+1])에 포함되는 트랜지스터(WTr[k+1])의 소스(또는 드레인)에 전기적으로 접속되고, 메모리 셀(100[k])에 포함되는 트랜지스터(RTr[k])의 드레인(또는 소스)이 메모리 셀(100[k+1])에 포함되는 트랜지스터(RTr[k+1])의 소스(또는 드레인)에 전기적으로 접속된 구성을 말한다.

[0092] 트랜지스터(WTr) 및 트랜지스터(RTr)의 채널이 형성되는 반도체로서는, 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단체로 또는 조합하여 사용할 수 있다. 반도체 재료로서는 예를 들어 실리콘이나 저마늄 등을 사용할 수 있다. 또한 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 산화물 반도체, 질화물 반도체 등의 화합물 반도체를 사용하여도 좋다.

[0093] 또한 트랜지스터에 사용되는 반도체는 반도체의 적층이어도 좋다. 반도체층을 적층하는 경우에는, 결정 상태가 각각 다른 반도체를 사용하여도 좋고, 각각 다른 반도체 재료를 사용하여도 좋다.

[0094] 또한 반도체(114)와 반도체(117)에 같은 재료를 사용하여도 좋고, 상이한 재료를 사용하여도 좋다. 예를 들어 반도체(114) 및 반도체(117)의 양쪽이 산화물 반도체이어도 좋다. 또한 반도체(114) 및 반도체(117)의 양쪽이 실리콘이어도 좋다. 또한 반도체(114)가 산화물 반도체이고 반도체(117)가 실리콘이어도 좋다. 또한 반도체(114)가 실리콘이고 반도체(117)가 산화물 반도체이어도 좋다.

[0095] 특히 트랜지스터(WTr)는 채널이 형성되는 반도체층에 금속 산화물의 1종인 산화물 반도체를 사용한 트랜지스터인 것이 바람직하다. 산화물 반도체는 밴드 갭이 2eV 이상이므로 오프 전류가 매우 낮다. 트랜지스터(WTr)에 OS 트랜지스터를 사용하면, 노드(ND)("기억 노드"라고도 함)에 기록된 전하가 장기간 유지될 수 있다. 메모리 셀(100)을 구성하는 트랜지스터에 OS 트랜지스터를 사용한 경우, 상기 메모리 셀(100)을 "OS 메모리"라고 부를 수 있다. 또한 상기 메모리 셀(100)을 포함하는 메모리 스트링(200)도 "OS 메모리"라고 부를 수 있다.

[0096] OS 메모리를 포함하는 NAND형 기억 장치를 "OS NAND형" 또는 "OS NAND형 기억 장치"라고도 한다. 또한 복수의 OS 메모리가 Z방향으로 적층된 구성을 가지는 OS NAND형 기억 장치를 "3D OS NAND형" 또는 "3D OS NAND형 기억 장치"라고도 한다.

[0097] 또한 트랜지스터(RTr)는 채널이 형성되는 반도체층에 실리콘을 사용한 트랜지스터("Si 트랜지스터"라고도 함)이어도 좋다. 트랜지스터(RTr)가 Si 트랜지스터이고, 트랜지스터(WTr)가 OS 트랜지스터이어도 좋다. 도 8은 트랜지스터(WTr)로서 OS 트랜지스터를 사용하고, 트랜지스터(RTr)로서 Si 트랜지스터를 사용한 메모리 스트링(200)의 등가 회로도이다.

[0098] OS 메모리는 전력 공급이 정지되어도 기록된 정보를 1년 이상, 나아가서는 10년 이상의 기간 유지할 수 있다. 따라서 OS 메모리를 비휘발성 메모리로 간주할 수도 있다.

[0099] 또한 OS 메모리는 기록된 전하량이 장기간 변화되기 어렵기 때문에, OS 메모리는 2레벨(1비트)에 한정되지 않고, 멀티레벨(멀티 비트)의 정보를 유지할 수 있다.

[0100] 또한 OS 메모리에서는 OS 트랜지스터를 통하여 노드에 전하를 기록하기 때문에, 종래의 플래시 메모리에서 필요한 고전압이 불필요하고, 고속 기록 동작을 실현할 수도 있다. 또한 플래시 메모리에서 수행되는 데이터 재기록 전의 소거 동작이 OS 메모리에서는 불필요하다. 또한 플로팅 게이트 또는 전하 포획층으로의 전하 주입 및 이들로부터의 전하 추출도 수행되지 않기 때문에, OS 메모리는 실질적으로 무제한의 데이터의 기록 및 판독이

가능하다. OS 메모리는 종래의 플래시 메모리와 비교하여 열화가 적고, 신뢰성이 높다.

[0101] 또한 OS 메모리에서는, 자기 저항 메모리(MRAM) 또는 저항 변화형 메모리(ReRAM) 등과 달리 데이터 재기록 시의 원자 레벨의 구조 변화가 동반되지 않는다. 따라서 OS 메모리는 자기 저항 메모리 및 저항 변화형 메모리보다 재기록에 대한 내성이 높다.

[0102] 또한 OS 트랜지스터는 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200℃ 이하의 환경 온도에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 저하하기 어렵다. OS 메모리를 포함하는 기억 장치는 고온 환경하에서도 동작이 안정적이고 신뢰성이 높다. 또한 OS 트랜지스터는 소스와 드레인 사이의 절연 내압이 높다. 반도체 장치를 구성하는 트랜지스터에 OS 트랜지스터를 사용함으로써, 고온 환경하에서도 동작이 안정적이고 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0103] 또한 도 9에 나타낸 바와 같이, 목적 또는 용도 등에 따라서는 트랜지스터(WTr)로서 Si 트랜지스터를 사용하고, 트랜지스터(RTr)로서 OS 트랜지스터를 사용하여도 좋다. 또한 도 10에 나타낸 바와 같이, 목적 또는 용도 등에 따라서는 트랜지스터(WTr) 및 트랜지스터(RTr)의 양쪽에 Si 트랜지스터를 사용하여도 좋다.

[0104] 메모리 스트링(200)과 같이 복수의 메모리 셀(100)을 Z방향으로 연속적으로 제공함으로써, 단위 면적당 기억 용량을 늘릴 수 있다.

[0105] 또한 메모리 셀(100) 또는 메모리 스트링(200)을 사용한 반도체 장치의 기억 용량을 늘리고자 하는 경우에는, 복수의 메모리 셀(100) 또는 복수의 메모리 스트링(200)을 새발 격자무늬 형상(도 11의 (A) 참조) 또는 격자무늬 형상(도 11의 (B) 참조)으로 제공하면 좋다. 도 11은 메모리 스트링의 상면도이다.

[0106] 표 1에 Si 트랜지스터로 제작한 3D NAND형 기억 장치와, 3D OS NAND형 기억 장치의 비교표를 나타내었다.

[0107] [표 1]

대항목	소항목	3D NAND	비교	3D OS NAND	
① 고속 기록/소거	페이지당 기록 속도	300μs/페이지	>	1~3μs/페이지(32층을 상정함)	○
	블록당 소거 속도	2ms/블록	>>	2.6μs/블록(32층을 상정함)	◎
② 고속 판독	페이지당 판독 속도	50μs/페이지	=	50μs/page(32층을 상정함)	–
③ 대전압이 불필요함	프로그램 전압 Vph	12~20V	>>	3~5V	○
	프로그램 전압 Vpi	0V	≒	-3~0V	–
	로직 전압 Vc	1.2V	=	1.2V	–
④ 재기록으로 인한 열화가 없음	기록에 대한 내성	10^3~10^5번	<<	10^{12}번 이상	◎
⑤ 각 블록에서의 소거 동작이 불필요함	–	필요함		불필요함	○
⑥ 멀티레벨화 가능	몇 레벨까지 가능한지	4비트/셀(16레벨)		≒4비트/셀(16레벨)	–
⑦ 비노이만형에 채용 가능	적층 용이성 액세스 용이성	캐시 메모리가 필요함		외부 캐시 메모리가 불필요함	○
⑧ 소비 전력	–	8W(SSD의 경우)	>>	3D NAND보다 매우 낮음	◎

[0108] ×: 나쁨, ○: 보다 좋음, ◎: 아주 좋음

[0109] [변형예]

[0110] 이어서 메모리 셀(100)의 변형예에 대하여 설명한다. 이하에서 설명하는 메모리 셀의 변형예는, 본 명세서 등에서 제시하는 다른 메모리 셀과 적절히 조합할 수 있다.

[0111] 도 12의 (A)는 메모리 셀(100A)의 단면도이다. 메모리 셀(100A)은 메모리 셀(100)의 변형예이다. 따라서 본 실시형태 등에서는 메모리 셀(100A)과 메모리 셀(100)의 차이점에 대하여 주로 설명한다.

[0112] 본 발명의 일 형태에 따른 메모리 셀은 도 12의 (A)에 나타낸 메모리 셀(100A)과 같이, 교차부 R에서 절연체(116)에 인접하여 반도체(114)가 제공되고, 반도체(114)에 인접하여 도전체(115)가 제공되고, 도전체(115)에 인접하여 절연체(113)가 제공되어도 좋다.

[0113] 메모리 셀(100A)에서는 도전체(119), 절연체(118), 반도체(117), 절연체(116), 반도체(114), 도전체(115)가 트랜지스터(RTr)로서 기능한다. 반도체(114)는 게이트 전극으로서 기능하는 경우가 있다. 또한 반도체(114)는 게이트 절연체로서 기능하는 경우가 있다. 또한 도전체(115), 절연체(113), 및 도전체(102)가 용량 소자(Cs)로서 기능한다.

[0114] 도 12의 (B)에 메모리 셀(100B)의 단면도를 나타내었다. 메모리 셀(100B)은 메모리 셀(100)의 변형예이다. 메모리 셀(100B)과 같이, 백 게이트로서 기능하는 도전체(119)의 형성을 생략하고, 절연체(118)로 매립하여도 좋다. 도전체(119)를 제공하지 않으면, 제작 공정이 간략화되고 기억 장치의 생산성을 높일 수 있다.

[0115] 도 13에 메모리 셀(100C)의 단면도를 나타내었다. 메모리 셀(100C)은 메모리 셀(100)의 변형예이고, 메모리 셀(100B)의 변형예이기도 하다. 메모리 셀(100C)과 같이, 백 게이트로서 기능하는 도전체(119)의 형성을 생략하며, 도전체(119)가 형성될 예정의 영역을 채우지 않고 공동(空洞)(120)으로 하여도 좋다. 도전체(119)를 제공하지 않고 공동으로 함으로써, 제작 공정이 간략화되고 기억 장치의 생산성을 더 높일 수 있다.

[0116] [메모리 셀의 구성 재료]

[0117] 다음으로, 메모리 셀(100) 등에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0118] [기판]

[0119] 메모리 셀(100) 및 메모리 스트링(200)은 기판 위에 제공할 수 있다. 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘, 저마늄을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨, 질화 갈륨(GaN) 등으로 이루어지는 화합물 반도체 기판이 있다. 그 외에는, 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판 등이 있다. 그 외에는, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0120] [절연체]

[0121] 절연체로서는 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0122] 예를 들어, 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0123] 또한 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0124] 또한 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 구멍을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0125] 또한 OS 트랜지스터를 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 갈륨, 저

마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0126] 또한 본 명세서 등에서 "산화질화물"이란 주성분으로서 질소보다 산소의 함유량이 많은 재료를 가리킨다. 예를 들어 "산화질화 실리콘"이란 질소보다 산소의 함유량이 많고 실리콘과 질소와 산소를 포함하는 재료를 가리킨다. 또한 본 명세서 등에서 "질화산화물"이란 주성분으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 "질화산화 알루미늄"이란 산소보다 질소의 함유량이 많고 알루미늄과 질소와 산소를 포함하는 재료를 가리킨다.

[0127] 또한 반도체(114) 및/또는 반도체(117)로서 산화물 반도체를 사용하는 경우, 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어, 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 반도체(114) 및/또는 반도체(117)와 접하는 구조로 함으로써, 반도체(114) 및/또는 반도체(117)가 가지는 산소 결손을 보상할 수 있다.

[0128] 또한 절연체로서 상기 재료로 형성되는 절연층을 단층으로 사용하여도 좋지만, 상기 재료로 형성되는 절연층을 복수로 적층시켜 사용하여도 좋다.

[0129] 예를 들어, 도전체와 접하여 절연체를 제공하는 경우, 도전체의 산화를 방지하기 위하여 상기 절연체로서 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 상기 절연체로서 산화 하프늄, 산화 알루미늄, 또는 질화 실리콘 등을 사용하는 것이 바람직하다.

[0130] 또한 도전체와 인접하여 절연체를 적층시켜 제공하는 경우, 도전체와 접하는 절연체로서 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 산화 하프늄을 사용하여 도전체와 접하는 절연체를 형성하고, 상기 절연체와 접하여 산화질화 실리콘을 사용한 절연체를 형성하여도 좋다.

[0131] [도전체]

[0132] 도전체로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘 등 중에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0133] 또한 도전체로서 상기 재료로 형성되는 도전층을 단층으로 사용하여도 좋지만, 상기 재료로 형성되는 도전층을 복수로 적층시켜 사용하여도 좋다. 예를 들어, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0134] 또한 트랜지스터의 채널 형성 영역에 금속 산화물의 1종인 산화물 반도체를 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0135] 특히, 게이트 전극으로서 기능하는 도전체로서, 채널이 형성되는 산화물 반도체에 포함되는 금속 원소와 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어, 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타

이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이러한 재료를 사용함으로써, 채널이 형성되는 산화물 반도체에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0136] [산화물 반도체]

[0137] 반도체(114) 및/또는 반도체(117)에는 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 특히, 반도체(114)에 산화물 반도체를 사용하는 것이 바람직하다. 이하에서는, 메모리 셀(100)에 적용할 수 있는 산화물 반도체에 대하여 설명한다.

[0138] 산화물 반도체는 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 및 코발트 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0139] 여기서는 산화물 반도체가 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택되는 하나 또는 복수의 원소를 나타낸다. 원소 M에 적용할 수 있는 그 외의 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등이 있다. 다만 원소 M으로서 상술한 원소를 복수로 조합하여도 되는 경우가 있다.

[0140] [결정 구조의 분류]

[0141] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 14의 (A)를 참조하여 설명한다. 도 14의 (A)는 산화물 반도체, 대표적으로는 IGZO(In, Ga, 및 Zn을 포함한 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

[0142] 도 14의 (A)에 나타낸 바와 같이, 산화물 반도체는 "Amorphous(무정형)", "Crystalline(결정성)", 및 "Crystal(결정)"로 크게 분류된다. 또한 "Amorphous"에는 completely amorphous가 포함된다. 또한 "Crystalline"에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다. 또한 "Crystalline"의 분류에서 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 "Crystal"에는 single crystal 및 poly crystal이 포함된다.

[0143] 또한 도 14의 (A)에 나타낸 굵은 테두리 내의 구조는 "Amorphous(무정형)"와 "Crystal(결정)"의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉, 상기 구조는 에너지적으로 불안정적인 "Amorphous(무정형)"나, "Crystal(결정)"와는 전혀 다른 구조라고 바꿔 말할 수 있다.

[0144] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, "Crystalline"으로 분류되는 CAAC-IGZO막의 GIXD(Grazing-Incidence XRD) 측정에 의하여 얻어지는 XRD 스펙트럼을 도 14의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 14의 (B)에 나타낸 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재한다. 또한 도 14의 (B)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 14의 (B)에 나타낸 CAAC-IGZO막의 두께는 500nm이다.

[0145] 도 14의 (B)에 나타낸 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는 2θ=31° 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 14의 (B)에 나타낸 바와 같이, 2θ=31° 근방의 피크는, 피크 강도가 검출된 각도를 축으로 좌우 비대칭이다.

[0146] 또한 막 또는 기판의 결정 구조는, 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 14의 (C)에 나타내었다. 도 14의 (C)는 기판에 대하여 평행하게 전자선을 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 14의 (C)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0147] 도 14의 (C)에 나타낸 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0148] [산화물 반도체의 구조]

[0149] 또한 산화물 반도체는 결정 구조에 주목한 경우, 도 14의 (A)와는 다른 식으로 분류되는 경우가 있다. 예를 들어, 산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는, 예를 들어 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor) 및 nc-OS(nanocrystalline Oxide Semiconductor)가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0150] 이어서, 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0151] [CAAC-OS]

[0152] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉, CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0153] 또한 상기 복수의 결정 영역의 각각은, 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0154] 또한 In-M-Zn 산화물에서, CAAC-OS는 인듐(In) 및 산소를 포함한 층(이하 In층)과, 원소 M, 아연(Zn), 및 산소를 포함한 층(이하 (M,Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.

[0155] 예를 들어, XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0156] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서, 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0157] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형 및 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수는 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0158] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성의 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어, In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0159] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물 혼입이나 결함 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므

로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 높일 수 있다.

[0160] [nc-OS]

[0161] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어, XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, Θ/2Θ 스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 nc-OS막에 대하여 나노 결정보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 수행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.

[0162] [a-like OS]

[0163] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS와 비교하여 막 내의 수소 농도가 높다.

[0164] [산화물 반도체의 구성]

[0165] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0166] [CAC-OS]

[0167] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함한 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0168] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우드상이라고도 함)이다. 즉, CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0169] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어, In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]이 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]이 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]이 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[0170] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉, 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga을 주성분으로 하는 영역이라고 바꿔 말할 수 있다.

[0171] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.

[0172] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑에 의하여, In을 주성분으로 하는 영역(제 1 영역)과 Ga을 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[0173] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉, CAC-OS는 재료의 일부에서

는 도전성의 기능을 가지고, 재료의 다른 일부에서는 절연성의 기능을 가지고, 재료의 전체에서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.

[0174] 산화물 반도체는 다양한 구조를 가지고, 각각이 다른 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[0175] [산화물 반도체를 가지는 트랜지스터]

[0176] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0177] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0178] 트랜지스터의 채널 형성 영역에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는 $1X10^{18}cm^{-3}$ 이하인 것이 바람직하고, $1X10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1X10^{16}cm^{-3}$ 미만인 것이 더욱 바람직하고, $1X10^{13}cm^{-3}$ 미만인 것이 더더욱 바람직하고, $1X10^{12}cm^{-3}$ 미만인 것이 나아가 더더욱 바람직하다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다. 또한 고순도 진성 또는 실질적으로 고순도 진성인 것을 i형 또는 실질적으로 i형이라고 하는 경우가 있다.

[0179] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다.

[0180] 또한 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0181] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[0182] [불순물]

[0183] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0184] 산화물 반도체에 14족 원소의 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체의 채널 형성 영역에서의 실리콘이나 탄소의 농도와, 산화물 반도체의 채널 형성 영역과의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 측정되는 농도)를 $2X10^{18}atoms/cm^3$ 이하, 바람직하게는 $2X10^{17}atoms/cm^3$ 이하로 한다.

[0185] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 SIMS에 의하여 측정되는 산화물 반도체의 채널 형성 영역 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1X10^{18}atoms/cm^3$ 이하, 바람직하게는 $2X10^{16}atoms/cm^3$ 이하로 한다.

[0186] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 측정되는 산화물 반도체의 채널 형성 영역 내의 질소 농도를 $5X10^{19}atoms/cm^3$ 미만, 바람직하게는 $5X10^{18}atoms/cm^3$ 이하, 더 바람직하게는 $1X10^{18}atoms/cm^3$ 이하, 더욱

바람직하게는 $5X10^{17}atoms/cm^3$ 이하로 한다.

[0187] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체의 채널 형성 영역 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체의 채널 형성 영역에서 SIMS에 의하여 측정되는 수소 농도를 $1X10^{20}atoms/cm^3$ 미만, 바람직하게는 $5X10^{19}atoms/cm^3$ 미만, 더 바람직하게는 $1X10^{19}atoms/cm^3$ 미만, 더 바람직하게는 $5X10^{18}atoms/cm^3$ 미만, 더 바람직하게는 $1X10^{18}atoms/cm^3$ 미만으로 한다.

[0188] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0189] [기타 반도체 재료]

[0190] 반도체(114) 및 반도체(117)에 사용할 수 있는 반도체 재료는 상술한 산화물 반도체에 한정되지 않는다. 반도체(114) 및 반도체(117)에는 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어, 실리콘 등의 단일 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하여도 좋다. 특히, 반도체로서 기능하는 층상 물질을 반도체 재료에 사용하는 것이 바람직하다.

[0191] 본 명세서 등에서 층상 물질이란, 층상의 결정 구조를 가지는 재료군의 총칭이다. 층상의 결정 구조에서는, 공유 결합이나 이온 결합에 의하여 형성되는 층이 반데르발스 힘(Van der Waals force)과 같은 공유 결합이나 이온 결합보다 약한 결합에 의하여 적층되어 있다. 층상 물질은 단위 층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고, 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 높은 트랜지스터를 제공할 수 있다.

[0192] 층상 물질로서는 그래핀, 실리센, 칼코게나이드 등이 있다. 칼코게나이드는 칼코젠을 포함한 화합물이다. 또한 칼코젠은 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코게나이드로서 전이 금속 칼코게나이드, 13족 칼코게나이드 등을 들 수 있다.

[0193] 본 발명의 일 형태에 따른 반도체 장치에 사용하는 반도체 재료로서, 예를 들어 반도체로서 기능하는 전이 금속 칼코게나이드를 사용하여도 좋다. 구체적으로는 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 $MoSe_2$), 몰리브데넘 텔루륨(대표적으로는 $MoTe_2$), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 $HfSe_2$), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 $ZrSe_2$) 등을 들 수 있다.

[0194] [성막 방법에 대하여]

[0195] 도전체, 절연체, 반도체는 스퍼터링법, CVD법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법 등을 사용하여 형성할 수 있다.

[0196] 또한 CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

[0197] 플라스마 CVD법을 사용하면, 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에, 피처리물에 대한 플라스마 대미지를 저감할 수 있는 성막 방법이다. 예를 들어, 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지 업(charge up)하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법을 사용하면, 성막 시에 플라스마 대미지가

생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0198] 또한 ALD법도 피처리물에 대한 플라스마 대미지를 저감할 수 있는 성막 방법이다. 또한 ALD법도 성막 시에 플라스마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0199] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.

[0200] CVD법 및 ALD법은 원료 가스의 유량비에 의하여, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어 CVD법 및 ALD법에서는 원료 가스의 유량비에 따라 임의의 조성을 가지는 막을 형성할 수 있다. 또한 예를 들어 CVD법 및 ALD법에서는 성막 중에 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 형성할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 막을 형성하는 경우와 비교하여 반송이나 압력 조정에 걸리는 시간만큼 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.

[0201] 또한 ALD법에서는 체임버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스를 체임버에 순차적으로 도입하고, 그 가스 도입의 절차를 반복함으로써 성막하여도 좋다. 예를 들어, 각 스위칭 밸브(고속 밸브라고도 함)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급하고, 복수 종류의 원료 가스가 섞이지 않도록, 제 1 원료 가스를 도입함과 동시에 또는 도입 후에 불활성 가스(아르곤 또는 질소 등) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한 불활성 가스를 동시에 도입하는 경우, 불활성 가스는 캐리어 가스가 되고, 또한 제 2 원료 가스를 도입할 때에도 불활성 가스를 동시에 도입하여도 좋다. 또한 불활성 가스의 도입 대신에, 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착되어 제 1 얇은 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 반응함으로써 제 1 얇은 층 위에 제 2 얇은 층이 적층되어, 박막이 형성된다. 이 가스 도입 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입 절차의 반복 횟수에 따라 조절할 수 있기 때문에, 막 두께를 정밀하게 조절할 수 있고 미세한 FET를 제작하는 경우에 적합하다.

[0202] MOCVD법이나 ALD법 등의 열 CVD법에 의하여 금속막, 반도체막, 무기 절연막 등의 다양한 막을 형성할 수 있다. 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는, 트라이메틸인듐($In(CH_3)_3$), 트라이메틸갈륨($Ga(CH_3)_3$), 및 다이메틸아연($Zn(CH_3)_2$)을 사용하면 좋다. 또한 이들 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($Zn(C_2H_5)_2$)을 사용할 수도 있다.

[0203] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함하는 액체(하프늄알콕사이드나, 테트라키스다이메틸아마이드하프늄(TDMAH, $Hf[N(CH_3)_2]_4$) 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한 다른 재료로서는 테트라키스(에틸메틸아마이드)하프늄 등이 있다.

[0204] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함하는 액체(트라이메틸알루미늄(TMA, $Al(CH_3)_3$) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O의 2종류의 가스를 사용한다. 또한 다른 재료로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소뷰틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트) 등이 있다.

[0205] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고 산화성 가스(O_2, 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.

[0206] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성한 다음, WF_6 가스와 H_2 가스를 순차적으로 반복하여 도입함으로써 텅스텐막을 형성한다. 또한 B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.

[0207] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어 In-Ga-Zn-O막을 형성하는 경우에는, $In(CH_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 In-O층을 형성한 다음, $Ga(CH_3)_3$ 가스와

O_3 가스를 순차적으로 반복하여 도입함으로써 GaO층을 형성한 후에, $Zn(CH_3)_2$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 ZnO층을 형성한다. 또한 이들 층의 순서는 이 예에 한정되지 않는다. 또한 이들 가스를 사용하여 In-Ga-O층, In-Zn-O층, Ga-Zn-O층 등의 혼합 산화물층을 형성하여도 좋다. 또한 O_3 가스 대신에 Ar 등의 불활성 가스로 물을 버블링하여 얻어진 H_2O 가스를 사용하여도 좋지만 H를 포함하지 않는 O_3 가스를 사용하는 것이 더 바람직하다. 또한 $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한 $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한 $Zn(CH_3)_2$ 가스 대신에 $Zn(C_2H_5)_2$ 가스를 사용하여도 좋다.

[0208] <기억 장치의 제작 방법예>

[0209] 다음으로, 메모리 셀(100)의 제작 방법예에 대하여 설명한다.

[0210] 먼저, 도 15의 (A)에 나타낸 적층체(140)를 제작한다. 적층체(140)는 절연체(101), 도전체(102), 및 도전체(103)를 가진다. 절연체(101[i])는 기판(도시하지 않았음) 위쪽에 배치되고, 도전체(102)는 절연체(101[i]) 위에 배치되고, 절연체(101[i+1])는 도전체(102) 위에 배치되고, 도전체(103)는 절연체(101[i+1]) 위에 배치되고, 절연체(101[i+2])는 도전체(103) 위에 배치되어 있다.

[0211] 절연체(101)는 물 또는 수소 등의 불순물의 농도가 저감된 재료인 것이 바람직하다. 예를 들어, 절연체(101)의 수소 분자의 단위 면적당 이탈량은 승온 이탈 가스 분석법(TDS: Thermal Desorption Spectroscopy))에 있어서 50℃ 이상 500℃ 이하의 범위에서 $2X10^{15}$molecules/cm^2 이하, 바람직하게는 $1X10^{15}$molecules/cm^2 이하, 더 바람직하게는 $5X10^{14}$molecules/cm^2 이하이면 좋다. 또한 절연체(101)에는 가열에 의하여 산소가 방출되는 절연체를 사용하여도 좋다. 다만 절연체(101)에 적용할 수 있는 재료는 상술한 것에 한정되지 않는다.

[0212] 또한 절연체(101)는 복수의 절연체의 적층 구조를 가져도 좋다. 예를 들어, 절연체(101)를 산화 하프늄과 산화 질화 실리콘의 적층으로 하여도 좋다. 절연체(101)를 구성하는 복수의 절연체 중, 도전체(103)와 접하는 절연체에는 산소의 투과를 억제하는 기능을 가지는 상술한 절연체를 사용하는 것이 바람직하다.

[0213] 다음으로, 적층체(140) 위에 레지스트 마스크를 형성하고, 레지스트 마스크를 마스크로서 사용한 에칭 처리에 의하여 절연체(101), 도전체(103), 및 도전체(102)의 일부를 제거하여 적층체(140)에 개구(131)를 형성한다(도 15의 (B) 참조).

[0214] 레지스트 마스크는 예를 들어 리소그래피법, 인쇄법, 잉크젯법 등을 적절히 사용하여 형성할 수 있다. 레지스트 마스크를 잉크젯법에 의하여 형성하면, 포토마스크를 사용하지 않기 때문에, 제조 비용을 삭감할 수 있는 경우가 있다. 또한 에칭 처리에는 드라이 에칭법 및 웨트 에칭법 중 어느 쪽을 사용하여도 좋고, 양쪽 모두를 사용하여도 좋다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.

[0215] 또한 리소그래피법에 의하여 레지스트 마스크를 형성하는 경우, 먼저 레지스트를 형성하고, 다음에 포토마스크를 통하여 상기 레지스트를 노광한다. 다음으로, 노광된 영역을 현산액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다.

[0216] 상기 레지스트 마스크를 통하여 에칭 처리를 함으로써, 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔이나 이온 빔을 사용하여도 좋다. 또한 전자 빔이나 이온 빔을 사용하는 경우에는, 포토마스크는 불필요하다. 또한 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 웨트 에칭 처리 후에 드라이 에칭 처리를 실시함으로써 제거할 수 있다.

[0217] 또한 레지스트 마스크 대신에 절연체나 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 도전막 위에 하드 마스크 재료가 되는 절연막이나 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상을 가지는 하드 마스크를 형성할 수 있다.

[0218] 드라이 에칭법에 의한 에칭 처리를 수행하기 위한 드라이 에칭 장치로서는, 예를 들어 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는 평행 평판형 전극의 한쪽 전극에 고주파 전원을 인가하는 구성을 가져도 된다. 또는 평행 평판형 전극의 한쪽 전극에 복수의 상이한 고주파 전원을 인가하는 구성을 가져도 좋

다. 또는 평행 평판형 전극의 각각에 같은 주파수의 고주파 전원을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 상이한 주파수의 고주파 전원을 인가하는 구성을 가져도 좋다. 또는 고밀도 플라스마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.

[0219] 다음으로, 개구(131)의 측면에 노출된 도전체(103)의 일부를 에칭하여 개구(131)의 측면에서 도전체(103)를 후퇴시킨다(도 16의 (A) 참조). 도전체(103)의 에칭은 절연체(101) 및 도전체(102)와 선택비를 취할 수 있는 조건에서 수행하면 좋다.

[0220] 다음으로, 개구(131)의 측면을 따라 절연체(111)를 형성한다(도 16의 (B) 참조). 개구(131) 내에 노출된 절연체(101), 도전체(103), 및 도전체(102)의 표면은 절연체(111)로 덮인다. 절연체(111)로서 예를 들어 산화 실리콘을 사용한다. 또한 절연체(111)는 복수의 절연체의 적층 구조를 가져도 좋다.

[0221] 다음으로, 절연체(111)의 표면을 따라 기능체(112)를 형성한다(도 17의 (A) 참조). 절연체(111)로서 예를 들어 질화 실리콘을 사용한다. 또한 기능체(112)는 복수의 절연체의 적층 구조를 가져도 좋다.

[0222] 다음으로, 개구(131) 내의 절연체(111) 및 기능체(112)의 일부를 에칭한다. 절연체(111) 및 기능체(112)는 Z방향에서 보았을 때 절연체(101)와 중첩되는 부분 이외의 부분이 에칭된다(도 17의 (B) 참조).

[0223] 다음으로, 개구(131)의 측면에 노출된 도전체(102)의 일부를 에칭하여 개구(131)의 측면에서 도전체(102)를 후퇴시킨다(도 18의 (A) 참조). 도전체(102)의 에칭은 절연체(101) 및 도전체(103)와 선택비를 취할 수 있는 조건에서 수행하면 좋다.

[0224] 다음으로, 개구(131)의 측면을 따라 절연체(113)를 형성한다(도 18의 (B) 참조). 개구(131) 내에 노출된 절연체(101), 절연체(111), 기능체(112), 및 도전체(102)의 표면은 절연체(113)로 덮인다.

[0225] 반도체(114)에 산화물 반도체를 사용하는 경우에는, 절연체(113)로서 예를 들어 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함한 절연체를 반도체(114)와 접하여 제공함으로써, 반도체(114) 내의 산소 결손을 저감하여 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0226] 절연체(113)로서는, 구체적으로는 가열에 의하여 산소의 일부가 이탈되는 산화물 재료, 바꿔 말하면 과잉 산소 영역을 가지는 절연체 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS 분석에서 산소 분자의 이탈량이 1.0×10^{18} molecules/cm^3 이상, 바람직하게는 1.0×10^{19} molecules/cm^3 이상, 더 바람직하게는 2.0×10^{19} molecules/cm^3 이상 또는 3.0×10^{20} molecules/cm^3 이상인 산화막이다. 또한 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하 또는 100℃ 이상 400℃ 이하의 범위에 있는 것이 바람직하다. 또한 절연체(113)는 복수의 절연체의 적층 구조를 가져도 좋다.

[0227] 절연체(113)의 형성 후에, 후술하는 가산소화 처리를 수행하여도 좋다.

[0228] 다음으로, 개구(131)의 측면을 따라 반도체(114)와 도전체(115)를 형성한다(도 18의 (B) 참조). 본 실시형태에서는, 반도체(114)로서 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성을 가지는 산화물 반도체를 사용한다.

[0229] 또한 반도체(114)에 사용하는 반도체 재료로서, 예를 들어 In:Ga:Zn=4:2:3 내지 4.1, In:Ga:Zn=1:1:1, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:3, 또는 In:Ga:Zn=10:1:3의 조성 및 이들 근방의 조성을 가지는 금속 산화물을 사용하여도 좋다. 또한 반도체(114)에 사용하는 반도체 재료로서, In:Zn=5:1 또는 In:Zn=10:1의 조성 및 이들 근방의 조성을 가지는 금속 산화물을 사용하여도 좋다. 또한 반도체(114)에 산화 인듐을 사용하여도 좋다.

[0230] 또한 반도체(114)를 복수층의 적층 구조로 하여도 좋다. 예를 들어, 반도체(114)를 In:Ga:Zn=1:3:4, In:Ga:Zn=1:3:2, 또는 In:Ga:Zn=1:1:1의 조성 및 그 근방의 조성을 가지는 금속 산화물과, In:Ga:Zn=4:2:3 내지 4.1, In:Ga:Zn=1:1:1, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:3, 또는 In:Ga:Zn=10:1:3의 조성 및 그 근방의 조성을 가지는 금속 산화물의 적층으로 하여도 좋다.

[0231] 또한 반도체(114)를, 2층의 In:Ga:Zn=1:3:4, In:Ga:Zn=1:3:2, 또는 In:Ga:Zn=1:1:1의 조성 및 그 근방의 조성을 가지는 금속 산화물 사이에 In: Ga:Zn=4:2:3 내지 4.1, In:Ga:Zn=1:1:1, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:3, 또는 In:Ga:Zn=10:1:3의 조성 및 그 근방의 조성을 가지는 금속 산화물을 끼운 3층 구조로 하여도 좋다.

[0232] 또한 메모리 셀의 제작 공정 중에 반도체(114)의 표면이 노출된 상태에서 가열 처리를 수행하는 것이 바람직하다. 상기 가열 처리는 예를 들어 100℃ 이상 600℃ 이하, 더 바람직하게는 350℃ 이상 550℃ 이하에서 수행하

면 좋다. 또한 가열 처리는 질소 가스 분위기, 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이에 의하여, 반도체(114)에 산소를 공급함으로써 산소 결손(V_O)을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행하여도 좋다.

[0233] 또한 반도체(114)에 산소를 공급하는 처리("가산소화 처리"라고도 함)를 수행함으로써, 반도체(114) 내의 산소 결손을 공급된 산소에 의하여 수복(修復)하는 반응, 바꿔 말하면 "V_O+O→null"이라는 반응을 촉진시킬 수 있다. 또한 반도체(114) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를 H_2O로서 제거(탈수화)할 수 있다. 이에 의하여, 반도체(114) 내에 잔존한 수소가 산소 결손과 재결합하여 V_OH가 형성되는 것을 억제할 수 있다.

[0234] 또한 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써 가산소화 처리를 수행할 수 있다. 이 경우, 반도체(114)에 마이크로파, RF 등의 고주파, 산소 플라스마, 산소 라디칼 등이 조사된다. 마이크로파 처리에서는, 예를 들어 마이크로파를 사용한 고밀도 플라스마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 또한 마이크로파 처리 장치는 기판 측에 RF를 인가하는 전원을 가져도 좋다. 고밀도 플라스마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있다. 또한 기판(도시하지 않았음) 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 이온을 개구(131) 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리는 감압하에서 수행하는 것이 바람직하고, 압력을 60Pa 이상, 바람직하게는 133Pa 이상, 더 바람직하게는 200Pa 이상, 더욱 바람직하게는 400Pa 이상으로 하면 좋다. 또한 상기 마이크로파 처리는 산소 유량비(O_2/(O_2+Ar))가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하는 것이 좋다. 또한 처리 온도는 750℃ 이하, 바람직하게는 500℃ 이하, 예를 들어 400℃ 정도로 하면 좋다. 또한 산소 플라스마 처리를 수행한 후에, 외기에 노출시키지 않고 연속하여 열처리를 수행하여도 좋다.

[0235] 플라스마, 마이크로파 등의 작용에 의하여, 반도체(114)에 포함되는 V_OH를 분단하고, 수소 H를 반도체(114)로부터 제거할 수 있다. 즉, 반도체(114)에서 "V_OH→H+V_O", 또한 "V_O+O→null"이라는 반응이 일어나, 반도체(114)의 수소 농도가 저감될 수 있다. 따라서 반도체(114) 내의 산소 결손 및 V_OH를 저감하여 캐리어 농도를 저하시킬 수 있다.

[0236] 반도체(114)의 형성 후에 도전체(115)를 형성한다. 본 실시형태에서는 도전체(115)로서 텅스텐을 형성한다.

[0237] 다음으로, 개구(131) 내의 도전체(115)의 일부를 에칭한다. 도전체(115)는 Z방향에서 보았을 때 반도체(114)와 중첩되는 부분 이외의 부분이 에칭된다(도 19의 (A) 참조). 이에 의하여, 개구(131) 내에 반도체(114) 및 도전체(115)가 노출된다. 반도체(114) 및 도전체(115)가 노출된 후에 가산소화 처리를 수행하여도 좋다.

[0238] 다음으로, 개구(131)의 측면을 따라 절연체(116)를 형성한다(도 19의 (B) 참조). 개구(131) 내에 노출된 반도체(114) 및 도전체(115)의 표면은 절연체(116)로 덮인다. 반도체(114)에 산화물 반도체를 사용하는 경우에는, 절연체(116)로서 예를 들어 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 반도체(114)에 접하여 제공함으로써, 반도체(114) 내의 산소 결손을 저감하여 트랜지스터의 신뢰성을 향상시킬 수 있다. 절연체(116)로서 절연체(113)와 같은 재료를 사용하여도 좋다. 절연체(116)는 복수의 절연체의 적층 구조를 가져도 좋다.

[0239] 특히 반도체(114) 및 반도체(117)에 산화물 반도체를 사용하는 경우에는, 절연체(116)는 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 또한 절연체(116)는 복수의 절연체의 적층 구조를 가져도 좋다. 예를 들어, 반도체(114) 및 반도체(117)에 산화물 반도체를 사용하는 경우에는, 절연체(116)를 산화 실리콘 또는 산화질화 실리콘과, 산화 하프늄 또는 산화 알루미늄과, 산화 실리콘 또는 산화질화 실리콘의 3층 구조로 하여도 좋다. 즉, 2층의 산화 실리콘 또는 산화질화 실리콘으로 1층의 산화 하프늄 또는 산화 알루미늄을 끼우는 구조로 하여도 좋다. 또한 절연체(116)는 2층의 적층 구조를 가져도 좋고, 4층 이상의 적층 구조를 가져도 좋다.

[0240] 절연체(116)의 형성 후에 가산소화 처리를 수행하여도 좋다(도 20의 (A) 참조).

[0241] 다음으로, 개구(131)의 측면을 따라 반도체(117)를 형성한다(도 20의 (B) 참조). 개구(131) 내에 노출된 절연체(116)의 표면은 반도체(117)로 덮인다. 반도체(117)에 산화물 반도체를 사용하는 경우에는, 반도체(114)에 산화물 반도체를 사용하는 경우와 마찬가지로 가산소화 처리를 수행하여도 좋다.

[0242] 다음으로, 개구(131)의 측면을 따라 절연체(118)를 형성한다(도 21의 (A) 참조). 개구(131) 내에 노출된 반도체(117)의 표면은 절연체(118)로 덮인다. 반도체(117)에 산화물 반도체를 사용하는 경우에는, 절연체(118)로서 예를 들어 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 반도체(117)에 접하여 제공함으로써, 반도체(117) 내의 산소 결손을 저감하여 트랜지스터의 신뢰성을 향상시킬 수 있다. 절연체(118)로서 절연체(113) 또는 절연체(116)와 같은 재료를 사용하여도 좋다.

[0243] 절연체(118)는 복수의 절연체의 적층 구조를 가져도 좋다. 반도체(117)에 산화물 반도체를 사용하는 경우에는, 절연체(118)를 구성하는 복수의 절연체 중 반도체(117)와 접하는 절연체에는, 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(119)와 접하는 절연체에는 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 절연체(118)를 구성하는 복수의 절연체 중 반도체(117)와 접하는 절연체로서 산화 실리콘 또는 산화질화 실리콘을 사용하여도 좋다. 또한 절연체(118)를 구성하는 복수의 절연체 중 도전체(119)와 접하는 절연체로서 산화 하프늄 또는 산화 알루미늄을 사용하여도 좋다.

[0244] 또한 예를 들어 절연체(118)를 산화 실리콘 또는 산화질화 실리콘과, 산화 알루미늄과, 질화 실리콘의 적층으로 하여도 좋다. 또한 절연체(118)에 질화 실리콘을 사용하는 경우에는, 수소 함유량이 적은 질화 실리콘을 사용하는 것이 바람직하다.

[0245] 다음으로, 절연체(118)를 형성한 후에 도전체(119)를 형성한다(도 21의 (B) 참조). 본 실시형태에서는 도전체(119)로서 텅스텐을 사용한다. 또한 도전체(119)는 복수의 도전체의 적층 구조를 가져도 좋다. 도전체(119)를 구성하는 복수의 도전체 중 절연체(118)와 접하는 도전체에는, 산화되기 어려운 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 도전체(119) 중 절연체(118)와 접하는 도전체로서 질화 타이타늄을 사용하여도 좋다. 예를 들어, 도전체(119)를 질화 타이타늄과 텅스텐의 적층으로 하여도 좋다.

[0246] 이러한 식으로 개구(131) 내에 구조체(130)가 형성된다. 다음으로, Z방향에서 보았을 때 구조체(130)와 중첩되지 않는 영역에서 적층체(140)의 일부를 제거함으로써 영역(132)을 형성한다(도 22의 (A) 참조). 영역(132)은 개구(131)와 같은 방법으로 형성할 수 있다. 영역(132)에서 절연체(101), 도전체(102), 및 도전체(103)의 측면이 노출된다.

[0247] 다음으로, 노출된 절연체(101), 도전체(102), 및 도전체(103)의 측면을 덮는 절연체(121)를 형성한다(도 22의 (B) 참조). 절연체(121)로서는 예를 들어 물, 수소 등의 불순물 등의 투과를 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 바람직하다. 예를 들어 절연체(121)로서 산화 알루미늄 등을 사용하면 좋다.

[0248] 또한 절연체(121)는 복수의 절연체의 적층 구조를 가져도 좋다. 예를 들어, 절연체(121)를 산화 하프늄과 산화 질화 실리콘의 적층으로 하여도 좋다. 절연체(121)를 구성하는 복수의 절연체 중 도전체(102) 및 도전체(103)와 접하는 절연체에는 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다.

[0249] 이러한 식으로 메모리 셀(100)을 제작할 수 있다.

[0250] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0251] (실시형태 2)

[0252] 본 실시형태에서는, 복수의 메모리 스트링(200)을 포함하는 반도체 장치(300)의 회로 구성예와 동작 방법예에 대하여 도면을 참조하여 설명한다.

[0253] <회로 구성예>

[0254] 반도체 장치(300)의 회로 구성에 대하여 도 23을 참조하여 설명한다. 반도체 장치(300)는 m개의 메모리 스트링(200)을 가진다. 본 실시형태 등에서는, 첫 번째 메모리 스트링(200)을 메모리 스트링(200[1])으로 나타내고, m번째 메모리 스트링(200)을 메모리 스트링(200[m])(m은 1 이상의 정수)으로 나타낸다. 또한 j번째 메모리 스트링(200)을 메모리 스트링(200[j])(j는 1 이상 m 이하의 정수)으로 나타낸다.

[0255] 또한 앞의 실시형태에서 설명한 바와 같이 메모리 스트링(200)은 n개의 메모리 셀(100)을 가진다. 도 23에서는, 메모리 셀(100)로서 도 4의 (A)에 나타낸 회로 구성을 가지는 메모리 셀(100)을 나타내었지만, 도 4의 (B), (C), 도 5의 (A), 및 (B)에 나타낸 회로 구성을 가지는 메모리 셀(100)이어도 좋다. 본 실시형태 등에서는, j번째 메모리 스트링(200)에 포함되는 k번째(k는 1 이상 n 이하의 정수) 메모리 셀(100)을 메모리 셀(100[k, j])로 나타낸다.

[0256] 도 23에 나타낸 반도체 장치(300)는 n개의 배선(WWL), n개의 배선(RWL), m개의 배선(WBL), m개의 배선(RBL), 및 m개의 배선(BGL)을 가진다. 본 실시형태 등에서는, k번째 배선(WWL) 및 k번째 배선(RWL)을 각각, 배선(WWL[k]) 및 배선(RWL[k])으로 나타낸다. 또한 j번째 배선(WBL), j번째 배선(RBL), 및 j번째 배선(BGL)을 각각, 배선(WBL[j]), 배선(RBL[j]), 및 배선(BGL[j])으로 나타낸다.

[0257] 배선(WWL[1])은 메모리 셀(100[1, 1]) 내지 메모리 셀(100[1, m])의 각각에 포함되는 트랜지스터(WTr)의 게이트(도전체(103))에 전기적으로 접속된다. 배선(WWL[k])은 메모리 셀(100[k, 1]) 내지 메모리 셀(100[k, m])의 각각에 포함되는 트랜지스터(WTr)의 게이트(도전체(103))에 전기적으로 접속된다. 배선(WWL[n])은 메모리 셀(100[n, 1]) 내지 메모리 셀(100[n, m])의 각각에 포함되는 트랜지스터(WTr)의 게이트(도전체(103))에 전기적으로 접속된다.

[0258] 배선(RWL[1])은 메모리 셀(100[1, 1]) 내지 메모리 셀(100[1, m])의 각각에 포함되는 용량 소자(Cs)에 전기적으로 접속된다. 배선(RWL[k])은 메모리 셀(100[k, 1]) 내지 메모리 셀(100[k, m])의 각각에 포함되는 용량 소자(Cs)에 전기적으로 접속된다. 배선(RWL[n])은 메모리 셀(100[n, 1]) 내지 메모리 셀(100[n, m])의 각각에 포함되는 용량 소자(Cs)에 전기적으로 접속된다. 배선(RWL)은 용량 소자(Cs)를 통하여 트랜지스터(RTr)의 게이트(도전체(115))에 전기적으로 접속된다.

[0259] 배선(WBL[1])은 메모리 셀(100[n, 1])에 포함되는 트랜지스터(WTr)의 소스 및 드레인 중 한쪽(반도체(114))에 전기적으로 접속된다. 배선(WBL[j])은 메모리 셀(100[n, j])에 포함되는 트랜지스터(WTr)의 소스 및 드레인 중 한쪽(반도체(114))에 전기적으로 접속된다. 배선(WBL[m])은 메모리 셀(100[n, m])에 포함되는 트랜지스터(WTr)의 소스 및 드레인 중 한쪽(반도체(114))에 전기적으로 접속된다.

[0260] 배선(RBL[1])은 메모리 셀(100[1, 1])에 포함되는 트랜지스터(RTr)의 소스 및 드레인 중 한쪽(반도체(117))에 전기적으로 접속된다. 배선(RBL[j])은 메모리 셀(100[1, j])에 포함되는 트랜지스터(RTr)의 소스 및 드레인 중 한쪽(반도체(117))에 전기적으로 접속된다. 배선(RBL[m])은 메모리 셀(100[1, m])에 포함되는 트랜지스터(RTr)의 소스 및 드레인 중 한쪽(반도체(117))에 전기적으로 접속된다.

[0261] 배선(BGL[1])은 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(RTr)의 백 게이트(도전체(119))에 전기적으로 접속된다. 배선(BGL[j])은 메모리 셀(100[1, j]) 내지 메모리 셀(100[n, j])의 각각에 포함되는 트랜지스터(RTr)의 백 게이트(도전체(119))에 전기적으로 접속된다. 배선(BGL[m])은 메모리 셀(100[1, m]) 내지 메모리 셀(100[n, m])의 각각에 포함되는 트랜지스터(RTr)의 백 게이트(도전체(119))에 전기적으로 접속된다.

[0262] 배선(WWL)은 기록 워드선으로서 기능하고, 배선(RWL)은 판독 워드선으로서 기능하고, 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능한다.

[0263] 또한 도 23에 나타낸 메모리 스트링(200[1])에서, 메모리 셀(100[1, 1])에 포함되는 트랜지스터(RTr)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되는 영역을 노드(N1[1])로 나타내고, 메모리 셀(100[n, 1])에 포함되는 트랜지스터(RTr)의 소스 및 드레인 중 한쪽에 전기적으로 접속되는 영역을 노드(N2[1])로 나타낸다. 마찬가지로, 메모리 스트링(200[j])의 노드(N1) 및 노드(N2)를 각각, 노드(N1[j]) 및 노드(N2[j])로 나타낸다. 또한 메모리 스트링(200[m])의 노드(N1) 및 노드(N2)를 각각, 노드(N1[m]) 및 노드(N2[m])로 나타낸다.

[0264] <동작 방법예>

[0265] 다음으로, 도 23에 나타낸 반도체 장치(300)의 동작 방법의 일례에 대하여 설명한다. 본 실시형태에서는, 메모리 스트링(200[1])에 포함되는 메모리 셀(100)에 데이터를 기록하는 동작예와 데이터를 판독하는 동작예에 대하여 설명한다.

[0266] 또한 이하의 설명에서, 저레벨 전위(Low) 및 고레벨 전위(High)는 특정의 전위를 의미하는 것이 아니고, 배선이 다른 경우에는 구체적인 전위도 달라질 수 있다. 예를 들어, 배선(WWL)에 공급되는 저레벨 전위 및 고레벨 전위의 각각은, 배선(RWL)에 공급되는 저레벨 전위 및 고레벨 전위와 달라도 좋다.

[0267] 또한 본 동작 방법예에서는, 트랜지스터(RTr) 및 트랜지스터(WTr)가 정상적으로 동작하는 범위 내의 전위가 배선(BGL)에 미리 공급되어 있는 것으로 한다.

[0268] 도 25의 (A)는 메모리 스트링(200[1])에 데이터를 기록하는 동작예를 설명하는 타이밍 차트이고, 도 25의 (B)는 메모리 스트링(200[1])으로부터 데이터를 판독하는 동작예를 설명하는 타이밍 차트이다. 도 25에 나타낸 타이밍 차트는 배선(WWL[1]), 배선(WWL[2]), 배선(WWL[n-1]), 배선(WWL[n]), 배선(RWL[1]), 배선(RWL[2]), 배선(RWL[n-1]), 배선(RWL[n]), 노드(N1[1]), 및 노드(N2[1])의 전위의 크기의 변화를 나타낸다. 또한 배선(WBL[1])은 배선(WBL[1])에 공급되는 데이터를 나타낸다.

[0269] 또한 도 25의 (A)는 데이터(D[1]) 내지 데이터(D[n])를 각각, 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])에 기록하는 예를 나타낸 것이다. 또한 데이터(D[1]) 내지 데이터(D[n])는 2레벨 또는 멀티레벨로 할 수 있다. 그리고 데이터(D[1]) 내지 데이터(D[n])는 배선(WBL[1])으로부터 공급되는 것으로 한다.

[0270] 메모리 스트링(200[1])에 대한 데이터의 기록은 메모리 셀(100[n, 1])로부터 메모리 셀(100[1, 1])로 순차적으로 수행된다. 또한 메모리 셀(100[1, 1])에 데이터를 기록한 후에 메모리 셀(100[2, 1])에 데이터를 기록하려고 하면, 메모리 셀(100[1, 1])에 유지되어 있는 데이터가 메모리 셀(100[2, 1])에 데이터를 기록하는 단계에서 손실된다. 따라서 한번 메모리 셀(100[1, 1])에 기록된 데이터를 판독하고 다른 곳에 저장하는 동작이 필요하다.

[0271] 메모리 스트링(200)의 회로 구성에서 메모리 셀(100[k, 1])에 데이터를 기록하는 경우, 메모리 셀(100[n, 1]) 내지 메모리 셀(100[k+1, 1])에 유지된 데이터가 재기록되는 것을 방지하기 위하여, 배선(WWL[n]) 내지 배선(WWL[k+1])에 저레벨 전위를 공급하여 메모리 셀(100[n, 1]) 내지 메모리 셀(100[k+1, 1])의 각각에 포함되는 트랜지스터(WTr)를 오프 상태로 한다. 이로써, 메모리 셀(100[n, 1]) 내지 메모리 셀(100[k+1, 1])에 유지된 각 데이터를 보호할 수 있다.

[0272] 또한 메모리 셀(100[k, 1])에 데이터를 기록하는 경우, 데이터는 배선(WBL[1])으로부터 공급되기 때문에, 배선(WWL[1]) 내지 배선(WWL[k])에 고레벨 전위를 공급하여 메모리 셀(100[1, 1]) 내지 메모리 셀(100[k, 1])의 각각에 포함되는 트랜지스터(WTr)를 충분히 온 상태로 한다. 이로써, 메모리 셀(100[k, 1])의 기억 노드에 데이터를 유지할 수 있다.

[0273] 또한 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])에 데이터를 기록하는 경우, 배선(RBL[1])은 독립적으로 제어될 수 있기 때문에, 특정의 전위로 할 필요는 없다. 예를 들어 배선(RBL[1])의 전위는 저레벨 전위로 하면 좋다. 또한 노드(N1[1]) 및 노드(N2[1])의 전위는 저레벨 전위로 하면 좋다.

[0274] 상술한 내용을 감안하여 반도체 장치(300)의 동작 방법예에 대하여 설명한다.

[0275] <<전하 주입 동작>>

[0276] 도 24의 타이밍 차트를 사용하여 전하 주입 동작예에 대하여 설명한다. 우선, 기능체(112)에 전하를 주입하여 트랜지스터(WTr)의 문턱 전압을 크게 하는 동작예에 대하여 설명한다. 본 실시형태에서는 메모리 셀(100[k, j])이 가지는 트랜지스터(WTr)의 기능체(112)에 전하를 주입하는 동작에 대하여 설명한다.

[0277] 기간 T1에 있어서 배선(WBL[j])에 프로그램 전위(Prog)를 공급한다. 프로그램 전위는 고레벨 전위보다 높은 전위이다.

[0278] 기간 T2에 있어서 배선(WWL[k]) 이외의 배선(WWL)에 프로그램 전위를 공급한다. 또한 배선(WWL[k])에는 저레벨 전위를 공급한다. 이로써, 절연체(111)를 통하여 배선(WWL[k])으로부터 기능체(112)에 전하가 주입된다.

[0279] 기간 T3에 있어서 배선(WWL) 및 배선(WBL)에 저레벨 전위를 공급한다. 배선(RWL[1]) 내지 배선(RWL[n])은 전하 주입 동작 동안 어떤 전위라도 되지만, 본 실시형태에서는 저레벨 전위를 공급한다.

[0280] 이와 같이 하여, 배선(WWL) 측으로부터 기능체(112)에 전하를 주입할 수 있다. 전하 주입 동작은 반도체 장치(300)의 초기 기동 시에 수행하면 좋다. 또한 전하 주입 동작은 반도체 장치(300)를 기동할 때마다 수행하여도 좋고, 일정 시간마다 수행하여도 좋다. 기능체(112)에 전하를 주입하여 트랜지스터(WTr)의 문턱 전압을 크게 함으로써, 트랜지스터(WTr)를 노멀리 오프형 트랜지스터로 할 수 있다. 예를 들어, 트랜지스터(RTr)를 노멀리 온형 트랜지스터로 함으로써, 메모리 셀(100) 내에 노멀리 오프형 트랜지스터와 노멀리 온형 트랜지스터를 구분하여 형성할 수 있다.

[0281] <<기록 동작>>

[0282] 도 25의 (A)의 타이밍 차트를 참조하여 기록 동작예에 대하여 설명한다. 기간 T10에 있어서 배선(WWL[1]) 내지 배선(WWL[n]), 배선(RWL[1]) 내지 배선(RWL[n]), 배선(WBL[1]), 노드(N1[1]), 및 노드(N2[1])의 각 전위는 저레벨 전위가 된다.

[0283] 기간 T11에 있어서 배선(WWL[1]) 내지 배선(WWL[n])에는 고레벨 전위가 공급된다. 이에 의하여, 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(WTr)가 충분히 온 상태가 된다. 그리고 배선(WBL[1])에는 데이터(D[n])가 공급된다. 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(WTr)는 충분히 온 상태이기 때문에, 데이터(D[n])는 메모리 셀(100[n, 1])의 기억 노드에 공급된다.

[0284] 기간 T12에 있어서 배선(WWL[n])에는 저레벨 전위가 공급되고, 배선(WWL[n-1]) 내지 배선(WWL[1])에는 계속하여 고레벨 전위가 공급된다. 이로써, 메모리 셀(100[n, 1])에 포함되는 트랜지스터(WTr)는 오프 상태가 되고, 메모리 셀(100[n-1, 1]) 내지 메모리 셀(100[1, 1])의 각각에 포함되는 트랜지스터(WTr)는 온 상태를 유지한다. 그리고 배선(WBL[1])에는 데이터(D[n-1])가 공급된다. 메모리 셀(100[n-1, 1]) 내지 메모리 셀(100[1, 1])의 각각에 포함되는 트랜지스터(WTr)는 충분히 온 상태가 되어 있기 때문에, 데이터(D[n-1])는 메모리 셀(100[n-1, 1])의 기억 노드에 공급된다. 또한 메모리 셀(100[n, 1])의 트랜지스터(WTr)는 오프 상태가 되어 있기 때문에, 기간 T11에 메모리 셀(100[n, 1])에 기록된 데이터(D[n])는 유지된다.

[0285] 기간 T13에는, 기간 T11 및 기간 T12와 마찬가지로 메모리 셀(100[n-2, 1]) 내지 메모리 셀(100[2, 1])의 각각에 데이터(D[n-2]) 내지 데이터(D[2])가 순차적으로 기록된다.

[0286] 구체적으로는, 데이터가 이미 기록된 메모리 셀(100[n, 1]) 내지 메모리 셀(100[k+1, 1])에 포함되는 트랜지스터(WTr)를 오프 상태로 하고, 데이터가 기록되지 않은 메모리 셀(100[k, 1]) 내지 메모리 셀(100[1, 1])에 포함되는 트랜지스터(WTr)를 충분히 온 상태로 하고, 데이터(D[k])를 배선(WBL)으로부터 공급하여 메모리 셀(100[k, 1])의 기억 노드에 기록한다. 메모리 셀(100[k, 1])에 대한 데이터(D[k])의 기록이 종료된 후, 메모리 셀(100[k, 1])에 포함되는 트랜지스터(WTr)를 오프 상태로 한다. 이어서, 배선(WBL[1])으로부터 데이터(D[k-1])를 공급하여 메모리 셀(100[k-1, 1])의 기억 노드에 기록한다.

[0287] 또한 k가 1일 때의 기록 동작을 기간 T14에서 설명한다. 기간 T14에 있어서 배선(WWL[n]) 내지 배선(WWL[2])에는 저레벨 전위가 공급되고, 배선(WWL[1])에는 계속하여 고레벨 전위가 공급된다. 이에 의하여, 메모리 셀(100[n, 1]) 내지 메모리 셀(100[2, 1])에 포함되는 트랜지스터(WTr)는 오프 상태가 되고, 메모리 셀(100[1, 1])에 포함되는 트랜지스터(WTr)는 온 상태를 유지한다. 그리고 배선(WBL[1])에 데이터(D[1])가 공급된다. 메모리 셀(100[1, 1])에 포함되는 트랜지스터(WTr)는 충분히 온 상태가 되어 있기 때문에, 데이터(D[1])는 메모리 셀(100[1, 1])의 기억 노드까지 도달되고 기록된다. 또한 메모리 셀(100[n, 1]) 내지 메모리 셀(100[2, 1])의 트랜지스터(WTr)는 오프 상태이기 때문에, 메모리 셀(100[n, 1]) 내지 메모리 셀(100[2, 1])의 각각에 기억되는 데이터(D[n]) 내지 데이터(D[2])는 유지된다.

[0288] 이러한 식으로, 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])에 데이터를 기록할 수 있다.

[0289] 또한 본 실시형태에서는, 메모리 스트링(200[1])에 초점을 맞춰 기록 동작에 대하여 설명하였지만, 반도체 장치(300)의 회로 구성에서는 배선(WWL[k])에 고레벨 전위가 공급되면, 배선(WWL[k])에 전기적으로 접속되는 트랜지스터(WTr)가 모두 온 상태가 된다. 그러므로 메모리 스트링(200[1])뿐만 아니라, 메모리 스트링(200[2]) 내지 메모리 스트링(200[m])에 대한 데이터의 기록도 동시에 수행된다.

[0290] 본 실시형태에서 설명하는 메모리 셀(100)은 OS 메모리이다. 따라서 메모리 셀(100)을 포함하는 반도체 장치(300)는 데이터를 재기록하기 전의 소거 동작이 불필요하고, 고속 기록 동작을 실현할 수 있다.

[0291] 또한 배선(WBL)에 가까운 메모리 셀(100)에 데이터를 기록(재기록)하는 경우에는, 배선(WBL)에서 보아 상기 메모리 셀(100)보다 먼 측의 메모리 셀(100)에 대한 데이터의 기록 동작을 생략할 수 있다. 예를 들어, 메모리 셀(100[1, 1])에 데이터를 기록(재기록)하는 경우에는, 메모리 셀(100[2, 1]) 내지 메모리 셀(100[n, 1])에 대한 데이터의 기록 동작을 생략할 수 있다. 또한 메모리 셀(100[2, 1])에 데이터를 기록하는 경우에는, 메모리 셀(100[3, 1]) 내지 메모리 셀(100[n, 1])에 대한 데이터의 기록 동작을 생략할 수 있다.

[0292] 재기록 빈도가 높은 데이터가 배선(WBL)에 가까운 메모리 셀(100)에 기억되면, 데이터의 기록(재기록)에 필요한 시간을 단축할 수 있다. 즉, 데이터의 기록(재기록) 속도를 높일 수 있다.

[0293] 이와 같이 동작시킴으로써, OS NAND형(3D OS NAND형을 포함함) 기억 장치를 RAM과 같이 동작시킬 수 있다.

[0294] <<판독 동작>>

[0295] 도 25의 (B)는 데이터(D[1]) 내지 데이터(D[n])의 각각을 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])로부터 판독하는 예를 나타낸 것이다. 또한 이때, 각 메모리 셀(100)에 기억된 데이터를 유지하기 위하여, 트랜지스터(WTr)는 오프 상태인 것이 요구된다. 그러므로 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])로부터 데이터를 판독하는 동작 시에는, 배선(WWL[1]) 내지 배선(WWL[n])의 전위를 저레벨 전위로 한다.

[0296] 도 23에 나타낸 반도체 장치(300)의 회로 구성에서 특정의 메모리 셀(100)의 데이터를 판독하는 경우, 다른 메모리 셀(100)에 포함되는 트랜지스터(RTr)를 충분히 온 상태로 한 후에, 판독 대상의 메모리 셀(100)에 포함되는 트랜지스터(RTr)를 포화 영역에서 동작시킨다. 즉, 판독 대상의 메모리 셀(100)에 포함되는 트랜지스터(RTr)의 소스와 드레인 사이를 흐르는 전류의 크기는, 소스와 드레인 사이의 전압과 판독 대상의 메모리 셀(100)에 유지되는 데이터에 기초하여 결정된다.

[0297] 예를 들어, 메모리 셀(100[k, 1])에 유지되는 데이터를 판독하는 경우에 대하여 생각한다. 판독 동작에서, 메모리 셀(100[k, 1])을 제외한 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(RTr)를 충분히 온 상태로 하기 위하여, 배선(RWL[k])을 제외한 배선(RWL[1]) 내지 배선(RWL[n])에 고레벨 전위를 공급한다.

[0298] 한편, 메모리 셀(100[k, 1])에 포함되는 트랜지스터(RTr)에서는 메모리 셀(100[k, 1])에 유지되는 데이터에 따라 온 상태와 오프 상태를 전환하기 때문에, 배선(RWL[k])의 전위는 메모리 셀(100[k, 1])에 상기 데이터를 기록할 때와 같은 전위로 할 필요가 있다. 또한 여기서는 기록 동작 시 및 판독 동작 시의 배선(RWL[k])의 전위를 저레벨 전위로서 생각한다.

[0299] 예를 들어, 노드(N1[1])에 +3V의 전위를 공급하고, 노드(N2[1])에 0V의 전위를 공급한다. 그리고 노드(N2[1])를 부유 상태로 하고, 그 후에 노드(N2[1])의 전위를 측정한다. 배선(RWL[k])을 제외한 배선(RWL[1]) 내지 배선(RWL[n])의 전위를 고레벨 전위로 한 경우, 메모리 셀(100[k, 1])을 제외한 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(RTr)는 충분히 온 상태가 된다.

[0300] 한편, 메모리 셀(100[k, 1])에 포함되는 트랜지스터(RTr)의 소스와 드레인 사이의 전압은, 상기 트랜지스터(RTr)의 게이트의 전위와 노드(N1[1])의 전위에 따라 결정되기 때문에, 노드(N2[1])의 전위는 메모리 셀(100[k, 1])의 기억 노드에 유지된 데이터에 따라 결정된다.

[0301] 이러한 식으로, 메모리 셀(100[k, 1])에 유지되는 데이터를 판독할 수 있다.

[0302] 상술한 내용을 감안하여, 도 25의 (B)의 타이밍 차트를 참조하여 판독 동작예를 설명한다. 기간 T20에 있어서 배선(WWL[1]) 내지 배선(WWL[n]), 배선(RWL[1]) 내지 배선(RWL[n]), 배선(WBL), 노드(N1[1]), 및 노드(N2[1])의 각 전위는 저레벨 전위가 된다. 특히, 노드(N2[1])는 부유 상태가 된다. 그리고 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])의 기억 노드에는 각각 데이터(D[1]) 내지 데이터(D[n])가 유지되는 것으로 한다.

[0303] 기간 T21에 있어서 배선(RWL[1])에는 저레벨 전위가 공급되고, 배선(RWL[2]) 내지 배선(RWL[n])에는 고레벨 전위가 공급된다. 이에 의하여, 메모리 셀(100[2, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(RTr)가 충분히 온 상태가 된다. 그리고 메모리 셀(100[1, 1])의 트랜지스터(RTr)는 메모리 셀(100[1, 1])의 기억 노드에 유지되는 데이터(D[1])에 기초하여 온 상태와 오프 상태가 결정된다.

[0304] 또한 배선(RBL[1])에 전위(VR)를 공급한다. 따라서 노드(N1[1])의 전위는 VR가 되고, 노드(N2[1])의 전위는 노드(N1[1])의 전위(VR)와 메모리 셀(100[1, 1])의 기억 노드에 유지된 데이터에 기초하여 결정된다. 여기서는, 노드(N2[1])의 전위를 VD[1]로 나타낸다. 그리고 노드(N2[1])의 전위(VD[1])를 측정함으로써, 메모리 셀(100[1, 1])의 기억 노드에 유지된 데이터(D[1])를 판독할 수 있다.

[0305] 기간 T22에 있어서 배선(RWL[1]) 내지 배선(RWL[n])에는 저레벨 전위가 공급된다. 또한 노드(N2[1])에는 저레벨 전위가 공급되고, 그 후에 노드(N2[1])는 부유 상태가 된다. 즉, 기간 T22에 있어서 배선(RWL[1]) 내지 배선(RWL[n]) 및 노드(N2[1])의 각각의 전위는 기간 T20과 같다. 또한 배선(RBL[1])에는 계속하여 전위(VR)를 공급하여도 좋고, 저레벨 전위를 공급하여도 좋다. 본 동작예에서는, 배선(RBL[1])에는 기간 T21 이후, 전위(VR)가 계속하여 공급되는 것으로 한다. 따라서 노드(N1[1])에 전위(VR)가 계속하여 공급되는 것으로 한다.

[0306] 기간 T23에 있어서 배선(RWL[2])에는 저레벨 전위가 공급되고, 배선(RWL[1]), 배선(RWL[3]) 내지 배선(RWL

[n])에는 고레벨 전위가 공급된다. 이에 의하여, 메모리 셀(100[1, 1]) 및 메모리 셀(100[3, 1]) 내지 메모리 셀(100[n, 1])의 각각에 포함되는 트랜지스터(RTr)가 충분히 온 상태가 된다. 그리고 메모리 셀(100[2, 1])의 트랜지스터(RTr)는 메모리 셀(100[2, 1])의 기억 노드에 유지되어 있는 데이터(D[2])에 기초하여 온 상태와 오프 상태가 결정된다. 또한 배선(RBL[1])에는 전위(VR)가 공급되어 있다. 따라서 노드(N2[1])의 전위는 노드(N1[1])의 전위(VR)와 메모리 셀(100[2, 1])의 기억 노드에 유지된 데이터에 기초하여 결정된다. 여기서는, 노드(N2[1])의 전위를 VD[2]로 나타낸다. 그리고 노드(N2[1])의 전위(VD[2])를 측정함으로써, 메모리 셀(100[2, 1])의 기억 노드에 유지된 데이터(D[2])를 판독할 수 있다.

[0307] 기간 T24에 있어서 기간 T22 및 기간 T23의 판독 동작과 같은 식으로, 메모리 셀(100[3, 1]) 내지 메모리 셀(100[n-1, 1])의 각각으로부터 데이터(D[3]) 내지 데이터(D[n-1])가 순차적으로 판독된다.

[0308] 구체적으로는, 메모리 셀(100[k, 1])로부터 데이터(D[k])를 판독하는 경우, 노드(N2[1])의 전위를 저레벨 전위로 하고 노드(N2[1])를 부유 상태로 한 후에, 배선(RWL[k])을 제외한 배선(RWL[1]) 내지 배선(RWL[n])에 고레벨 전위를 공급하여, 메모리 셀(100[k, 1])을 제외한 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])에 포함되는 트랜지스터(RTr)를 충분히 온 상태로 하고, 메모리 셀(100[k, 1])에 포함되는 트랜지스터(RTr)를 데이터(D[k])에 대응하는 온 상태로 한다. 다음으로, 노드(N1[1])의 전위를 VR로 함으로써, 노드(N2[1])의 전위는 데이터(D[k])에 대응하는 전위가 되고, 이 전위를 측정함으로써 데이터(D[k])를 판독할 수 있다. 또한 메모리 셀(100[k, 1])에 유지된 데이터(D[k])의 판독이 종료된 후에는, 다음 판독 동작의 준비로서 배선(RWL[1]) 내지 배선(RWL[n])에 저레벨 전위를 공급하여 노드(N2[1])에 저레벨 전위를 공급하고, 그 후에 노드(N2[1])를 부유 상태로 한다.

[0309] 기간 T25에 있어서 배선(RWL[1]) 내지 배선(RWL[n])에는 저레벨 전위가 공급된다. 또한 노드(N2[1])에는 저레벨 전위가 공급되고, 그 후에 노드(N2[1])를 부유 상태로 한다. 즉, 기간 T25에 있어서 배선(RWL[1]) 내지 배선(RWL[n]) 및 노드(N2[1])의 각각의 전위는 기간 T20과 같다.

[0310] 기간 T26에 있어서 배선(RWL[n])에는 저레벨 전위가 공급되고, 배선(RWL[1]) 내지 배선(RWL[n-1])에는 고레벨 전위가 공급된다. 이에 의하여, 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n-1, 1])의 각각에 포함되는 트랜지스터(RTr)가 충분히 온 상태가 된다. 그리고 메모리 셀(100[n, 1])의 트랜지스터(RTr)는 메모리 셀(100[n, 1])의 기억 노드에 유지되는 데이터(D[n])에 대응하는 온 상태가 된다. 또한 배선(RBL[1])에는 전위(VR)가 계속하여 공급되어 있다. 따라서 노드(N2[1])의 전위는 노드(N1[1])의 전위(VR)와 메모리 셀(100[n, 1])의 기억 노드에 유지된 데이터에 기초하여 결정된다. 여기서는, 노드(N2[1])의 전위를 VD[n]로 나타낸다. 그리고 노드(N2[1])의 전위(VD[n])를 측정함으로써, 메모리 셀(100[n, 1])의 기억 노드에 유지된 데이터(D[n])를 판독할 수 있다.

[0311] 이러한 식으로, 메모리 셀(100[1, 1]) 내지 메모리 셀(100[n, 1])에 유지되어 있는 데이터를 판독할 수 있다.

[0312] 또한 본 실시형태에서는, 메모리 스트링(200[1])에 초점을 맞춰 판독 동작에 대하여 설명하였지만, 반도체 장치(300)의 회로 구성에서는 메모리 스트링(200[1])뿐만 아니라, 메모리 스트링(200[2]) 내지 메모리 스트링(200[m])으로부터의 데이터의 판독도 동시에 수행할 수 있다. 또한 트랜지스터(WTr)를 오프 상태로 하면, 데이터 판독 동작 시에도 기억 노드에 유지되어 있는 데이터가 파손되지 않는다. 따라서 임의의 메모리 스트링(200)에 포함되는 데이터만을 판독할 수 있다.

[0313] <반도체 장치의 구조예>

[0314] 다음으로, 반도체 장치(300)의 구조예에 대하여 설명한다.

[0315] 도 26의 (A) 내지 (C)는 반도체 장치(300)의 일부를 나타낸 모식도의 일례이다. 도 26의 (A)는 상기 반도체 장치의 일부의 사시도이고, 도 26의 (B)는 상기 반도체 장치의 일부의 상면도이다. 또한 도 26의 (C)는 도 26의 (B)의 일점쇄선 Z1-Z2에 대응하는 단면도이다.

[0316] 상기 반도체 장치는 배선(WL)(배선(WWL) 또는 배선(RWL))과 절연체(도 26의 (A) 내지 (C)에서 해치 패턴으로 표시하지 않은 영역)가 적층된 구조체를 가진다.

[0317] 상기 구조체에 대하여, 절연체와 배선(WL)을 일괄적으로 관통하는 개구부가 형성된다. 그리고 배선(WL)을 관통한 영역(AR)에 메모리 셀(100)을 제공하기 위하여, 상기 개구부에 구조체(130)가 형성된다.

[0318] 도 26의 (A)에서는 구조체의 내부에 포함되는 구조체(130)를 파선으로 나타내었다. 구조체(130)가 형성된 영역을 영역(SA)으로 나타내었다. 메모리 스트링(200)은 구조체(130)를 따라 형성되기 때문에 메모리 스트링(200)

은 영역(SA)에 형성된다.

[0319] 배선(WL)이 노출된 영역(TM)은, 배선(WL)에 전위를 공급하기 위한 접속 단자로서 기능한다. 즉, 영역(TM)에서 배선(WL)과 배선을 전기적으로 접속시킴으로써, 메모리 셀(100)에 포함되는 트랜지스터의 게이트에 전위를 공급할 수 있다. 또한 배선(WL)은 도전체(103) 또는 도전체(102)에 상당한다.

[0320] 또한 영역(TM)의 형상은 도 26의 (A) 내지 (C)에 나타낸 구성예에 한정되지 않는다. 본 발명의 일 형태에 따른 반도체 장치(300)의 구성은, 예를 들어 도 27의 (A) 내지 (C)에 나타낸 바와 같이, 영역(TM) 위에 절연체가 형성되고, 상기 절연체에 개구부가 제공되고, 상기 개구부를 메우도록 도전체(PG)가 형성된 구성이어도 좋다.

[0321] 도 27의 (A)는 상기 반도체 장치의 일부의 사시도이고, 도 27의 (B)는 상기 반도체 장치의 일부의 상면도이다. 또한 도 27의 (C)는 도 27의 (B)의 일점쇄선 Z1-Z2에 대응하는 단면도이다. 또한 도전체(PG) 위에 배선(ER)이 형성됨으로써, 배선(ER)과 배선(WL)이 전기적으로 접속된다. 도 27의 (A)에서는 구조체의 내부에 제공되는 도전체(PG)를 파선으로 나타내었다.

[0322] <주변 회로와의 접속예>

[0323] 본 발명의 일 형태에 따른 반도체 장치(300)는, 그 아래층에 판독 회로, 프리차지 회로 등 메모리 셀 어레이의 주변 회로가 형성되어도 좋다. 이 경우, 실리콘 기판 등 위에 Si 트랜지스터를 형성하여 상기 주변 회로를 구성하고, 그 후에 상기 주변 회로 위에 본 발명의 일 형태에 따른 반도체 장치(300)를 형성하면 좋다. 도 28의 (A)는 주변 회로를 플레이너형 Si 트랜지스터로 구성하고, 이 위에 본 발명의 일 형태에 따른 반도체 장치(300)를 형성한 단면도이다. 또한 도 29의 (A)는 주변 회로를 FIN형 Si 트랜지스터로 구성하고, 이 위에 본 발명의 일 형태에 따른 반도체 장치(300)를 형성한 단면도이다.

[0324] 도 28의 (A) 및 도 29의 (A)에서, 주변 회로를 구성하는 Si 트랜지스터는 기판(1700) 위에 형성된다. 소자 분리층(1701)은 복수의 Si 트랜지스터들 사이에 형성된다. Si 트랜지스터의 소스 및 드레인으로서 도전체(1712)가 형성된다. 도전체(1730)는 채널 폭 방향으로 연장되어 형성되고, 다른 Si 트랜지스터 또는 도전체(1712)에 접속된다(도시하지 않았음).

[0325] 기판(1700)으로서는, 앞의 실시형태에서 설명한 기판을 사용할 수 있다. 예를 들어 실리콘이나 탄소화 실리콘으로 이루어지는 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄으로 이루어지는 화합물 반도체 기판, 혹은 SOI 기판 등을 사용할 수 있다.

[0326] 또한 기판(1700)으로서, 예를 들어 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함한 종이, 또는 기재 필름 등을 사용하여도 좋다. 또한 어떤 기판을 사용하여 반도체 소자를 형성하고, 그 후에 다른 기판으로 반도체 소자를 전치하여도 좋다. 도 28의 (A), 도 29의 (A)에서는 일례로서 기판(1700)에 단결정 실리콘 웨이퍼를 사용한 예를 나타내었다.

[0327] 도 28의 (A) 및 도 29의 (A)에서는, 영역(SA)에서 메모리 스트링(200) 위에 제공된 도전체(1221), 도전체(1222), 도전체(1223), 및 절연체(1202)를 나타내었다. 도전체(1221)는 메모리 스트링(200)의 단부에 위치하는 트랜지스터(RTr)의 소스 또는 드레인 등에 전기적으로 접속된다.

[0328] 절연체(1202)는 도전체(1221)를 덮어 제공된다. 도전체(1222)는 도전체(119)와 중첩되는 영역에서 절연체(1202)에 매립되도록 제공된다. 도전체(1223)는 절연체(1202) 위쪽에 제공되고, 도전체(1222)를 통하여 도전체(119)에 전기적으로 접속된다.

[0329] 또한 도 28의 (A) 및 도 29의 (A)에서는 도전체(1223), 절연체(1202), 및 메모리 스트링(200) 등을 덮도록 절연체(1203)가 형성된다. 절연체(1203)로서는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 절연체(1203)로서 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용함으로써, 외부로부터의 불순물(예를 들어 물 분자, 수소 원자, 수소 분자, 산소 원자, 산소 분자, 질소 원자, 질소 분자, 질소 산화물 분자(N_2O, NO, NO_2 등))이 메모리 스트링(200) 내로 확산되는 것을 억제할 수 있다.

[0330] 여기서, Si 트랜지스터에 대하여 자세히 설명한다. 도 28의 (A)는 플레이너형 Si 트랜지스터의 채널 길이 방향에서의 단면도를 나타낸 것이고, 도 28의 (B)는 플레이너형 Si 트랜지스터의 채널 폭 방향에서의 단면도를 나타낸 것이다. Si 트랜지스터는 웰(well)(1792)에 제공된 채널 형성 영역(1793), 저농도 불순물 영역(1794) 및 고농도 불순물 영역(1795)(이들을 통틀어 단순히 불순물 영역이라고도 함), 상기 불순물 영역과 접하여 제공된 도

전성 영역(1796), 채널 형성 영역(1793) 위에 제공된 게이트 절연막(1797), 게이트 절연막(1797) 위에 제공된 게이트 전극(1790), 및 게이트 전극(1790)의 측면에 제공된 측벽 절연층(1798) 및 측벽 절연층(1799)을 가진다. 또한 도전성 영역(1796)에는 금속 실리사이드 등을 사용하여도 좋다.

[0331] 또한 도 29의 (A)는 FIN형 Si 트랜지스터의 채널 길이 방향에서의 단면도를 나타낸 것이고, 도 29의 (B)는 FIN형 Si 트랜지스터의 채널 폭 방향에서의 단면도를 나타낸 것이다. 도 29의 (A), (B)에 나타낸 Si 트랜지스터에서는 채널 형성 영역(1793)이 볼록 형상을 가지고, 그 측면 및 상면을 따라 게이트 절연막(1797) 및 게이트 전극(1790)이 제공된다. 본 실시형태에서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우를 나타내었지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체층을 형성하여도 좋다. 또한 도 29의 (A), (B)에서의 부호는 도 28의 (A), (B)에서의 부호와 동일하다.

[0332] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0333] (실시형태 3)

[0334] 본 실시형태에서는, 본 발명의 일 형태에 따른 기억 장치 또는 반도체 장치를 가지는 반도체 장치(400)에 대하여 설명한다.

[0335] 도 30은 반도체 장치(400)의 구성예를 나타낸 블록도이다. 도 30에 나타낸 반도체 장치(400)는 구동 회로(410) 및 메모리 어레이(420)를 가진다. 메모리 어레이(420)는 하나 이상의 메모리 스트링(200)을 가진다. 도 30에서는 매트릭스상으로 배치된 복수의 메모리 스트링(200)을 메모리 어레이(420)가 가지는 예를 나타내었다.

[0336] 구동 회로(410)는 PSW(241)(파워 스위치), PSW(242), 및 주변 회로(415)를 가진다. 주변 회로(415)는 주변 회로(411)(Row Decoder), 제어 회로(412)(Control Circuit), 및 전압 생성 회로(428)를 가진다.

[0337] 반도체 장치(400)에서 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 선택할 수 있다. 또는 다른 회로 또는 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터 입력되는 신호이고, 신호(RDA)는 외부에 출력되는 신호이다. 신호(CLK)는 클록 신호이다.

[0338] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 제어 회로(412)에서 생성되어도 좋다.

[0339] 제어 회로(412)는 반도체 장치(400)의 동작 전반을 제어하는 기능을 가지는 논리 회로이다. 예를 들어 제어 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 반도체 장치(400)의 동작 모드(예를 들어 기록 동작 또는 판독 동작)를 결정한다. 또는 제어 회로(412)는 이 동작 모드가 실행되도록 주변 회로(411)의 제어 신호를 생성한다.

[0340] 전압 생성 회로(428)는 음의 전압을 생성하는 기능을 가진다. 신호(WAKE)는 전압 생성 회로(428)에 대한 신호(CLK)의 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)로서 H레벨의 신호가 인가되면, 신호(CLK)가 전압 생성 회로(428)에 입력되고, 전압 생성 회로(428)는 음의 전압을 생성한다.

[0341] 주변 회로(411)는 메모리 스트링(200)에 대한 데이터의 기록 및 판독을 하기 위한 회로이다. 주변 회로(411)는 행 디코더(441), 열 디코더(442)(Column Decoder), 행 드라이버(423)(Row Driver), 열 드라이버(424)(Column Driver), 입력 회로(425)(Input Cir.), 출력 회로(426)(Output Cir.), 감지 증폭기(427)(Sense Amplifier)를 가진다.

[0342] 행 디코더(441) 및 열 디코더(442)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(441)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(442)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(423)는 행 디코더(441)가 지정하는 배선(WL)을 선택하는 기능을 가진다. 열 드라이버(424)는 데이터를 메모리 스트링(200)에 기록하는 기능, 메모리 스트링(200)으로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다.

[0343] 입력 회로(425)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(425)가 유지하는 데이터는 열 드라이버(424)에 출력된다. 입력 회로(425)의 출력 데이터는 메모리 스트링(200)에 기록되는 데이터(Din)이다. 열 드라이버(424)가 메모리 스트링(200)으로부터 판독한 데이터(Dout)는 출력 회로(426)에 출력된다. 출력 회로

(426)는 Dout를 유지하는 기능을 가진다. 또한 출력 회로(426)는 Dout를 반도체 장치(400)의 외부에 출력하는 기능을 가진다. 출력 회로(426)로부터 출력되는 데이터는 신호(RDA)이다.

[0344] PSW(241)는 주변 회로(415)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(242)는 행 드라이버(423)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는 반도체 장치(400)의 고전원 전압이 VDD이고, 저전원 전압이 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(241)의 온/오프가 제어되고, 신호(PON2)에 의하여 PSW(242)의 온/오프가 제어된다. 도 30에서는, 주변 회로(415)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 파워 스위치를 제공하면 좋다.

[0345] 반도체 장치(400)에 포함되는 구동 회로(410)와 메모리 어레이(420)는 동일한 평면 위에 제공되어도 좋다. 또한 도 31에 나타낸 바와 같이, 구동 회로(410)와 메모리 어레이(420)를 중첩하여 제공하여도 좋다. 구동 회로(410)와 메모리 어레이(420)를 중첩하여 제공함으로써, 신호 전반 거리를 짧게 할 수 있다. 또한 도 31에서는 반도체 장치(400)의 일부를 확대한 사시도를 아울러 도시하였다.

[0346] 또한 반도체 장치(400)에서는 구동 회로(410)가 가지는 제어 회로(412)에 CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등의 연산 처리 장치를 사용하여도 좋다. CPU 및/또는 GPU 등을 사용함으로써, 연산 처리 기능을 가지는 반도체 장치(400)를 실현할 수 있다.

[0347] 상술한 바와 같이 메모리 스트링(200)은 RAM으로서 기능할 수 있다. 따라서 메모리 어레이(420)의 일부를 메인 메모리나 캐시 메모리로서 기능시킬 수 있다. 또한 상술한 바와 같이 메모리 스트링(200)은 플래시 메모리로서 기능할 수 있다. 따라서 메모리 어레이(420)의 일부를 플래시 메모리로서 기능시킬 수 있다. 본 발명의 일 형태에 따른 반도체 장치(400)는 유니버설 메모리로서 기능할 수 있다.

[0348] 또한 본 발명의 일 형태에 따르면 CPU, NAND형 플래시 메모리, 및 캐시 메모리로서의 기능을 동일한 칩 위에 제작할 수 있다.

[0349] 도 31에 나타낸 반도체 장치(400)는 CPU를 포함하는 구동 회로(410)와, 본 발명의 일 형태에 따른 3D OS NAND형 기억 장치를 포함하는 메모리 어레이(420)를 가진다. 본 발명의 일 형태에 따른 3D OS NAND형 기억 장치는 캐시 메모리로서의 기능과 플래시 메모리로서의 기능을 가진다.

[0350] 도 32에는 호스트(450)가 복수의 반도체 장치(400)를 관리하는 상태를 나타내었다. 각 반도체 장치(400)는 연산 처리 기능을 가지고, 플래시 메모리 및 캐시 메모리에 대한 기록 및 판독의 병렬화를 수행할 수 있다. 호스트(450)가 복수의 반도체 장치(400)를 관리함으로써, 비노이만 컴퓨팅을 실현하는 정보 처리 시스템을 구축할 수 있다.

[0351] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0352] (실시형태 4)

[0353] 본 실시형태에서는, 앞의 실시형태에서 설명한 기억 장치 등의 반도체 장치를 포함할 수 있는 연산 처리 장치의 일례에 대하여 설명한다.

[0354] 도 33은 중앙 연산 처리 장치(1100)의 블록도이다. 도 33에서는, 중앙 연산 처리 장치(1100)에 사용할 수 있는 구성예로서 CPU의 구성예를 나타내었다.

[0355] 도 33에 나타낸 중앙 연산 처리 장치(1100)는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 캐시(1199), 및 캐시 인터페이스(1189)를 가진다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. 재기록 가능한 ROM 및 ROM 인터페이스를 가져도 좋다. 또한 캐시(1199) 및 캐시 인터페이스(1189)는 다른 칩에 제공되어도 좋다.

[0356] 캐시(1199)는 캐시 인터페이스(1189)를 통하여 다른 칩에 제공된 메인 메모리와 접속된다. 캐시 인터페이스(1189)는 메인 메모리에 유지되어 있는 데이터의 일부를 캐시(1199)에 공급하는 기능을 가진다. 캐시(1199)는 상기 데이터를 유지하는 기능을 가진다.

[0357] 도 33에 나타낸 중앙 연산 처리 장치(1100)는, 그 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제의 중앙 연산 처리 장치(1100)는 그 용도에 따라 다양한 구성을 가진다. 예를 들어 도 33에 나타낸 중앙 연산 처리 장치(1100) 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고, 각각의 코어가

병렬로 동작하는 구성, 즉 GPU와 같은 구성으로 하여도 좋다. 또한 중앙 연산 처리 장치(1100)가 내부 연산 회로나 데이터 버스에서 취급할 수 있는 비트 수는, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0358] 버스 인터페이스(1198)를 통하여 중앙 연산 처리 장치(1100)에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되고 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0359] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 기초하여 각종 제어를 수행한다. 구체적으로, ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한 인터럽트 컨트롤러(1194)는 중앙 연산 처리 장치(1100)의 프로그램 실행 중에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하고 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, 중앙 연산 처리 장치(1100)의 상태에 따라 레지스터(1196)에 대한 판독이나 기록을 수행한다.

[0360] 또한 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클록 신호에 기초하여 내부 클록 신호를 생성하는 내부 클록 생성부를 가지며, 내부 클록 신호를 상기 각종 회로에 공급한다.

[0361] 도 33에 나타낸 중앙 연산 처리 장치(1100)에서는, 레지스터(1196) 및 캐시(1199)에 기억 장치가 제공된다. 상기 기억 장치로서는, 예를 들어 앞의 실시형태에서 설명한 기억 장치 등을 사용할 수 있다.

[0362] 도 33에 나타낸 중앙 연산 처리 장치(1100)에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작을 선택한다. 즉, 레지스터(1196)에 포함되는 메모리 셀에서, 플립플롭에 의하여 데이터를 유지할지, 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되면, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급이 수행된다. 용량 소자에 의한 데이터의 유지가 선택되면, 용량 소자에 데이터가 재기록되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0363] 앞의 실시형태에서 설명한 반도체 장치(400)와 중앙 연산 처리 장치(1100)는 중첩시켜 제공할 수 있다. 도 34의 (A) 및 (B)는 반도체 장치(1150A)의 사시도이다. 반도체 장치(1150A)는 기억 장치로서 기능하는 반도체 장치(400)를 중앙 연산 처리 장치(1100) 위에 가진다. 중앙 연산 처리 장치(1100)와 반도체 장치(400)는 서로 중첩되는 영역을 가진다. 반도체 장치(1150A)의 구성을 이해하기 쉽게 하기 위하여, 도 34의 (B)에서는 중앙 연산 처리 장치(1100)와 반도체 장치(400)를 분리하여 나타내었다.

[0364] 반도체 장치(400)와 중앙 연산 처리 장치(1100)를 중첩시켜 제공함으로써, 이들 사이의 접속 거리를 짧게 할 수 있다. 따라서 이들 사이의 통신 속도를 높일 수 있다. 또한 접속 거리가 짧기 때문에 소비 전력을 저감할 수 있다.

[0365] 앞의 실시형태에서 설명한 바와 같이, 반도체 장치(400)로서 OS NAND형 기억 장치를 사용함으로써, 반도체 장치(400)에 포함되는 복수의 메모리 스트링(200) 중 일부 또는 전부의 메모리 스트링(200)을 RAM으로서 기능시킬 수 있다. 따라서 반도체 장치(400)는 메인 메모리로서 기능할 수 있다. 메인 메모리로서 기능하는 반도체 장치(400)는 캐시 인터페이스(1189)를 통하여 캐시(1199)에 접속된다.

[0366] 반도체 장치(400)를 메인 메모리(RAM)로서 기능시킬지, 스토리지로서 기능시킬지 여부는 도 30에 나타낸 제어 회로(412)에 의하여 제어된다. 제어 회로(412)는 중앙 연산 처리 장치(1100)로부터 공급된 신호에 기초하여, 반도체 장치(400)에 포함되는 복수의 메모리 스트링(200) 중 일부 또는 전부를 RAM으로서 기능시킬 수 있다.

[0367] 반도체 장치(400)에서는 복수의 메모리 스트링(200) 중 일부의 메모리 스트링(200)을 RAM으로서 기능시키고, 다른 메모리 스트링(200)을 스토리지로서 기능시킬 수 있다. 반도체 장치(400)로서 OS NAND형 기억 장치를 사용함으로써, 캐시로서의 기능과 메인 메모리의 기능과 스토리지의 기능을 모두 가질 수 있다. 본 발명의 일 형태에 따른 반도체 장치(400)는 예를 들어 유니버설 메모리로서 기능할 수 있다.

[0368] 또한 반도체 장치(400)를 메인 메모리로서 사용하는 경우, 그 기억 용량을 필요에 따라 증감시킬 수 있다. 또한 반도체 장치(400)를 캐시로서 사용하는 경우, 그 기억 용량을 필요에 따라 증감시킬 수 있다.

[0369] 또한 도 30에 나타낸 제어 회로(412)는, 반도체 장치(400)의 스토리지로서 기능하는 영역과 메인 메모리로서 기

능하는 영역 사이에서 데이터를 이동 또는 복제하는 경우에, 에러 검출 및 정정을 수행하는 기능(ECC: Error Check and Correct라고도 함)을 가져도 좋다. 또한 제어 회로(412)는 반도체 장치(400)의 메인 메모리로서 기능하는 영역과 캐시(1199) 사이에서 데이터를 이동 또는 복제하는 경우에, ECC를 수행하는 기능을 가져도 좋다.

[0370] 또한 중앙 연산 처리 장치(1100)와 중첩시켜 복수의 반도체 장치(400)를 제공하여도 좋다. 도 35의 (A) 및 (B)는 반도체 장치(1150B)의 사시도이다. 반도체 장치(1150B)는 반도체 장치(400a) 및 반도체 장치(400b)를 중앙 연산 처리 장치(1100) 위에 가진다. 중앙 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)는 서로 중첩되는 영역을 가진다. 반도체 장치(1150B)의 구성을 이해하기 쉽게 하기 위하여, 도 35의 (B)에서는 중앙 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)를 분리하여 나타내었다.

[0371] 반도체 장치(400a) 및 반도체 장치(400b)는 기억 장치로서 기능한다. 예를 들어, 반도체 장치(400a)로서 NOR형 기억 장치를 사용하여도 좋다. 또한 반도체 장치(400b)로서 NAND형 기억 장치를 사용하여도 좋다. 반도체 장치(400a) 및 반도체 장치(400b)의 양쪽이 NAND형 기억 장치이어도 좋다. NOR형 기억 장치는 NAND형 기억 장치보다 고속으로 동작할 수 있기 때문에, 예를 들어 반도체 장치(400a)의 일부를 메인 메모리 및/또는 캐시(1199)로서 사용할 수도 있다. 또한 반도체 장치(400a)와 반도체 장치(400b)를 적층하는 순서는 반대이어도 좋다.

[0372] 도 36의 (A) 및 (B)는 반도체 장치(1150C)의 사시도이다. 반도체 장치(1150C)는 반도체 장치(400a)와 반도체 장치(400b) 사이에 중앙 연산 처리 장치(1100)가 제공되는 구성을 가진다. 따라서 중앙 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)는 서로 중첩되는 영역을 가진다. 반도체 장치(1150C)의 구성을 이해하기 쉽게 하기 위하여, 도 36의 (B)에서는 중앙 연산 처리 장치(1100), 반도체 장치(400a), 및 반도체 장치(400b)를 분리하여 나타내었다.

[0373] 반도체 장치(1150C)의 구성으로 함으로써, 반도체 장치(400a)와 중앙 연산 처리 장치(1100) 사이의 통신 속도와, 반도체 장치(400b)와 중앙 연산 처리 장치(1100) 사이의 통신 속도를 모두 높일 수 있다. 또한 소비 전력을 반도체 장치(1150B)보다 저감할 수 있다.

[0374] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0375] (실시형태 5)

[0376] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치 등이 형성된 반도체 웨이퍼, 및 상기 반도체 장치를 포함한 전자 부품의 일례에 대하여 설명한다.

[0377] <반도체 웨이퍼>

[0378] 먼저, 반도체 장치 등이 형성된 반도체 웨이퍼의 예를 도 37의 (A)를 참조하여 설명한다.

[0379] 도 37의 (A)에 나타낸 반도체 웨이퍼(4800)는 웨이퍼(4801)와, 웨이퍼(4801)의 상면에 제공된 복수의 회로부(4802)를 가진다. 또한 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 공간(spacing)(4803)이고 다이싱용 영역이다.

[0380] 반도체 웨이퍼(4800)는, 전(前)공정에 의하여 웨이퍼(4801)의 표면에 복수의 회로부(4802)를 형성함으로써 제작할 수 있다. 또한 그 후에, 웨이퍼(4801)의 복수의 회로부(4802)가 형성된 면과 반대 측의 면을 삭감하여 웨이퍼(4801)를 얇게 하여도 좋다. 이 공정을 통하여, 웨이퍼(4801)의 휨 등을 저감하고 부품의 크기를 작게 할 수 있다.

[0381] 다음으로, 다이싱 공정이 수행된다. 다이싱은 일점쇄선으로 나타낸 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱 라인 또는 절단 라인이라고 하는 경우가 있음)을 따라 수행된다. 또한 다이싱 공정을 용이하게 수행하기 위하여, 복수의 스크라이브 라인(SCL1)이 평행하게 되고, 복수의 스크라이브 라인(SCL2)이 평행하게 되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 공간(4803)을 제공하는 것이 바람직하다.

[0382] 다이싱 공정을 수행함으로써, 도 37의 (B)에 나타낸 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 칩(4800a)은 웨이퍼(4801a), 회로부(4802), 및 공간(4803a)을 가진다. 또한 공간(4803a)은 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 공간(4803)의 폭이, 스크라이브 라인(SCL1)의 가공 여유 또는 스크라이브 라인(SCL2)의 가공 여유의 폭과 거의 같으면 좋다.

[0383] 또한 본 발명의 일 형태에 따른 소자 기판의 형상은, 도 37의 (A)에 도시된 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어 직사각형의 반도체 웨이퍼이어도 좋다. 소자 기판의 형상은, 소자의 제작 공정 및 소

자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.

[0384] <전자 부품>

[0385] 도 37의 (C)는 전자 부품(4700)과, 전자 부품(4700)이 실장된 기판(실장 기판(4704))의 사시도이다. 도 37의 (C)에 나타낸 전자 부품(4700)은 몰드(4711) 내에 칩(4800a)을 가진다. 칩(4800a)으로서는 본 발명의 일 형태에 따른 기억 장치 등을 사용할 수 있다.

[0386] 도 37의 (C)에서는, 전자 부품(4700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(4700)은 몰드(4711)의 외측에 랜드(4712)를 가진다. 랜드(4712)는 전극 패드(4713)에 전기적으로 접속되고, 전극 패드(4713)는 와이어(4714)를 통하여 칩(4800a)에 전기적으로 접속되어 있다. 전자 부품(4700)은 예를 들어 인쇄 기판(4702)에 실장된다. 이와 같은 전자 부품이 복수로 조합되고, 각각이 인쇄 기판(4702) 위에서 전기적으로 접속됨으로써, 실장 기판(4704)이 완성된다.

[0387] 도 37의 (D)는 전자 부품(4730)의 사시도이다. 전자 부품(4730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(4730)에서는 패키지 기판(4732)(인쇄 기판) 위에 인터포저(4731)가 제공되고, 인터포저(4731) 위에 반도체 장치(4735) 및 복수의 반도체 장치(4710)가 제공되어 있다.

[0388] 반도체 장치(4710)의 예에는 칩(4800a), 앞의 실시형태에서 설명한 반도체 장치, 광대역 메모리(HBM: High Bandwidth Memory) 등이 포함된다. 또한 반도체 장치(4735)로서는 CPU, GPU, FPGA, 기억 장치 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[0389] 패키지 기판(4732)으로서는 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(4731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.

[0390] 인터포저(4731)는 복수의 배선을 가지고, 단자 피치가 다른 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(4731)는 인터포저(4731) 위에 제공된 집적 회로를 패키지 기판(4732)에 제공된 전극에 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 하는 경우가 있다. 또한 인터포저(4731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(4732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저의 경우, 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[0391] 인터포저(4731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자의 제공이 불필요하기 때문에, 집적 회로보다 적은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선 형성은 반도체 공정에서 수행할 수 있기 때문에, 수지 인터포저를 사용한 경우에 어려운 미세 배선의 형성이 용이하다.

[0392] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0393] 또한 실리콘 인터포저를 사용한 SiP나 MCM 등에서는 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 일어나기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히, 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0394] 또한 전자 부품(4730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는, 인터포저(4731) 위에 제공하는 집적 회로의 높이를 같게 하는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(4730)에서는 반도체 장치(4710)와 반도체 장치(4735)의 높이를 같게 하는 것이 바람직하다.

[0395] 전자 부품(4730)을 다른 기판에 실장하기 위하여, 패키지 기판(4732)의 바닥부에 전극(4733)을 제공하여도 좋다. 도 37의 (D)에서는 전극(4733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(4732)의 바닥부에 땜납 볼을 매트릭스로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(4733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(4732)의 바닥부에 도전성의 핀을 매트릭스로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0396] 전자 부품(4730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat

J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.

[0397] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0398] (실시형태 6)

[0399] 본 실시형태에서는, 본 발명의 일 형태에 따른 기억 장치의 응용예에 대하여 설명한다.

[0400] 일반적으로 컴퓨터 등의 반도체 장치에서는 용도에 따라 다양한 기억 장치가 사용된다. 도 38의 (A)에서는 반도체 장치에 사용되는 각종 기억 장치를 계층마다 나타내었다. 위층에 위치하는 기억 장치일수록 빠른 동작 속도가 요구되고, 아래층에 위치하는 기억 장치일수록 큰 기억 용량과 높은 기록 밀도가 요구된다. 도 38의 (A)에서는 CPU 등의 연산 처리 장치에 레지스터(register)로서 포함되는 메모리, SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 3D NAND 메모리를 위에서부터 이 순서대로 나타내었다.

[0401] CPU 등의 연산 처리 장치에 레지스터로서 포함되는 메모리는 연산 결과의 일시적인 저장 등에 사용되기 때문에, 연산 처리 장치로부터의 액세스 빈도가 높다. 따라서 빠른 동작 속도가 기억 용량보다 더 요구된다. 또한 레지스터는 연산 처리 장치의 설정 정보 등을 유지하는 기능도 가진다.

[0402] SRAM은 예를 들어 캐시(cache)에 사용된다. 캐시는 메인 메모리(main memory)에 유지되는 데이터의 일부를 복제하고 유지하는 기능을 가진다. 사용 빈도가 높은 데이터를 복제하고 캐시에서 유지함으로써, 데이터에 대한 액세스 속도를 높일 수 있다. 캐시에 요구되는 기억 용량은 메인 메모리보다 적지만, 메인 메모리보다 빠른 동작 속도가 요구된다. 또한 캐시에서 재기록된 데이터는 복제되고 메인 메모리에 공급된다.

[0403] DRAM은 예를 들어 메인 메모리에 사용된다. 메인 메모리는 스토리지(storage)에서 판독된 프로그램이나 데이터를 유지하는 기능을 가진다. DRAM의 기록 밀도는 약 0.1Gbit/mm^2 내지 0.3Gbit/mm^2이다.

[0404] 3D NAND 메모리는 예를 들어 스토리지에 사용된다. 스토리지는 장기간 저장할 필요가 있는 데이터나 연산 처리 장치에서 사용되는 각종 프로그램 등을 유지하는 기능을 가진다. 따라서 스토리지에서는 큰 기억 용량과 높은 기록 밀도가 동작 속도보다 더 요구된다. 스토리지에 사용되는 기억 장치의 기록 밀도는 약 0.6Gbit/mm^2 내지 6.0Gbit/mm^2이다.

[0405] 본 발명의 일 형태에 따른 기억 장치는 동작 속도가 빠르고, 데이터를 장기간 유지할 수 있다. 본 발명의 일 형태에 따른 기억 장치는 캐시가 위치하는 계층과 메인 메모리가 위치하는 계층의 양쪽을 포함하는 경계 영역(901)에 위치하는 기억 장치로서 적합하게 사용할 수 있다. 또한 본 발명의 일 형태에 따른 기억 장치는 메인 메모리가 위치하는 계층과 스토리지가 위치하는 계층의 양쪽을 포함하는 경계 영역(902)에 위치하는 기억 장치로서 적합하게 사용할 수 있다.

[0406] 또한 본 발명의 일 형태에 따른 기억 장치는 메인 메모리가 위치하는 계층과 스토리지가 위치하는 계층의 양쪽에 적합하게 사용할 수 있다. 또한 본 발명의 일 형태에 따른 기억 장치는 캐시가 위치하는 계층에 적합하게 사용할 수 있다. 도 38의 (B)에 도 38의 (A)와는 다른 각종 기억 장치의 계층을 나타내었다.

[0407] 도 38의 (B)에서는, CPU 등의 연산 처리 장치에 레지스터로서 포함되는 메모리, 캐시로서 사용되는 SRAM, 3D OS NAND 메모리를 위에서부터 이 순서대로 나타내었다. 캐시, 메인 메모리, 및 스토리지에 본 발명의 일 형태에 따른 기억 장치를 사용할 수 있다. 또한 캐시로서 1GHz 이상의 고속 메모리가 요구되는 경우에는, 상기 캐시는 CPU 등의 연산 처리 장치에 포함된다.

[0408] 본 발명의 일 형태에 따른 기억 장치는, 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 스틸 카메라, 비디오 카메라, 녹화 재생 장치, 내비게이션 시스템, 게임기 등)의 기억 장치에 적용할 수 있다. 또한 이미지 센서, IoT(Internet of Things), 헬스케어 등에 사용할 수도 있다. 또한 여기서 컴퓨터란, 태블릿형 컴퓨터, 노트북형 컴퓨터, 데스크톱형 컴퓨터뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 포함하는 것이다.

[0409] 본 발명의 일 형태에 따른 기억 장치를 가지는 전자 기기의 일례에 대하여 설명한다. 또한 도 39의 (A) 내지 (J) 및 도 40의 (A) 내지 (E)에는, 상기 기억 장치를 가지는 전자 부품(4700) 또는 전자 부품(4730)이 각 전자 기기에 포함된 상태를 도시하였다.

[0410] [휴대 전화]

[0411] 도 39의 (A)에 나타낸 정보 단말기(5500)는 정보 단말기의 1종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510) 및 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.

[0412] 본 발명의 일 형태에 따른 기억 장치를 적용함으로써, 정보 단말기(5500)는 애플리케이션 실행 시에 생성되는 일시적인 파일(예를 들어 웹 브라우저 사용 시의 캐시 등)을 유지할 수 있다.

[0413] [웨어러블 단말기]

[0414] 또한 도 39의 (B)에는 웨어러블 단말기의 일례인 정보 단말기(5900)를 도시하였다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 스위치(5903), 조작 스위치(5904), 및 밴드(5905) 등을 가진다.

[0415] 상술한 정보 단말기(5500)와 같이, 본 발명의 일 형태에 따른 기억 장치를 적용함으로써, 웨어러블 단말기는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

[0416] [정보 단말기]

[0417] 또한 도 39의 (C)에는 데스크톱형 정보 단말기(5300)를 도시하였다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301), 표시부(5302), 및 키보드(5303)를 가진다.

[0418] 상술한 정보 단말기(5500)와 같이, 본 발명의 일 형태에 따른 기억 장치를 적용함으로써, 데스크톱형 정보 단말기(5300)는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

[0419] 또한 도 39의 (A) 내지 (C)에서는 전자 기기로서 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기를 예로 들어 각각 도시하였지만, 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기 이외의 정보 단말기도 적용할 수 있다. 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기 이외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등이 있다.

[0420] [전자 제품]

[0421] 또한 도 39의 (D)에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 도시하였다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 가진다. 예를 들어 전기 냉동 냉장고(5800)는 IoT(Internet of Things)에 대응한 전기 냉동 냉장고이다.

[0422] 본 발명의 일 형태에 따른 기억 장치를 전기 냉동 냉장고(5800)에 적용할 수 있다. 전기 냉동 냉장고(5800)는, 전기 냉동 냉장고(5800)에 보관되는 식재료 및 그 식재료의 소비 기한 등의 정보를 인터넷 등을 통하여 정보 단말기 등에 송신하거나 정보 단말기 등으로부터 수신할 수 있다. 전기 냉동 냉장고(5800)에서는 상기 정보를 송신하는 경우에 생성되는 일시적인 파일을 상기 기억 장치가 유지할 수 있다.

[0423] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는, 예를 들어 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.

[0424] [게임기]

[0425] 또한 도 39의 (E)는 게임기의 일례인 휴대 게임기(5200)를 도시한 것이다. 휴대 게임기(5200)는 하우징(5201), 표시부(5202), 및 버튼(5203) 등을 가진다.

[0426] 또한 도 39의 (F)에는 게임기의 일례인 거치형 게임기(7500)를 도시하였다. 거치형 게임기(7500)는 본체(7520) 및 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선에 의하여 컨트롤러(7522)를 접속할 수 있다. 또한 도 39의 (F)에는 도시하지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 이외의 입력 인터페이스로서 기능하는 터치 패널이나 스틱, 회전식 손잡이, 슬라이드식 손잡이 등을 가질 수 있다. 또한 컨트롤러(7522)의 형상은 도 39의 (F)에 나타낸 것에 한정되지 않고, 게임의 분야에 따라 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 가지는 총 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 마이크로폰 등을 가지고, 게임 플레이어의 제스처 및/또는 음성을 사용하여 조작하는 형식으로 하여도 좋다.

[0427] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 헤드마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.

[0428] 앞의 실시형태에서 설명한 기억 장치를 휴대 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써, 저소비 전력의 휴대 게임기(5200) 또는 저소비 전력의 거치형 게임기(7500)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0429] 또한 앞의 실시형태에서 설명한 기억 장치를 휴대 게임기(5200) 또는 거치형 게임기(7500)에 적용함으로써, 게임 중에 발생하는 연산에 필요한 일시적인 파일 등을 유지할 수 있다.

[0430] 게임기의 일례로서 도 39의 (E)에 휴대 게임기를 도시하였다. 또한 도 39의 (F)에는 가정용 거치형 게임기를 도시하였다. 또한 본 발명의 일 형태에 따른 전자 기기는 이에 한정되지 않는다. 본 발명의 일 형태에 따른 전자 기기로서는, 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.

[0431] [이동체]

[0432] 앞의 실시형태에서 설명한 기억 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0433] 도 39의 (G)에서는 이동체의 일례인 자동차(5700)를 도시하였다.

[0434] 자동차(5700)의 운전석 주변에는, 속도계나 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공하는 계기판이 제공되어 있다. 또한 운전석 주변에는, 이들 정보를 표시하는 표시 장치가 제공되어도 좋다.

[0435] 특히 상기 표시 장치는, 자동차(5700)에 제공된 촬상 장치(도시되지 않았음)가 찍은 영상이 표시됨으로써, 필러 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있고, 안전성을 높일 수 있다. 즉, 자동차(5700)의 외측에 제공된 촬상 장치가 찍은 화상이 표시됨으로써, 사각을 보완하고 안전성을 높일 수 있다.

[0436] 앞의 실시형태에서 설명한 기억 장치는 정보를 일시적으로 유지할 수 있기 때문에, 예를 들어 자동차(5700)의 자동 운전 시스템이나 도로 안내, 위험 예측 등을 실행하는 시스템 등에서 필요한 일시적인 정보 유지에 사용될 수 있다. 상기 표시 장치에는 도로 안내, 위험 예측 등의 일시적인 정보를 표시하여도 좋다. 또한 자동차(5700)에 제공된 블랙 박스가 찍은 영상을 유지하는 구성으로 하여도 좋다.

[0437] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있다.

[0438] [카메라]

[0439] 앞의 실시형태에서 설명한 기억 장치는 카메라에 적용할 수 있다.

[0440] 도 39의 (H)에는 촬상 장치의 일례인 디지털 카메라(6240)를 도시하였다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 스위치(6243), 셔터 버튼(6244) 등을 가지고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 가지지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보스코프나 뷰파인더 등을 별도로 장착할 수 있는 구성을 가져도 좋다.

[0441] 앞의 실시형태에서 설명한 기억 장치를 디지털 카메라(6240)에 적용함으로써, 저소비 전력의 디지털 카메라(6240)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0442] [비디오 카메라]

[0443] 앞의 실시형태에서 설명한 기억 장치는 비디오 카메라에 적용할 수 있다.

[0444] 도 39의 (I)에는 촬상 장치의 일례로서 비디오 카메라(6300)를 도시하였다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 스위치(6304), 렌즈(6305), 접속부(6306) 등을 가진다. 조작 스위치(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에 표시되는 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0445] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코드를 수행할 필요가 있다. 상술한 기억 장치를 이용함으로써, 비디오 카메라(6300)는 인코드를 할 때 발생하는 일시적인 파일을 유지할 수 있다.

[0446] [ICD]

[0447] 앞의 실시형태에서 설명한 기억 장치는 ICD(Implantable Cardioverter-Defibrillator)에 적용할 수 있다.

[0448] 도 39의 (J)는 ICD의 일례를 나타낸 단면 모식도이다. ICD 본체(5400)는 배터리(5401), 전자 부품(4700), 레귤레이터, 제어 회로, 안테나(5404), 우심방에 연결되는 와이어(5402), 우심실에 연결되는 와이어(5403)를 적어도 가진다.

[0449] ICD 본체(5400)는 수술에 의하여 몸 안에 설치되고, 2개의 와이어는 인체의 쇄골하 정맥(5405) 및 상대정맥(5406)을 통과하여 한쪽 와이어 끝이 우심실에 설치되고, 다른 쪽 와이어 끝이 우심방에 설치되도록 한다.

[0450] ICD 본체(5400)는 페이스메이커로서의 기능을 가지고, 심박수가 규정의 범위에서 벗어난 경우에 심장 박동 조율을 수행한다. 또한 심장 박동 조율을 수행하여도 심박수가 개선되지 않는 경우(심실 빈맥이나 심실세동 등이 일어나는 경우)에는, 전기 충격에 의한 치료가 수행된다.

[0451] 심장 박동 조율 및 전기 충격을 적절히 수행하기 위하여, ICD 본체(5400)는 심박수를 항상 감시할 필요가 있다. 그러므로 ICD 본체(5400)는 심박수를 검지하기 위한 센서를 가진다. 또한 ICD 본체(5400)는, 상기 센서 등에 의하여 취득한 심박수의 데이터, 심장 박동 조율에 의한 치료를 수행한 횟수, 및 치료 시간 등을 전자 부품(4700)에서 기억할 수 있다.

[0452] 또한 안테나(5404)는 전력을 수신할 수 있고, 그 전력은 배터리(5401)에 충전된다. 또한 ICD 본체(5400)가 복수의 배터리를 가짐으로써, 안전성을 높일 수 있다. 구체적으로는, ICD 본체(5400)의 일부의 배터리를 사용할 수 없어도, 나머지 배터리가 기능할 수 있기 때문에, 배터리는 보조 전원으로서도 기능한다.

[0453] 또한 전력을 수신할 수 있는 안테나(5404)에 더하여, 생체 신호를 송신할 수 있는 안테나를 가져도 좋고, 예를 들어 맥박, 호흡수, 심박수, 체온 등의 생체 신호를 외부의 모니터 장치로 확인할 수 있는, 심장 활동을 감시하는 시스템을 구성하여도 좋다.

[0454] [PC용 확장 디바이스]

[0455] 앞의 실시형태에서 설명한 기억 장치는 PC(Personal Computer) 등의 계산기, 정보 단말기용 확장 디바이스에 적용할 수 있다.

[0456] 도 40의 (A)에서는, 상기 확장 디바이스의 일례로서, 정보의 기억이 가능한 칩을 포함하고, PC 외부에 장착되는 포터블 확장 디바이스(6100)를 도시하였다. 확장 디바이스(6100)는 예를 들어 USB(Universal Serial Bus) 등에 의하여 PC에 접속되면, 상기 칩에서 정보를 기억할 수 있다. 또한 도 40의 (A)에서는 들고 다닐 수 있는 형태의 확장 디바이스(6100)를 도시하였지만, 본 발명의 일 형태에 따른 확장 디바이스는 이에 한정되지 않고, 예를 들어 냉각용 팬 등이 탑재된 비교적 큰 형태의 확장 디바이스이어도 좋다.

[0457] 확장 디바이스(6100)는 하우징(6101), 캡(6102), USB 커넥터(6103), 및 기판(6104)을 가진다. 기판(6104)은 하우징(6101)에 수납된다. 기판(6104)에는, 앞의 실시형태에서 설명한 기억 장치 등을 구동하는 회로가 제공되어 있다. 예를 들어 기판(6104)에는 전자 부품(4700), 컨트롤러 칩(6106)이 장착되어 있다. USB 커넥터(6103)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다.

[0458] [SD 카드]

[0459] 앞의 실시형태에서 설명한 기억 장치는, 정보 단말기나 디지털 카메라 등의 전자 기기에 장착할 수 있는 SD 카드에 적용할 수 있다.

[0460] 도 40의 (B)는 SD 카드의 외관을 나타낸 모식도이고, 도 40의 (C)는 SD 카드의 내부 구조를 나타낸 모식도이다. SD 카드(5110)는 하우징(5111), 커넥터(5112), 및 기판(5113)을 가진다. 커넥터(5112)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기판(5113)은 하우징(5111)에 수납된다. 기판(5113)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기판(5113)에는 전자 부품(4700), 컨트롤러 칩(5115)이 장착되어 있다. 또한 전자 부품(4700)과 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어, 전자 부품에 제공되는 기록 회로, 행 드라이버, 판독 회로

등은 전자 부품(4700)이 아니라 컨트롤러 칩(5115)에 제공되어도 좋다.

[0461] 기판(5113)의 뒷면 측에도 전자 부품(4700)을 제공함으로써, SD 카드(5110)의 용량을 늘릴 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(5113)에 제공하여도 좋다. 이에 의하여 외부 장치와 SD 카드(5110) 사이에서 무선 통신을 수행할 수 있기 때문에, 데이터를 전자 부품(4700)으로부터 판독하거나 전자 부품(4700)에 기록할 수 있다.

[0462] [SSD]

[0463] 앞의 실시형태에서 설명한 기억 장치는, 정보 단말기 등의 전자 기기에 장착할 수 있는 SSD(Solid State Drive)에 적용할 수 있다.

[0464] 도 40의 (D)는 SSD의 외관을 나타낸 모식도이고, 도 40의 (E)는 SSD의 내부 구조를 나타낸 모식도이다. SSD(5150)는 하우징(5151), 커넥터(5152), 및 기판(5153)을 가진다. 커넥터(5152)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기판(5153)은 하우징(5151)에 수납된다. 기판(5153)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기판(5153)에는 전자 부품(4700), 메모리 칩(5155), 및 컨트롤러 칩(5156)이 장착되어 있다. 기판(5153)의 뒷면 측에도 전자 부품(4700)을 제공함으로써, SSD(5150)의 용량을 늘릴 수 있다. 메모리 칩(5155)에는 작업 메모리가 포함되어 있다. 예를 들어 메모리 칩(5155)에는 DRAM 칩을 사용하면 좋다. 컨트롤러 칩(5156)에는 프로세서, ECC 회로 등이 포함되어 있다. 또한 전자 부품(4700), 메모리 칩(5155), 및 컨트롤러 칩(5156) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 컨트롤러 칩(5156)에도 작업 메모리로서 기능하는 메모리를 제공하여도 좋다.

[0465] [계산기]

[0466] 도 41의 (A)에 도시된 계산기(5600)는 대형 계산기의 예이다. 계산기(5600)에서는, 랙(5610)에 랙 마운트형 계산기(5620)가 복수로 제공되어 있다.

[0467] 계산기(5620)는 예를 들어 도 41의 (B)에 나타낸 사시도의 구성을 가질 수 있다. 도 41의 (B)에서 계산기(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631) 및 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 및 접속 단자(5625)를 가지고, 각각 머더보드(5630)에 접속되어 있다.

[0468] 도 41의 (C)에 도시된 PC 카드(5621)는 CPU, GPU, 및 기억 장치 등이 제공된 처리 보드의 일례이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623), 접속 단자(5624), 접속 단자(5625), 반도체 장치(5626), 반도체 장치(5627), 반도체 장치(5628), 및 접속 단자(5629)를 가진다. 또한 도 41의 (C)에서는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 이외의 반도체 장치를 도시하였지만, 이들 반도체 장치에 대해서는, 이하에서 기재하는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)의 설명을 참작하면 좋다.

[0469] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.

[0470] 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.

[0471] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시되지 않았음)를 가지고, 상기 단자를 보드(5622)의 소켓(도시되지 않았음)에 삽입함으로써, 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.

[0472] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA(Field Programmable Gate Array), GPU, 및 CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(4730)을 사용할 수 있다.

[0473] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써, 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서는 예를 들어 기억 장치 등이 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(4700)을 사용할 수 있다.

[0474] 계산기(5600)는 병렬 계산기로서 기능할 수도 있다. 계산기(5600)를 병렬 계산기로서 사용함으로써, 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모의 계산을 수행할 수 있다.

[0475] 상기 각종 전자 기기 등에 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 전자 기기의 소형화, 고속화, 또는 저소비 전력화를 도모할 수 있다. 또한 본 발명의 일 형태에 따른 반도체 장치는 소비 전력이 낮기 때문에, 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 전자 기기를 실현할 수 있다. 따라서 전자 기기의 신뢰성을 높일 수 있다.

[0476] 이어서, 계산기(5600)에 적용할 수 있는 컴퓨터 시스템의 구성예에 대하여 설명한다. 도 42는 컴퓨터 시스템(700)의 구성예를 설명하기 위한 도면이다. 컴퓨터 시스템(700)은 소프트웨어(Software)와 하드웨어(Hardware)로 구성된다. 또한 컴퓨터 시스템에 포함되는 하드웨어를 정보 처리 장치라고 하는 경우가 있다.

[0477] 컴퓨터 시스템(700)을 구성하는 소프트웨어로서는, 디바이스 드라이버를 포함하는 운영 체제, 미들웨어, 각종 개발 환경, AI에 관련된 애플리케이션 프로그램(AI Application), AI에 관련되지 않는 애플리케이션 프로그램(Application) 등이 있다.

[0478] 디바이스 드라이버에는 보조 기억 장치, 표시 장치, 및 프린터 등의 외부 접속 기기를 제어하기 위한 애플리케이션 프로그램 등이 포함된다.

[0479] 컴퓨터 시스템(700)을 구성하는 하드웨어는 제 1 연산 처리 장치, 제 2 연산 처리 장치, 및 제 1 기억 장치 등을 가진다. 또한 제 2 연산 처리 장치는 제 2 기억 장치를 가진다.

[0480] 제 1 연산 처리 장치로서는, 예를 들어 Noff OS CPU 등의 중앙 연산 처리 장치를 사용하는 것이 좋다. Noff OS CPU는 OS 트랜지스터를 사용한 기억 수단(예를 들어 비휘발성 메모리)을 가지고, 동작이 불필요한 경우에는, 필요한 정보를 기억 수단에 유지하고, 중앙 연산 처리 장치에 대한 전력 공급을 정지하는 기능을 가진다. 제 1 연산 처리 장치로서 Noff OS CPU를 사용함으로써, 컴퓨터 시스템(700)의 소비 전력을 저감할 수 있다.

[0481] 제 2 연산 처리 장치로서는, 예를 들어 GPU나 FPGA 등을 사용할 수 있다. 또한 제 2 연산 처리 장치로서는 AI OS Accelerator를 사용하는 것이 바람직하다. AI OS Accelerator는 OS 트랜지스터를 사용하여 구성되고, 적화 연산(product-sum operation) 회로 등의 연산 수단을 가진다. AI OS Accelerator는 일반적인 GPU 등보다 소비 전력이 낮다. 제 2 연산 처리 장치로서 AI OS Accelerator를 사용함으로써, 컴퓨터 시스템(700)의 소비 전력을 저감할 수 있다.

[0482] 제 1 기억 장치 및 제 2 기억 장치로서 본 발명의 일 형태에 따른 기억 장치를 사용하는 것이 바람직하다. 예를 들어, 3D OS NAND형 기억 장치를 사용하는 것이 바람직하다. 3D OS NAND형 기억 장치는 캐시, 메인 메모리, 및 스토리지로서 기능할 수 있다. 또한 3D OS NAND형 기억 장치를 사용함으로써, 비노이만형 컴퓨터 시스템을 실현하기 용이해진다.

[0483] 3D OS NAND형 기억 장치는, Si 트랜지스터를 사용한 3D NAND형 기억 장치보다 소비 전력이 낮다. 기억 장치로서 3D OS NAND형 기억 장치를 사용함으로써, 컴퓨터 시스템(700)의 소비 전력을 저감할 수 있다. 또한 3D OS NAND형 기억 장치는 유니버설 메모리로서 기능할 수 있기 때문에, 컴퓨터 시스템(700)에 포함되는 부품 점수를 삭감할 수 있다.

[0484] 하드웨어를 구성하는 반도체 장치를, OS 트랜지스터를 포함하는 반도체 장치로 구성함으로써, 중앙 연산 처리 장치, 연산 처리 장치, 및 기억 장치를 포함하는 하드웨어의 모놀리식화가 용이해진다. 하드웨어를 모놀리식화함으로써, 소형화, 경량화, 박형화뿐만 아니라, 소비 전력을 더 저감하기 용이해진다.

[0485] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0486] (실시형태 7)

[0487] 본 명세서 등에서 설명한 OS 메모리를 사용하여 노멀리 오프 CPU("Noff-CPU"라고도 함)를 실현할 수 있다. 또한 Noff-CPU란, 게이트 전압이 0V이어도 비도통 상태(오프 상태라고도 함)인 노멀리 오프형 트랜지스터를 포함

한 집적 회로이다.

[0488] Noff-CPU에서는, 동작이 불필요한 회로에 대한 전력 공급을 정지하여, 상기 회로를 대기 상태로 할 수 있다. 전력 공급이 정지되어 대기 상태가 된 회로에서는 전력이 소비되지 않는다. 따라서 Noff-CPU는 전력 사용량을 최소한으로 할 수 있다. 또한 Noff-CPU는 전력 공급이 정지되어도 설정 조건 등 동작에 필요한 정보를 장기간 유지할 수 있다. 대기 상태에서의 복귀는 상기 회로에 대한 전력 공급을 다시 시작하기만 하면 좋고, 설정 조건 등의 재기록은 불필요하다. 즉, 대기 상태에서의 고속 복귀가 가능하다. 이와 같이, Noff-CPU는 동작 속도를 크게 저하시키지 않고 소비 전력을 저감할 수 있다.

[0489] Noff-CPU는 예를 들어 IoT(Internet of Things) 분야의 IoT 말단 기기("엔드포인트 마이크로컴퓨터(endpoint microcomputer)"라고도 함)(803) 등의 소규모 시스템에 적합하게 사용할 수 있다.

[0490] 도 43에 IoT 네트워크의 계층 구조와 요구 사항의 경향을 나타내었다. 도 43에서는 요구 사항으로서 소비 전력(804)과 처리 성능(805)을 나타내었다. IoT 네트워크의 계층 구조는, 위층의 클라우드 분야(801)와 아래층의 임베디드 분야(802)로 크게 나누어진다. 클라우드 분야(801)에는 예를 들어 서버가 포함된다. 임베디드 분야(802)에는 예를 들어 기계, 산업용 로봇, 차량 탑재용 기기, 가전제품 등이 포함된다.

[0491] 위층일수록 저소비 전력보다 높은 처리 성능이 요구된다. 따라서 클라우드 분야(801)에서는 고성능 CPU, 고성능 GPU, 대규모 SoC(System on a Chip) 등이 사용된다. 또한 아래층일수록 높은 처리 성능보다 저소비 전력이 요구되고, 디바이스의 개수도 매우 많아진다. 본 발명의 일 형태에 따른 반도체 장치는, 저소비 전력이 요구되는 IoT 말단 기기의 통신 장치에 적합하게 사용할 수 있다.

[0492] 또한 "엔드포인트"란, 임베디드 분야(802)의 말단 영역을 말한다. 엔드포인트에 사용되는 디바이스로서는, 예를 들어 공장, 가전제품, 인프라스트럭처, 농업 등에서 사용되는 마이크로컴퓨터가 해당된다.

[0493] 도 44는 엔드포인트 마이크로컴퓨터의 응용예로서, 공장 자동화를 나타낸 이미지 도면이다. 공장(884)은 인터넷 회선(Internet)을 통하여 클라우드(서버)(883)에 접속된다. 또한 클라우드(883)는 인터넷 회선을 통하여 집(881) 및 회사(882)에 접속된다. 인터넷 회선은 유선 통신 방식이어도 좋고, 무선 통신 방식이어도 좋다. 예를 들어, 무선 통신 방식의 경우에는, 통신 장치에 본 발명의 일 형태에 따른 반도체 장치를 사용하여, 4세대 이동 통신 시스템(4G)이나 5세대 이동 통신 시스템(5G) 등의 통신 규격에 따른 무선 통신을 수행하면 좋다. 또한 공장(884)은 인터넷 회선을 통하여 공장(885) 및 공장(886)에 접속되어도 좋다.

[0494] 공장(884)은 마스터 장치(제어 기기)(831)를 가진다. 마스터 장치(831)는 클라우드(883)에 접속되고, 정보를 주고받는 기능을 가진다. 또한 마스터 장치(831)는 M2M(Machine to Machine) 인터페이스(832)를 통하여 IoT 말단 기기(841)에 포함되는 복수의 산업용 로봇(842)에 접속된다. M2M 인터페이스(832)로서는, 예를 들어 유선 통신 방식의 1종인 산업 이더넷("이더넷"은 등록 상표)이나, 무선 통신 방식의 1종인 로컬 5G 등을 사용하여도 좋다.

[0495] 공장의 관리자는, 집(881) 또는 회사(882)에서 클라우드(883)를 통하여 공장(884)에 접속하고, 가동 상황 등을 알 수 있다. 또한 오류 물품 및 결품의 체크, 보관 장소의 지시, 및 택 타임(takt time)의 계측 등을 실행할 수 있다.

[0496] 근년 IoT는 세계적으로 공장에 도입되고 있으며, 이 상황을 "스마트 공장"이라고 부른다. 스마트 공장은, 엔드포인트 마이크로컴퓨터에 의한 단순한 검사 및 감사뿐만 아니라, 고장 검지나 이상 예측 등도 수행하는 것으로 보고되어 있다.

[0497] 엔드포인트 마이크로컴퓨터 등의 소규모 시스템은, 가동 시의 시스템 전체의 소비 전력이 작은 경우가 많기 때문에, CPU가 차지하는 소비 전력의 비율이 크게 되기 쉽다. 그러므로 엔드포인트 마이크로컴퓨터 등의 소규모 시스템에서는 Noff-CPU에 의한 대기 동작 시의 전력 삭감 효과가 크다. 한편, IoT의 임베디드 분야에서는 즉응성이 요구되는 경우가 있지만, Noff-CPU를 사용함으로써 대기 상태에서의 고속 복귀를 실현할 수 있다.

[0498] 본 실시형태는 다른 실시형태 등에서 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0499] (실시예)

[0500] 본 발명의 일 형태에 따른 OS 메모리를 사용한 NAND형 메모리 스트링(NAND memory string)의 재기록에 대한 내성에 대하여 디바이스 시뮬레이션 소프트웨어를 사용하여 평가하였다. 본 실시예에서는 그 평가 결과에 대하여 설명한다. 재기록에 대한 내성의 평가는 synopsys사 제조의 디바이스 시뮬레이션 소프트웨어 TCAD sentaurus를

사용하여 수행하였다.

[0501] 도 45의 (A)에는 OS 메모리를 사용한 NAND형 메모리 스트링("3D OS NAND 스트링"이라고도 함)을 복수로 포함하는 반도체 장치의 사시 개념도를 나타내었다. 도 45의 (A)에 나타낸 반도체 장치는 앞의 실시형태에서 설명한 3D OS NAND형 기억 장치이다. 도 45의 (A)에서는 NAND형 메모리 스트링, 제어 게이트(CG: Control gates), 기록 게이트(WG: Writing gates) 등을 나타내었다.

[0502] 메모리 스트링을 구성하는 메모리 셀(OS 메모리)의 구조로서는 앞의 실시형태에서 설명한 메모리 셀(100A)(도 12의 (A) 참조)의 구조를 상정하였다. 도 45의 (B)에 메모리 셀의 등가 회로도를 나타내었다. 도 45의 (B)에 나타낸 메모리 셀은 2개의 트랜지스터(트랜지스터(WTr) 및 트랜지스터(RTr))와 하나의 용량 소자(Cs)를 가지는 2T-1C형 메모리 셀이다. 또한 도 45의 (B)는 앞의 실시형태에서 설명한 도 5의 (A)에 나타낸 회로도와 등가이다.

[0503] 도 45의 (B)에 나타낸 트랜지스터(WTr) 및 트랜지스터(RTr)는 OS 트랜지스터이다. 덧붙여, 트랜지스터(WTr)는 플로팅 게이트(FG)를 가지는 트랜지스터이다. 본 실시예에서는 FG로서 붕소를 포함하는 다결정 실리콘을 상정하였다.

[0504] 트랜지스터(WTr)의 게이트는 기록 게이트(WG)와 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 기록 비트선(WBL)과 전기적으로 접속된다. 트랜지스터(WTr)의 소스 및 드레인 중 다른 쪽은 용량 소자(Cs)의 한쪽 전극과 트랜지스터(RTr)의 게이트에 전기적으로 접속된다. 트랜지스터(WTr)의 소스 및 드레인 중 다른 쪽과, 용량 소자(Cs)의 한쪽 전극과, 트랜지스터(RTr)의 게이트가 전기적으로 접속되는 결합점이 유지 노드(SN)로서 기능한다. 또한 유지 노드(SN)는 배선(BWBL)과 전기적으로 접속된다. 용량 소자(Cs)의 다른 쪽 전극은 제어 게이트(CG)와 전기적으로 접속된다. 트랜지스터(RTr)의 소스 및 드레인 중 한쪽은 판독 비트선(RBL)과 트랜지스터(WTr)의 백 게이트에 전기적으로 접속된다. 트랜지스터(RTr)의 백 게이트는 백 게이트선(BG)과 전기적으로 접속된다. 트랜지스터(RTr)의 소스 및 드레인 중 다른 쪽은 배선(BRBL)과 전기적으로 접속된다.

[0505] 도 46에 3D OS NAND 스트링의 기록 동작 및 판독 동작의 타이밍 차트를 나타내었다. 도 46에서는 3D OS NAND 스트링으로서 4개의 메모리 셀이 접속된 경우를 나타내었다. 기록 동작 시에, 기록 대상이 되는 메모리 셀보다 드레인 단자(판독 비트선(RBL)) 측에 위치하는 셀에는 모두 판독 비트선(RBL)의 전위가 기록된다. 따라서, 기록 동작은 판독 비트선(RBL)에서 떨어진 셀로부터 순차적으로 수행할 필요가 있다. 또한 판독 동작은 NAND형 플래시 메모리의 판독 동작을 답습할 수 있다.

[0506] 표 2에 시뮬레이션에서 사용한 산화물 반도체의 설정 파라미터를 나타내었다.

[0507] [표 2]

	파라미터	값	단위
전도대	전자 친화력	4.6	eV
	유효 DOS	5×10^{18}	cm^{-3}
	밴드 테일	정의하지 않음	
	전자 이동도	8	cm^2 / Vs
가전자대	밴드 갭	3	eV
	유효 DOS	5×10^{18}	cm^{-3}
	밴드 테일	정의하지 않음	
	정공 이동도	0.01	cm^2 / Vs
트랩 밴드	-	정의하지 않음	
	비유전율	15	

[0508]

[0509] 표 3에 기록 동작(Writing)/판독 동작(Reading) 등의 시뮬레이션에서 사용한 전원 전압을 나타내었다.

[0510] [표 3]

전극	동작	전압[V]
WG[n]	Pre-charge(OTP)	0 - 15
	Writing/Reading	0 - 4
CG[n]	Writing/Reading	0 - 4
WBL	Writing/Reading	0 - 4
RBL	Writing/Reading	0 - 1.2
BG, BWBL, BRBL	Writing/Reading	0

[0511]

[0512] 트랜지스터(WTr)의 문턱값을 조정하기 위하여 FG에 대한 전하 주입을 15V로 한 번만 수행하지만, 다른 동작에서 사용하는 전원 전압은 4V로 하였다. 즉, NAND 플래시 메모리와 달리, 기록 동작 시에 높은 전원 전압을 사용하지 않는다.

[0513] 도 47의 (A)에 트랜지스터(WTr)의 Id-Vwg 특성을 나타내었다. 도 47의 (A)에서는 트랜지스터(WTr)의 FG에 전하를 주입할 때의 전압(Vpre: pre-charge voltage)마다의 Id-Vwg 특성을 나타내었다. 도 47의 (B)는 트랜지스터(WTr)의 문턱 전압(Vth)과 Vpre의 관계를 나타낸 도면이다. Vpre가 커짐에 따라, Vth가 플러스 측으로 시프트하는 것을 알 수 있다.

[0514] 기억 장치에서는 유지 특성이 중요하다. 3D OS NAND형 기억 장치의 유지 특성은 트랜지스터(WTr)의 Vth와, 게이트에 Vth보다 작은 전압이 인가되었을 때의 소스-드레인 간을 흐르는 전류(오프 전류)의 크기로 결정된다. OS 트랜지스터는 오프 전류가 매우 작기 때문에 트랜지스터(WTr)로서 적합하다.

[0515] 본 실시예에 따른 시뮬레이션은 8개의 메모리 셀이 직렬 접속된 3D OS NAND 메모리 스트링을 상정하여 수행하였다. 도 48에 3D OS NAND 메모리 스트링의 유지 특성을 나타내었다. 도 48에서는 직렬 접속된 8개의 메모리 셀 중, 중앙의 2개를 제외한 6개의 메모리 셀의 유지 특성을 나타내었다. 또한 도 48의 (A)는 Vpre=12.5V일 때의 유지 특성을 나타낸 것이고, 도 48의 (B)는 Vpre=15V일 때의 유지 특성을 나타낸 것이다. 또한 유지 특성 평가 시에 기록하는 데이터 패턴으로서 체커 패턴(홀수 번째의 메모리 셀에 "1"을 기록하고, 짝수 번째의 메모리 셀에 "0"을 기록함) 및 반전 체커 패턴(홀수 번째의 메모리 셀에 "0"을 기록하고, 짝수 번째의 메모리 셀에 "1"을 기록함)의 2종류를 사용하였다.

[0516] 도 48의 (A) 및 (B)에서 가로축은 경과 시간(Time)을 나타내고, 세로축은 유지 노드(SN)의 전압(Vsn)을 나타낸다. 도 48의 (A) 및 (B)로부터 알 수 있듯이, 시뮬레이션에서 사용한 디바이스 구조로 10년(3.2×10^{8}s)의 유지를 달성하기 위해서는 Vpre를 15V로 하고 트랜지스터(WTr)의 Vth를 2V 정도로 할 필요가 있다. 이후, 본 실시예에서는 Vpre를 15V로 한 경우의 시뮬레이션 결과에 대하여 설명한다.

[0517] 도 49의 (A) 및 (B)에, 메모리 스트링에 체커 패턴과 반전 체커 패턴을 번갈아 기록한 경우의 메모리 셀의 유지 특성의 시뮬레이션 결과를 나타내었다. 여기서 "메모리 스트링에 체커 패턴과 반전 체커 패턴을 번갈아 기록"이란, 하나의 메모리 셀에 "1"을 기록하고 나서 일정 기간이 경과한 후에 같은 메모리 셀에 "0"을 기록하는 동작을 반복하는 것을 말한다. 이때, 인접한 메모리 셀에는 항상 상이한 데이터가 기록된다.

[0518] 기록 동작에 있어서, 기록 비트선(WBL)에서 떨어진 메모리 셀일수록 기록에 시간이 걸리는 것으로 예상된다. 따라서, 배선(BWBL)에 가까운 메모리 셀의 유지 특성을 조사함으로써 최악의 경우의 유지 특성을 예측할 수 있다.

[0519] 도 49의 (A) 및 (B)에서 가로축은 경과 시간(Time)을 나타내고, 세로축은 유지 노드(SN)의 전압(Vsn)을 나타낸다. 도 49의 (A)는 배선(BWBL)에 가장 가까운 메모리 셀의 유지 노드(SN)(유지 노드(SN[1]))의 유지 특성을 나타낸 것이다. 또한 도 49의 (B)는 배선(BWBL)에 두 번째로 가까운 메모리 셀의 유지 노드(SN)(유지 노드(SN[2]))의 유지 특성을 나타낸 것이다.

[0520] 도 49의 (A) 및 (B)에서는 "1"을 기록하고 나서 10μs 경과한 후에 "0"을 기록한 경우의 노드(SN)의 전압(Vsn)의 변화와, "0"을 기록하고 나서 10μs 경과한 후에 "1"을 기록한 경우의 노드(SN)의 전압(Vsn)의 변화를 나타

내었다. 유지 노드(SN[2])와 비교하여, 유지 노드(SN[1])에서는 "1"과 "0"의 전위차가 작은 것을 알 수 있다.

[0521] 도 50에, 유지 노드(SN[1]) 내지 유지 노드(SN[8])에서 "0"을 유지하는 경우의 판독 전류(Irbl)(판독 동작 시에 판독 비트선(RBL)에 흐르는 전류의 크기)와, "1"을 유지하는 경우의 판독 전류(Irbl)의 시뮬레이션 결과를 나타내었다. 또한 유지 노드(SN[8])는 본 실시예에서 기록 비트선(WBL)에 가장 가까운 메모리 셀에 포함되는 유지 노드(SN)이다.

[0522] 도 50으로부터, 유지 노드(SN[2]) 내지 유지 노드(SN[8])를 포함하는 각각의 메모리 셀에서 거의 같은 판독 전류(Irbl)가 얻어진 것을 알 수 있다. 한편으로 유지 노드(SN[1])를 포함하는 메모리 셀에서는 "1"과 "0" 간에서 판독 전류(Irbl)에 차이가 보이지만, 다른 메모리 셀보다 판독 전류(Irbl)의 값이 크게 벗어난 것을 알 수 있다. 따라서, 배선(BWBL)에 가장 가까운 메모리 셀은 실동작에 사용하지 않고 더미 셀로서 취급하는 것이 바람직하다.

[0523] 표 4에 일반적인 DRAM 및 NAND 플래시 메모리와, 3D OS NAND형 기억 장치를 비교한 표를 나타내었다.

[0524] [표 4]

[0525]

평가	DRAM	NAND 플래시	3D OS NAND
전원	3.3V	12V	4V
내성	∞	104	∞
밀도	낮음	높음	높음
유지	60ms	10년	10년
실렉터/주변 회로	복잡함	단순함	단순함

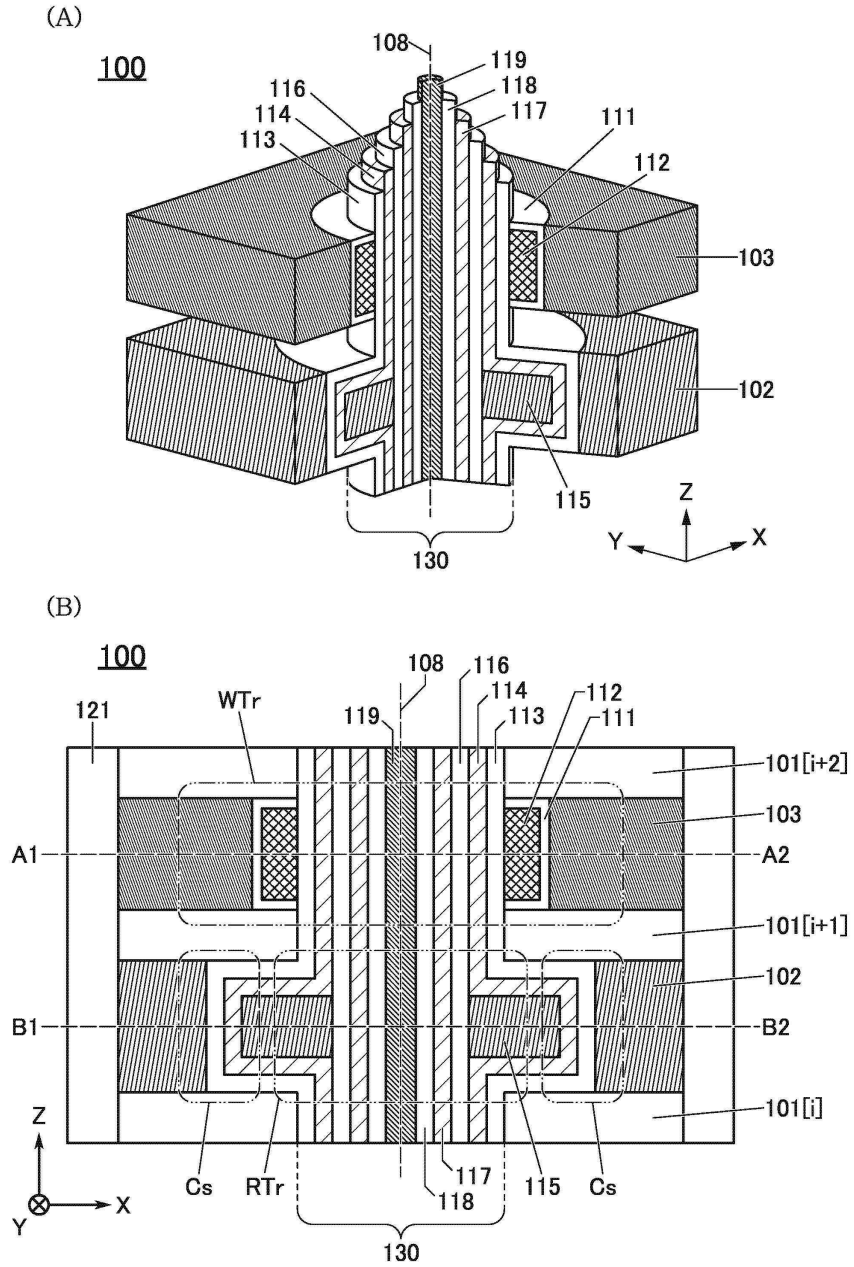
[0526] 시뮬레이션 결과로부터, 3D OS NAND형 기억 장치는 10년 유지의 특성을 확보하면서, 전원 전압의 저감을 기대할 수 있는 것을 알 수 있었다. 또한 3D OS NAND형 기억 장치는 트랜지스터를 통하여 유지 노드에 데이터를 유지하는 방식이므로, 재기록에 대한 내성은 DRAM과 같은 정도로 예상된다. 이와 같이, 3D OS NAND형 기억 장치는 NAND 플래시 메모리의 이점과 DRAM의 이점을 아울러 가진다. 따라서 3D OS NAND형 기억 장치는 유니버설 메모리로서 사용할 수 있다.

부호의 설명

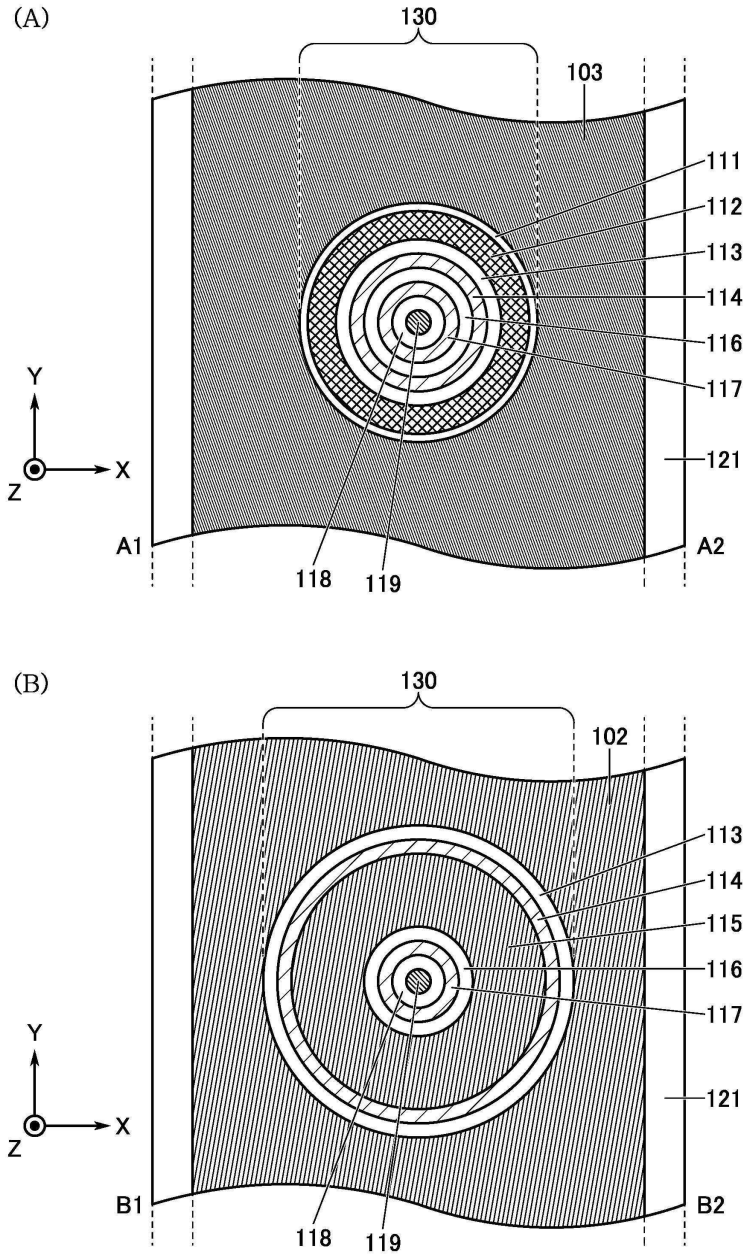
[0527] 100: 메모리 셀, 101: 절연체, 102: 도전체, 103: 도전체, 108: 중심축, 111: 절연체, 112: 기능체, 113: 절연체, 114: 반도체, 115: 도전체, 116: 절연체, 117: 반도체, 118: 절연체, 119: 도전체, 120: 공동, 121: 절연체, 130: 구조체, 131: 개구, 132: 영역, 140: 적층체, 200: 메모리 스트링

도면

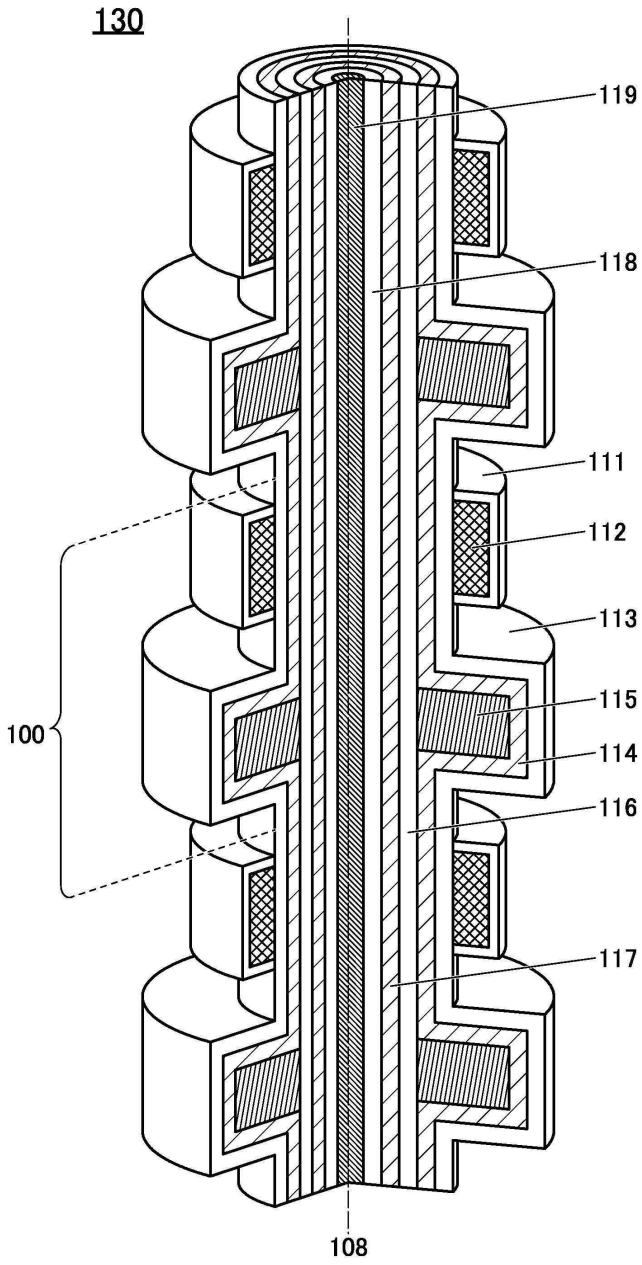
도면1


(A)
100
108
119
116
118
114
117
113
111
112
103
102
115
130
Z
Y
X
(B)
100
121
WTr
108
116
114
112
119
113
111
101[i+2]
103
A1
A2
101[i+1]
102
B1
B2
101[i]
Z
Y
X
Cs
RTr
117
118
115
Cs
130

도면2

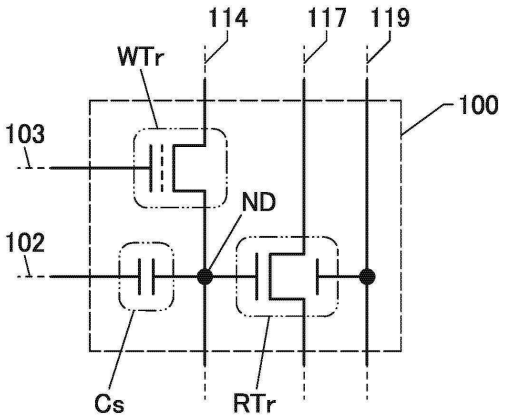

(A)
130
103
111
112
113
114
116
117
121
Y
X
Z
A1
A2
118
119
(B)
130
102
113
114
115
116
117
121
Y
X
Z
B1
B2
118
119

도면3

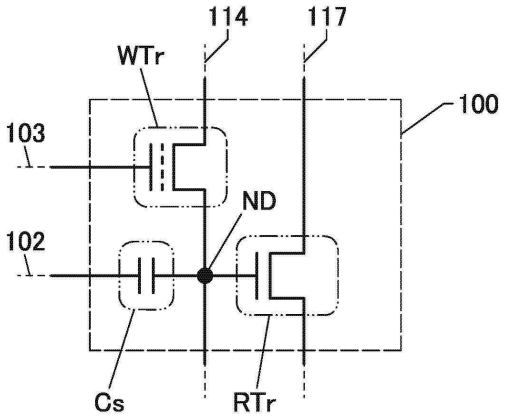


도면4

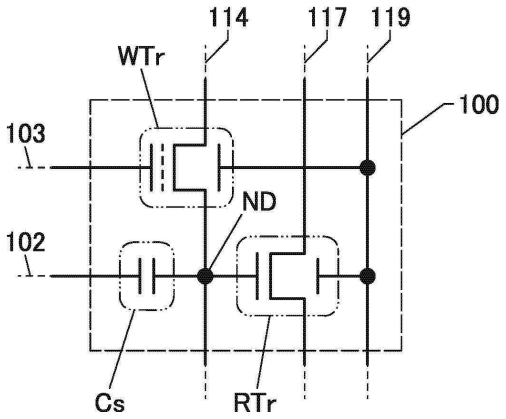
(A)


114
117
119
WTr
100
103
ND
102
Cs
RTr

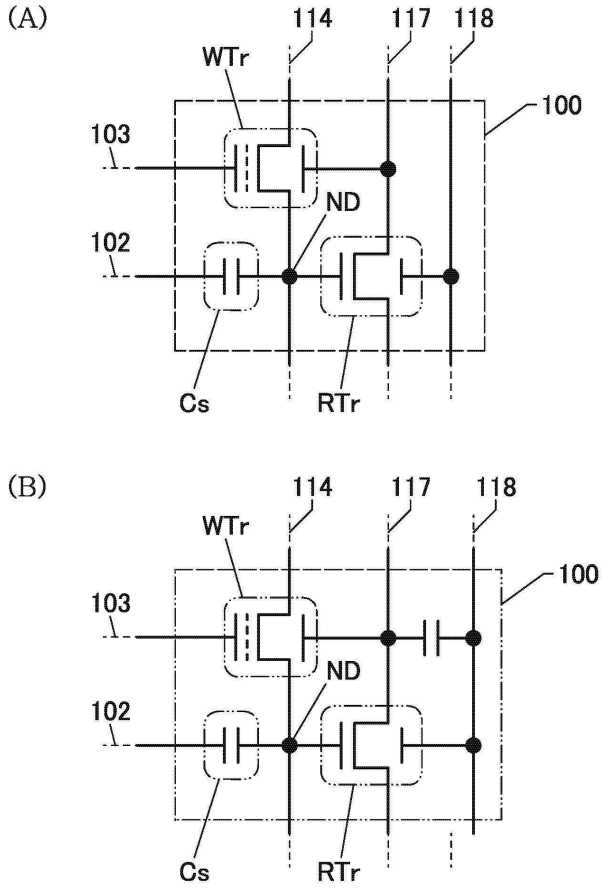
(B)


114
117
WTr
100
103
ND
102
Cs
RTr

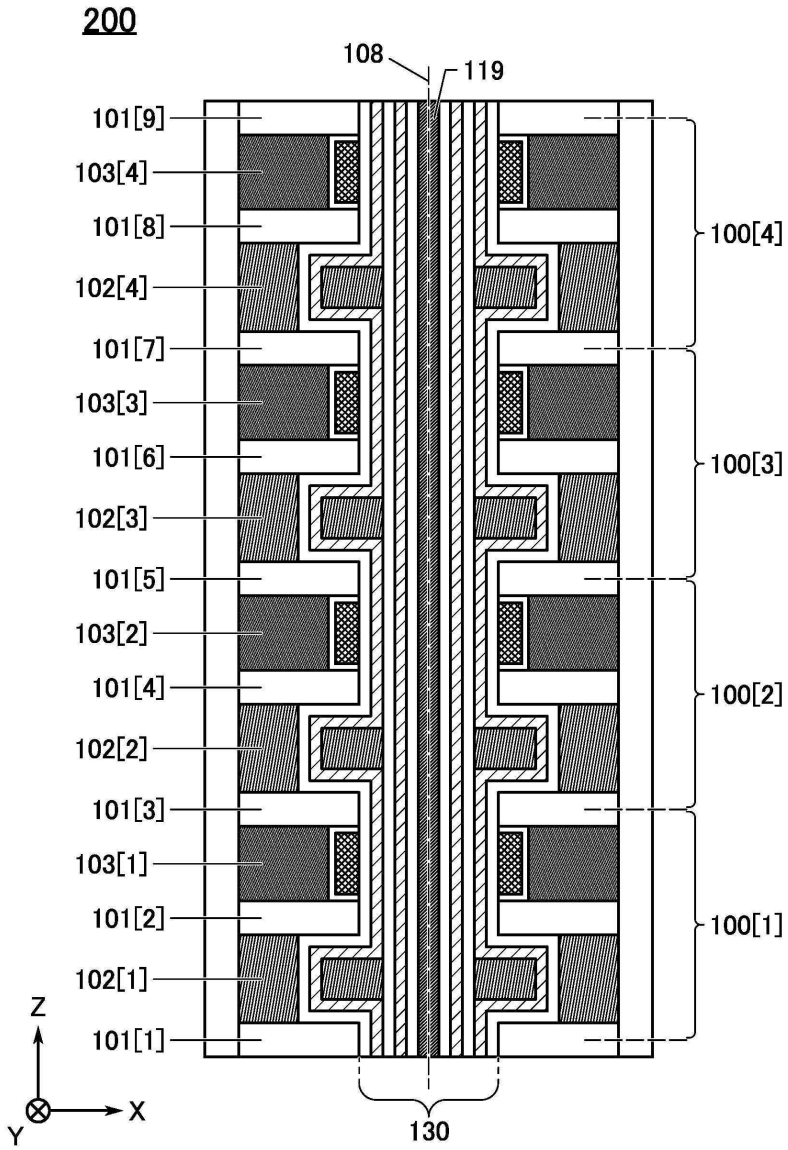
(C)


114
117
119
WTr
100
103
ND
102
Cs
RTr

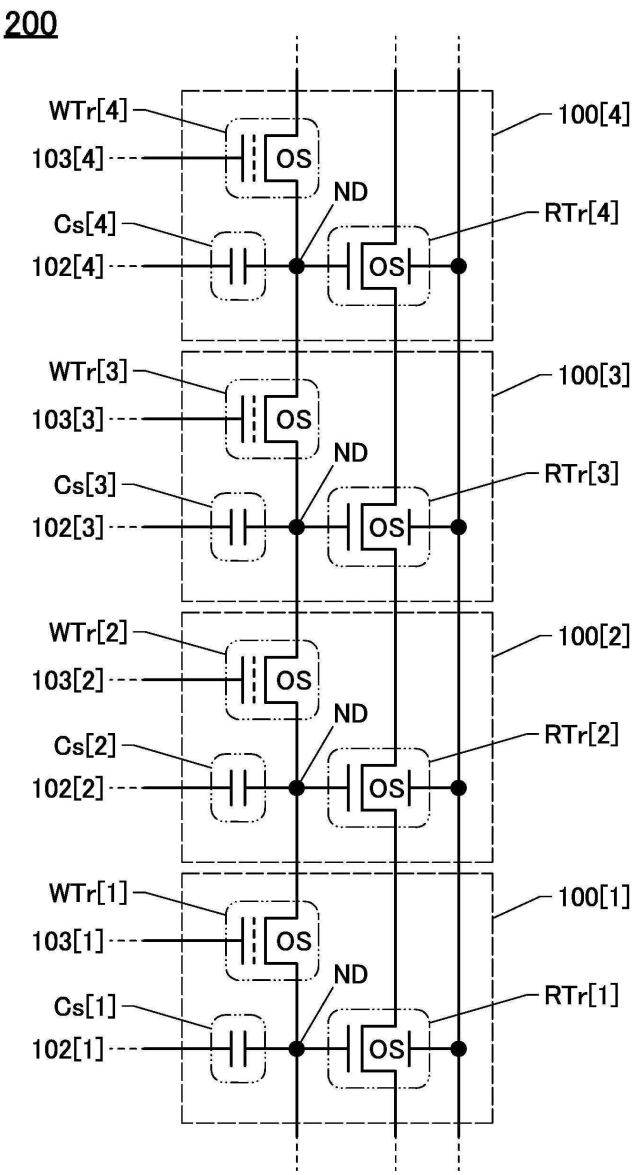
도면5


(A)
114
117
118
WTr
100
103
ND
102
Cs
RTr
(B)
114
117
118
WTr
100
103
ND
102
Cs
RTr

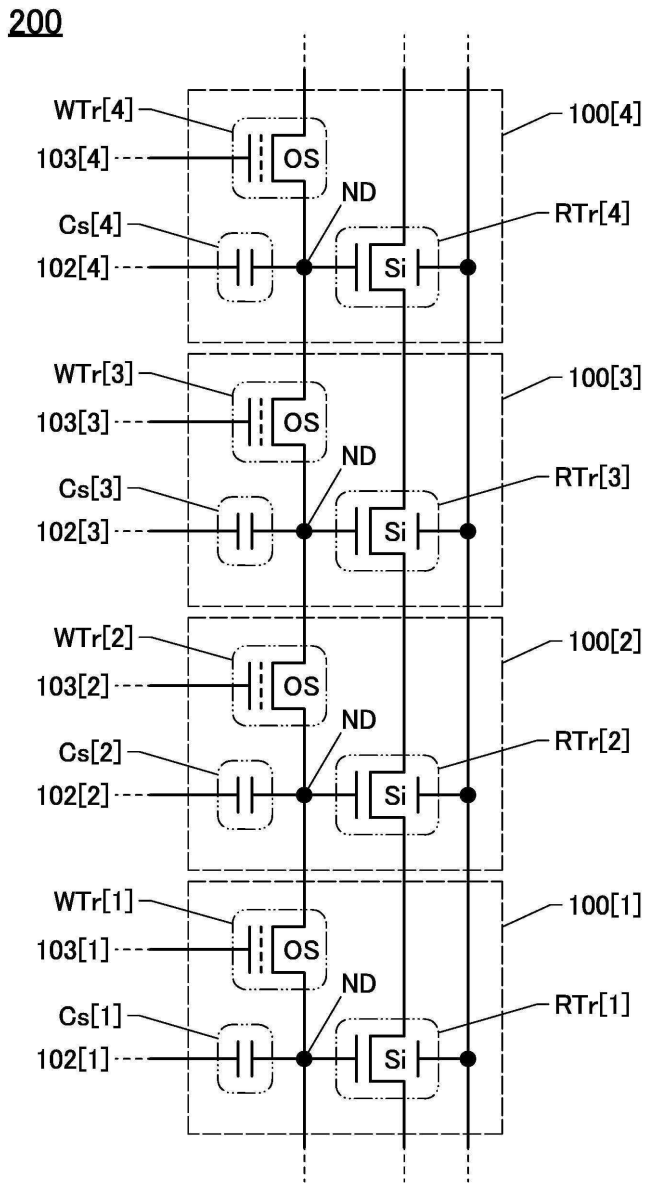
도면6


200
108
119
101[9]
103[4]
101[8]
102[4]
101[7]
103[3]
101[6]
102[3]
101[5]
103[2]
101[4]
102[2]
101[3]
103[1]
101[2]
102[1]
101[1]
100[4]
100[3]
100[2]
100[1]
130
Z
X
Y

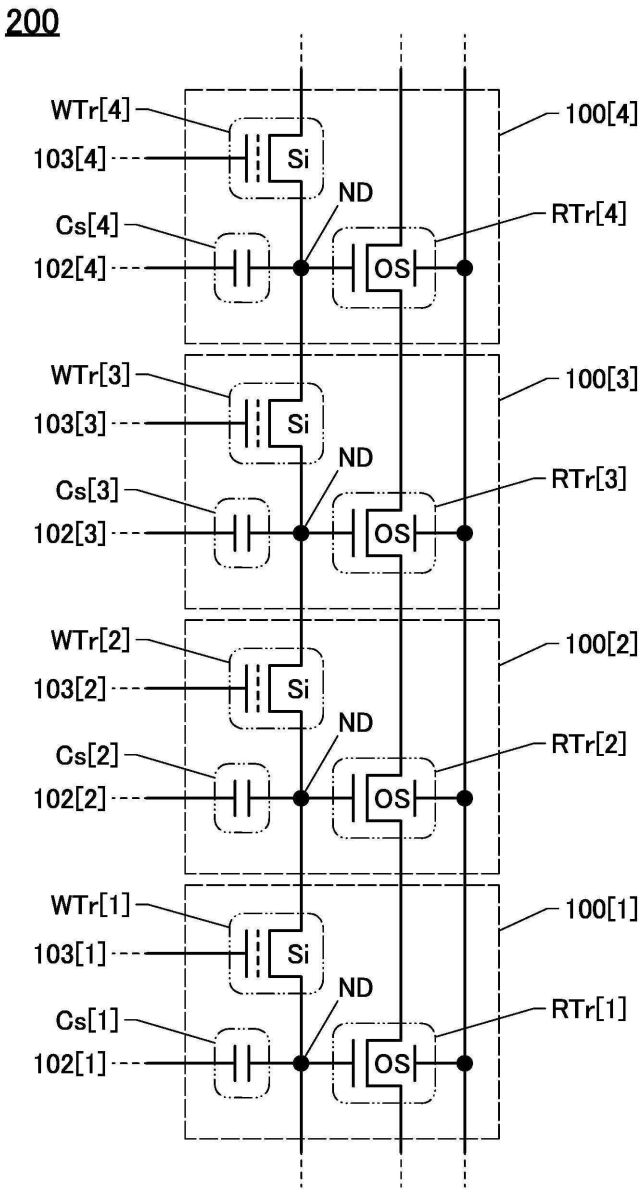
도면7


200
WTr[4]
103[4]
Cs[4]
102[4]
OS
ND
OS
100[4]
RTr[4]
WTr[3]
103[3]
Cs[3]
102[3]
OS
ND
OS
100[3]
RTr[3]
WTr[2]
103[2]
Cs[2]
102[2]
OS
ND
OS
100[2]
RTr[2]
WTr[1]
103[1]
Cs[1]
102[1]
OS
ND
OS
100[1]
RTr[1]

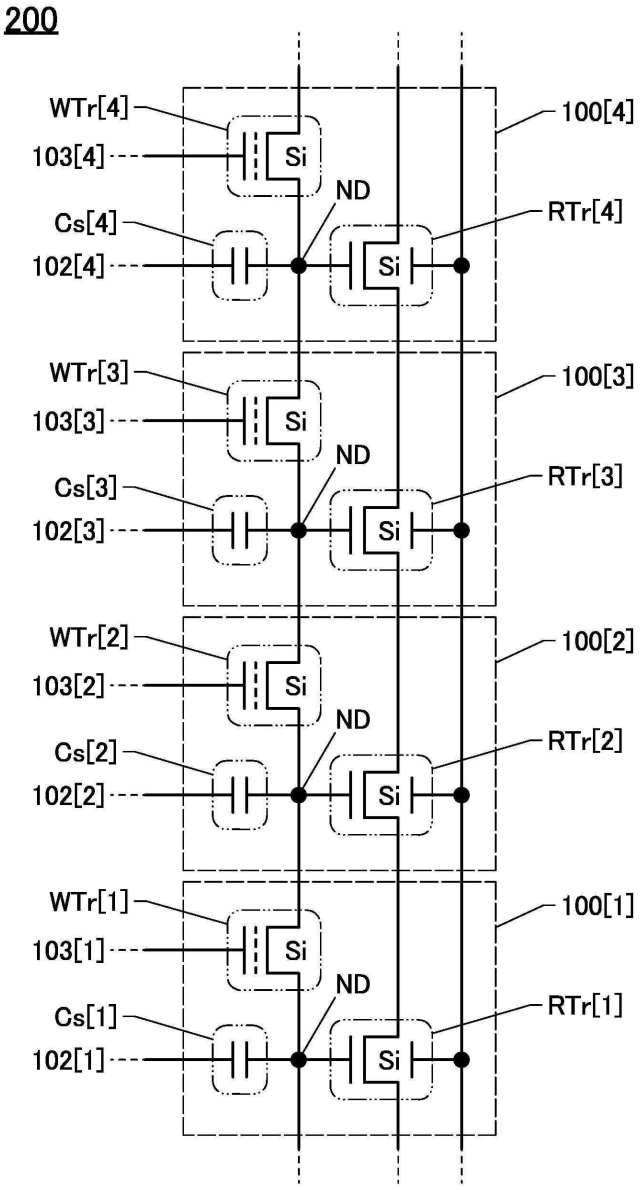
도면8


200
WTr[4]
103[4]
Cs[4]
102[4]
OS
ND
Si
100[4]
RTr[4]
WTr[3]
103[3]
Cs[3]
102[3]
100[3]
RTr[3]
WTr[2]
103[2]
Cs[2]
102[2]
100[2]
RTr[2]
WTr[1]
103[1]
Cs[1]
102[1]
100[1]
RTr[1]

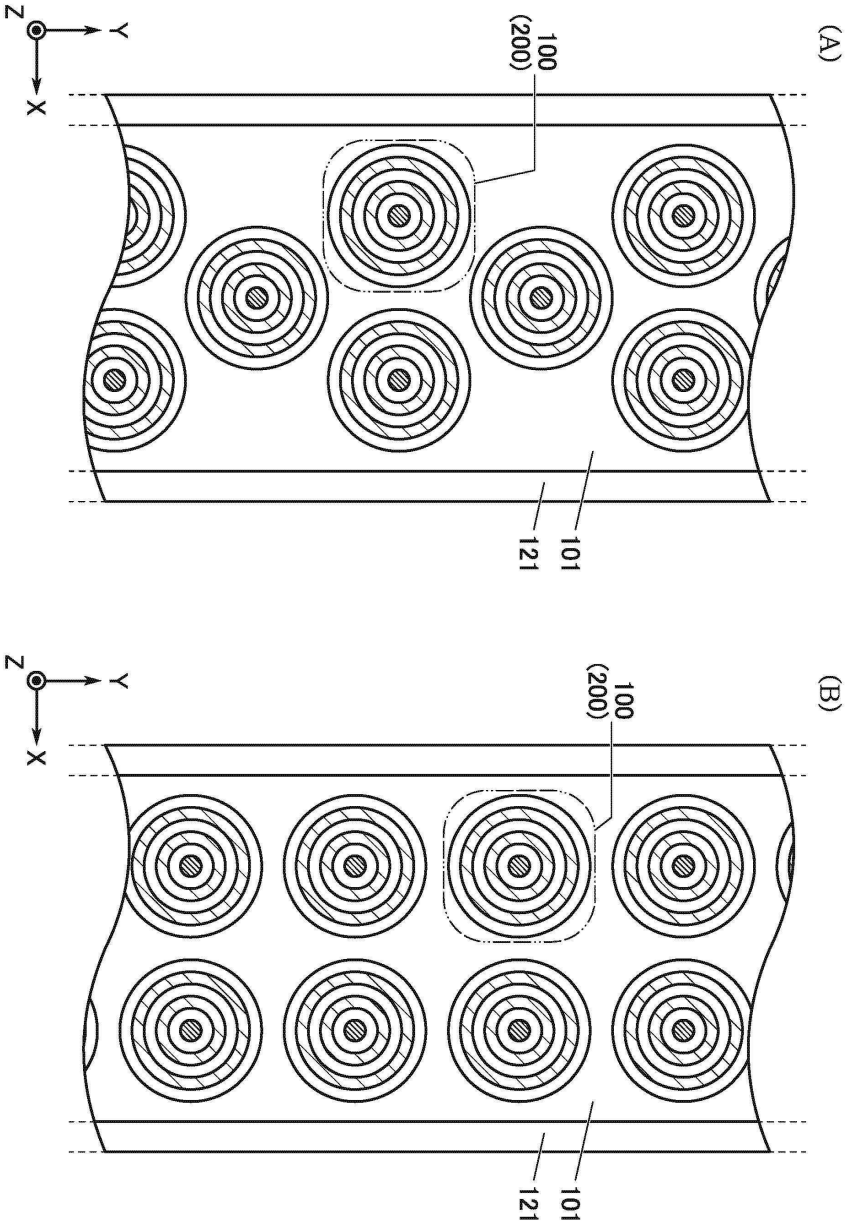
도면9


200
WTr[4]
103[4]
Cs[4]
102[4]
Si
ND
OS
100[4]
RTr[4]
WTr[3]
103[3]
Cs[3]
102[3]
100[3]
RTr[3]
WTr[2]
103[2]
Cs[2]
102[2]
100[2]
RTr[2]
WTr[1]
103[1]
Cs[1]
102[1]
100[1]
RTr[1]

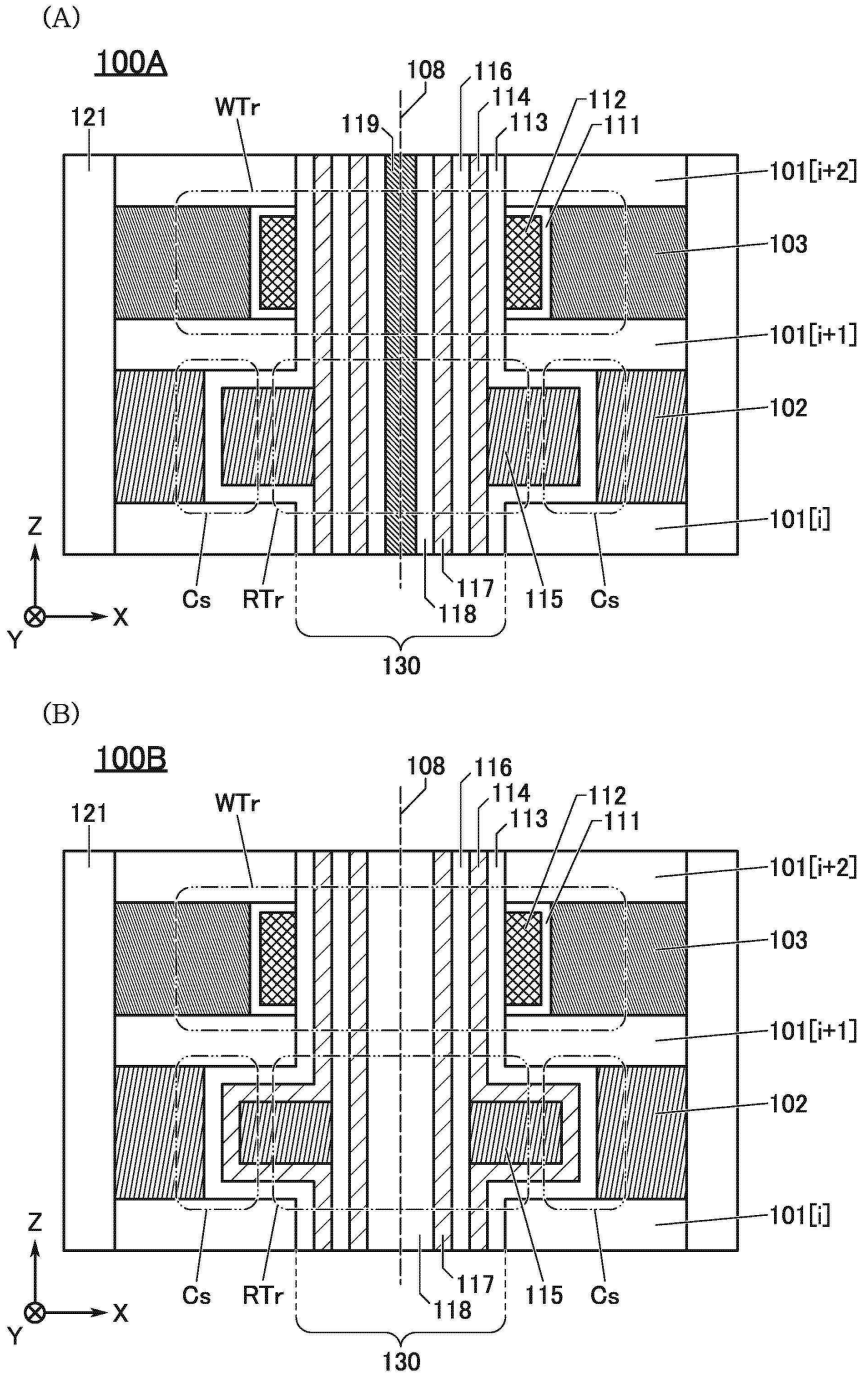
도면10


200
WTr[4]
103[4]
Cs[4]
102[4]
Si
ND
Si
100[4]
RTr[4]
WTr[3]
103[3]
Cs[3]
102[3]
Si
ND
Si
100[3]
RTr[3]
WTr[2]
103[2]
Cs[2]
102[2]
Si
ND
Si
100[2]
RTr[2]
WTr[1]
103[1]
Cs[1]
102[1]
Si
ND
Si
100[1]
RTr[1]

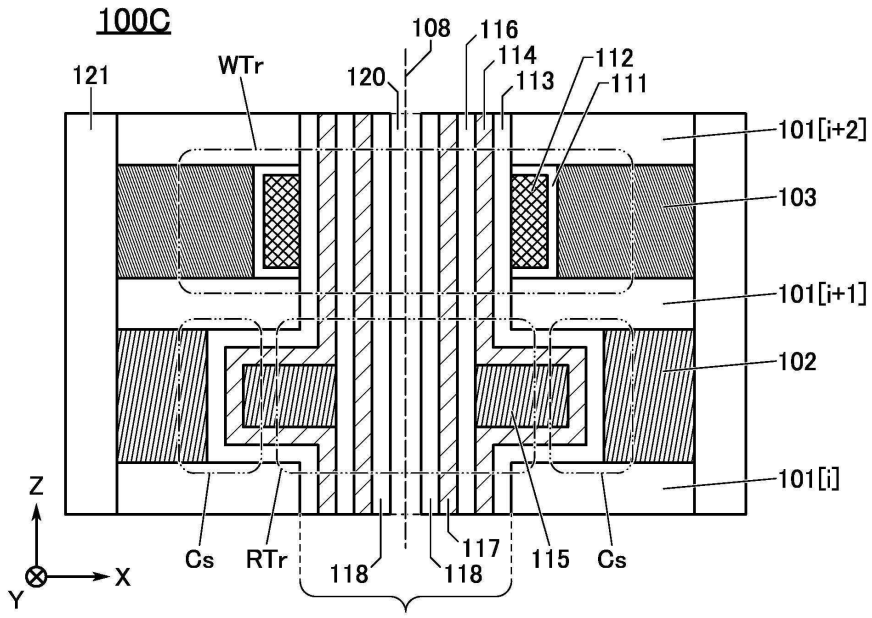
도면11



도면12


(A)
100A
121
WTr
119
108
116
114
113
112
111
101[i+2]
103
101[i+1]
102
101[i]
Z
X
Y
Cs
RTr
117
118
115
Cs
130
(B)
100B
121
WTr
108
116
114
113
112
111
101[i+2]
103
101[i+1]
102
101[i]
Z
X
Y
Cs
RTr
117
118
115
Cs
130

도면13



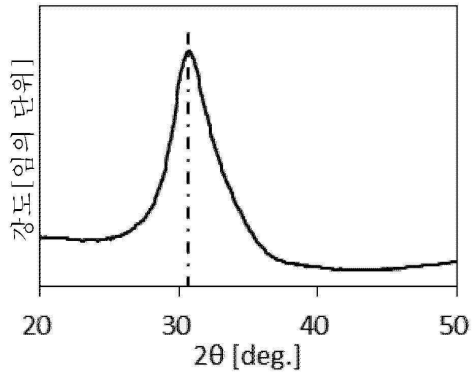
도면14

(A)

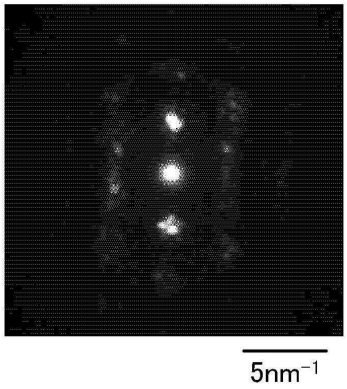
중간 상태
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
·completely amorphous	·CAAC ·nc ·CAC single crystal과 poly crystal을 제외함	·single crystal ·poly crystal

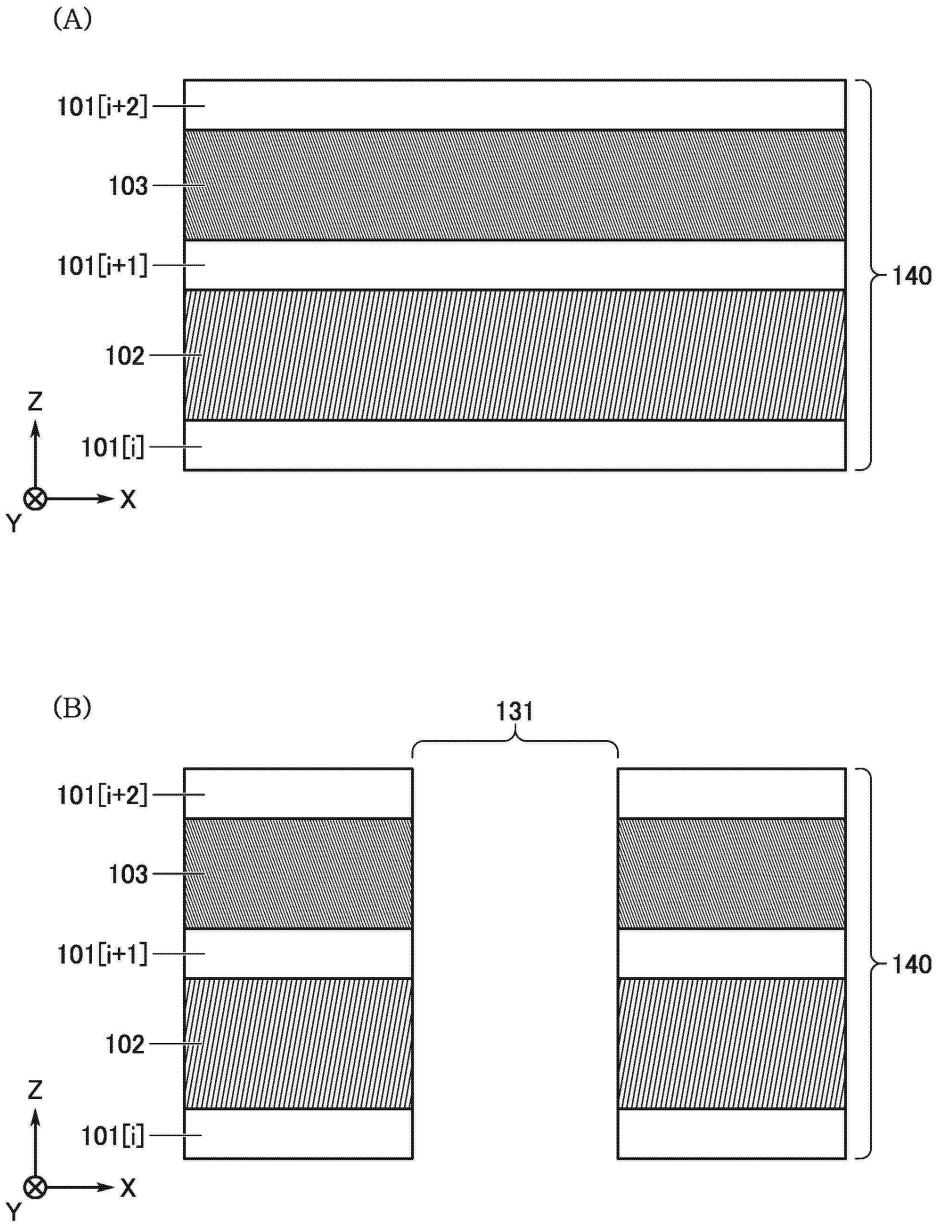
(B)



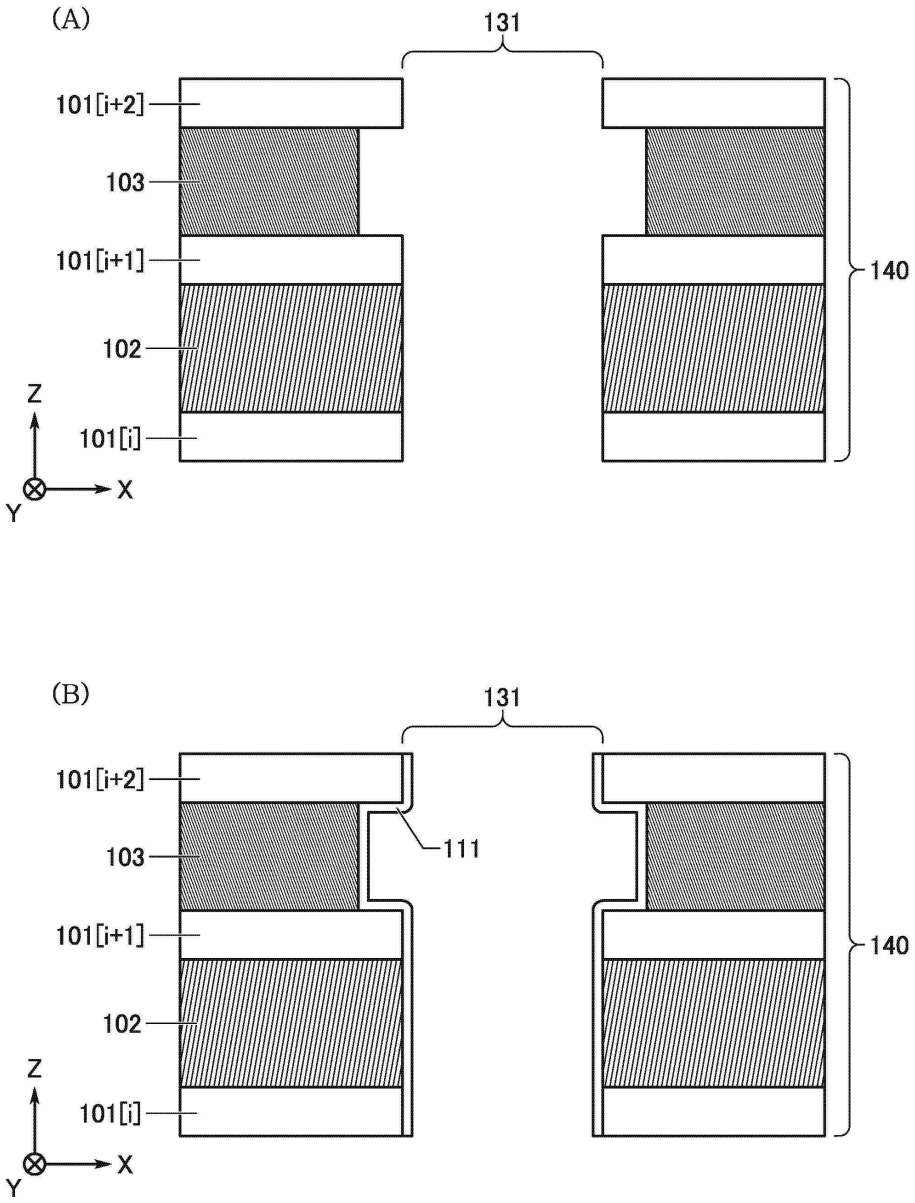
(C)



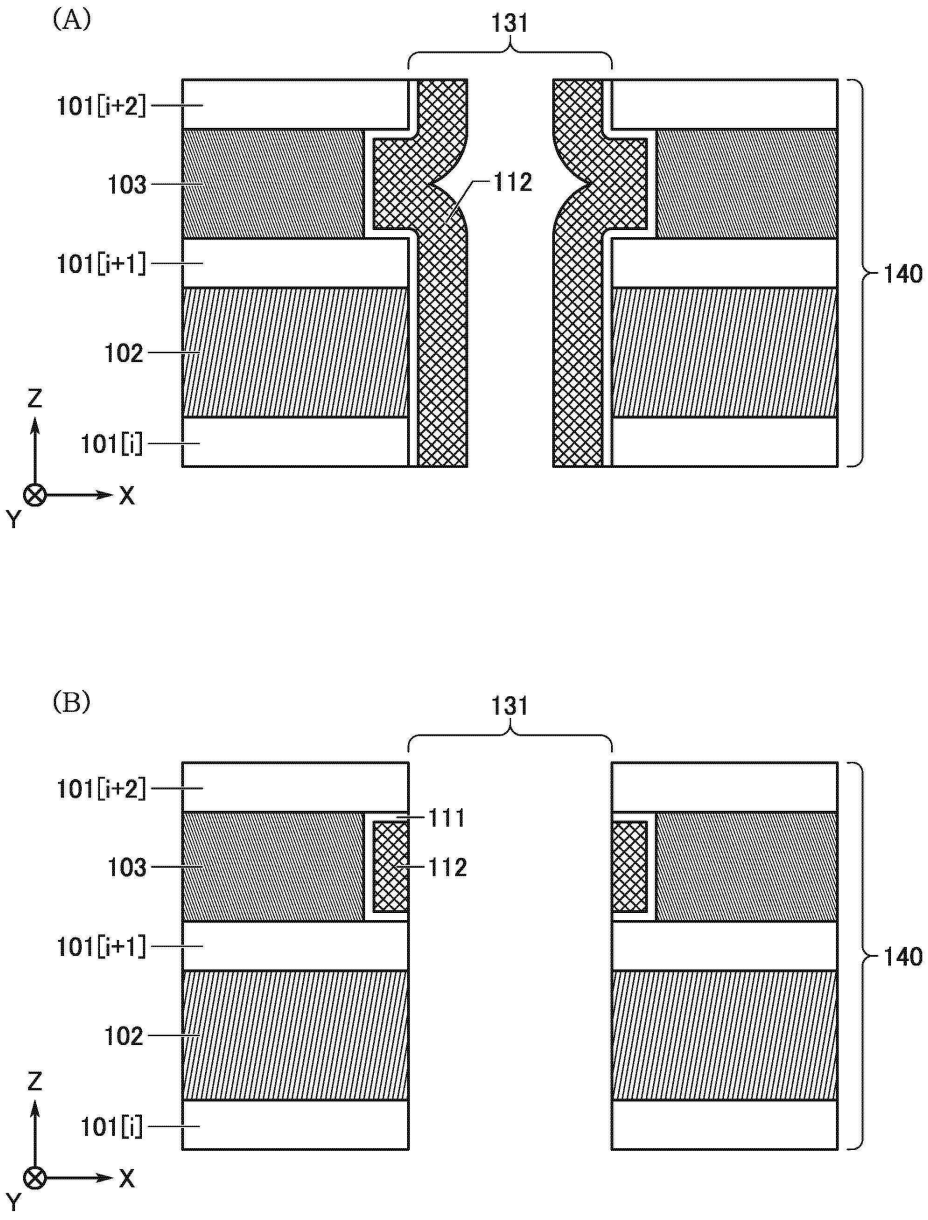
도면15


(A)
101[i+2]
103
101[i+1]
102
101[i]
140
Z
X
Y
(B)
131
101[i+2]
103
101[i+1]
102
101[i]
140
Z
X
Y

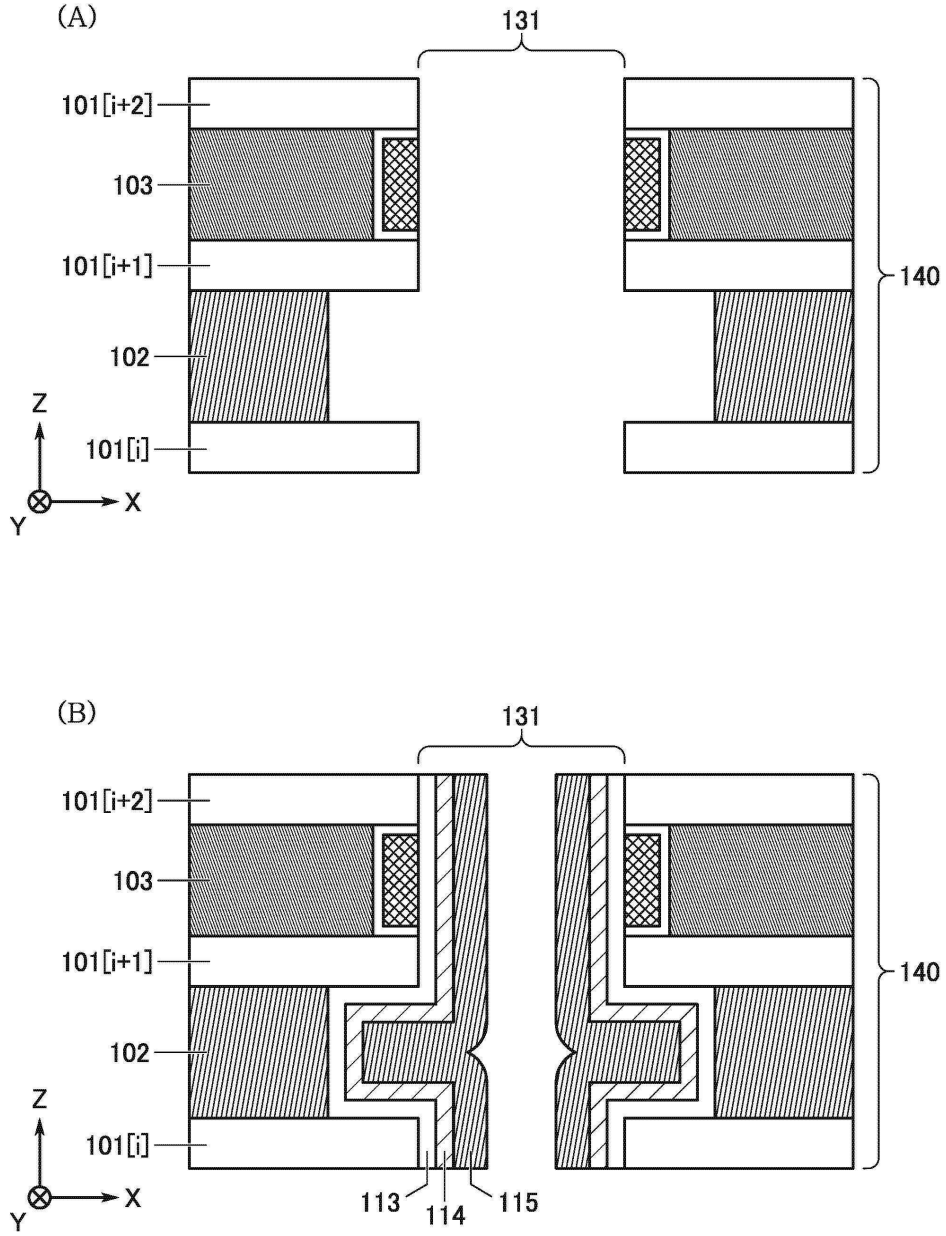
도면16


(A)
131
101[i+2]
103
101[i+1]
102
101[i]
140
Z
X
Y
(B)
131
101[i+2]
103
111
101[i+1]
102
101[i]
140
Z
X
Y

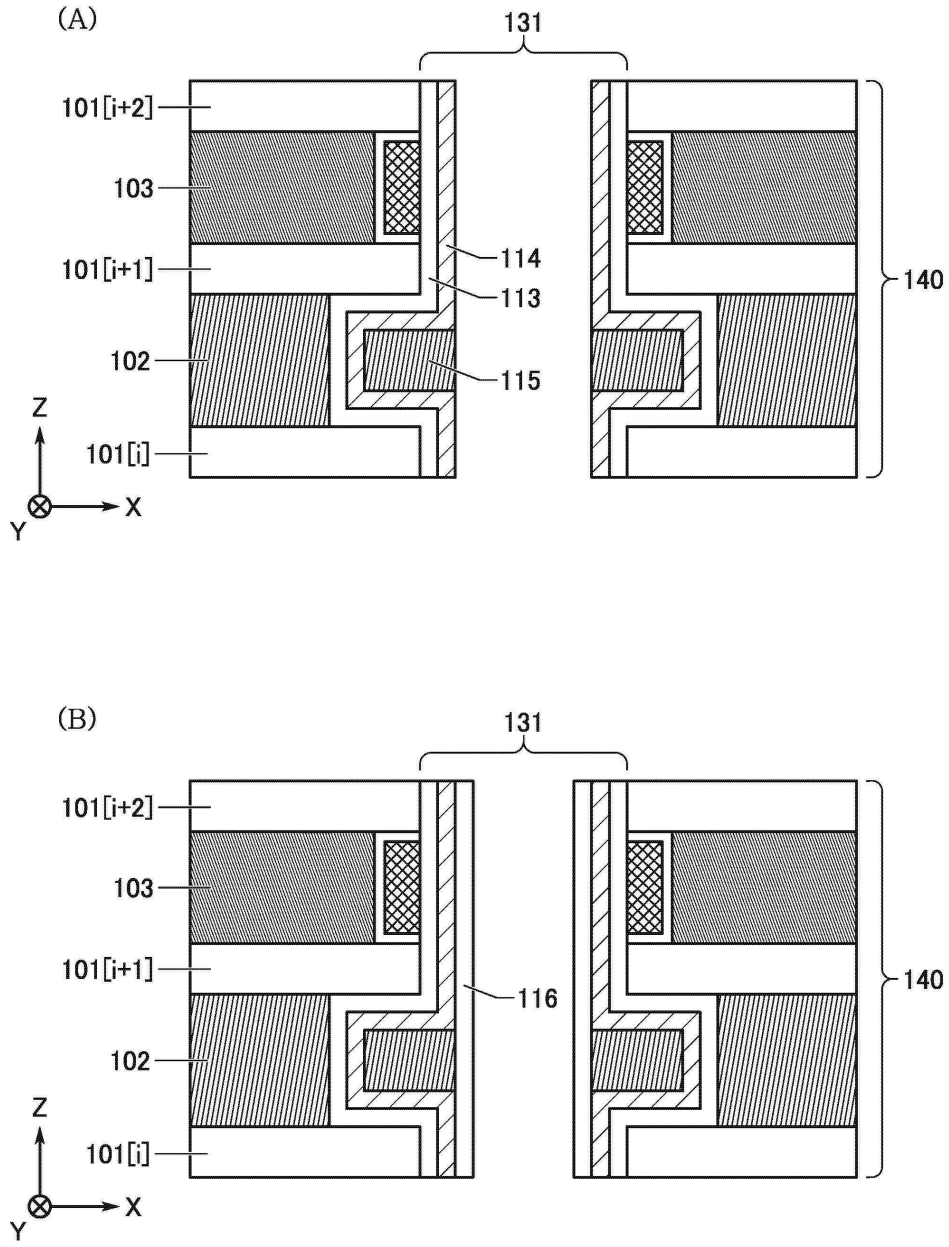
도면17


(A)
131
101[i+2]
103
112
101[i+1]
140
102
101[i]
Z
X
Y
(B)
131
101[i+2]
111
103
112
101[i+1]
140
102
101[i]
Z
X
Y

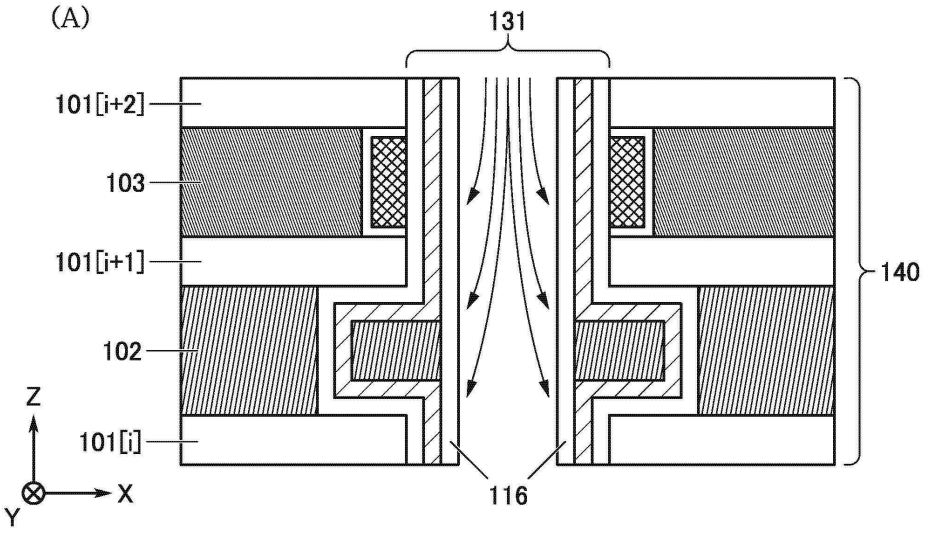
도면18

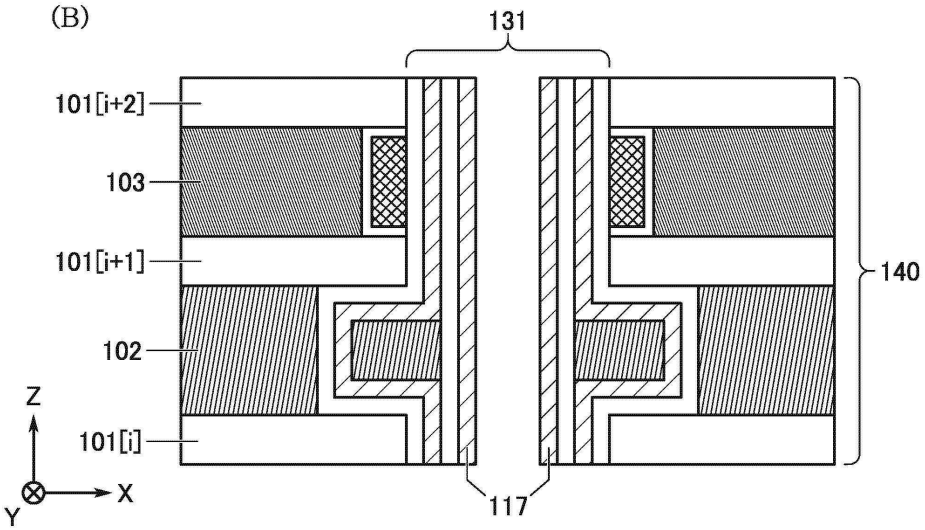

(A)
131
101[i+2]
103
101[i+1]
102
101[i]
140
Z
X
Y
(B)
131
101[i+2]
103
101[i+1]
102
101[i]
140
113
114
115
Z
X
Y

도면19

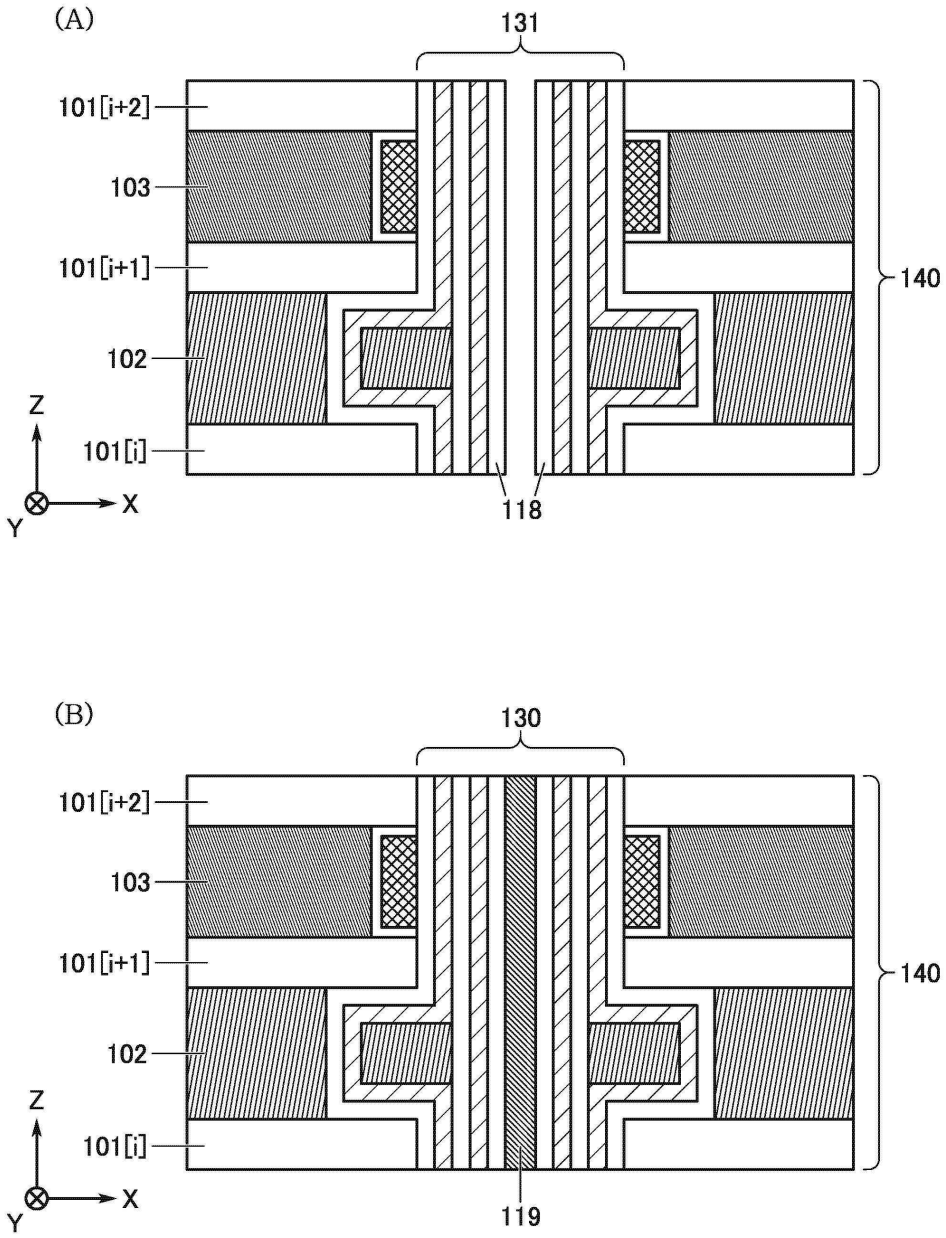

(A)
131
101[i+2]
103
101[i+1]
102
101[i]
114
113
115
140
Z
X
Y
(B)
131
101[i+2]
103
101[i+1]
102
101[i]
116
140
Z
X
Y

도면20

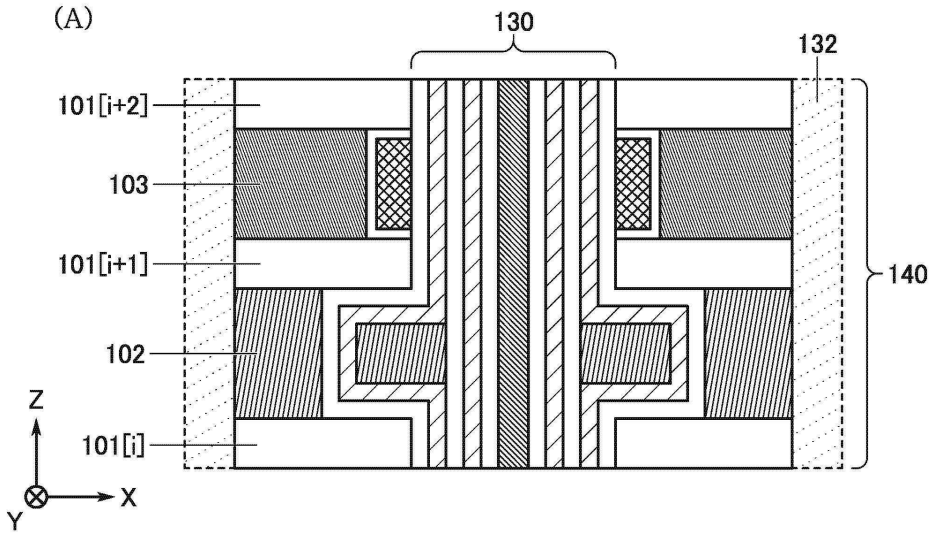

(A)
131
101[i+2]
103
101[i+1]
102
101[i]
140
116
Z
X
Y

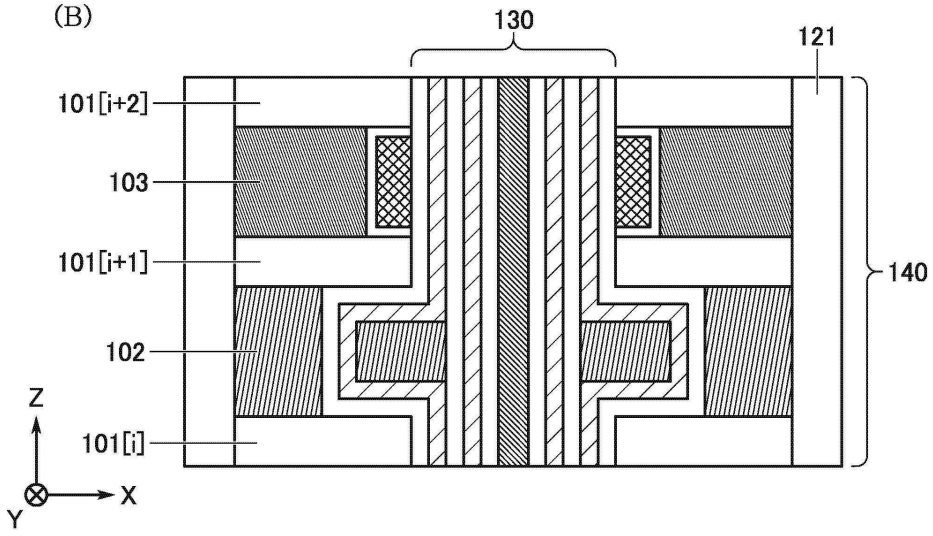

(B)
131
101[i+2]
103
101[i+1]
102
101[i]
140
117
Z
X
Y

도면21

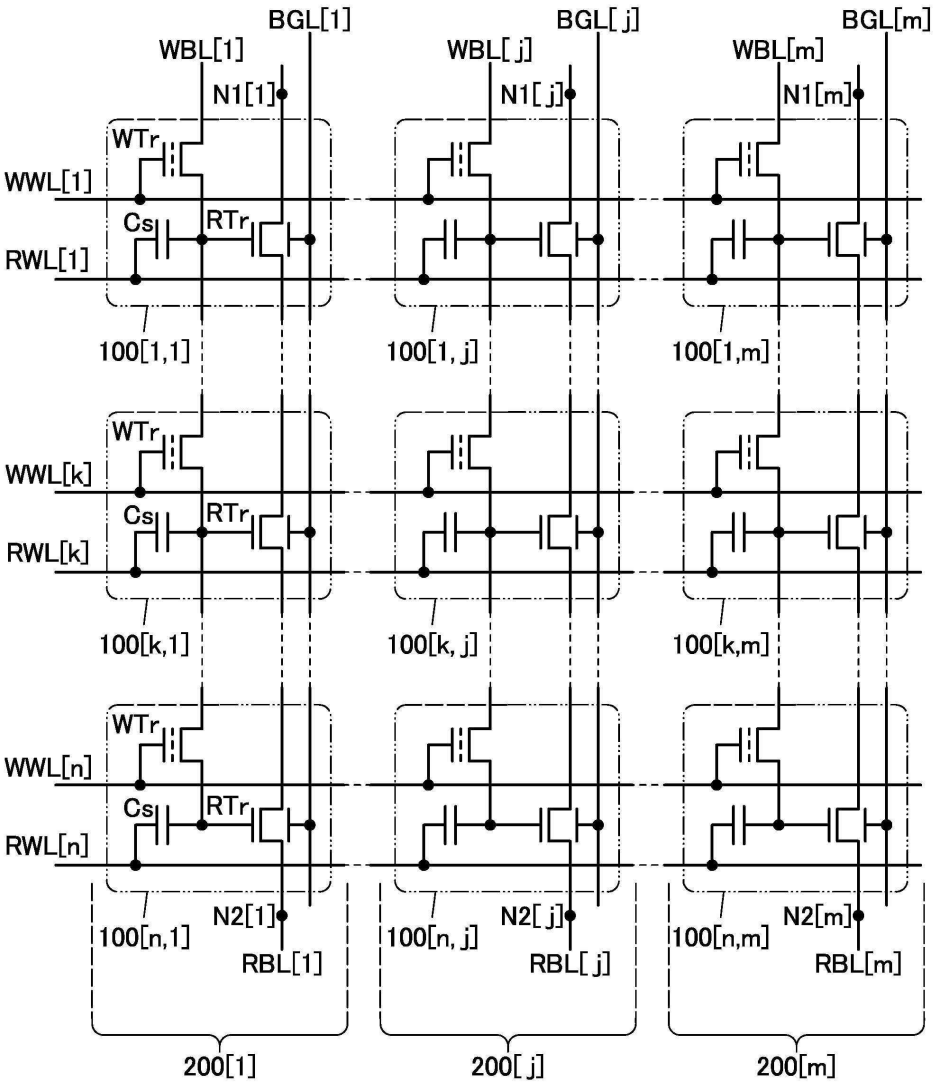

(A)
131
101[i+2]
103
101[i+1]
102
101[i]
140
118
Z
X
Y
(B)
130
101[i+2]
103
101[i+1]
102
101[i]
140
119
Z
X
Y

도면22

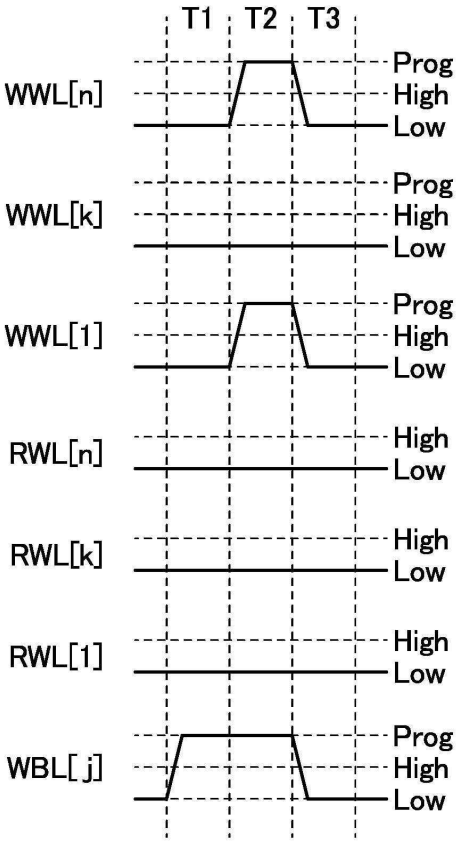

(A)
130
132
101[i+2]
103
101[i+1]
102
101[i]
140
Z
X
Y


(B)
130
121
101[i+2]
103
101[i+1]
102
101[i]
140
Z
X
Y

도면23

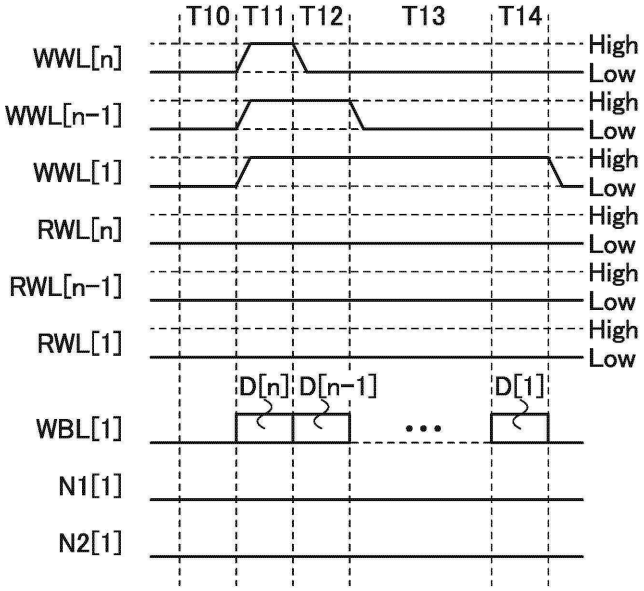

300
BGL[1]
BGL[j]
BGL[m]
WBL[1]
WBL[j]
WBL[m]
N1[1]
N1[j]
N1[m]
WTr
RTr
Cs
WWL[1]
RWL[1]
WWL[k]
RWL[k]
WWL[n]
RWL[n]
100[1,1]
100[1, j]
100[1,m]
100[k,1]
100[k, j]
100[k,m]
100[n,1]
100[n, j]
100[n,m]
N2[1]
N2[j]
N2[m]
RBL[1]
RBL[j]
RBL[m]
200[1]
200[j]
200[m]

도면24

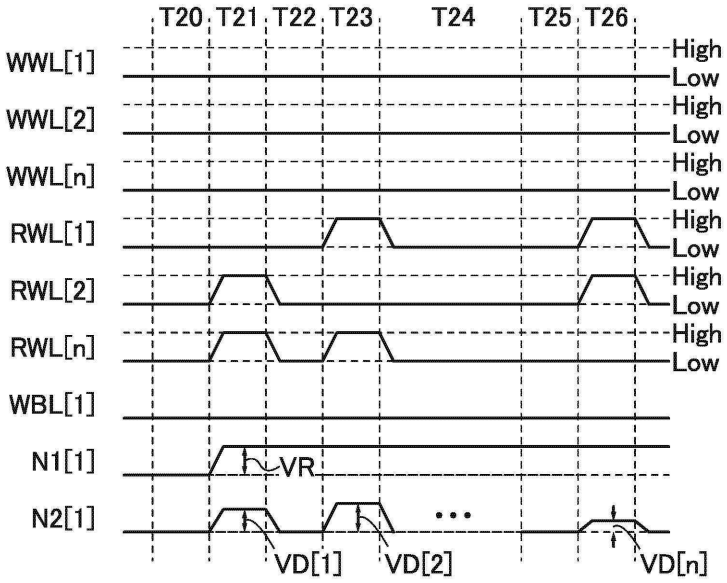

T1
T2
T3
WWL[n]
Prog
High
Low
WWL[k]
Prog
High
Low
WWL[1]
Prog
High
Low
RWL[n]
High
Low
RWL[k]
High
Low
RWL[1]
High
Low
WBL[j]
Prog
High
Low

도면25

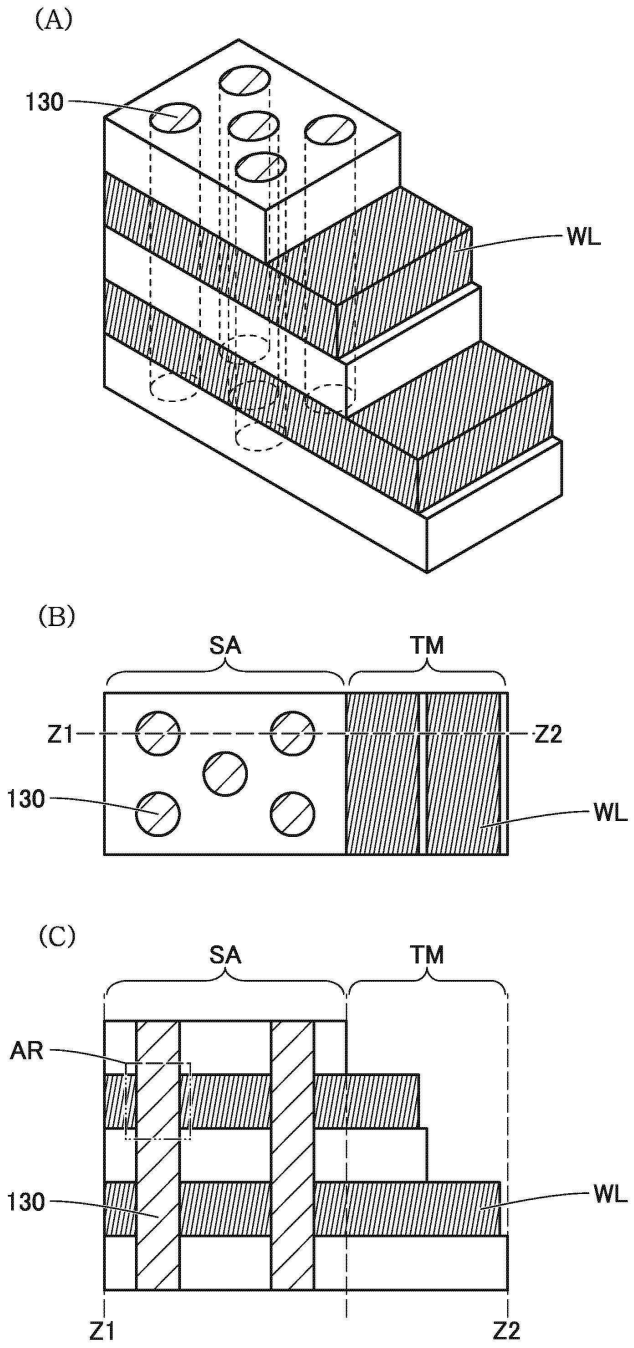
(A)


T10
T11
T12
T13
T14
WWL[n]
WWL[n-1]
WWL[1]
RWL[n]
RWL[n-1]
RWL[1]
High
Low
D[n]
D[n-1]
D[1]
WBL[1]
N1[1]
N2[1]

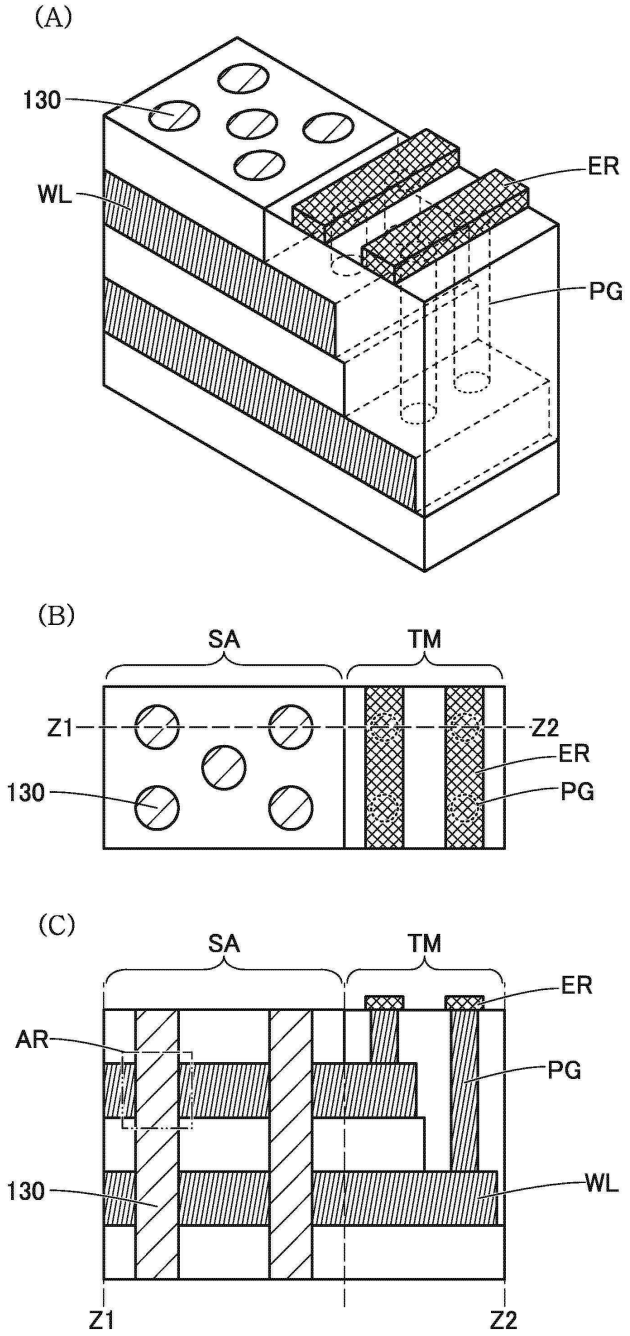
(B)


T20
T21
T22
T23
T24
T25
T26
WWL[1]
WWL[2]
WWL[n]
RWL[1]
RWL[2]
RWL[n]
WBL[1]
N1[1]
N2[1]
High
Low
VR
VD[1]
VD[2]
VD[n]

도면26

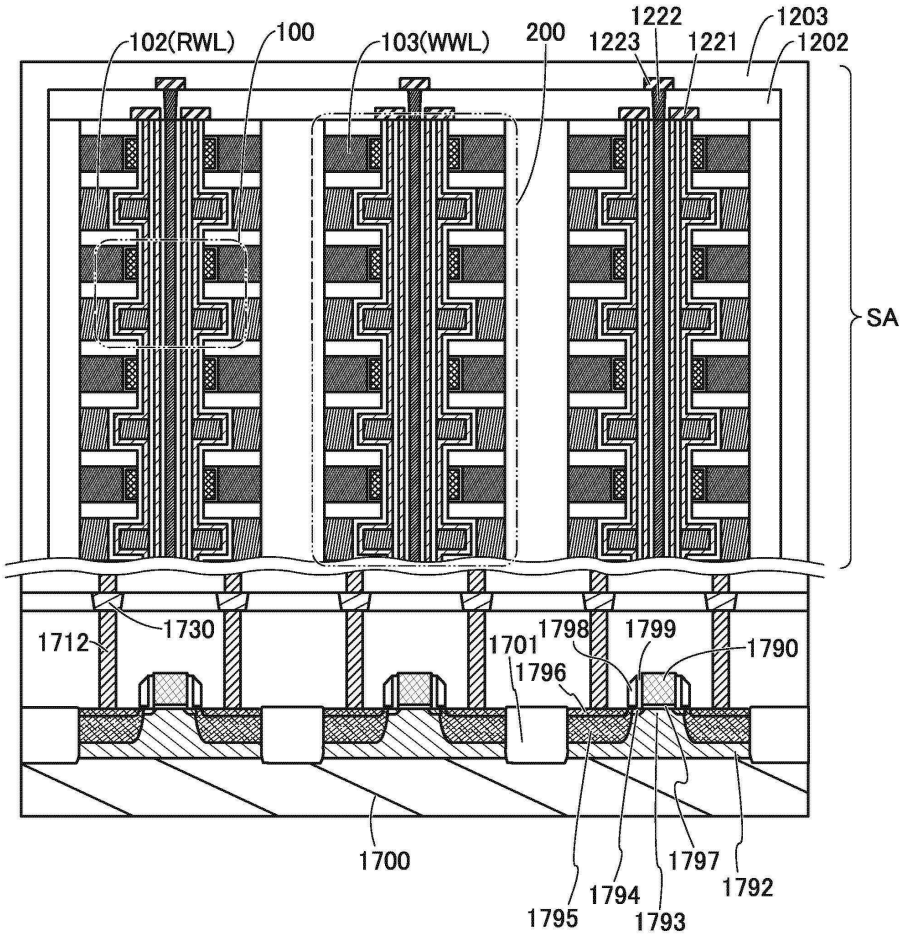


도면27

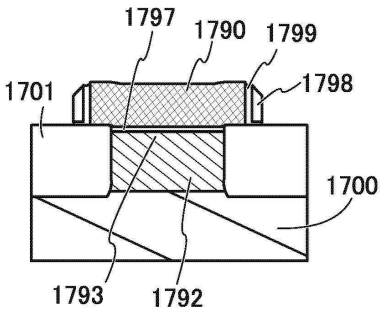


도면28

(A)

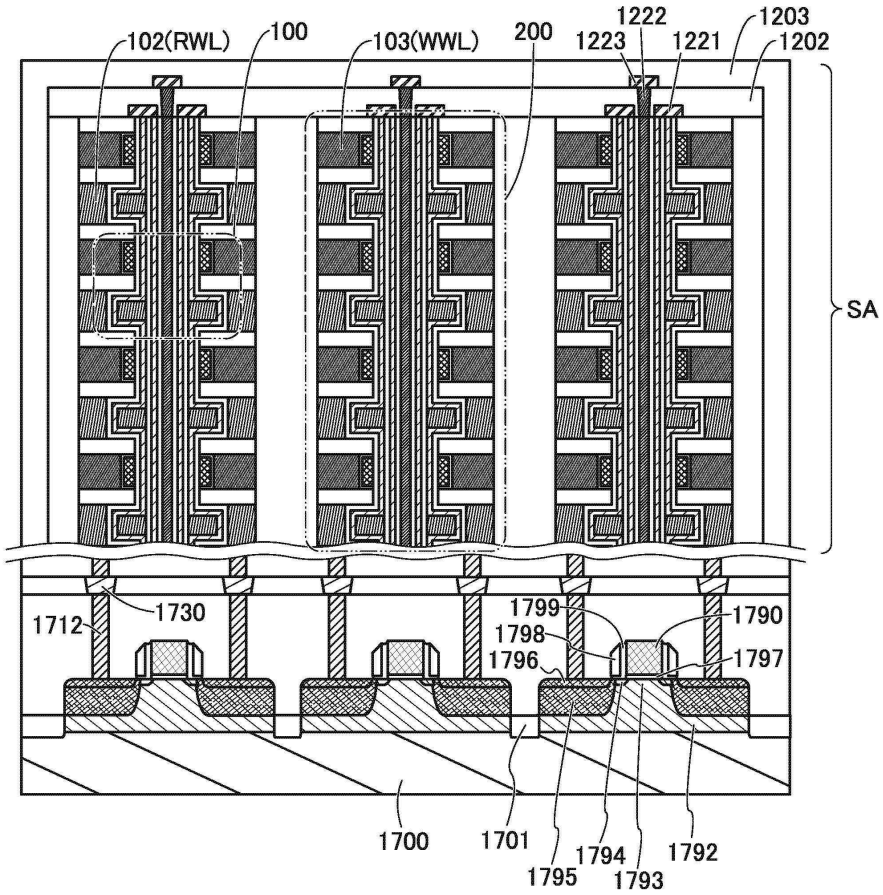

102(RWL)
100
103(WWL)
200
1222
1223
1221
1203
1202
SA
1712
1730
1701
1798
1799
1790
1796
1700
1795
1794
1793
1797
1792

(B)

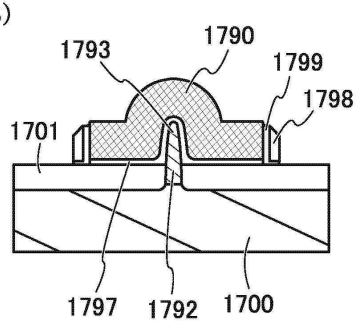

1797
1790
1799
1798
1701
1700
1793
1792

도면29

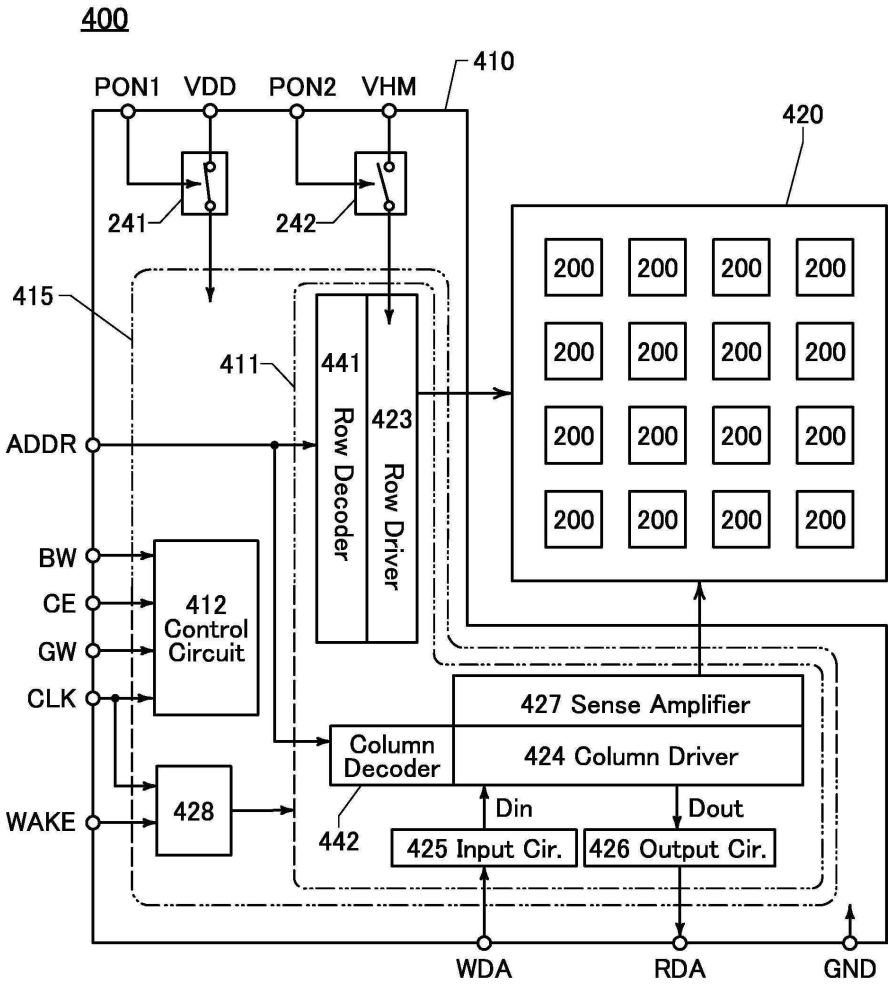
(A)


102(RWL)
100
103(WWL)
200
1222
1223
1221
1203
1202
SA
1712
1730
1799
1798
1796
1790
1797
1700
1701
1795
1794
1793
1792

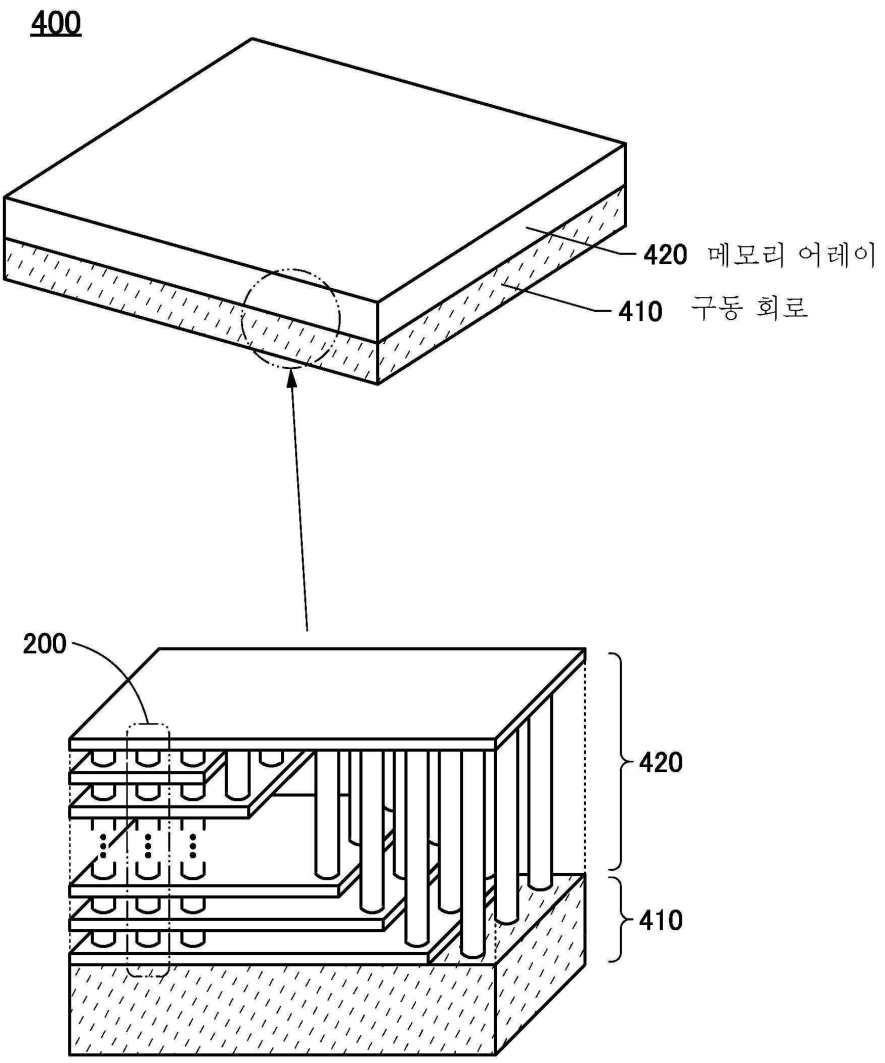
(B)


1793
1790
1799
1798
1701
1797
1792
1700

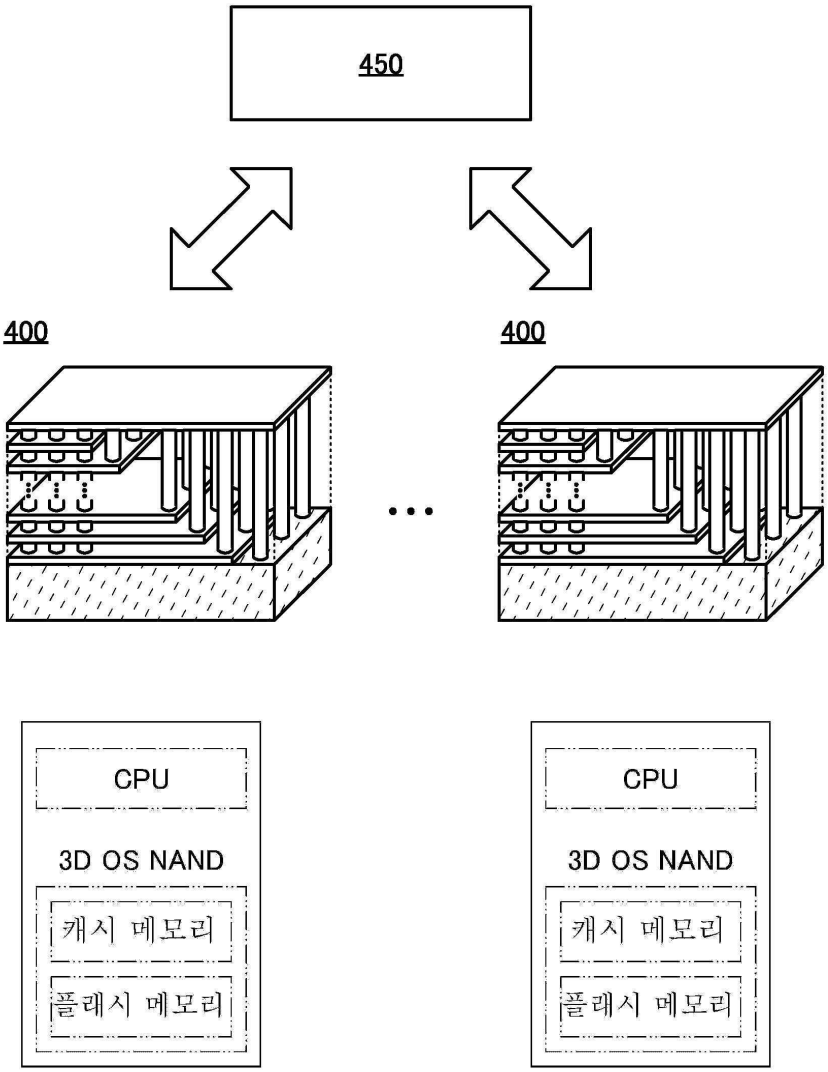
도면30


400
410
PON1
VDD
PON2
VHM
420
241
242
415
411
441
Row Decoder
423
Row Driver
200
ADDR
BW
CE
GW
CLK
412
Control
Circuit
427 Sense Amplifier
Column
Decoder
424 Column Driver
Din
Dout
428
WAKE
442
425 Input Cir.
426 Output Cir.
WDA
RDA
GND

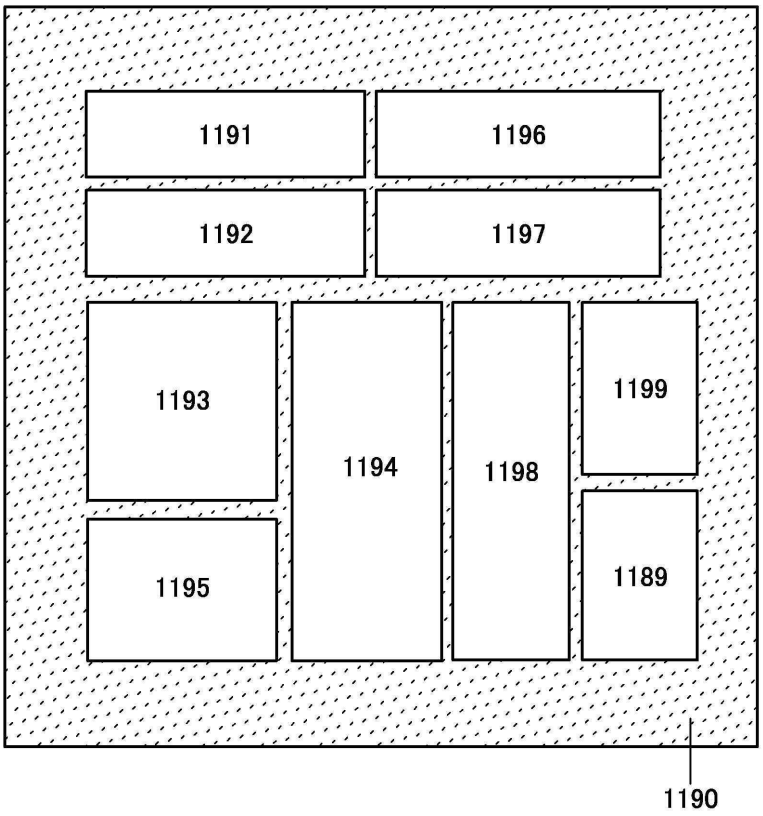
도면31



도면32

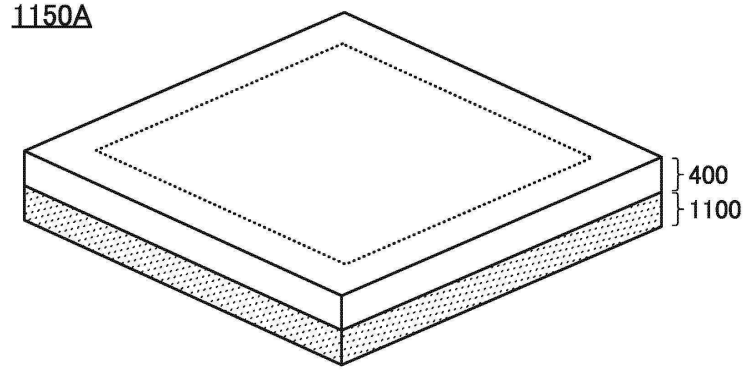

450
400
400
CPU
3D OS NAND
캐시 메모리
플래시 메모리
CPU
3D OS NAND
캐시 메모리
플래시 메모리

도면33

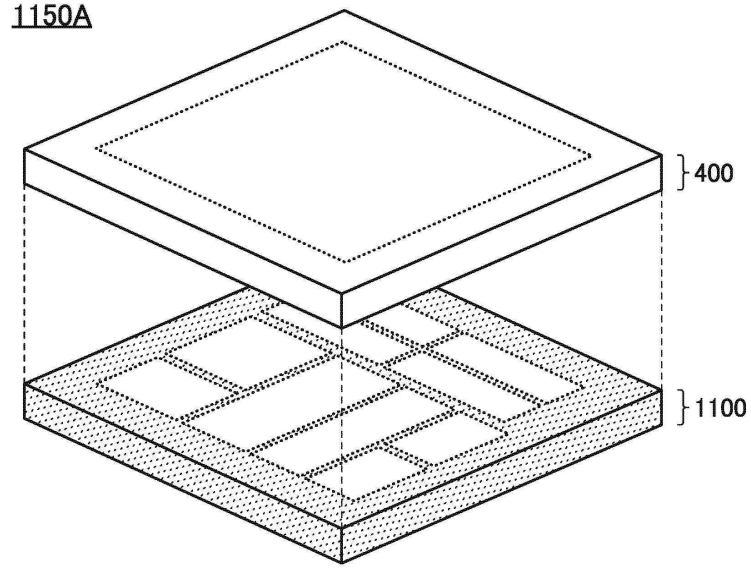


도면34

(A)



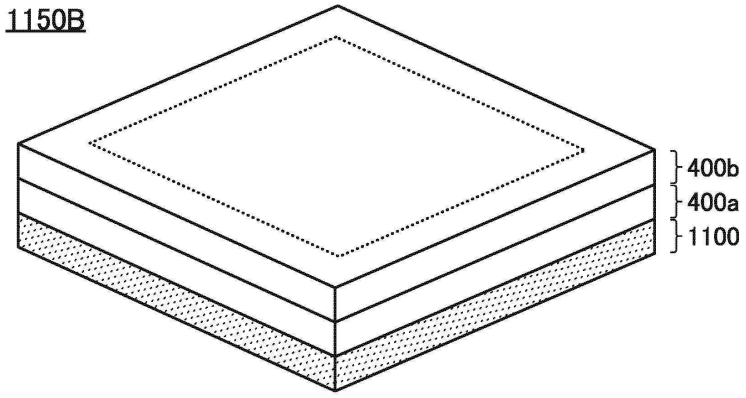
(B)



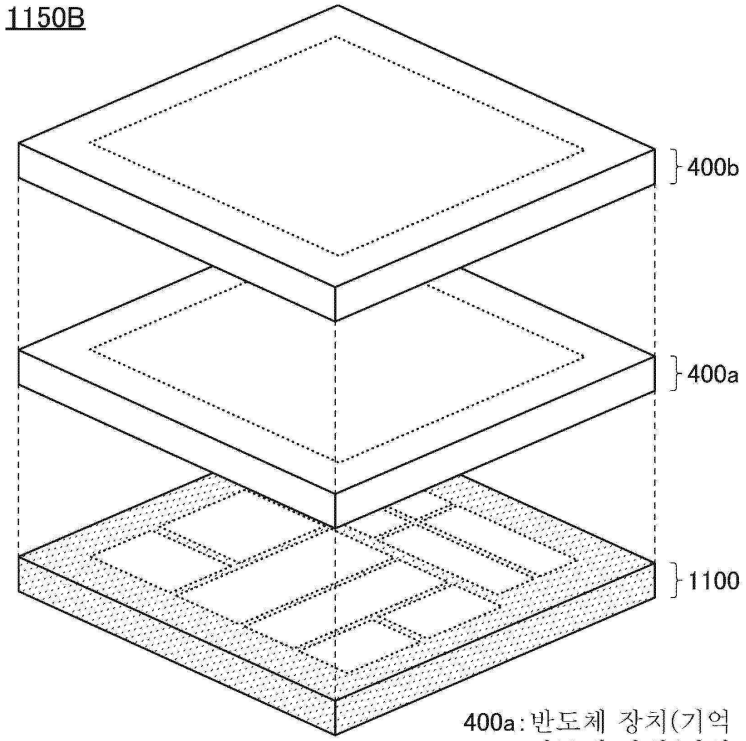
400 : 반도체 장치(기억 장치)
1100 : 연산 처리 장치(CPU)

도면35

(A)



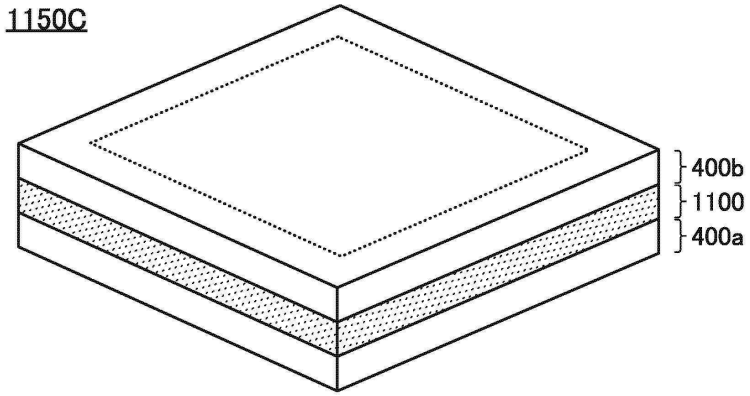
(B)



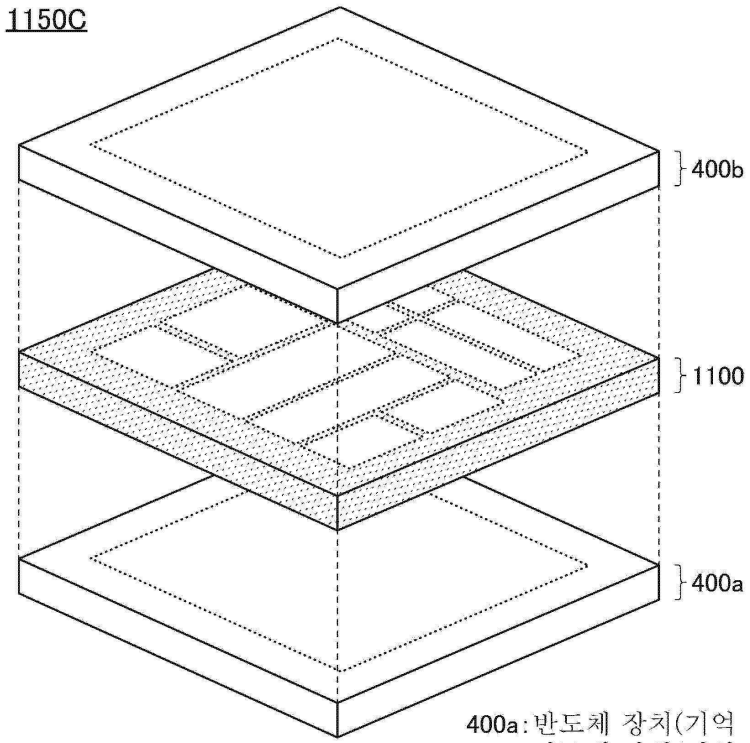
400a : 반도체 장치(기억 장치)
400b : 반도체 장치(기억 장치)
1100 : 연산 처리 장치(CPU)

도면36

(A)

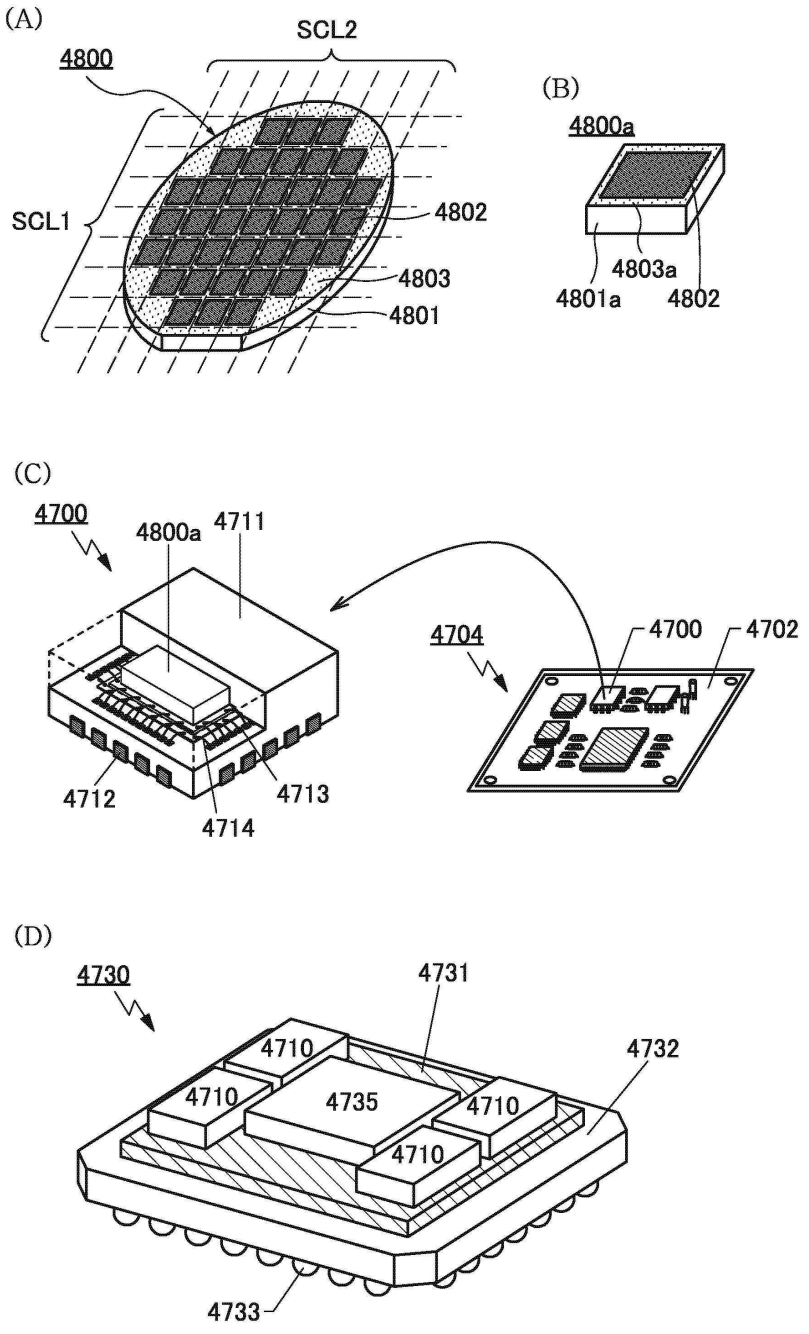


(B)



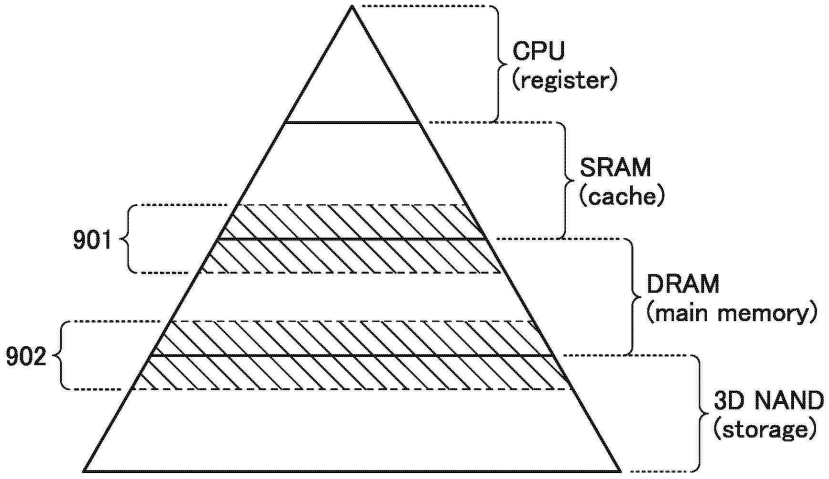
400a : 반도체 장치(기억 장치)
400b : 반도체 장치(기억 장치)
1100 : 연산 처리 장치(CPU)

도면37

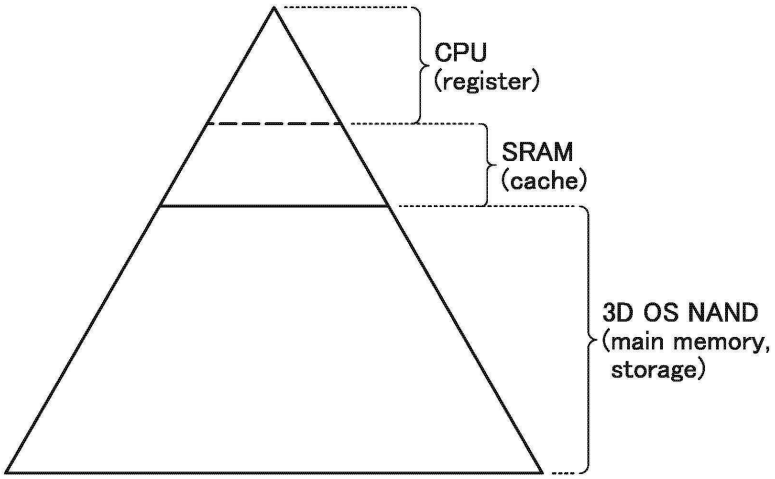

(A)
SCL2
4800
SCL1
4802
4803
4801
(B)
4800a
4803a
4801a
4802
(C)
4700
4800a
4711
4704
4700
4702
4712
4713
4714
(D)
4730
4731
4732
4710
4710
4735
4710
4710
4733

도면38

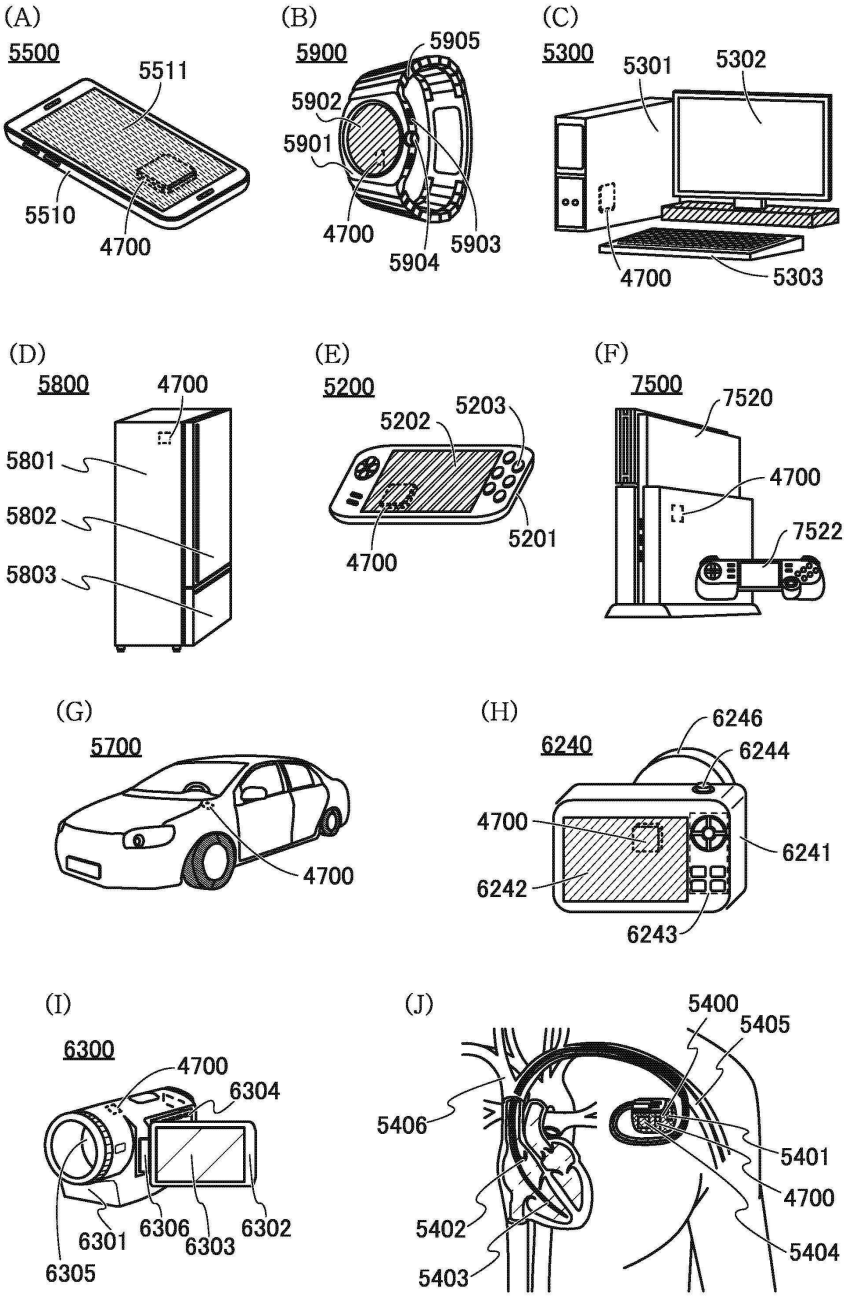
(A)


CPU
(register)
SRAM
(cache)
901
DRAM
(main memory)
902
3D NAND
(storage)

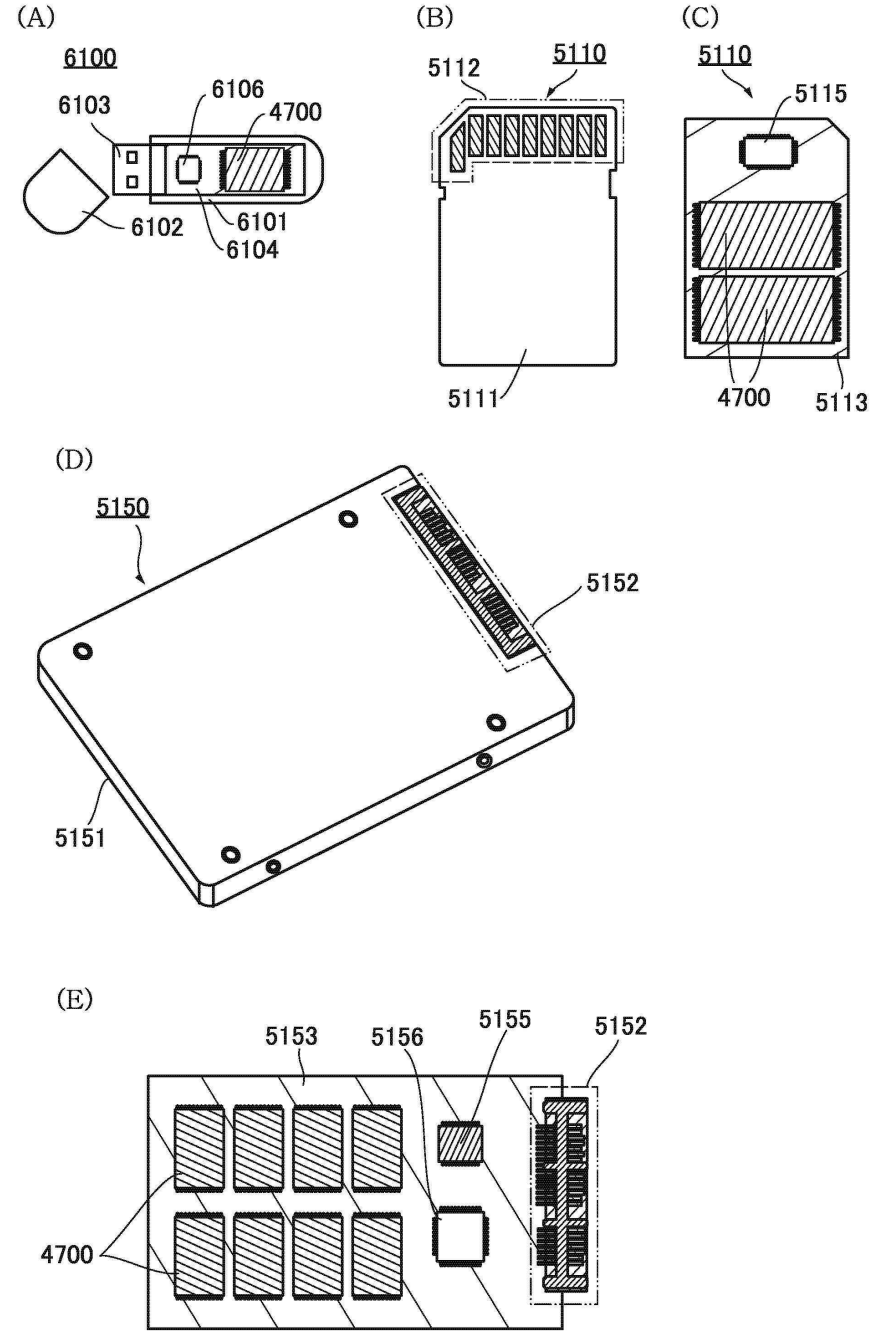
(B)


CPU
(register)
SRAM
(cache)
3D OS NAND
(main memory,
storage)

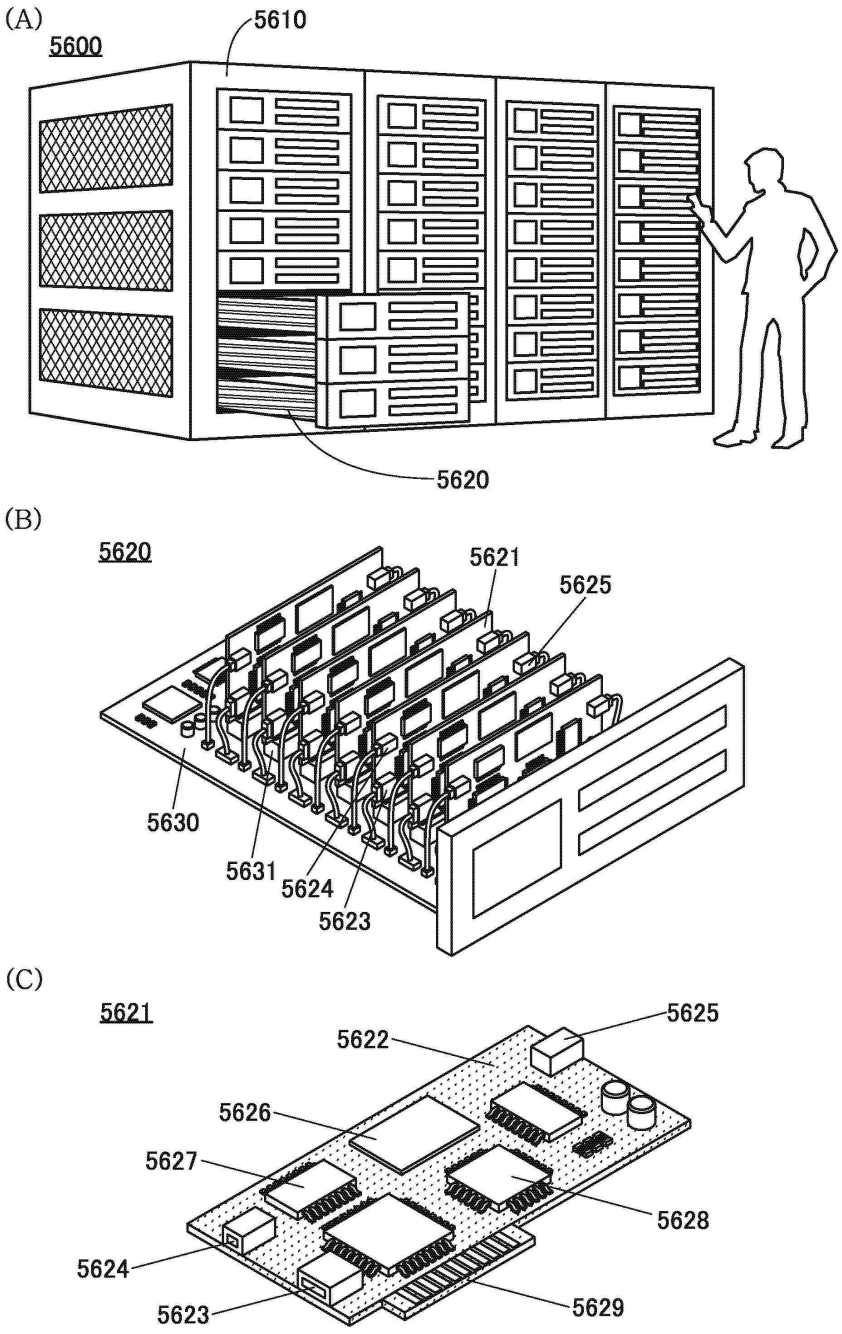
도면39


(A)
5500
5511
5510
4700
(B)
5900
5905
5902
5901
4700
5904
5903
(C)
5300
5301
5302
4700
5303
(D)
5800
4700
5801
5802
5803
(E)
5200
5203
5202
5201
4700
(F)
7500
7520
4700
7522
(G)
5700
4700
(H)
6240
6246
6244
4700
6241
6242
6243
(I)
6300
4700
6304
6301
6306
6303
6302
6305
(J)
5400
5405
5406
5401
4700
5402
5404
5403

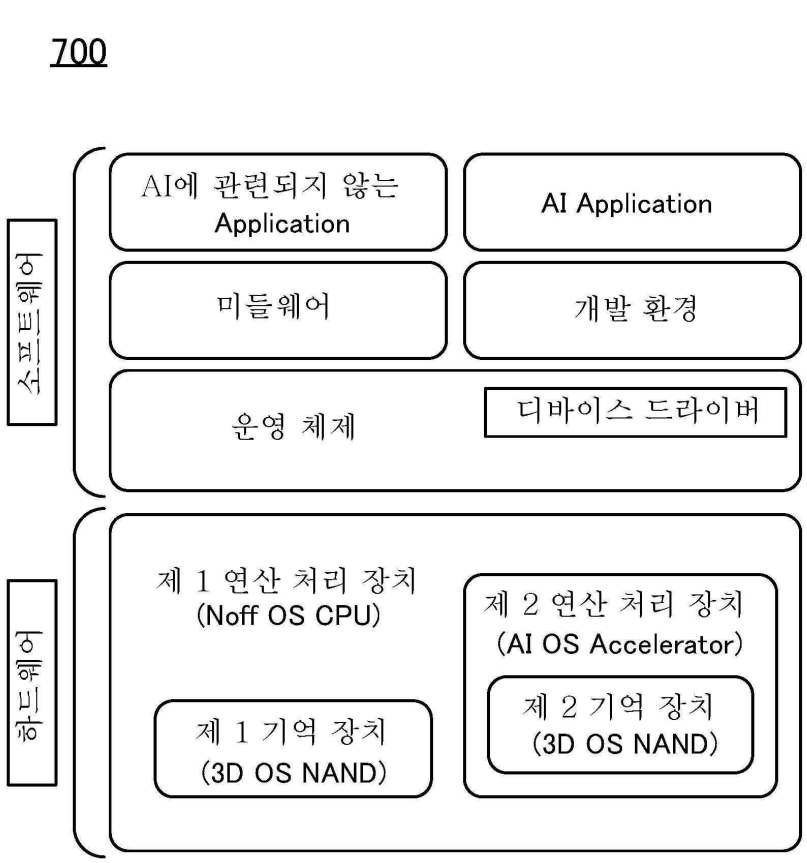
도면40


(A)
6100
6103
6106
4700
6102
6101
6104
(B)
5112
5110
5111
(C)
5110
5115
4700
5113
(D)
5150
5152
5151
(E)
5153
5156
5155
5152
4700

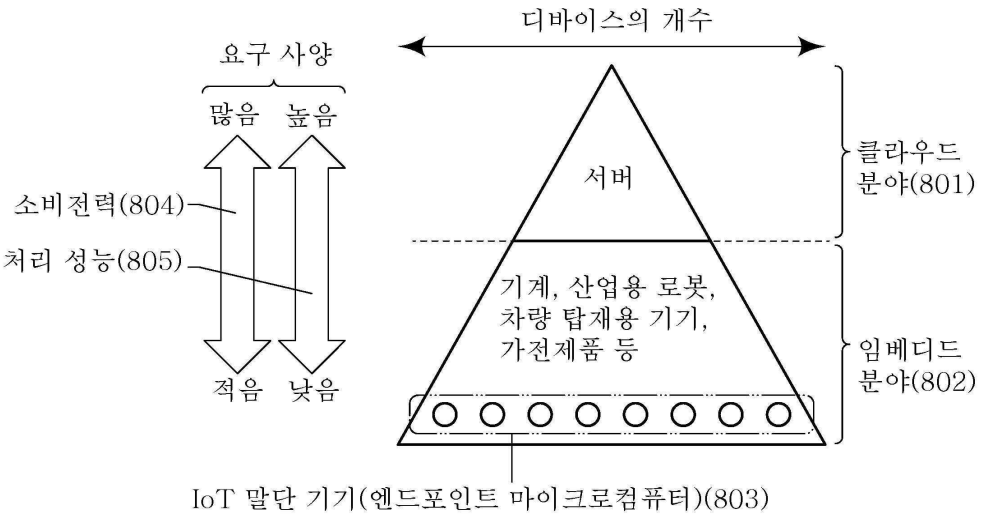
도면41


(A)
5600
5610
5620
(B)
5620
5621
5625
5630
5631
5624
5623
(C)
5621
5625
5622
5626
5627
5628
5624
5623
5629

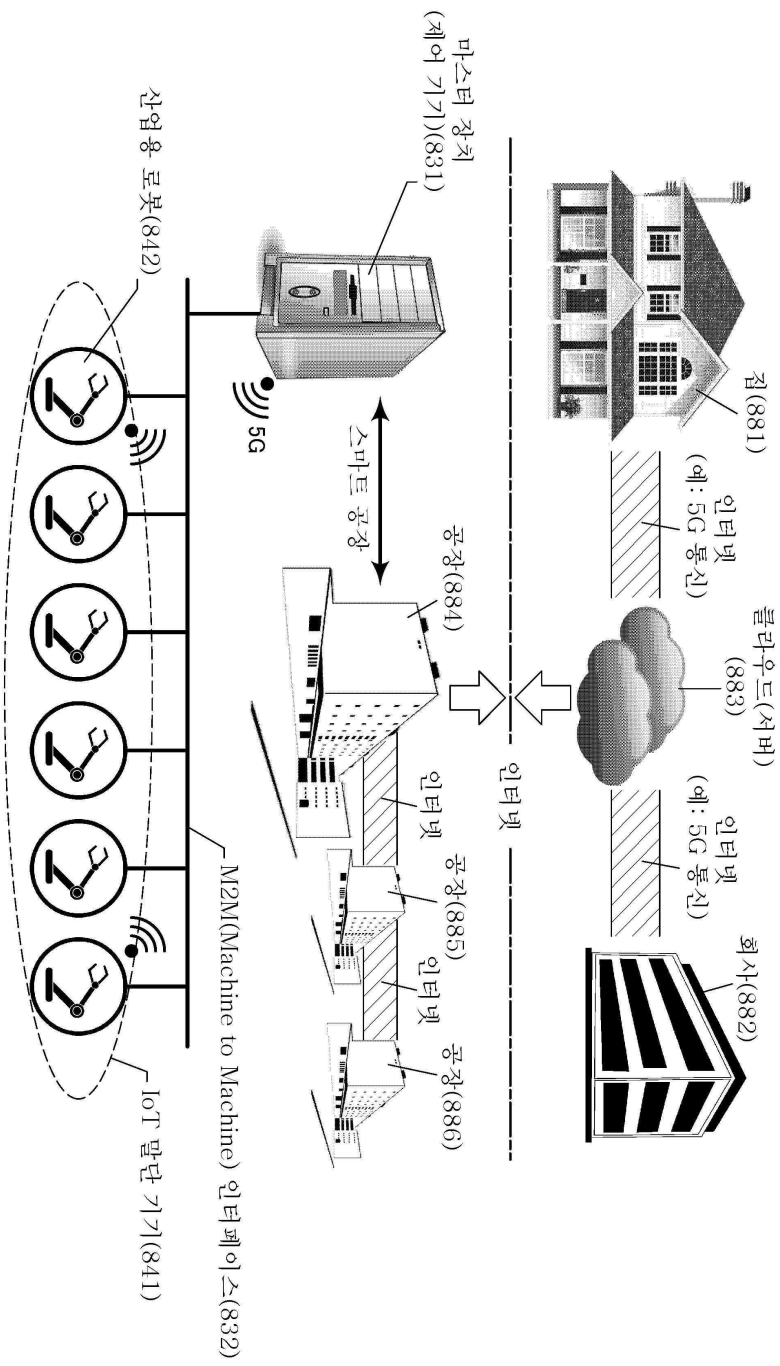
도면42


700
소프트웨어
AI에 관련되지 않는 Application
AI Application
미들웨어
개발 환경
운영 체제
디바이스 드라이버
하드웨어
제 1 연산 처리 장치 (Noff OS CPU)
제 2 연산 처리 장치 (AI OS Accelerator)
제 1 기억 장치 (3D OS NAND)
제 2 기억 장치 (3D OS NAND)

도면43

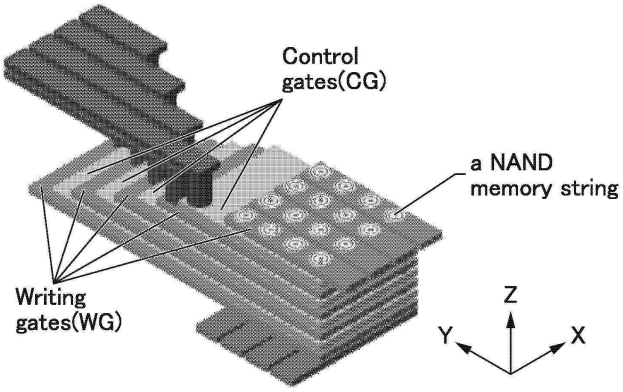

디바이스의 개수
요구 사양
많음
높음
소비전력(804)
처리 성능(805)
적음
낮음
서버
기계, 산업용 로봇, 차량 탑재용 기기, 가전제품 등
클라우드 분야(801)
임베디드 분야(802)
IoT 말단 기기(엔드포인트 마이크로컴퓨터)(803)

도면44

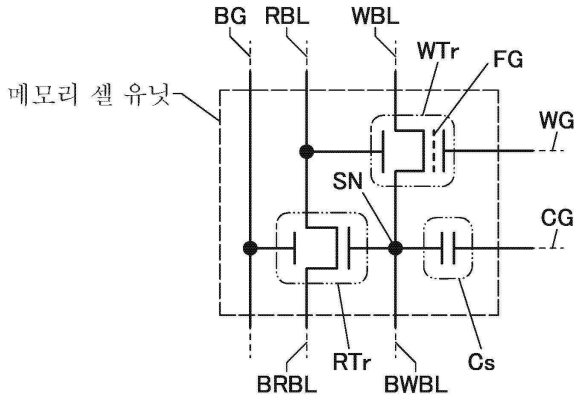

집(881)
인터넷
(예: 5G 통신)
클라우드(서버)
(883)
인터넷
(예: 5G 통신)
회사(882)
인터넷
공장(884)
인터넷
공장(885)
인터넷
공장(886)
스마트 공장
5G
마스터 장치
(제어 기기)(831)
산업용 로봇(842)
M2M(Machine to Machine) 인터페이스(832)
IoT 말단 기기(841)

도면45

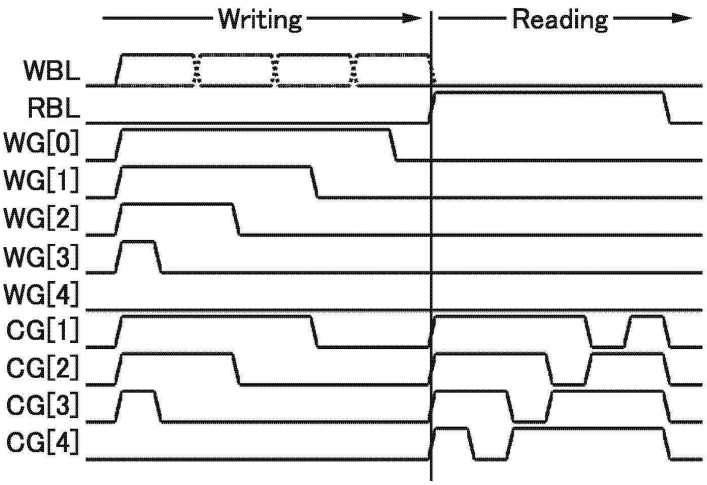
(A)


Control
gates(CG)
a NAND
memory string
Writing
gates(WG)
Z
Y
X

(B)

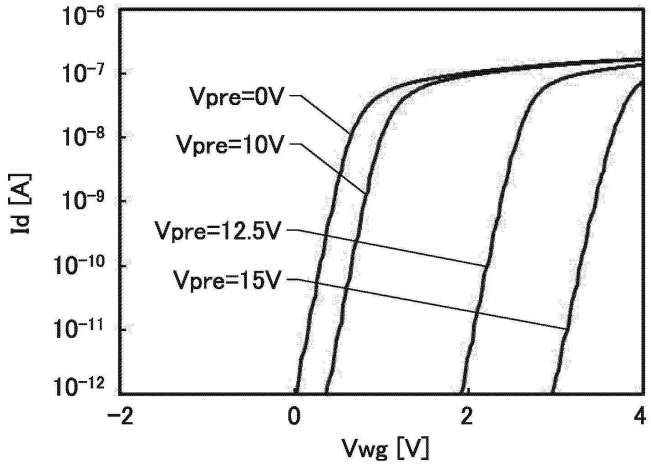

BG
RBL
WBL
WTr
FG
메모리 셀 유닛
WG
SN
CG
RTr
Cs
BRBL
BWBL

도면46

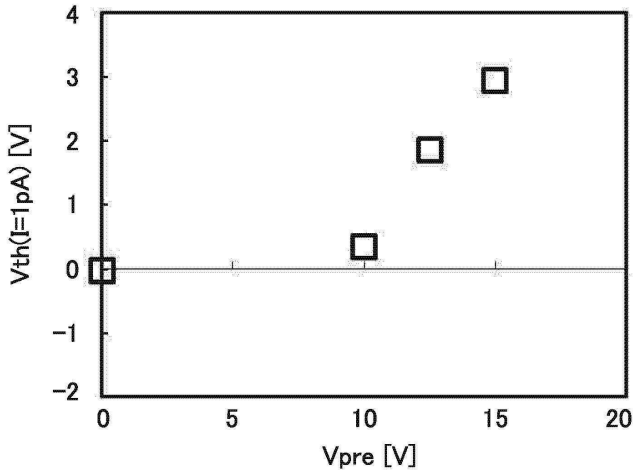

Writing
Reading
WBL
RBL
WG[0]
WG[1]
WG[2]
WG[3]
WG[4]
CG[1]
CG[2]
CG[3]
CG[4]

도면47

(A)

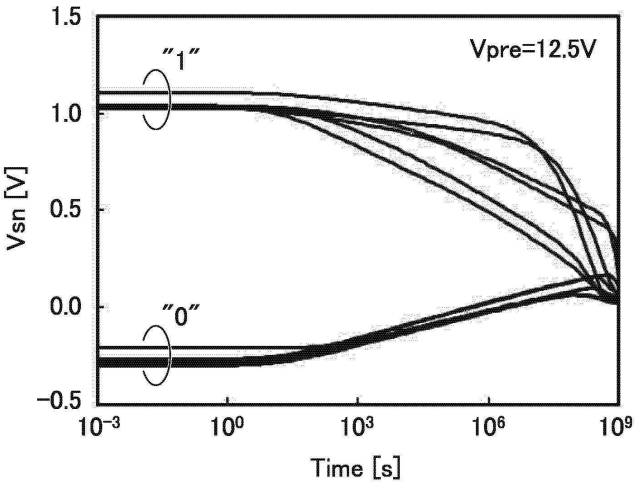

10⁻⁶
10⁻⁷
10⁻⁸
10⁻⁹
10⁻¹⁰
10⁻¹¹
10⁻¹²
Id [A]
Vpre=0V
Vpre=10V
Vpre=12.5V
Vpre=15V
−2
0
2
4
Vwg [V]

(B)

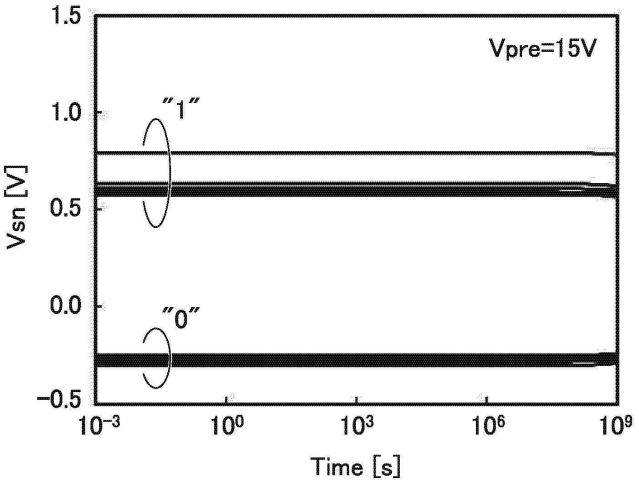

4
3
2
1
0
−1
−2
Vth(I=1pA) [V]
0
5
10
15
20
Vpre [V]

도면48

(A)

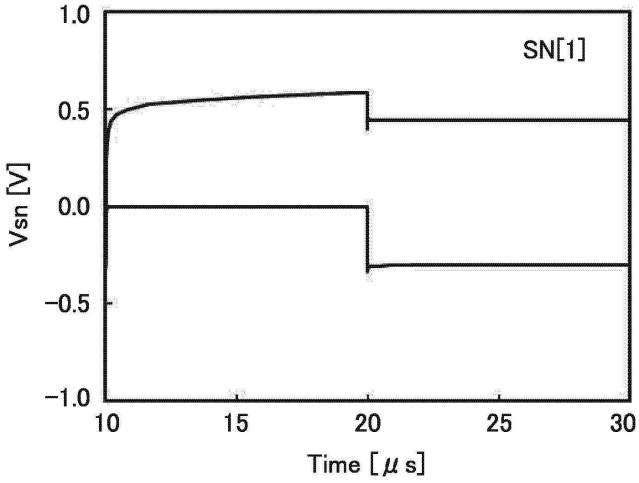

Vpre=12.5V
"1"
"0"
Vsn [V]
1.5
1.0
0.5
0.0
−0.5
10−3
100
103
106
109
Time [s]

(B)

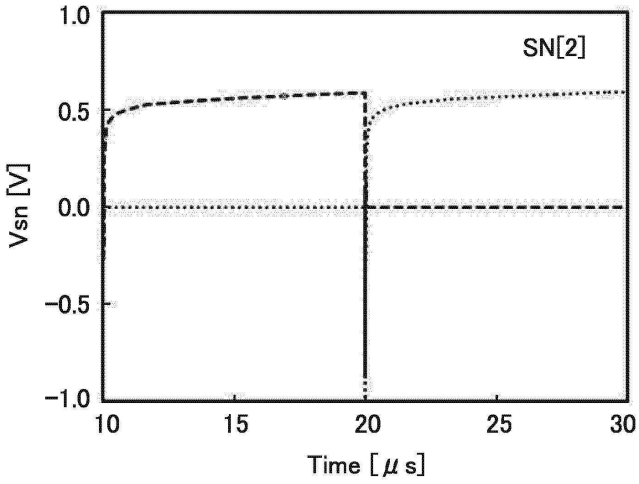

Vpre=15V
"1"
"0"
Vsn [V]
1.5
1.0
0.5
0.0
−0.5
10−3
100
103
106
109
Time [s]

도면49

(A)


SN[1]
1.0
0.5
0.0
−0.5
−1.0
Vsn [V]
10
15
20
25
30
Time [μs]

(B)


SN[2]
1.0
0.5
0.0
−0.5
−1.0
Vsn [V]
10
15
20
25
30
Time [μs]

도면50

