



(12) 发明专利

(10) 授权公告号 CN 112204706 B

(45) 授权公告日 2022.02.25

(21) 申请号 201980036655.5

(22) 申请日 2019.05.23

(65) 同一申请的已公布的文献号
申请公布号 CN 112204706 A

(43) 申请公布日 2021.01.08

(30) 优先权数据
62/687,100 2018.06.19 US

(85) PCT国际申请进入国家阶段日
2020.11.30

(86) PCT国际申请的申请数据
PCT/US2019/033832 2019.05.23

(87) PCT国际申请的公布数据
W02019/245702 EN 2019.12.26

(73) 专利权人 应用材料公司
地址 美国加利福尼亚州

(72) 发明人 V·V·瓦茨 H·俞 D·帕德希
李昌陵 G·M·阿米科
S·G·卡马斯

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 汪骏飞 侯颖嫫

(51) Int.Cl.
H01L 21/02 (2006.01)
H01L 21/3065 (2006.01)
H01L 21/67 (2006.01)
G23C 16/455 (2006.01)
H01J 37/32 (2006.01)
H05H 1/46 (2006.01)
H01L 21/311 (2006.01)

(56) 对比文件
CN 102160155 A, 2011.08.17
CN 101416293 A, 2009.04.22
US 2010099271 A1, 2010.04.22
CN 105336680 A, 2016.02.17
CN 101496145 A, 2009.07.29
CN 101501824 A, 2009.08.05

审查员 李艳红

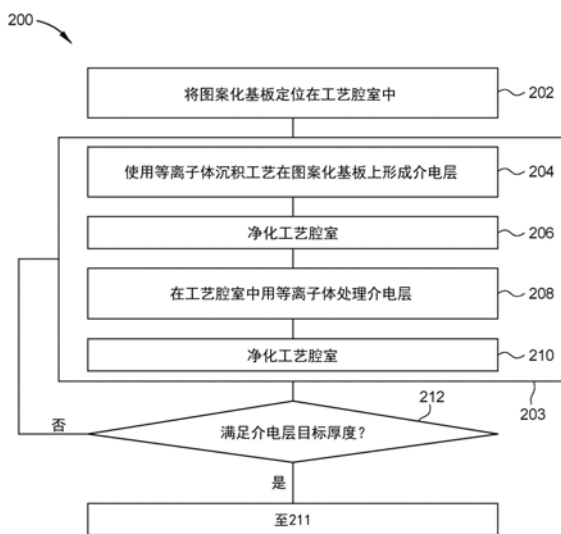
权利要求书2页 说明书8页 附图3页

(54) 发明名称

脉冲等离子体沉积蚀刻阶梯覆盖率的改良

(57) 摘要

本公开的实施例涉及薄膜的原位沉积和处理以改善阶梯覆盖率的方法。一个实施例中,提供用于处理基板的方法。该方法包括:通过将基板暴露至第一前驱物与第二前驱物的气体混合物、同时等离子体存在于工艺腔室中,而在基板的多个图案化特征上形成介电层,其中该等离子体由第一脉冲RF功率形成;在工艺腔室中将介电层暴露于使用氮与氦的气体混合物的第一等离子体处理;以及通过将介电层暴露于由含氟前驱物与载气的气体混合物所形成的等离子体而执行等离子体蚀刻工艺,其中等离子体是在工艺腔室中由第二脉冲RF功率形成。



1. 一种用于处理基板的方法,包括:

通过将所述基板暴露至第一前驱物与第二前驱物的气体混合物、同时等离子体存在于工艺腔室中,而在所述基板中的一个或多个沟槽的暴露表面上形成介电层,其中所述等离子体由第一脉冲RF功率形成;

在所述工艺腔室中将所述介电层暴露于使用氮与氦的气体混合物的等离子体致密化处理以形成处理的介电层;

在所述工艺腔室中在所述处理的介电层上形成钝化层;以及

通过将所述处理的介电层和所述钝化层暴露于由含氟前驱物与载气的气体混合物所形成的等离子体而执行等离子体蚀刻工艺,其中所述等离子体是在所述工艺腔室中由具有5kHz至30kHz的频率的第二脉冲RF功率形成,所述等离子体蚀刻工艺以比在所述一个或多个沟槽的底表面处更快的速率蚀刻所述一个或多个沟槽的顶部。

2. 如权利要求1所述的方法,其中形成所述钝化层进一步包括:将所述处理的介电层暴露于含硅前驱物。

3. 如权利要求2所述的方法,其中所述含硅前驱物包括甲硅烷。

4. 如权利要求2所述的方法,其中所述处理的介电层在暴露于所述含硅前驱物的同时暴露于含氮气体。

5. 如权利要求1所述的方法,进一步包括:

在所述等离子体致密化处理之前和/或之后,净化所述工艺腔室。

6. 如权利要求1所述的方法,其中所述沟槽具有3:1至10:1的深宽比。

7. 如权利要求1所述的方法,其中所述等离子体致密化处理以300瓦至1200瓦之间的RF功率进行。

8. 如权利要求1所述的方法,其中所述等离子体蚀刻工艺防止所述一个或多个沟槽的顶部开口夹止,且获得所述介电层的共形轮廓。

9. 一种用于处理基板的方法,包括:

通过第一等离子体沉积工艺在所述基板中的一个或多个沟槽的暴露表面上形成介电层,其中第一等离子体在工艺腔室中由第一脉冲RF功率形成;

通过等离子体处理使所述介电层致密化以形成处理的介电层;

在所述处理的介电层上并且在所述一个或多个沟槽内形成钝化层;以及

通过第二等离子体蚀刻工艺蚀刻所述处理的介电层和所述钝化层的一部分,其中第二等离子体由含氟气体和载气的气体混合物形成,其中所述第二等离子体由第二脉冲RF功率在所述工艺腔室中形成,以比在所述一个或多个沟槽的底表面处更快的速率蚀刻所述一个或多个沟槽的顶部。

10. 如权利要求9所述的方法,其中所述第一脉冲RF功率与所述第二脉冲RF功率具有范围从5%至30%的占空比以及范围从10kHz至20kHz的频率。

11. 如权利要求9所述的方法,其中所述第二脉冲RF功率的脉冲宽度为1 μ m至50 μ m。

12. 如权利要求9所述的方法,其中所述介电层是氮化硅。

13. 如权利要求9所述的方法,其中所述第二等离子体蚀刻工艺在基于自由基的环境中执行。

14. 如权利要求9所述的方法,其中所述第二等离子体蚀刻工艺的所述含氟气体包括

NF₃、F₂、C₂F₆、CF₄、C₃F₈、或SF₆。

15. 如权利要求14所述的方法,其中所述第二等离子体蚀刻工艺的所述载气包括氩、氦、氮、氧或一氧化二氮。

16. 如权利要求15所述的方法,其中所述含氟气体与所述载气的比例的范围是1:6至1:20。

17. 一种用于处理基板的方法,包括:

通过第一等离子体沉积工艺在所述基板的图案化特征上形成介电层,其中第一等离子体在工艺腔室中由第一脉冲RF功率形成;

在所述工艺腔室中使用氮和氦的气体混合物通过等离子体处理使所述介电层致密化以形成处理的介电层;

在所述处理的介电层上形成第一钝化层;

通过第二等离子体蚀刻工艺蚀刻所述第一钝化层和一部分的所述介电层,以形成蚀刻的介电层,其中第二等离子体由第二脉冲RF功率以5kHz至30kHz的频率在所述工艺腔室中形成,以比在所述图案化特征的底部侧壁处更快的速率蚀刻所述图案化特征的顶表面;以及

在蚀刻的介电层上形成第二钝化层。

18. 如权利要求17所述的方法,其中所述第一等离子体沉积工艺包括使第一前驱物和第二前驱物流动至所述工艺腔室中。

19. 如权利要求18所述的方法,其中所述第一前驱物是包含氮或氦的含氮前驱物,并且所述第二前驱物是包括甲硅烷或三甲硅烷胺(TSA)的含硅前驱物。

20. 如权利要求17所述的方法,其中所述等离子体处理在所述工艺腔室中使用氮和氦的气体混合物。

21. 如权利要求20所述的方法,其中所述等离子体处理中的氮与氦的比例范围是1:3至1:10。

22. 如权利要求17所述的方法,其中所述第一钝化层与所述第二钝化层包括硅层。

脉冲等离子体沉积蚀刻阶梯覆盖率的改良

技术领域

[0001] 本公开的实施例总体上涉及用于半导体处理的方法。特定而言,本公开的实施例涉及薄膜的原位沉积及处理以改良阶梯覆盖率(step coverage)的方法。

背景技术

[0002] 介电层已用于许多应用,诸如现代半导体器件的制造中的阻挡层或间隔物。能够使用诸如化学气相沉积(CVD)或等离子体增强化学气相沉积(PECVD)之类的沉积工艺于特征(例如,用于垂直互连件的沟槽或通孔)上沉积介电层。然而,通过PECVD技术将介电层沉积于高深宽比(aspect ratio)特征上且还要有适当阶梯覆盖率一直是具有挑战性的。由于等离子体无法渗透到深沟槽中,所以PECVD技术倾向于在顶部周围比在沟槽底部更快地沉积介电层。这造成从顶部夹止(pinch off)狭窄沟槽,而在沟槽中形成空隙。

[0003] 因此,本领域需要提供一种用于在高深宽比沟槽中沉积介电层而不形成空隙或接缝的改良方法。

发明内容

[0004] 本公开的实施例涉及薄膜的原位沉积和处理以改善阶梯覆盖率的方法。一个实施例中,提供用于处理基板的方法。该方法包括:通过将基板暴露至第一前驱物与第二前驱物的气体混合物、同时等离子体存在于工艺腔室中而在该基板的多个图案化特征上形成介电层工艺腔室,其中该等离子体通过第一脉冲RF功率形成。该方法进一步包括:在该工艺腔室中将该介电层暴露至使用氮与氦的气体混合物的等离子体处理;以及,通过将该介电层暴露至由含氟前驱物与载气的气体混合物所形成的等离子体而执行等离子体蚀刻工艺,其中该等离子体是在该工艺腔室中由第二脉冲RF功率形成。

[0005] 在另一实施例中,一种用于处理基板的方法包括:通过等离子体沉积工艺在该基板的多个图案化特征上形成介电层,其中第一等离子体在工艺腔室中由第一脉冲RF功率形成。该方法进一步包括:通过等离子体处理使该介电层致密化,以及通过等离子体蚀刻工艺蚀刻该介电层的一部分,其中第二等离子体由含氟气体和载气的气体混合物形成,其中该第二等离子体由第二脉冲RF功率在工艺腔室中形成。

[0006] 在另一实施例中,一种用于处理基板的方法包括:通过等离子体沉积工艺在该基板的多个图案化特征上形成介电层,其中第一等离子体在工艺腔室中由第一脉冲RF功率形成。该方法进一步包括:在该工艺腔室中使用氮和氦的气体混合物通过等离子体处理使该介电层致密化;在该介电层上形成第一钝化层;通过等离子体蚀刻工艺蚀刻该第一钝化层和一部分的该介电层,以形成蚀刻的介电层,其中第二等离子体由第二脉冲RF功率在该工艺腔室中形成。该方法进一步包括在该蚀刻的介电层上形成第二钝化层。

附图说明

[0007] 通过参考附图中描绘的本公开的说明性实施例,能够理解上文简要概述且于下文

更详细讨论的本公开的实施例。然而,应注意,附图仅说明本公开的典型实施例,因此不应视为是对本公开的范围的限制,因为本公开可允许其他等效实施例。

[0008] 图1描绘能够用于实行本文所述的实施例的沉积系统的示意性剖面视图。

[0009] 图2A和2B描绘根据本公开的实施例的用于在基板上形成介电层的方法的流程图。

[0010] 为助于理解,只要可能则使用相同的附图标号指定附图中共通的相同元件。附图并未依照比例绘制,且为了清楚起见而可能经过简化。构想到,一个实施例的元件和特征可以有利的并入其他实施例而无须赘述。

具体实施方式

[0011] 下文将参考PECVD工艺来描述本文描述的实施例,该PECVD工艺能够使用任何适合的薄膜沉积系统执行。适合系统的示例包括可使用DXZ®处理腔室的CENTURA®系统、PRECISION5000®系统、PRODUCER®系统、PRODUCER®GT™系统、PRODUCER®XPPrecision™系统、PRODUCER®SE™系统、Sym3®处理腔室、及Mesa处理腔室,上述的全部都可购自美国加州圣克拉拉的应用材料公司。能够执行PECVD工艺的其他工具也可适于受惠于本文所述的实施例。此外,能够使用可实现本文所述的PECVD工艺的任何系统以获益。本文所述的设备的叙述是说明性的,不应该被理解或诠释为限制本文所述的实施例的范围。

[0012] 图1描绘根据本文所述的实施例的基板处理系统132的示意图,该基板处理系统132能用于执行介电层的沉积。基板处理系统132包括耦接至气体面板130和控制器110的工艺腔室100。该工艺腔室100大致上包括界定处理空间126的顶壁124、侧壁101、和底壁122。基板支撑组件146设置在工艺腔室100的处理容积126中。该基板支撑组件146大致上包括由心柱160所支撑的基板支撑件,诸如静电吸盘150。静电吸盘150可使用任何适合的机构在垂直方向上于工艺腔室100内移动。电极170嵌入静电吸盘150中,且电源106耦接至电极170。基板190布置在静电吸盘150的表面192上。

[0013] 真空泵102耦接形成在工艺腔室100底部中的通口。真空泵102用于维持工艺腔室100中的期望气体压力。真空泵102也从工艺腔室100抽空后处理气体及工艺的副产物。基板处理系统132可进一步包括用于控制腔室压力的附加设备,例如,定位在工艺腔室100和真空泵102之间的阀(例如,节流阀和隔离阀),以控制该腔室压力。

[0014] 具有多个孔隙128的气体分配组件120布置在静电吸盘150上方、于工艺腔室100的顶部上。气体分配组件120的孔隙128用于将处理气体引入工艺腔室100中。孔隙128可具有不同的尺寸、数量、分布、形状、设计、及直径,以助于各种工艺气体的流动以满足不同的工艺要求。气体分配组件120连接到气体面板130,而允许各种气体在处理期间供应到处理空间126。由离开气体分配组件120的工艺气体混合物形成等离子体,以增强工艺气体的热分解,造成材料沉积在基板190的表面191上。

[0015] 气体分配组件120和静电吸盘150可以在处理容积126中形成一对间隔开的电极。一个或多个RF电源140通过匹配网络138(视情况任选的)提供偏压电位至气体分配组件120,而助于在气体分配组件120和静电吸盘150之间产生等离子体。作为替代方案,RF电源140和匹配网络138可耦接至气体分配组件120、静电吸盘150或耦接至气体分配组件120和静电吸盘150两者,或耦接至布置在工艺腔室100外部的天线(图中未示)。在一些实施例中,

RF电源140可产生下述频率的功率:350KHz、2MHz、13.56MHz、27MHz、40MHz、60MHz或100MHz。在一个实施例中,RF电源140可以约50kHz至约13.6MHz之间的频率提供大约100瓦至约3000瓦之间的功率。在另一实施例中,RF电源140可以约50kHz至大约13.6MHz的频率提供约500瓦至约1,800瓦之间的功率。

[0016] 控制器110包括中央处理单元(CPU)112,存储器116、和支持电路114,用于控制工艺顺序且调节来自气体面板130的气流。CPU 112可以是任何形式的通用计算机处理器,该处理器可在工业设定中使用。软件例程可以存储在存储器116中,例如随机存取存储器、只读存储器、软盘、或硬盘机、或其他形式的数字存储装置。常规上,支持电路114耦接CPU 112,且可包括高速缓冲存储器、时钟电路、输入/输出系统、电源供应器、及类似物。控制器110与基板处理系统132的各种部件之间的双向通讯是通过统称信号总线118的许多信号缆线处理,其中一些在图1中绘示出。

[0017] 图2A和2B描绘了根据本公开的实施例的用于在基板上形成介电层的方法200的流程图。方法200的所有操作可以在相同的工艺腔室中执行,例如PECVD腔室。应理解,图2中描绘的操作可同时执行,和/或以与图2中描绘的顺序不同的顺序执行。此外,虽然本文使用PECVD技术讨论介电层,但本公开的概念也能用于针对通过热工艺或任何等离子体辅助工艺所沉积的其他层。

[0018] 方法200开始于操作202:将基板放置到工艺腔室(例如图1中所示的工艺腔室100)中。在基板布置于工艺腔室100中之后,在工艺腔室100中执行原位沉积处理工艺203。如下文将更详细讨论,该原位沉积处理工艺203大致上包括操作204(膜沉积)、操作206(腔室净化)、操作208(等离子体处理)、及操作210(腔室净化)。基板可以是图案化基板,跨该基板的表面上有至少一个形成的特征。形成的特征可以是任何类型的特征,诸如沟槽、通孔、互连件或栅极堆叠。基板可以是半导体器件的中间结构的一部分,例如FinFET器件。基板可以是块体半导体基板、绝缘体上覆半导体(SOI)基板、或类似物,该基板可经掺杂(例如,以p型或n型掺杂剂)或未掺杂。基板可包括元素半导体,包括硅(Si)或锗(Ge);化合物半导体;合金半导体;或上述材料的组合。在一个实施例中,基板具有形成在基板表面中的多个沟槽。沟槽可具有约2:1至约20:1的深宽比,例如约3:1至约10:1。本公开中的术语“深宽比”是指特定特征的高度尺寸相对于宽度尺寸之比,例如,沟槽高度/沟槽宽度。

[0019] 在操作204,使用等离子体沉积工艺在基板上形成介电层。在一个实施例中,介电层是氮化物,例如氮化硅。介电层形成在基板的暴露表面上,例如,基板中的沟槽的顶表面、侧壁表面、和底表面。通过将基板暴露于含氮前驱物和含硅前驱物的气体混合物、同时等离子体存在于工艺腔室中,而执行介电层的沉积。气体混合物可从气体面板130经过气体分配组件120流入处理容积126。在一些情况下,含氮前驱物和含硅前驱物能够分别引入工艺腔室中,且能够以任何顺序引入。取决于应用,该气体混合物可视情况任选地包括氢、氮、氧、一氧化二氮、氩、或任何适合的惰气或载气。

[0020] 适合的含氮前驱物可包括氨(NH₃)、氮(N₂)、一氧化二氮(N₂O)、一氧化氮(NO)、二氧化氮(NO₂)及任何上述前驱物的组合。在一个实施例中,含氮前驱物是氨。适合的含硅前驱物可包括氧对硅原子比值为0至约6的有机硅化合物。适合的有机硅化合物可以是硅氧烷化合物;包含一个或多个卤素部分(例如氟化物、氯化物、溴化物、或碘化物)的卤化硅氧烷化合物,诸如四氯硅烷、二氯二乙氧基硅氧烷、氯三乙氧基硅氧烷、六氯二硅氧烷、及/或八氯

三硅氧烷;以及胺基硅烷,例如三甲硅烷胺(TSA)、六甲基二硅氮烷(HMDS)、杂氮硅三环(silatrane)、四(二甲胺基)硅烷、双(二乙胺基)硅烷、三(二甲胺基)氯硅烷、及甲基杂氮硅三环。也可以使用其他含硅前驱物,诸如硅烷、卤化硅烷、有机硅烷、及前述前驱物的任何组合。硅烷可包括甲硅烷(SiH_4)和具有经验式 $\text{Si}_x\text{H}_{(2x+2)}$ 的更高级的硅烷,例如乙硅烷(Si_2H_6)、丙硅烷(Si_3H_8)和丁硅烷(Si_4H_{10}),或其他更高级的硅烷,例如聚氯硅烷。也可使用其他的含硅前驱物,诸如八甲基环四硅氧烷(OMCTS)、甲基二乙氧基硅烷(MDEOS)、双(第三丁胺基)硅烷(BTBAS)、三二甲胺基硅烷(TriDMAS)、叁二甲胺基硅烷(TrisDMAS)、二氯硅烷、三氯硅烷、二溴硅烷、四氯化硅、四溴化硅、或上述前驱物的组合。在一个实施例中,含硅前驱物是甲硅烷。在另一个实施例中,含硅前驱物是TSA。

[0021] 在操作204期间,可以约5sccm至约1000sccm之间的流速将含硅前驱物引入工艺腔室。可以约5sccm至约1000sccm之间的流速将含氮前驱物引入工艺腔室。可以约100sccm至约20000sccm之间的流速将视情况任选的载气(例如氮气)引入工艺腔室。在含硅前驱物和含氮前驱物流入工艺腔室而沉积介电层的同时,腔室压力可维持在约5毫托耳或更高,例如约1托耳至约40托耳,例如约5托耳至约16托耳,且工艺腔室中的基板支撑件的温度可以在约125°C至约580°C之间,例如约150°C至约400°C。等离子体沉积工艺可执行达约2秒至约120秒,例如约6秒至约30秒,这可以根据应用而有所不同。

[0022] 可以13.56MHz和/或350KHz的频率、约50瓦至约250瓦的功率提供等离子体。可将RF功率提供至工艺腔室100的一个或多个电极。例如,RF功率可提供至喷淋头(例如气体分配组件120)和/或基板支撑件(例如工艺腔室100的静电吸盘)。在一些实施例中,在等离子体沉积工艺期间使RF功率脉动,以减少沟槽的暴露表面上的介电层的沉积速率,从而改善沟槽中的介电层的侧壁阶梯覆盖率。该可以以范围约5%至约30%的占空比和范围约10kHz至约20kHz的频率使RF功率脉动。喷淋头和基板支撑件之间的间距可大于约230密耳,诸如在约350密耳至约800密耳之间。

[0023] 在操作206,停止气体混合物流入工艺腔室100和RF功率,并且通过将净化气体(诸如氮气)引入工艺腔室100中而将任何剩余的气体混合物(例如,含硅前驱物、含氮前驱物、和/或另外的气体)从工艺腔室100中清除。以一时段和分压将净化气体引入工艺腔室,该时段与分压经选择为净化残余气体混合物和/或剩余的副产物。例如,净化气体可以约100至约20000sccm之间的流速引入工艺腔室。氮气可流入腔室达诸如约0.1秒至约60秒之间的时间段。净化气体流入工艺腔室的同时,腔室压力可以在约5毫托耳和约10托耳之间,并且工艺腔室100中的基板支撑件的温度可以在约125°C至约580°C之间。

[0024] 在操作208,于净化工艺腔室后,在工艺腔室100中执行等离子体处理,以处理沉积的介电层。该等离子体处理能使沉积的介电层致密化,且改善沉积的电介质的机械性质。例如,在等离子体处理之后,沉积的介电层的模量(杨氏模量)或硬度能够增加。改善的机械性质使处理过的介电层在随后的蚀刻工艺中承受得住剧烈的环境,且具有所要求的轮廓和/或保形度。

[0025] 可通过将氮和氩的处理气体混合物以约100至约20000sccm之间的流速引入工艺腔室100中,而执行等离子体处理。氮和氩的比例可以在约1(氮):3(氩)至约1(氮):10(氩)的范围内,例如约1(氮):6(氩)。可以约100至约2000sccm之间的流速将氮气引入工艺腔室中。可将处理气体混合物流入工艺腔室达诸如介于约0.1秒至约120秒之间的时间段。可通

过以13.56MHz和/或350KHz的频率向工艺腔室施加约300瓦至约1200瓦之间的RF功率以提供等离子体。在处理气体混合物流入工艺腔室的同时,腔室压力可介于约4托耳至约12托耳之间,且工艺腔室100中的基板支撑件的温度可以在约125℃至约580℃之间。

[0026] 在操作210,终止等离子体处理并且净化工艺腔室,以移除残余的气体混合物和/或残余的副产物。可通过中断RF功率和处理气体混合物至工艺腔室的流入来终止等离子体处理。操作210的净化能够与操作206类似或相同。

[0027] 在操作212,做出关于确定经等离子体处理的沉积的介电层是否达到目标厚度的决定。沉积/处理的介电层可具有约5埃至约2000埃的目标厚度,例如约150埃,这可根据应用而有所不同。如果尚未达到沉积/处理的介电层的目标厚度,则可执行另一循环的沉积/等离子体处理工艺(例如,操作204、206、208、和210),之后再将沉积/处理的介电层的厚度再度与目标厚度相比。重复原位沉积处理工艺203,直到沉积/处理的介电层达到目标厚度为止。

[0028] 一旦沉积/处理的介电层达到目标厚度,则在工艺腔室100中执行原位等离子体蚀刻/处理工艺213。如下文将更详细讨论,原位等离子体蚀刻/处理工艺213大致上包括操作214(等离子体蚀刻)、操作216(腔室净化)、操作218(处理)、及操作220(腔室净化)。

[0029] 在原位等离子体蚀刻/处理工艺213之前和在操作212之后,可以视情况任选地钝化沉积/处理的介电层。在操作211,在工艺腔室100中执行视情况任选的处理,以在介电层上形成钝化层。在操作212之后,执行处理工艺以在介电层上形成钝化层(操作211)或是执行等离子体蚀刻工艺(操作214)。可通过在工艺腔室中将介电层暴露于含硅前驱物,而在介电层上形成薄硅层,以执行视情况任选的处理。取决于应用,介电层可以暴露于额外的气体或多种气体,诸如氩、氮、氧、一氧化二氮、氩、或任何适合的惰气或载气。适合的含硅前驱物可与操作204期间使用的含硅前驱物相似或相同。在一个实施例中,含硅前驱物是甲硅烷。在另一个实施例中,含硅前驱物是TSA。

[0030] 在操作211期间,可以约5sccm至约1000sccm之间的流速将含硅前驱物引入工艺腔室。在一些实施例中,含氮气体与含硅前驱物一起引入工艺腔室,且该含氮气体可以约5sccm至约1000sccm之间的流速引入工艺腔室。可将视情况任选的载气(例如氩)以约100sccm至约20000sccm的流速引入工艺腔室。在含硅前驱物流入工艺腔室以沉积硅层的同时,腔室压力可维持在约5毫托耳或更高,诸如约1托耳至约40托耳,例如约5托耳至约16托耳,并且工艺腔室中的基板支撑件的温度可以在约125℃至约580℃之间,例如约150℃至约400℃之间。在一个实施例中,硅层包括吸附在介电层上的硅分子。视情况任选的处理可执行达约1秒至约60秒,例如约2秒至约30秒,这可以根据应用而有所不同。该处理有助于后续的蚀刻工艺成为“软”蚀刻工艺。“软”蚀刻是指,当蚀刻剂(诸如氟离子或含氟自由基)侵蚀介电层顶部上的钝化层时,钝化层减少氟离子或含氟自由基的影响,从而进行表面蚀刻。钝化层的额外益处也能影响蚀刻轮廓并且改善沟槽中的介电层的深宽比。

[0031] 在操作215,终止处理工艺并且净化工艺腔室,以移除残余的含硅前驱物和其他气体。可以通过中断含硅前驱物进入工艺腔室的流动来终止处理工艺。操作215处的净化可以与操作206类似或相同。

[0032] 原位等离子体蚀刻/处理工艺213在操作214开始,通过将硅层暴露于蚀刻剂、同时等离子体存在于工艺腔室中,而在工艺腔室100中执行等离子体蚀刻工艺。在一个实施例

中,在操作212之后执行操作214而不执行操作211和215。等离子体蚀刻工艺能够蚀刻在沟槽的顶部处的沉积/处理的介电层的一部分以及硅层,以防止开口夹止。这是因为,沟槽的顶部处蚀刻气体的反应一般比侧壁表面处的反应快,而沟槽的底部表面则由于沟槽的高深宽比而最慢。等离子体蚀刻工艺在沟槽的顶部移除沉积/处理的介电层的速率比在沟槽的侧壁表面及底部表面处的移除速率快。于是,避免了沟槽的开口夹止,且在等离子体蚀刻工艺之后能够获得介电层的共形轮廓。

[0033] 可通过将含氟前驱物和载气引入工艺腔室100,而执行等离子体蚀刻处理。可预先混合含氟前驱物和载气,且作为气体混合物引入工艺腔室100中。在一些实施例中,等离子体蚀刻工艺可以在基于自由基的环境中执行,即,使用来自含氟前驱物和载气的自由基。示例性的含氟前驱物可包括(但不限于)NF₃、F₂、C₂F₆、CF₄、C₃F₈、或适合的卤化化合物,诸如SF₆等。适合的载气可包括氩、氦、氮、氧、一氧化二氮,或任何适合的惰气或载气。在一个实施例中,在等离子体蚀刻工艺期间使用NF₃和氩。在另一个实施例中,在等离子体蚀刻工艺中使用NF₃和氦。已经观察到,使用氩作为载气在某些情况下能够比氦提供更均匀的蚀刻轮廓。含氟前驱物和载气的比例可以在约1(含氟气体):6(载气)至约1(含氟前驱物):20(载气)的范围内,例如约1(含氟前驱物):10(载气)。在一个示例中,含氟前驱物以约0至约500sccm之间的流速引入工艺腔室100中,诸如约50sccm至约200sccm,例如约100sccm。将氩气以约1SLM至约4SLM的流速引入工艺腔室100中。等离子体蚀刻工艺可执行达例如介于约0.1秒和约120秒之间的时间段,这可以根据应用而有所不同。可通过以13.56MHz和/或350KHz的频率向工艺腔室施加约100瓦至约500瓦之间的RF功率(例如大约300瓦)而提供等离子体。在含氟气体与氩气流入工艺腔室的同时,腔室压力可在约1托耳至约40托耳之间,例如约2托耳至约10托耳,并且工艺腔室100中的基板支撑件的温度可介于约125℃至约580℃之间。

[0034] 可以将RF功率提供给工艺腔室100的一个或多个电极。例如,可以将RF功率提供给喷淋头(例如气体分配组件120)和/或基板支撑件(例如,工艺腔室100的静电吸盘150)。在一些实施例中,在等离子体蚀刻工艺期间使RF功率脉动,以减少沟槽的暴露表面上的介电层的蚀刻速率,从而提供更可控制的蚀刻工艺。RF功率能够以约5%至约30%的占空比(例如约10%的占空比)并且以约5kHz至约30kHz的频率(例如约10kHz)脉动。RF功率能够具有约1μs至约50μs的脉动宽度。可根据蚀刻时间调整RF功率,以获得沉积的介电层的不同蚀刻轮廓。下文的表1说明在不同的等离子体蚀刻工艺之后沟槽中的沉积介电层的蚀刻轮廓的示例。下文的蚀刻和等离子体参数是用于蚀刻沉积的介电层。基板温度约为280℃。腔室压力约为2托耳。含氟气体(例如,NF₃)的流速约为100sccm。载气(例如Ar)的流速约为1000sccm。RF功率的脉冲宽度约为10μs。RF功率能以约10%的占空比和约10kHz的频率脉动。

[0035] 表1

| | | | | |
|--------|---------|----|----|----|
| [0036] | 蚀刻时间(秒) | 20 | 40 | 40 |
|--------|---------|----|----|----|

| 功率 (瓦) | 100 | 100 | 300 |
|-----------------------|----------|---------|------|
| A: 顶部侧壁厚度 (nm) | 6.5±0.3 | 4.3±0.3 | 0 |
| B: 底部侧壁厚度 (nm) | 3.6±0.2 | 2.8±0.3 | 0 |
| C: 顶部表面厚度 (nm) | 13.1±0.2 | 3.7±0.3 | ~0 |
| 阶梯覆盖率 (B/A) | 55% | 64% | 完全蚀刻 |
| 阶梯覆盖率 (B/C) | 27% | 75% | 完全蚀刻 |

[0037] 可以看出,较高的RF功率能增加蚀刻速率,并且较长的蚀刻时间能够造成沉积在沟槽的顶部表面上的介电层以比顶侧壁上的介电层更快的速率蚀刻,而底部侧壁则是最低。能够使用不同的蚀刻时间和RF功率来调整沟槽中沉积的介电层的阶梯覆盖率。然而,以更高RF功率(例如,300瓦)进行更长蚀刻时间能够完全地蚀刻介电层。

[0038] 已经观察到,在某些载气中施加RF功率脉冲可能导致不同的蚀刻培育(incubation)时间(即,发生蚀刻效应之前的时间量)。例如,在氩气中施加RF功率脉冲已显示约2.1秒的蚀刻培育时间。在没有RF脉冲的情况下,氩或其他诸如氦之类的载气中的含氟前驱物可能导致在沉积/处理的介电层处立即发生蚀刻效应。因此,可根据所使用的载气调整RF功率的脉冲,以控制蚀刻轮廓。例如,在其中使用氩作为载气的情况中,RF功率的脉冲宽度可以是约5 μ s至约12 μ s,例如约10 μ s。在其中使用氦作为载气的情况中,RF功率的脉冲宽度可以是约15 μ s至约25 μ s,例如约20 μ s。可以调整腔室压力以增强蚀刻效果。例如,当氩用作载气时,腔室压力可以是约2托耳。当氦用作载气时,可以使用更高的腔室压力,诸如约5托耳。

[0039] 在操作216,终止等离子体蚀刻工艺且净化工艺腔室,以移除残余的蚀刻气体混合物和/或残余的副产物。可通过中断RF功率和蚀刻剂进入工艺腔室的流动而终止等离子体蚀刻工艺。操作216的净化可以与操作206类似或相同。

[0040] 在操作218,在工艺腔室100中执行视情况任意的处理。操作218可与操作211类似或相同。在操作214的等离子体蚀刻处理之后执行的处理工艺的额外益处在于,使等离子体蚀刻后经蚀刻的介电层表面上的缺陷或悬空键(dangling bond)钝化。

[0041] 在操作220,终止视情况任意的处理工艺,并且净化工艺腔室,以移除残余的气体混合物和/或残余的副产物。可通过中断含硅前驱物进入工艺腔室的流动来终止视情况任意的处理工艺。操作220的净化可与操作206类似或相同。

[0042] 原位等离子体蚀刻/处理工艺213可以是循环工艺,并且重复多次直到达到所沉积的介电层的期望轮廓为止。

[0043] 在操作222,做出关于确定已处理的沉积的介电层是否达到期望的轮廓的决定,例

如,沉积/处理的介电层是保形的和/或具有超过约95%或99%的侧壁阶梯覆盖率,而没有在沟槽中形成空隙或接缝。如果尚未达到期望轮廓,则可执行另一循环的原位等离子体蚀刻/处理工艺213(例如,路径224)。在一些实施例中,原位沉积/处理工艺203(例如,操作204、206、208和210)、操作211和215、以及原位蚀刻/处理工艺213(例如,操作214、216、218及220)可执行(例如,路径225)且重复多次,直到目标厚度和轮廓皆达成为止。原位沉积/处理工艺203和原位蚀刻/处理工艺213可重复多次,直到获得期望膜厚度为止,例如可执行约2次至约6次的重复,例如4次重复。

[0045] 在操作226,一旦沉积/处理的介电层达到目标厚度和轮廓,则关闭反应气体或气体混合物,且视情况任选地从工艺腔室100中清除上述气体。然后将工艺腔室100抽空(例如使用真空泵102)且将基板移送出工艺腔室100以进行进一步处理。

[0046] 总结而言,本公开的一些益处提供了用于原位沉积、处理、和蚀刻介电层(例如,氮化物)的方法,以改善阶梯覆盖率。脉冲等离子体用于在沉积和蚀刻期间形成可控制的等离子体,以允许介电层的沉积和蚀刻具有增强的侧壁阶梯覆盖率而不损坏侧壁膜或下层。原位工艺也使拥有成本减至最低,降低晶片厂空间且使处理量更迅速。

[0047] 虽然前述内容针对本公开的实施例,但可在不偏离本公开的基本范围的情况下设计本公开的其他和进一步的实施例。

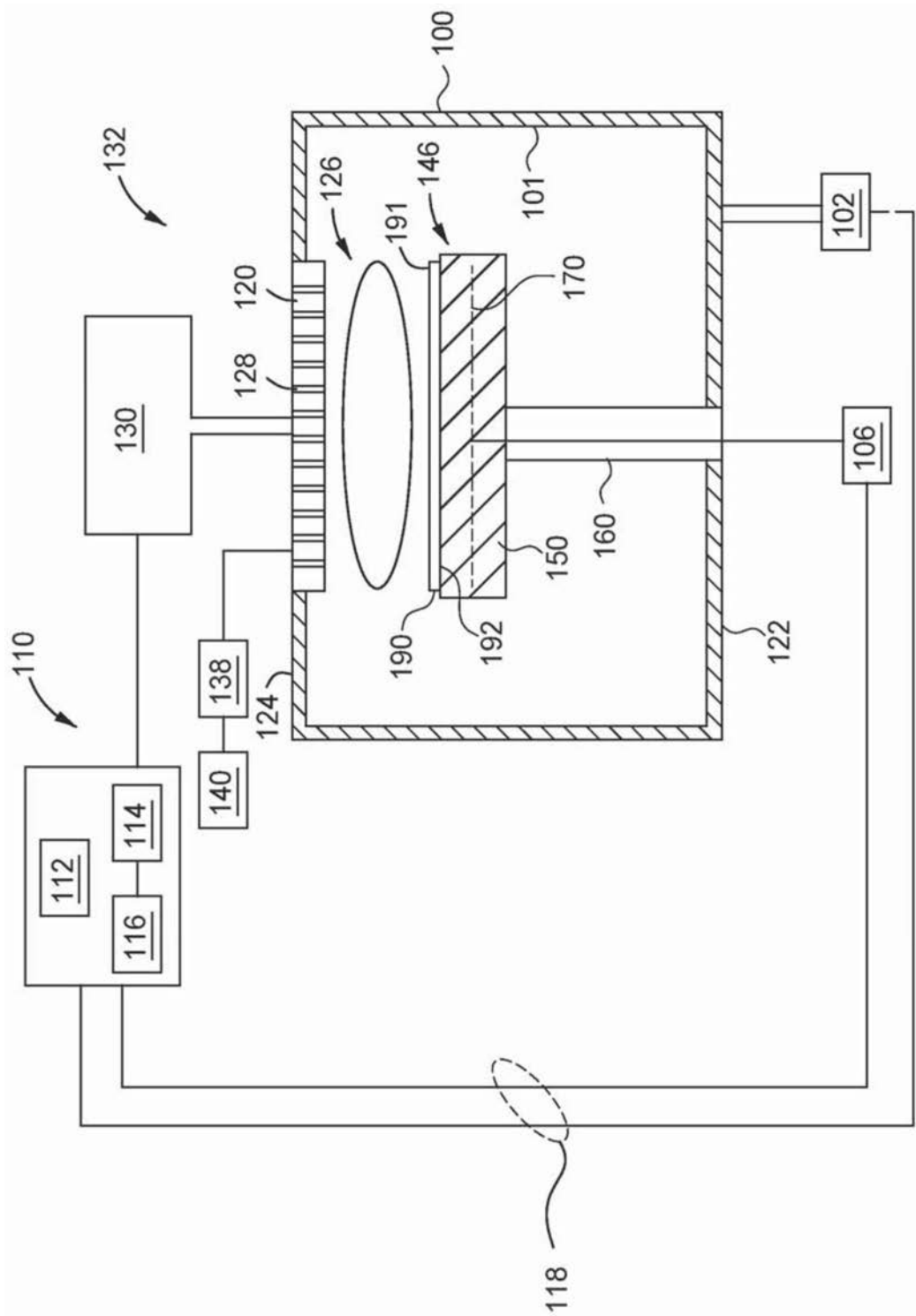


图1

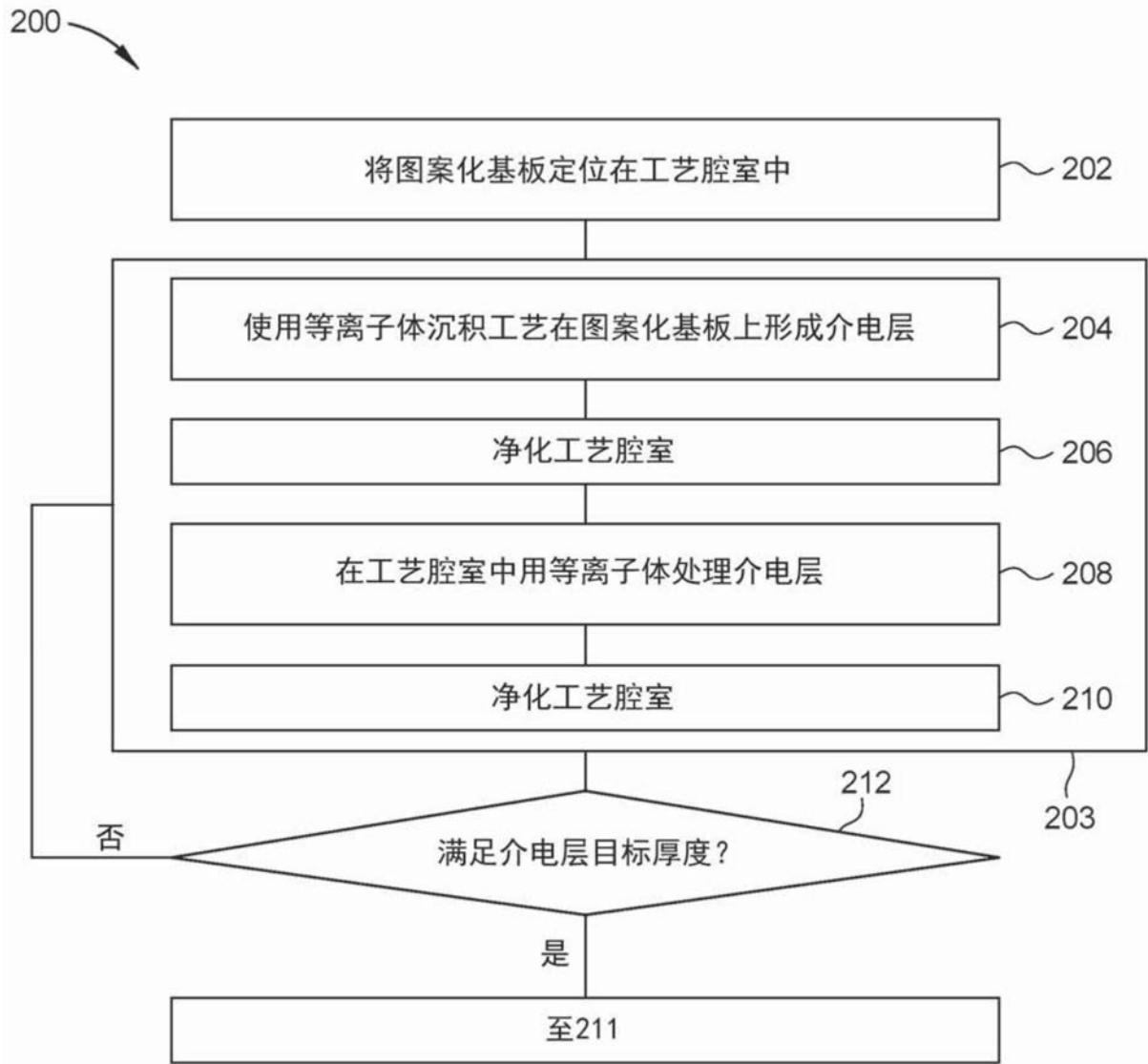


图2A

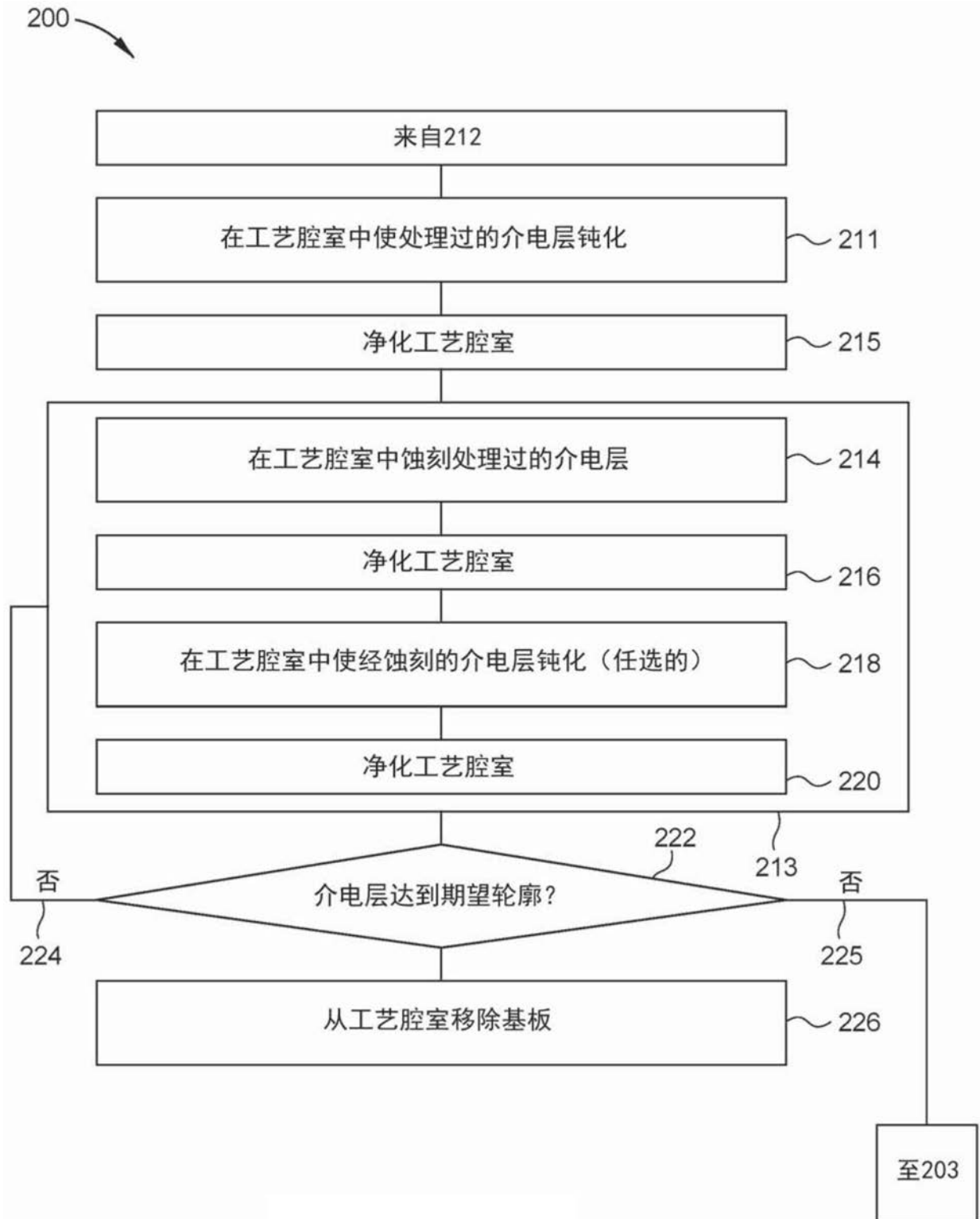


图2B