



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월25일  
(11) 등록번호 10-0853900  
(24) 등록일자 2008년08월18일

(51) Int. Cl.  
H01L 21/336 (2006.01) H01L 27/105 (2006.01)  
H01L 29/78 (2006.01)  
(21) 출원번호 10-2007-7001855  
(22) 출원일자 2007년01월25일  
심사청구일자 2007년01월25일  
번역문제출일자 2007년01월25일  
(65) 공개번호 10-2007-0029820  
(43) 공개일자 2007년03월14일  
(86) 국제출원번호 PCT/US2005/026365  
국제출원일자 2005년07월25일  
(87) 국제공개번호 WO 2006/012626  
국제공개일자 2006년02월02일  
(30) 우선권주장  
10/902,297 2004년07월28일 미국(US)  
(56) 선행기술조사문헌  
US20030022471 A1  
JP10284724 A  
KR1020010102255 A  
전체 청구항 수 : 총 32 항

(73) 특허권자  
미크론 테크놀로지, 인코포레이티드  
미국, 아이다호 83716, 보이스, 사우스 페드럴웨이 8000  
(72) 발명자  
모울리, 찬드라  
미국, 아이다호 83712, 보이스, 사우스 그라나이트 웨이 727  
(74) 대리인  
백만기, 양영준

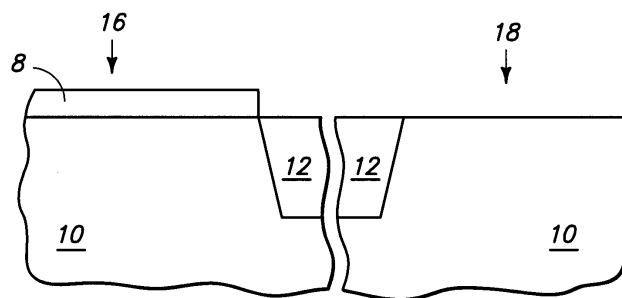
심사관 : 김주식

(54) 메모리 장치, 트랜지스터, 메모리 셀과, 메모리 장치를 형성하기 위한 방법

(57) 요약

메모리 장치는 메모리 셀의 어레이와 주변 장치를 포함한다. 개별 메모리 셀의 일부, 또는 전체는 SiC를 내포하는 탄화 부분을 포함한다. 주변 장치의 일부, 또는 전체가 임의의 탄화 부분을 포함하지 않는다. 트랜지스터는 제 1 소스/드레인과 제 2 소스/드레인과, 상기 제 1 소스/드레인과 제 2 소스/드레인 사이에 위치하는, SiC가 내포된 반도체 기관의 탄화 부분을 포함하는 채널과, 상기 채널의 마주보는 측부와 기능적으로 연계되어 있는 게이트를 포함한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

반도성 기판,

상기 기판 위에 형성되는 메모리 셀(memory cell)의 어레이로서, 개별 메모리 셀의 일부, 또는 전체가 SiC를 내포하는 반도성 기판의 탄화 부분(carbonated portion)을 포함하는 상기 메모리 셀의 어레이, 그리고

상기 기판 위에서 메모리 셀 어드레싱 회로와 메모리 셀 관독 회로를 포함하는 주변 장치로서, 상기 반도성 기판의 탄화 부분을 전혀 포함하지 않는 상기 주변 장치

를 포함하는 것을 특징으로 하는 메모리 장치.

### 청구항 2

제 1 항에 있어서, 상기 탄화 부분은 전도성 도핑되는 것을 특징으로 하는 메모리 장치.

### 청구항 3

제 1 항에 있어서, 각각의 개별 메모리 셀의 하나 이상의 컴포넌트가 탄화 부분의 하나를 포함하는 것을 특징으로 하는 메모리 장치.

### 청구항 4

제 1 항에 있어서, 주변 장치 중 어느 것도 상기 탄화 부분을 포함하지 않는 것을 특징으로 하는 메모리 장치.

### 청구항 5

제 1 항에 있어서, 상기 개별 메모리 셀 중 일부, 또는 전체가, 반도성 기판과 트랜지스터에서 평면 SiC 층을 포함하고, 상기 트랜지스터가 제 1 소스/드레인과, 제 2 소스/드레인과, 상기 제 1 소스/드레인과 제 2 소스/드레인 사이에 위치하는 채널을 포함하는 것을 특징으로 하는 메모리 장치.

### 청구항 6

제 1 항에 있어서, 개별 메모리 셀의 일부, 또는 전체가 트랜지스터를 포함하며, 이때 상기 트랜지스터는

제 1 소스/드레인,

제 2 소스/드레인,

상기 제 1 소스/드레인과 제 2 소스/드레인 사이에 위치하는 탄화 부분 중 하나를 포함하는 채널,

상기 채널의 마주보는 측부와 기능적으로 연계되어 있는 게이트

를 포함하는 것을 특징으로 하는 메모리 장치.

### 청구항 7

제 1 항에 있어서, 개별 메모리 셀의 일부, 또는 전체가 트랜지스터를 포함하며, 상기 트랜지스터는

제 1 소스/드레인,

제 2 소스/드레인,

상기 제 1 소스/드레인과 상기 제 2 소스/드레인 사이에서, 전도성 기판으로 오목하게 형성되는 게이트,

상기 게이트의 마주보는 측부와 기능적으로 연계되어 있는 탄화 부분 중 하나를 포함하는 채널

을 포함하는 것을 특징으로 하는 메모리 장치.

### 청구항 8

제 1 항에 있어서, 개별 메모리 셀의 일부, 또는 전체가

반도성 기관 내에 위치하는 제 1 트랜지스터 소스/드레인 영역,

반도성 기관 내에 위치하는 제 2 트랜지스터 소스/드레인 영역,

상기 제 1 소스/드레인 영역과 상기 제 2 소스/드레인 영역 사이에서 위치하는 SiC를 내포하지 않는 트랜지스터 채널, 그리고

상기 제 1 소스/드레인 영역 상의 저장 노드 접합부(storage node junction)와, 상기 제 2 소스/드레인 영역 상의 디지털 노드 접합부(digit node junction)로서, 탄화 부분을 포함하는 상기 제 1 소스/드레인 영역 상의 저장 노드 접합부와, 상기 제 2 소스/드레인 영역 상의 디지털 노드 접합부

를 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 9

제 8 항에 있어서, 상기 저장 노드 접합부가 탄화 부분을 포함할 경우, 상기 SiC는 200옹스트롬 내지 500옹스트롬의 두께를 갖고, 상기 디지털 노드 접합부가 탄화 부분을 포함할 경우, 상기 SiC는 50옹스트롬 내지 150옹스트롬의 두께를 갖는 것을 특징으로 하는 메모리 장치.

#### 청구항 10

제 8 항에 있어서, 상기 저장 노드 접합부, 또는 디지털 노드 접합부는, 각각의 소스/드레인 영역의 에피택시 실리콘 상에 위치하는 탄화 부분을 포함하며, 상기 에피택시 실리콘은 상기 채널 위에서 형성되는 것을 특징으로 하는 메모리 장치.

#### 청구항 11

제 1 항에 있어서, 랜덤 액세스 메모리 장치를 포함하며, 이때

반도성 기관으로서의 실리콘 기관,

실리콘 기관의 탄화 부분으로서 전도성 도핑된 평면 SiC 층을 포함하고, 제 1 소스/드레인과 제 2 소스/드레인과, 상기 제 1 소스/드레인과 제 2 소스/드레인 사이의 채널에서 SiC를 포함하는 각각의 개별 메모리 셀, 그리고

상기 실리콘 기관에서 어떠한 SiC 층도 포함하지 않는 주변 장치

를 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 반도성 기관은 단결정 실리콘을 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 13

제 1 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 반도성 기관은 에피택시 실리콘을 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 14

반도성 기관,

제 1 소스/드레인,

제 2 소스/드레인,

상기 제 1 소스/드레인과 상기 제 2 소스/드레인 사이에 위치하는 SiC를 내포하는 반도성 기관의 탄화 부분을 포함하는 채널,

상기 채널의 마주보는 측부와 기능적으로 연계되어 있는 게이트

를 포함하는 것을 특징으로 하는 트랜지스터.

#### 청구항 15

제 14 항에 있어서, 상기 트랜지스터는, 상기 제 1 소스/드레인 위에 위치하는 채널과, 상기 채널 위에 위치하는 제 2 소스/드레인을 갖는 수직 트랜지스터를 포함하는 것을 특징으로 하는 트랜지스터.

#### 청구항 16

제 14 항에 있어서, 상기 트랜지스터는 하나의 공통 공정 높이를 공유하는, 제 1 소스/드레인과, 제 2 소스/드레인과, 게이트와, 상기 채널을 통과하는 전류 경로를 갖는 횡방향 트랜지스터를 포함하는 것을 특징으로 하는 트랜지스터.

#### 청구항 17

제 14 항에 있어서, 게이트와 채널 사이에서 게이트 유전체를 더 포함하며, 상기 채널의 SiC는 게이트 유전체와의 경계부와 인접하는 채널 주변부 내에 위치하며, SiC에 의해 부분적으로 감싸여 있는 채널 코어 내부에서는 위치하지 않으며, 상기 채널 코어는 제 1 소스/드레인에서 제 2 소스/드레인까지 뻗어 있는 것을 특징으로 하는 트랜지스터.

#### 청구항 18

제 17 항에 있어서, SiC는 50옹스트롬 내지 100옹스트롬의 두께를 가지는 것을 특징으로 하는 트랜지스터.

#### 청구항 19

제 14 항에 있어서, 상기 트랜지스터는 메모리 장치에 포함되는 것을 특징으로 하는 트랜지스터.

#### 청구항 20

반도성 기관,

제 1 소스/드레인,

제 2 소스/드레인,

상기 제 1 소스/드레인과 제 2 소스/드레인 사이에 위치하는 반도성 기관으로 오목하게 형성된 게이트,

게이트의 마주보는 측부와 기능적으로 연계되어 있는 SiC를 포함하는 반도성 기관의 탄화 부분을 포함하는 채널을 포함하는 것을 특징으로 하는 트랜지스터.

#### 청구항 21

제 20 항에 있어서, 상기 게이트와 상기 채널 사이의 게이트 유전체를 더 포함하며, 상기 채널의 SiC는 상기 게이트 유전체와의 경계부에 인접하는 채널 주변부내에 위치하는 것을 특징으로 하는 트랜지스터.

#### 청구항 22

제 21 항에 있어서, 상기 SiC는 50옹스트롬 내지 100옹스트롬의 두께를 갖는 것을 특징으로 하는 트랜지스터.

#### 청구항 23

제 20 항에 있어서, 상기 트랜지스터는 메모리 장치에 포함되는 것을 특징으로 하는 트랜지스터.

#### 청구항 24

제 19 항 또는 제 23 항에 있어서, 상기 트랜지스터는 DRAM, 또는 SRAM, 또는 플래시 메모리에 포함되는 것을 특징으로 하는 트랜지스터.

#### 청구항 25

반도성 기관,

상기 반도성 기관 내에 위치하는 제 1 트랜지스터 소스/드레인 영역,

상기 반도체 기판 내에 위치하는 제 2 트랜지스터 소스/드레인 영역,  
상기 제 1 소스/드레인 영역과 상기 제 2 소스/드레인 영역 사이에서, SiC를 내포하지 않는 트랜지스터 채널,  
상기 제 1 소스/드레인 영역 상의 저장 노드 접합부와, 상기 제 2 소스/드레인 영역 상의 디지털 노드 접합부로  
서, SiC를 내포하는 반도체 기판의 탄화 부분을 포함하는 상기 저장 노드 접합부와 디지털 노드 접합부  
를 포함하는 것을 특징으로 하는 메모리 셀.

#### 청구항 26

제 25 항에 있어서, 상기 저장 노드 접합부가 SiC를 포함할 경우, SiC는 200옹스트롬 내지 500옹스트롬의 두께를 가지며, 상기 디지털 노드 접합부가 SiC를 포함할 경우, SiC는 50옹스트롬 내지 150옹스트롬의 두께를 갖는 것을 특징으로 하는 메모리 셀.

#### 청구항 27

제 25 항에 있어서, SiC를 포함하는 저장, 또는 디지털 노드 접합부는 각각의 소스/드레인 영역의 에피택시 실리콘 상에 위치하고, 상기 에피택시 실리콘은 상기 채널 위에 위치하는 것을 특징으로 하는 메모리 셀.

#### 청구항 28

제 1 항 내지 제 11 항 중 어느 한 항에 따르는 메모리 장치를 형성하기 위한 방법에 있어서, 상기 방법은 상기 탄화 부분을 형성하는 단계를 포함하고, 상기 탄화 부분을 형성하는 단계는  
메모리 어레이 영역 위에 마스크층을 형성하고, 반도체 기판의 주변 장치 영역을 형성하는 단계,  
상기 메모리 어레이 영역 위로부터 상기 마스크층을 제거하는 단계,  
메모리 어레이 영역과 접촉하여, 그러나 주변 장치 영역과는 접촉하지 않고 SiC 층을 형성하는 단계,  
상기 주변 장치 영역 위로부터 마스크층을 제거하는 단계  
를 포함하는 것을 특징으로 하는 메모리 장치를 형성하기 위한 방법.

#### 청구항 29

제 28 항에 있어서, 상기 마스크층은 실리콘 니트라이드를 포함하는 것을 특징으로 하는 메모리 장치를 형성하기 위한 방법.

#### 청구항 30

제 1 항 내지 제 11 항 중 어느 한 항에 따르는 메모리 장치를 형성하기 위한 방법에 있어서, 상기 방법은 상기 탄화 부분을 형성하는 단계를 포함하고, 상기 탄화 부분을 형성하는 단계는  
반도체 기판의 메모리 어레이 영역과 주변 장치 영역과 접촉하여 SiC 층을 형성하는 단계,  
SiC 층을 주변 장치 영역으로부터 제거하고, 상기 메모리 어레이 영역의 부분, 또는 전체 상에서 SiC 층을 남기는 단계  
를 포함하는 것을 특징으로 하는 메모리 장치를 형성하기 위한 방법.

#### 청구항 31

제 1 항 내지 제 11 항 중 어느 한 항에 따르는 메모리 장치를 형성하기 위한 방법에 있어서, 상기 방법은 상기 탄화 부분을 형성하는 단계를 포함하고, 상기 탄화 부분을 형성하는 단계는 상기 반도체 기판 위에 위치하는 SiC 에피택시 성장을 포함하는 것을 특징으로 하는 메모리 장치를 형성하기 위한 방법.

#### 청구항 32

제 1 항 내지 제 11 항 중 어느 한 항에 따르는 메모리 장치를 형성하기 위한 방법에 있어서, 상기 방법은 상기 탄화 부분을 형성하는 단계를 포함하고, 상기 탄화 부분을 형성하는 단계는, 상기 반도체 기판으로의 이온 임플랜팅, 또는 탄소 기체 확산 공정을 포함하는 것을 특징으로 하는 메모리 장치를 형성하기 위한 방법.

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

## 명세서

### 기술분야

- <1> 본 발명은 메모리 장치, 메모리 셀, 트랜지스터에 관한 것이며, SiC 반도체 물질을 사용하는, 이러한 장치들을 제작하는 방법에 관한 것이다.

### 배경기술

- <2> 반도체 소자를 조립하는 경우에 있어, 낮은 누설 전류와 높은 구동 전류가 양립할 수 없다는 것이 일반적이다. 높은 밴드 갭을 나타내는 반도체 물질은 낮은 누설 전류를 제공하며, 역으로, 낮은 밴드 갭을 나타내는 반도체 물질은 비교적 높은 구동 전류를 제공하는 것이 일반적이다. 원소상 실리콘은 적절한 구동 전류를 제공하는 비교적 낮은 밴드 갭인 약 1.1eV(electron-volts)의 밴드 갭을 나타낸다. 그러나 누설 전류는 특정 경우, 가령 메모리 장치에서 문제가 될 수 있다. 메모리 장치의 경우, 상기 장치에서 반도체 물질로서 실리콘 원소에 연계되어 있는 누설 전류를 해결하기 위해, 잦은 재생(refreshing)이 사용될 수 있다.
- <3> 메모리 장치의 재생 빈도를 감소시키기 위한 시도에 있어서, 원소상 실리콘보다 더 높은 밴드 갭을 나타내는 대안적 반도체 물질을 사용하는 것이 바람직할 수 있다. 그러나 서로 다른 반도체 물질이 유입될 때의 집적도 문



제를 피하기 위해, 주의가 기울어질 수 있다. 서로 다른 반도체 물질은 공정의 명확한 변화를 초래하며, 서로 다른 전자 속성, 또는 장치에서 다른 물질과의 화학적 반응을 수용하도록 집적 회로 설계가 변화한다. 메모리 장치 외의 그 밖의 다른 장치는, 더 높은 밴드 갭 반도체 물질을 메모리 장치로 넣을 때, 습득되는 지식을 바탕으로 잠재적으로 이득을 취할 수 있다.

### 발명의 상세한 설명

- <4> 본 발명의 하나의 태양에 따라서, 메모리 장치는 반도체 기판과, 상기 기판 위에 위치하는 메모리 셀의 어레이와, 상기 기판 위에서 메모리 셀 어드레싱 회로와 메모리 셀 판독 회로를 포함하는 주변 장치를 포함한다. 개별 메모리 셀의 일부, 또는 전체가 SiC를 내포하는 반도체 기판의 탄화 부분을 포함한다. 주변 장치 중 일부, 또는 전체는 반도체 기판의 어떠한 탄화 부분도 포함하지 않는다.
- <5> 본 발명의 또 다른 태양에 따라, 메모리 장치를 형성하는 방법은, 반도체 기판을 제공하는 단계와, SiC를 내포하는 상기 반도체 기판의 탄화 부분을 형성하는 단계와, 상기 기판 위에 메모리 셀의 어레이를 형성하는 단계와, 상기 기판 위에 메모리 셀 어드레싱 회로와 메모리 셀 판독 회로를 포함하는 주변 장치를 형성하는 단계를 포함한다. 개별 메모리 셀의 일부, 또는 전체가 탄화 부분을 포함한다. 주변 장치 중 일부, 또는 전체는 탄화 부분을 포함하지 않는다.
- <6> 본 발명의 또 다른 태양에서, 트랜지스터는 반도체 기판과, 제 1 소스/드레인 및 제 2 소스/드레인과, 상기 제 1 소스/드레인과 제 2 소스/드레인 사이에 위치하는, SiC를 내포하는 반도체 기판의 탄화 부분을 포함하는 채널과, 상기 채널의 마주보는 측부와 기능적으로 연계되어 있는 게이트를 포함한다.
- <7> 본 발명의 또 다른 태양에서, 메모리 셀은, 반도체 기판과, 상기 반도체 기판 내에 위치하는 제 1 트랜지스터 소스/드레인 영역과, 상기 반도체 기판 내에 위치하는 제 2 트랜지스터 소스/드레인 영역과, 상기 제 1 소스/드레인 영역과 제 2 소스/드레인 영역 사이에 위치하는, SiC를 내포하지 않는 트랜지스터 채널을 포함한다. 저장 노드 접합부, 또는 디지털 노드 접합부가 SiC가 내포된 반도체 기판의 탄화 부분을 포함한다.

### 실시 예

- <22> 탄화 규소(SiC)는 트랜지스터와 메모리 장치의 성능 개선을 위한 바람직한 물질을 구성한다. 특정 형태에 따라, SiC는 실리콘의 1.1eV 에 비교하여 약 3.0eV보다 더 큰 밴드 갭을 나타낸다. 이와 같이, SiC는 실리콘의 고유 운반자 농도(intrinsic carrier concentration)보다 낮은 약 16 정도의 매우 낮은 고유 운반자 농도(intrinsic carrier concentration)를 갖는다. 전하 운반자의 열 발생은 상기 고유 운반자 농도에 직접 대응한다. 따라서 SiC 기판에서의 누설 전류는 실리콘 기판의 누설 전류와 비교하여 아주 작은 양일 수 있다. 앞서, 금속 산화물 반도체(MOS) 파워 장치와 그 밖의 다른 특수 목적의 애플리케이션이 SiC를 사용해왔다. 그러나 고품질 SiC 기판을 조립하는데 있어 기술적 문제는 SiC가 상품적 응용, 가령 로직, 또는 메모리용으로 지나치게 비싸다는 것이다. SiC 에피택시 성장의 최근의 진보가, 상품 트랜지스터와 메모리 장치의 기판 물질용으로서의 SiC의 가능성을 증가시켰다. 그렇지라도, 많은 집적도 문제가 존재하는 것이 자명하다.
- <23> 본원에서, 용어 “반도체 기판(semiconductor substrate)”, 또는 “반도성 기판(semiconductive substrate)”은 가령, 반도체 웨이퍼(홀로 존재하든지 다른 물질을 포함하여 조립체로 존재하든지)과 반도체 물질 층(홀로 존재하든지 다른 물질을 포함하여 조립체로 존재하든지)을 포함하는 임의의 구조물을 의미하기 위해 정의된다. 용어 “기판(substrate)”은 임의의 지지 구조물을 일컬으며, 그 예로 반도체 기판이 있다(그러나 제한받지 않음).
- <24> 큐빅(C)과 육방(H) SiC 결정 구조에 대한 3가지 폴리타입, 즉, 3C-SiC, 4H-SiC, 6H-SiC가 있으며, 테이블 1에서 나타내는 바와 같이, 이들은 서로 약간 다른 물리적 속성과 전기적 속성을 나타낸다. 4H-SiC와 6H-SiC는 반도체 장치에 있어, 가장 일반적으로 사용되는 폴리타입을 나타낸다.

### <25> 테이블 1

	4H-SiC	6H-SiC	실리콘
밴드 갭 에너지(eV)	3.26	3.03	1.12
최대 드리프트 속도( $E=2 \times 10^5 \text{ V/cm}$ 에서의 cm/sec)	$2.0 \times 10^7$	$2.0 \times 10^7$	$1.0 \times 10^7$
열 전도도(300K에서의 W/cm-K)	3.0-3.8	3.0-3.8	1.5
항복 전기장(V/cm)	$2.2 \times 10^6$	$2.4 \times 10^5$	$0.25 \times 10^5$

- <27>
- <28> 테이블 1에서 나타나는 바와 같이, SiC는 실리콘과 비교하여 더 우수한 기판 물질을 제공하며, 이는 SiC의 매우 낮은 누설 전류와, 높은 온도 작업을 가능케 하는 바람직한 열 소산과, 높은 전기장을 유지할 수 있는 능력 때문에 가능하다. 이러한 요인이 지배하는 응용예에서, SiC 기판은 실리콘 기판에 비해 큰 이점을 제공한다. 그렇다고 할지라도, SiC를 기판 물질로서 메모리 장치, 또는 그 밖의 다른 장치로 내장할 때, SiC 기판의 사용의 부족(즉, 높은 조립 비용으로 인하여 부분적으로 사용)과, 수용할 수 없는 결함 있는 밀도와, 형편없는 운반자 이동성으로 인한 부식이 존재하지 않는다, 있더라도 거의 없다.
- <29> 메모리 장치의 메모리 어레이 영역내에서의 형편없는 운반자 이동성이, 주변 장치 영역과 비교하여 더 낮은 결과물을 초래한다. 즉, 메모리 어레이 영역 내에서의 주요 요인은 누설 전류(특히, 접합부(junction)에서의 누설 전류)이며, 준주요 요인은 장치 속도이다. 이와 대조적으로, 주변 장치 영역에서의 주요 요인은 장치 속도이며, 준주요 요인은 누설 전류이다. 메모리 어레이 영역에서, 누설 전류는 장치의 재생 간의 시간의 경과를 판단한다. 따라서 각각의 재생 사이의 시간을 증가시킴에 따라 성능 보장이 이뤄질 수 있다.
- <30> 본원 발명의 다양한 태양에 의해, 실리콘에 비교되는 SiC의 특성을 구별하는 이점을 취하는 방식으로 종래의 방식으로 SiC가 트랜지스터와 메모리 장치로 삽입된다. 본 발명의 하나의 태양에 따라, 메모리 장치는 반도체 기판과, 상기 기판 위에 위치하는 메모리 셀의 어레이와, 상기 기판 위에 위치하는, 메모리 셀 어드레싱 회로와 메모리 셀 판독 회로를 포함하는 주변 장치를 포함한다. 개별 메모리 셀의 부분, 또는 전체가 SiC를 포함하는 반도체 기판의 탄화 부분을 포함한다. 주변 장치의 부분, 또는 전체는 어떠한 반도체 기판의 탄화 부분도 포함하지 않는다.
- <31> 도 1은 메모리 어레이 영역(16)과 상기 메모리 어레이 영역(16) 주위를 감싸는 주변 장치 영역(18)을 갖는 기판(10)의 평면도이다. 도 1에서, 주변 장치 영역(18)이 기판(10)의 주변부를 감싸고 위치하고 있다하더라도, 용어 “주변 장치(peripheral device)”는 주변 장치의 위치만이 아니라, 상기 장치의 기능까지 일컫는다. 종래에는, 메모리 셀을 포함하는 메모리 장치의 “메모리 어레이” 부분은 상기 기판, 가령 메모리 장치를 지탱하는 기판(10)의 중앙에 위치한다. 메모리 셀 어드레싱 회로와 메모리 셀 판독 회로를 포함하는 “주변 장치”는 상기 중앙 메모리 어레이 주위의 주변부에서 위치한다. 그러나 메모리 어레이 영역과 주변 장치 영역의 위치 정하기의 대안이 가능하며, 본원 발명의 태양의 범위에 속한다.
- <32> 본 발명의 태양에서, 개별 메모리 셀의 부분, 또는 전체에서 포함되는 SiC를 내포하는 반도체 기판의 탄화 부분이, 메모리 장치의 다양한 설계도로서 나타날 수 있다. 어레이에서의 각각의 개별 메모리 셀의 하나 이상의 컴포넌트가 탄화 부분 중 하나를 포함하는 것이 바람직하다. 또한, 어떠한 주변 장치도 탄화 부분을 포함하지 않는 것이 바람직하다. 그러나 이러한 바람직한 실시가 성능 보장에 대한 기회를 최적화할지라도, 그 밖의 다른 덜 바람직한 구성이 본 발명의 태양에 포함되며, 이도 역시 SiC를 반도체 물질로 삽입하에 따른 약간의 이점을 보유하고 있다.
- <33> SiC를 내포하도록 선택되어질 수 있는 대다수의 컴포넌트에서, 탄화 부분이 전도성을 띠도록 도핑될 수 있다. 반도체 기판은 다양한 구성과 조성을 가질 수 있다. 예를 들어, 반도체 기판은 단결정 실리콘을 포함할 수 있다. 상기 반도체 기판은 에피택시 실리콘을 포함할 수 있다. 반도체 기판은 벌크 실리콘 웨이퍼의 부분이거나, SOI(semiconductor-on-insulator) 구성의 부분일 수 있다.
- <34> SiC를 메모리 장치로 삽입하기 위한 다양한 기회가 주어지면, 다양한 방법이 이러한 삽입을 이루기 위해 고려될 수 있다. 필수적으로, SiC는 본원에서 설명된 이점들 중 하나로 가정되는 종래의 메모리 장치의 임의의 반도체 기판으로 삽입될 수 있다. SiC 에피택시 성장이 최근 진보함에 따라, SiC를 반도체 기판으로 삽입하기 위한 바람직한 방법이 제공된다. 반도체 기판으로 탄소를 삽입하기 위한 이온 임플랜팅, 또는 기체 확산뿐 아니라, 그 밖의 다른 방법이 SiC를 반도체 기판으로 삽입하기 위한 대안예를 제공한다.
- <35> 테트라에틸 실란(TES;  $\text{Si}(\text{C}_2\text{H}_5)_4$ )이 SiC 에피택시 성장을 위한 하나의 적합한 전구체를 구성한다. TES는 실온에서 액체이고, 종래의 상보적 금속-옥사이드-반도체(CMOS: complementary metal-oxide-semiconductor) 공정 흐름으로 쉽게 통합될 수 있다. 바람직한 SiC 속성을 획득하기 위해, 실리콘에서 약 0.2 내지 약 2.5 원자%의 탄소 농도가 적합할 수 있다. 실리콘에 약 0.5 내지 약 1.5 원자%의 탄소가 제공되는 것이 바람직하다.
- <36> 본 발명의 또 다른 태양에 따라, 메모리 장치 형성 방법은 반도체 기판을 제공하는 단계와, SiC를 내포하는 상

기 반도체 기판의 탄화 부분을 형성하는 단계와, 상기 기판 위에 메모리 셀의 어레이를 형성하는 단계와, 상기 기판 위에 메모리 셀 어드레싱 회로와 메모리 관독 회로를 포함하는 주변 장치를 형성하는 단계를 포함한다. 개별 메모리 셀의 일부, 또는 전체는 탄화 부분을 포함한다. 주변 장치의 일부, 또는 전체는 탄화 부분을 포함하지 않는다.

<37> 상기 탄화 부분을 형성하는 단계는 반도체 기판의 메모리 어레이 영역과 주변 장치 영역 위에 마스크층을 형성하는 단계와, 상기 메모리 어레이 영역 위에서 마스크층을 제거하는 단계와, 상기 메모리 어레이 영역과 접촉하여 SiC 층을 형성하는 단계를 포함한다. 상기 방법은 주변 장치 영역에 접촉하여 SiC 층을 형성하지 않는 단계와, 상기 주변 장치 영역의 위로부터 상기 마스크층을 제거하는 단계를 포함한다.

<38> 도 2는 메모리 어레이 영역(16)과 주변 장치 영역(18)을 포함하는 도 1의 기판(10)의 부분 단면도를 나타낸다. 고립부(12)가 기판(10)에 형성되고, 마스크(14)가 SiC 층이 주변부 영역(18)과 접촉하여 형성되는 것을 방지하는 목적을 갖고, 상기 고립부(12)와 주변 장치 영역(18) 위에 형성된다. 대안적으로, 마스크(14)는 주변 장치 영역(18)과 배타적으로 형성될 수 있고, 주변 장치 영역(18)과 접촉하여 SiC 층이 형성되는 것을 방지하고자 하는 목적을 여전히 갖고 있다. 실리콘 니트라이드가 하나의 가능한 적합한 마스크(14)를 구성한다.

<39> 마스크(14)를 형성한 후에, SiC 층(8), 가령 도 3의 SiC 층이 메모리 어레이 영역(16)과는 접촉하고, 주변 장치 영역(18)과는 접촉하지 않고 형성될 수 있다. 각각의 영역과의 SiC 층(8)의 선택적 접촉은, 선택적 성장, 또는 메모리 어레이 영역(16) 상으로의 SiC 층(8)의 증착에 의해, 또는 SiC 층(8)과는 별도로 주변 장치 영역(18)과 접촉하고 있는 마스크(14)를 이용하는 기판(10) 위로의 SiC 층(8)의 비-선택적 형성에 의해, 이뤄질 수 있다. SiC 층(8)은 메모리 어레이 영역(16)에 따라 추가되는 물질로서 도 3에서 나타난다. 그러나 예를 들어 이온 임플랜팅, 또는 탄소의 기체 확산에 의해, SiC 층(8)이 기판(10) 내에 형성될 수 있다. 이러한 경우, 기판(10)의 공정 높이는, SiC 층(8)의 추가되는 물질이 기판(10)의 고유 공정 높이를 증가시키는 도 3에서와 같이, 증가하지 않을 수 있다. 고립부(12)와 주변 장치 영역(18) 위로부터 SiC 층(8)의 임의의 부분에 따라 마스크(14)를 제거함에 따라, 도 3의 구조물이 제공된다.

<40> 대안적 방법으로서, 탄화 부분을 형성하는 단계는, 반도체 기판의 메모리 어레이 영역과 주변부 장치 영역에 접촉하여 SiC 층을 형성하는 단계와, 상기 주변 장치 영역으로부터 SiC 층을 제거하는 단계와, 메모리 어레이 영역의 부분, 또는 전체 상에 SiC 층을 남겨두는 단계를 포함한다. 도 4는 도 1의 기판(10)의 부분 단면도를 나타내며, 이때 SiC 층(8)이 메모리 어레이 영역(16)뿐 아니라 주변 장치 영역(18) 위에서 형성된다. SiC 층(8)은 고립부(12) 위에서 형성되지 않은 듯이 보이나, SiC 층(8)을 형성하기 위한 특정 방법에 따라 그 위에 형성될 수 있다. 주변 장치 영역(18)으로부터 SiC 층(8)을 제거함에 따라, 도 3의 구조물이 생성된다. SiC를 삽입하는 특정 장치의 예제로부터 나타난 바와 같이, SiC를 이러한 장치로 삽입하기 위한 대안적 방법이 사용될 수 있다.

<41> 반도체 기판 상의, 메모리 셀의 어레이를 포함하는 메모리 장치와 주변 장치에서, 개별 메모리 셀의 일부, 또는 전체가 평면 SiC 층을 반도체 기판 상에 내포시킬 수 있다. 상기 개별 메모리 셀은 제 1 소스/드레인과 제 2 소스/드레인 상의 제 1 소스/드레인과 제 2 소스/드레인 사이의 채널에서 SiC 층을 포함하는 트랜지스터를 가질 수 있다. 도 5는 메모리 셀의 어레이에 포함될 수 있는 트랜지스터(20)의 선택된 컴포넌트의 부분 단면도를 나타낸다. 트랜지스터(20)는 SiC 층(22)을 기판의 한 부분으로서 포함하며, 소스/드레인 영역(28)과, 소스/드레인 영역(30)과, 상기 소스/드레인 영역(28, 30) 사이의 채널(29)을 포함한다. 게이트 유전체(24)가 채널(29) 위에 형성되며, 게이트(26)가 게이트 유전체(24) 위에 형성된다. 나타난 바와 같이, 기판(10)의 SiC 층(22)은 소스/드레인 영역(28)과, 소스/드레인 영역(30)과, 채널(29)에 포함된다. 트랜지스터(20)는 또한 상기 소스/드레인 영역(28) 내에 형성되는 저장 노드 접합부(32)와, 소스/드레인 영역(30) 내에 형성되는 디지털 노드 접합부(34)를 포함한다. 특히, 저장/디지털 노드 접합부(32, 34)는 소스/드레인 영역(28, 30)의 SiC 층(22)을 포함한다.

<42> 본 발명의 또 다른 태양에서, 랜덤 액세스 메모리 장치가, 실리콘 기판과, 상기 기판 위에 위치하는 메모리 셀의 어레이와, 상기 기판 위에 위치하는 메모리 셀 어드레싱 회로와 메모리 셀 관독 회로를 포함하는 주변 장치를 포함할 수 있다. 각각의 개별 메모리 셀은 반도체 기판에서 전도성 도핑된 평면 SiC 층을 포함하고, 제 1 소스/드레인과 제 2 소스/드레인, 상기 제 1 소스/드레인 상의 제 2 소스/드레인 사이의 채널에서 SiC 층을 내포하는 트랜지스터를 포함한다. 주변 장치의 어떠한 부분도 반도체 기판에서 SiC 층을 포함하지 않는다.

<43> 본 발명의 추가적인 태양에서, 트랜지스터는 반도체 기판과, 제 1 소스/드레인, 제 2 소스/드레인, 상기 제 1 소스/드레인 상의 제 2 소스/드레인 사이에 존재하는, SiC를 내포하는 반도체 기판의 탄화 부분을 포함하는

채널과, 상기 채널의 마주보는 측부와 기능적으로 연계되어 있는 게이트를 포함한다. SiC는 특유의 방식으로 채널의 단일 측부와 기능적으로 연계되어 있는 게이트와 비교하여, 채널의 마주보는 측부들과 기능적으로 연계되어 있는 게이트를 갖는 트랜지스터의 채널 내부로 제공된다. SiC는 채널의 단일 측부 상의 게이트를 갖는 트랜지스터와 비교하여, 이러한 구조물에 특별한 이점을 부여한다.

<44> 이른바 “3-차원(3-D)” 장치, 가령 FinFET와 수직 트랜지스터(vertical transistor)가 채널의 마주보는 측부 상에 게이트를 갖는 트랜지스터의 예가 될 수 있다. 따라서 본 발명의 태양에 따르는 트랜지스터는 제 1 소스/드레인 위에 위치하는 채널과, 상기 채널 위에 위치하는 제 2 소스/드레인을 갖는 수직 트랜지스터를 포함할 수 있다. 또한, 트랜지스터는 하나의 공통 공정 높이를 공유하는, 제 1 소스/드레인과 제 2 소스/드레인과 게이트와 상기 채널을 통과하는 전류 경로 중 일부를 갖는 횡방향 트랜지스터(lateral transistor)를 포함할 수 있다.

<45> 상기 트랜지스터는 게이트와 채널 사이에서 게이트 유전체를 추가로 포함할 수 있다. 채널의 SiC이 게이트 유전체와의 경계면에 인접하는 채널 주변부에 위치하며, SiC에 의해 부분적, 또는 전체적으로 감싸지는 채널 코어(channel core) 내에는 위치하지 않는다. 상기 채널 코어는 제 1 소스/드레인에서 제 2 소스/드레인으로 뻗어 있을 수 있다. SiC는 약 50 내지 약 100옹스트롬의 두께를 가질 수 있다. 트랜지스터가 메모리 장치에 포함될 수 있다. 예를 들어, 앞서 언급된 바와 같은, 반도체 기판의 어떠한 탄화 부분도 포함하지 않는 주변 장치를 갖는 메모리 장치에 포함될 수 있다.

<46> 도 6과 7은 당업자에 의해 지느러미 형태의 채널에 의해 특징지어지는 “FinFET” 이라 일컬어질 수 있는 3-D 트랜지스터의 투시도이다. 3-D 트랜지스터(40)는 소스(42)와, 드레인(46)과, 소스(42)에서 드레인(46)까지 뻗어 있는 채널(48)을 포함한다. 채널(48) 위에 위치하는 게이트(44)는 상기 채널(48)의 마주보는 측부와 기능적으로 연계되어 있는 것처럼 나타날 수 있다. 특히, 도 6과 7은 도시 목적을 위해 3-D 트랜지스터의 선택된 컴포넌트만을 나타내며, 나머지 컴포넌트, 가령 아래 위치하는 반도체 기판과, 절연 층과, 확산 영역 등은 의도적으로 생략하였다. 또한 도 6 및 7은 3-D 트랜지스터의 예시일 뿐이며, 당업자가 알고 있는 다양한 3-D 트랜지스터기 반도체 기판 상에 형성될 수 있고, SiC을 이러한 장치의 채널로 삽입할 수 있다. 3-D 트랜지스터(40)가 반도체 기판 상에 형성되어, 횡방향 트랜지스터를 포함하고, 3-D 트랜지스터(40)의 동작에 따라, 전류 경로가 채널(48)을 통과하여 생성될 수 있다. 각각의 소스(42)와, 드레인(46)과, 게이트(44)와, 채널(48)을 통과하는 전류 경로 중 일부가 하나의 공통 공정 높이를 공유할 수 있다.

<47> 또한 도 7은 도 6의 3-D 트랜지스터를 나타내며, 이때 소스(42)가 제거되어 그 아래에 위치하는 구조물의 세부 사항이 드러난다. 특히, 3-D 트랜지스터(40)는 게이트(44)와 채널(48) 사이의 게이트 유전체(52)를 포함한다. SiC 물질(50)이 게이트 유전체(52)와의 경계면에 인접한 채널 주변부 내에 제공되나, SiC 물질(50)에 의해 부분적, 또는 전체적으로 감싸여지는 채널 코어 내에는 위치하지 않는다. 상기 채널 코어는 소스(42)로부터 드레인(46)까지 뻗어 있다.

<48> SiC를 실리콘 기판으로 삽입하는 것에 관한 한 가지 문제점은, SiC와 Si의 경계부에서의 잠재적 스트레스와 양립할 수 없는 성질이 결함을 초래할 수 있으며, 그에 따라 누설 전류가 초래된다는 것이다. 이와 같은 누설 전류는, 상기 결함이 소스/드레인 공핍 영역에서 존재할 때, 더욱 명백해진다. 당업자가 알고 있는 바와 같이, 3-D 트랜지스터(40)에서, 소스/드레인 공핍 영역은 소스(42) 및 드레인(46)과 채널(48)의 경계부 주위에서 위치할 수 있다. 도 7에서 소스(42)가 제거됨에 따라, 소스 공핍 영역이 형성할 수 있는 채널(48)의 부분이 명확하게 나타난다. 당업자가 알고 있는 바와 같이, 소스 공핍 영역의 한 부분은, 임의의 적용된 바이어스에 의해 결정되는 거리만큼, 채널(48)/소스(42) 경계부에서부터 채널(48)까지 뻗어 있다. 소스 공핍 영역의 또 다른 부분은, 임의의 적용되는 바이어스에 의해 결정되는 거리만큼, 채널(48)/소스(42) 경계부로부터 소스(42)로 뻗어 있다. 종래에는, 상기 공핍 영역이 채널(48)과 소스(42)로 약 100옹스트롬 내지 약 800옹스트롬만큼 뻗어 있으며, 총 길이는 약 20옹스트롬 내지 약 1600옹스트롬이다.

<49> 공핍 영역은 SiC을 포함하지 않는 주변부 SiC 물질(50)과 채널(48)의 채널 코어 간의 경계부에서의 대부분의 결함(존재할 경우)으로부터 충분히 멀리 떨어져 존재하여, 발생된 임의의 결함이 덜 중요할 수 있다. 소스(42), 또는 드레인(46) 근처의 채널(48)의 단부에서의 주변부 SiC 물질(50)의 작은 부분은 공핍 영역 내에 존재할 수 있다. 그러나 소스(42)와 드레인(46) 사이의 채널(48)의 길이를 따라 뻗어 있는 주변부 SiC 물질(50)의 벌크는 공핍 영역내에 존재하지 않는 것이 바람직하다. 따라서 SiC의 삽입이 SiC/Si 경계부에서 결함을 생성하는 환경에서라도, 도 6 및 7에서 나타난 구성에 의해 SiC 함유 채널의 이점이 여전히 제공될 수 있다.

<50> 도 8 및 9는 횡방향이 아닌 수직 방향을 향하고 있는 3-D 트랜지스터(60)의 투시도를 나타낸다. 도 8 및 9는 앞



서 3-D 트랜지스터(40)에 관련하여 설명한 바와 같이 도시 목적을 위해, 통상적인 3-D 트랜지스터의 선택된 컴포넌트만을 포함하고 있다. 예를 들어, 3-D 트랜지스터(60)의 전체 구성은 도 8 및 9에서와 같이 원통형일 필요가 없다. 또한, 선택된 컴포넌트, 가령 소스/드레인 및 채널은, 분리되는 컴포넌트 대신, 아래 위치하는 반도체 기판 내에서 형성되는 집적된 컴포넌트일 수 있다. 3-D 트랜지스터(60)는 드레인(66) 위에 위치하는 채널(68)과, 채널(68) 위에 위치하는 소스(62)를 포함한다. 게이트(64)는 채널(68)의 마주보는 측부들과 기능적으로 연계되어 있다. 도 9에서는 소스(62)가 제거되어 채널(68)의 특정 구조물이 드러날 수 있다.

<51> 3-D 트랜지스터(40)의 채널(48)과의 유사성이 나타난다. 예를 들어, 게이트 유전체(72)는 게이트(64)와 채널(68) 사이에서 제공된다. SiC 물질(70)이 게이트 유전체(72)와 채널(68) 간의 경계부와 인접한 채널(68)의 주변부 내에서 위치한다. SiC 물질(70)은 SiC 물질(70)에 의해 부분, 또는 전체적으로 감싸여 있는 채널(68)의 코어 내에 위치하지 않는다. 상기 채널 코어는 소스(62)에서 드레인(66)까지 뻗어 있다. 또한, SiC 물질(70)의 벌크는 소스/드레인 공핍 영역을 갖지 않는다.

<52> 도 6-9의 3-D 트랜지스터(40, 60)는, 본원에서 설명되는 방법과 조화되어, SiC가 이러한 장치의 채널에 포함될 수 있다는 것을 제외하고, 임의의 종래 방법에 따라 생성되거나 수정될 수 있다. 종래의 조립 방법의 수정이 SiC의 삽입을 적응시키도록 기대된다.

<53> 본 발명의 또 다른 태양에서, 트랜지스터는 반도체 기판과, 제 1 소스/드레인과, 제 2 소스/드레인과, 상기 제 1 소스/드레인과 제 2 소스/드레인 사이에서, 상기 반도체 기판으로 오목하게 형성되는 게이트를 포함한다. SiC를 내포하는 반도체 기판의 탄화 부분을 포함하는 채널이 게이트의 마주보는 측부와 기능적으로 연계되어 있다. 예를 들어, 게이트 유전체가 상기 게이트와 상기 채널 사이에 위치할 수 있으며, 이때, 채널의 SiC는 상기 게이트 유전체와의 경계부에 인접한 채널 주변부 내에서 위치한다. 상기 SiC는 약 50옹스트롬 내지 100옹스트롬의 두께를 가질 수 있다.

<54> 도 12는 메모리 셀 내부에 포함될 수 있는 트랜지스터(120)를 나타낸다. 트랜지스터(120)는 반도체 기판(122)과 상기 기판(122) 내에 형성되는 소스/드레인 영역(128)의 한 부분으로서의 SiC 층(130)을 포함한다. 게이트 유전체(124)가 SiC 층(130) 위에 형성되고, 게이트(126)가 게이트 유전체(124) 위에 형성된다. 게이트(126)는 기판(122)에서 형성된 오목부 내에 위치하기 때문에, “오목형 게이트”라고 일컬어진다. 트랜지스터 채널은 기판(122)을 통과하는 소스/드레인 영역(128) 상이에서 뻗어 있고, SiC 층(130)을 포함한다. SiC 층(130)은 또한 소스/드레인 영역(128)에 포함된다. 오목형 게이트(126)를 갖는 트랜지스터(120)가, 게이트의 마주보는 측부와 기능적으로 연계되어 있는 SiC 함유 채널을 갖는 구조물의 한 예를 나타낸다.

<55> 오목형 게이트 장치의 한 가지 이점은, 주어진 특징부 영역에 대해 더 긴 게이트 길이를 제공한다는 것이다. 동일한 특징부 내에서 일반적인 평면 게이트는 더 짧은 게이트 길이를 가질 수 있다. 종래 기술에서는, <100> 결정 배향을 나타내는 단결정 실리콘 표면 상에서, 트랜지스터가 게이트 유전체와 함께 형성된다. 당업자가 알고 있는 바와 같이, <100> 실리콘 상에서 게이트 유전체를 형성함에 따라, 트랜지스터의 경계부의 전하 밀도가 감소된다. 오목형 게이트를 이용하여, <100> 평면과 평행하도록 생성되는 오목부의 벽의 작은 부분만이 <100> 배향을 가질 것이다. 대신, 오목부의 벽은 <110>일 수 있으며, 그 형태에 따라 달라지는 그 밖의 다른 배향일 수 있다. 따라서 증가되는 경계부의 전하 밀도에 의해, 오목형 게이트 장치가 도출될 수 있다. 바람직하게, 상기 SiC 물질 속성으로 인하여, 본 발명의 태양에 따르는 SiC-함유 채널이, 다른 증가하는 경계부 전하 밀도를 경감시킬 수 있다.

<56> 본 발명의 또 다른 태양에서, 메모리 셀은 반도체 기판과, 상기 반도체 기판 내의 제 1 트랜지스터 소스/드레인 영역과, 상기 반도체 기판내의 제 2 트랜지스터 소스/드레인 영역과, 상기 제 1 소스/드레인 영역과 제 2 소스/드레인 영역 사이에 위치하는 SiC를 포함하지 않는 트랜지스터 채널을 포함한다. 저장 노드 접합부가 상기 제 1 소스/드레인 영역 상에 위치하고, 디지털 노드 접합부가 상기 제 2 소스/드레인 영역 상에 위치한다. 상기 저장 노드 접합부, 또는 디지털 노드 접합부가 SiC를 포함하는 반도체 기판의 탄화 부분을 포함한다. 예를 들어, 저장 노드 접합부가 SiC를 포함할 경우, SiC는 약 200옹스트롬 내지 500옹스트롬의 두께를 갖는다. 상기 디지털 노드 접합부가 SiC를 포함할 경우, 상기 SiC는 약 50옹스트롬 내지 약 150옹스트롬의 두께를 갖는다. SiC를 포함하는 상기 저장, 또는 디지털 노드 접합부는 각각의 소스/드레인 영역의 에피택시 실리콘 상에 위치할 수 있다. 상기 에피택시 실리콘은, 상승된 소스/드레인 구성, 또는 그 밖의 다른 구성에서와 마찬가지로, 채널 위에 형성될 수 있다.

<57> 도 10은 메모리 셀에 포함될 수 있는 트랜지스터(80)를 나타낸다. 트랜지스터(80)는 반도체 기판(78)과, 상기 기판(78)내에 형성되는 소스/드레인 영역(88)과, 상기 기판(78) 내에 형성되는 소스/드레인 영역(90)과, 상기

소스/드레인 영역(88)과 소스/드레인 영역(90) 사이에 위치하는, SiC를 포함하지 않는 트랜지스터 채널(89)을 포함한다. 저장 노드 접합부(94)는 소스/드레인 영역(90) 상에 위치하고, 디지털 노드 접합부(94)는 소스/드레인 영역(88) 상에 위치한다. 특히, 저장 노드 접합부(92)가 소스/드레인 영역(90) 내에서 SiC 층(82)을 포함한다. 디지털 노드 접합부(94)가 소스/드레인 영역(88) 내에서 SiC 층(83)을 포함한다. SiC 층(82)과 SiC 층(83)의 두께의 상대적 비교에 의해, 저장 노드 접합부(92)의 SiC는 디지털 노드 접합부(94)의 SiC보다 더 큰 두께를 갖는다. 이러한 두께의 차이가, 디지털 노드에 비교하여, 저장 노드에서 더 깊은 접합부에 대한 일반적인 선호가 수용된다. 게이트 유전체(84)가 채널(89) 위에 형성되며, 게이트(86)가 게이트 유전체(84) 위에 형성된다.

<58> 도 11은 메모리 셀에 포함되며, 도 10의 트랜지스터(80)를 참조하여 앞서 언급된 바와 유사한 특징부를 포함하는 트랜지스터(100)를 나타내며, 이때, 유사한 참조번호는 유사한 컴포넌트를 명시한다. 트랜지스터(100)는 SiC를 포함하는 저장/디지털 노드 접합부(98)를 포함하는 상승된 소스/드레인 (96)을 포함한다. 스페이서(102)가 상승된 소스/드레인(96)을 게이트(86)로부터 분리한다. 트랜지스터의 종래의 특정 구성이 채널 위의 공정 높이까지의 실리콘의 에피택시 성장을 통한, 상승된 소스/드레인을 제공한다. SiC의 에피택시 성장 기법의 최근의 진보가 주어지면, 상승된 소스/드레인을 위해, 이러한 에피택시 성장이 실리콘의 에피택시 성장과 조합될 수 있다. 에피택시 실리콘의 요망 높이에 도달하면, 추가적인 성장이 상기 상승된 소스/드레인으로 SiC를 제공하도록 성장 공정의 공정 환경은 변할 수 있다.

<59> 앞서 논의된 바와 같이, 접합부 누설을 감소시키기 위해, 저장/디지털 노드 접합부로 SiC를 제공하는 바람직한 태양이, SiC를 포함하는 채널의 마주보는 측부 상에 게이트를 갖는 트랜지스터(가령 3-D 트랜지스터)에게 적절할 수 있다. 이와 유사하게, SiC가 포함되는 저장/디지털 노드 접합부가, 반도체 기관의 탄화 부분을 포함하는 메모리 셀의 어레이를 갖는 메모리 장치와, 반도체 기관의 탄화 부분을 전혀 포함하지 않는 주변 장치로 포함될 수 있다.

<60> SiC를 저장/디지털 노드 접합부로 삽입하기 위한 당업자가 알고 있는 공정 환경 및 방법에 따라, 소스/드레인 영역의 SiC와 Si의 경계부에서 결함이 생성될 수 있다. 따라서 이러한 결함에 의해, 저장/디지털 노드 접합부에서 접합부 누설이 감소되는 이점이 상쇄되어 버릴 수 있다. 마찬가지로, SiC 포함 채널에 유효한 성능 보장의 이점을 취하지 않는 구성은 덜 바람직하다. 그러나 본 발명의 다양한 태양에 의해 포함되는 바와 같이, 이러한 실시예들이 본원에서 제공된다.

<61> 노드 접합부에서 SiC를 제공함에 따른 가능한 단점으로는, 증가하는 결함 빈도, 결함이 제어되지 않을 경우의 더 높은 누설 전류, SiC를 집적함에 따른 일부 추가되는 공정의 복잡도가 있다. 한편 가능한 이점으로는 결함이 제어되거나 그 위치가 최적화될 경우의 감소된 접합부 누설과, SiC에서 탄소가 존재할 때 더 적은 도펀트 확산에 따른 더 얇아지는 접합부 깊이가 있다. 얇은 접합부 깊이는 소스/드레인 영역에서 하한-임계 누설을 제어하기 위해 매우 바람직한 개선이다.

<62> 채널에서 SiC를 제공하는 것의 가능한 이점으로는, 누설 전류의 감소, 더 감소되는 드레인-유발 장벽 감소(DIBL: Drain-Induced Barrier Lowering), 높은 바이어스 번인 조건(높은 온도, 높은 전기장)의 수용, 낮은 전력 DRAM의 임계 전압을 감소시키는 능력, 액세스 장치의 추가적인 스케일링이 있다. 당업자가 알고 있는 바와 같이, DIBL은 드레인 바이어스를 증가시키는 것에 관련하여 소스 투입 장벽(source injection barrier)을 감소시키는 것을 일컬으며, 이는 더 많은 누설을 초래하며 바람직하지 않다. SiC 포함 채널은 드레인 바이어스 상에서 소스 투입 장벽의 의존도를 감소시킴으로써, DIBL을 감소시킬 수 있다. 높은 드레인 바이어스에서, SiC가 결핍되어 있는 채널과 비교하여, 상기 소스 투입 장벽은 명확하게 감소되지 않는다.

<63> 누설 전류를 감소시킴에 따라, 다양한 이점이 제공될 수 있고, 그 중 하나는 저-파워 적용예, 가령 DRAM을 위해 임계 전압( $V_t$ )과 게이트-소스 전압( $V_{gs}$ )을 낮출 수 있게 허용하는 것이다. 당업자가 알고 있는 바와 같이, 전력 소모를 감소시키는  $V_t$  및  $V_{gs}$ 를 낮추는 노력은 높은 누설 전류에 의해 제한된다. 따라서 본 발명의 태양에 따라서는 SiC 포함 채널을 사용함으로써, 누설 전류가 감소될 경우, 저전력 DRAM에 대해  $V_t$ 와  $V_{gs}$ 가 낮아질 수 있다.

<64> 도 13은 본 발명의 태양에 따르는 컴퓨터 시스템(400)의 실시예를 도식한다(그러나 제한받지 않음). 컴퓨터 시스템(400)은 모니터(401)(또는 그 밖의 다른 통신 출력 장치)와, 키보드(402)(또는 그 밖의 다른 통신 입력 장치)와, 마더보드(404)를 포함한다. 마더보드(404)는 마이크로프로세서(406)(또는 그 밖의 다른 데이터 처리 유닛)와, 하나 이상의 메모리 장치(408)를 지니고 있다. 메모리 장치(408)는 본 발명의 다양한 태양을 포함할 수 있다. 메모리 장치(408)는 메모리 셀의 어레이를 포함할 수 있으며, 이러한 어레이는 어레이의 개별 메모리 셀

을 액세스하기 위한 어드레싱 회로와 연결되어 있다. 추가로, 메모리 셀 어레이는 메모리 셀로부터 데이터를 판독하기 위한 판독 회로에 연결되어 있을 수 있다. 상기 어드레싱 회로와 판독 회로는 메모리 장치(408)와 프로세서(406) 사이에서 정보를 운반하기 위해 사용될 수 있다. 이는 도 14에서 나타난 마더보드(404)의 블록 다이어그램에 나타나 있다. 이러한 블록 다이어그램에서, 어드레싱 회로는 참조번호(410)로 나타나며, 판독 회로는 참조번호(412)로 나타난다.

<65> 본 발명의 특정 태양에서, 메모리 장치(408)는 메모리 모듈에 대응할 수 있다. 예를 들어, 본 발명의 방법을 사용하는 구현예에서, SIMM(Single In-line Memory Module)과 DIMM(Dual In-line Memory Module)이 사용될 수 있다. 메모리 장치가 장치의 메모리 셀로부터 판독하고 셀에 기록하는 여러 다른 방법을 제공하는 다양한 설계안 중 임의의 하나로 사용될 수 있다. 이러한 하나의 방법이 페이지 모드 작업이다. DRAM에서의 페이지 모드 작업은 메모리 셀 어레이의 로우(row)를 액세스하고, 상기 어레이의 여러 다른 컬럼(column)을 랜덤하게 액세스하는 방법에 의해 이뤄진다. 로우와 컬럼의 교차점에서 저장되는 데이터는, 해당 컬럼이 액세스되는 동안 판독되고 출력될 수 있다.

<66> 대안이 되는 장치로는, 어드레싱된 컬럼이 폐쇄된 후의 출력으로서 메모리 어레이 어드레스에서 저장되는 데이터가 활용될 수 있게 하는 확장 데이터 출력(EDO) 메모리가 있다. 이러한 메모리는 메모리 출력 데이터가 메모리 버스 상에서 유효한 시간의 감소 없이 액세스 신호를 더 짧게함으로써, 통신 속도를 증가시킬 수 있다. 그 밖의 다른 대안적인 장치로는, SDRAM, DDR SDRAM, SLDRAM, VRAM, 다이렉트 RDRAM 뿐 아니라, SRAM, 또는 플래시 메모리가 있다.

<67> 도 15는 본 발명의 바람직한 전자 시스템(700)의 다양한 실시예의 하이-레벨 구성의 단순화된 블록 다이어그램을 도식하고 있다. 시스템(700)은 예를 들어, 컴퓨터 시스템, 또는 프로세서 제어 시스템, 또는 프로세서와 그에 연계된 메모리를 사용하는 그 밖의 다른 시스템에 대응할 수 있다. 전자 시스템(700)이 기능적 요소를 가지며, 그 예로는 프로세서, 즉, ALU(arithmetic/logic unit)(702), 제어 유닛(704), 메모리 장치 유닛(706), 입/출력(I/O)장치(708)가 있다. 일반적으로 전자 시스템(700)은 프로세서(702)에 의해 데이터 상에서 수행될 작업과, 프로세서(702)와 메모리 장치 유닛(706)과 I/O 장치(708) 사이의 그 밖의 다른 상호 작용을 특징하는 명령어의 원시 세트를 갖는다. 명령어를 메모리 장치(706)로부터 페칭(fetching)되고 실행되도록 하는 작업들의 세트를 연속적으로 순환시킴으로써, 상기 제어 유닛(704)이 프로세서(702)와, 메모리 장치(706)와, I/O 장치(708)의 모든 작업을 조화시킨다. 다양한 실시예에서, 메모리 장치(706)로는, RAM 장치, ROM 장치, 플로피 디스크 드라이브와 CD-ROM 드라이브 같은 주변 장치를 포함한다(그러나 제한받지 않음). 본 발명의 다양한 태양에 따라, 본원을 읽고 이해하는 당업자라면, DRAM 셀을 포함하도록 전기 컴포넌트가 조립될 수 있음을 이해할 것이다.

<68> 도 16은 바람직한 전자 시스템(800)의 다양한 실시예의 하이-레벨 구성의 단순화된 블록 다이어그램이다. 시스템(800)은, 메모리 셀의 어레이(804)와, 어드레스 디코더(806)와, 로우 액세스 회로(row access circuitry)(808)와, 컬럼 액세스 회로(column access circuitry)(810)와, 작업을 제어하기 위한 판독/기록 제어 회로(812)와, 입력/출력 회로(814)를 갖는 메모리 장치(802)를 포함한다. 상기 메모리 장치(802)는 전력 회로(816)와, 메모리 셀이 하한-임계 전도성 상태에 있는지, 상한-임계 비-전도성 상태에 있는지를 판단하기 위한 전류 센서 같은 센서(820)를 추가로 포함한다. 도식된 전력 회로(816)는 전력 공급 회로(880)와, 기준 전압을 제공하는 회로(882)와, 펄스를 갖는 제 1 워드라인을 제공하는 회로(884)와, 펄스를 갖는 제 2 워드라인을 제공하는 회로(886)와, 펄스를 갖는 비트라인을 제공하는 회로(888)를 포함한다. 시스템(800)은 프로세서(822), 또는 메모리 액세스를 위한 메모리 제어기를 포함한다.

<69> 상기 메모리 장치(802)는 와이어링(wiring), 또는 금속 라인을 통해, 프로세서(822)로부터의 제어 신호(824)를 수신한다. 상기 메모리 장치(802)가 사용되어, I/O 라인을 통해 액세스되는 데이터를 저장할 수 있다. 추가적인 회로와 제어 신호가 제공될 수 있고, 본 발명에 초점 맞추기 위해 메모리 장치(802)가 단순화되었음이 당업자에겐 자명할 것이다. 프로세서(822), 또는 메모리 장치(802) 중 하나 이상은 앞서 언급된 종류의 메모리 장치에 캐패시터 구조물을 포함시킬 수 있다.

<70> 본원의 다양한 시스템은 본 발명의 회로 및 구조의 다양한 응용의 일반적인 이해를 제공하기 위함이며, 본 발명의 태양에 따르는 메모리 셀을 사용하는 전자 시스템의 모든 요소 및 특징부의 완전한 설명을 위한 것이 아니다. 다양한 전자 시스템이 단일 패키지 프로세싱 유닛, 또는 단일 반도체 칩에서 조립되어, 프로세서와 상기 메모리 장치 간의 통신 시간이 감소될 수 있음이 당업자에게는 자명할 것이다.

<71> 메모리 셀의 응용예로는, 메모리 모듈, 장치 드라이버, 전력 모듈, 통신 모듈, 프로세서 모듈, 애플리케이션-특

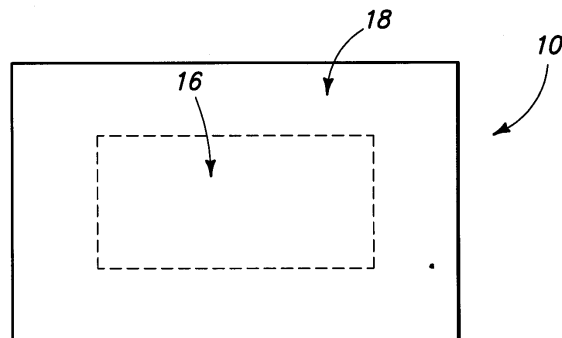
정 모듈로 사용되는 전자 시스템이 있고, 다-층, 다-칩 모듈을 포함할 수 있다. 이러한 회로는 다양한 전자 시스템, 가령 시계, TV, 셀 폰, 개인용 컴퓨터, 자동차, 산업 제어 시스템, 항공기 등의 구성요소일 수 있다.

### 도면의 간단한 설명

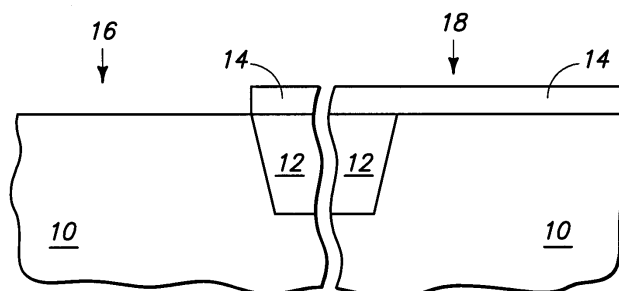
- <8> 도 1은 반도체 기관의 평면도이다.
- <9> 도 2는 본 발명의 하나의 태양에 따르는 초기 공정 단계에서, 도 1의 기관의 부분 단면도이다.
- <10> 도 3은 도 2 기관의 이어지는 공정 단계에서의 부분 단면도이다.
- <11> 도 4는 본 발명의 또 다른 태양에 따르는 초기 공정 단계에서 도 1 기관의 부분 단면도이다.
- <12> 도 5는 본 발명의 하나의 태양에 따르는 SiC가 내포된 트랜지스터의 부분 단면도이다.
- <13> 도 6 및 7은 본 발명의 또 다른 태양에 따르는 SiC가 내포된 트랜지스터의 부분 투시도이다.
- <14> 도 8 및 9는 본 발명의 또 다른 태양에 따르는 SiC가 내포된 트랜지스터의 부분 투시도이다.
- <15> 도 10은 본 발명의 또 다른 태양에 따르는 SiC가 내포된 트랜지스터의 부분 단면도이다.
- <16> 도 11은 본 발명의 또 다른 태양에 따르는 SiC가 내포된 트랜지스터의 부분 단면도이다.
- <17> 도 12는 본 발명의 또 다른 태양에 따르는 SiC가 내포된 트랜지스터의 부분 단면도이다.
- <18> 도 13은 본 발명의 바람직한 적용예를 나타내는 컴퓨터의 도면이다.
- <19> 도 14는 도 13의 컴퓨터의 마더보드의 특정 특징부를 도시한 블록 다이어그램이다.
- <20> 도 15는 본 발명의 바람직한 태양에 따르는 전자 시스템의 하이레벨 블록 다이어그램이다.
- <21> 도 16은 본 발명의 태양에 따르는 바람직한 메모리 장치의 단순화된 블록 다이어그램이다.

### 도면

도면1

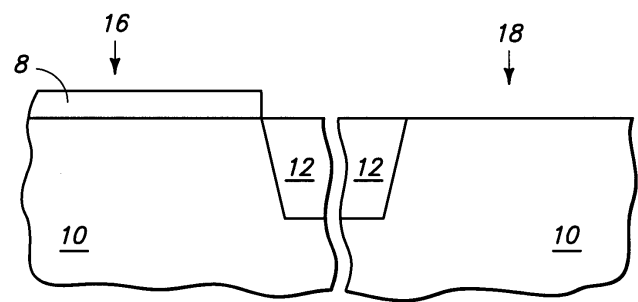


도면2

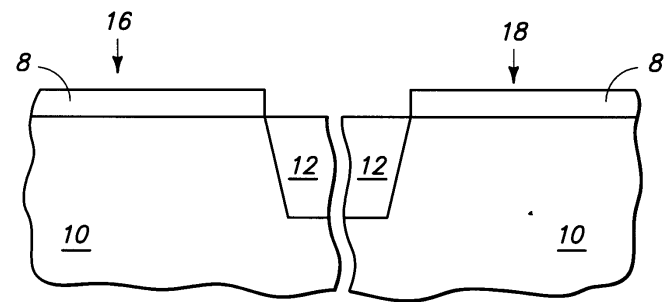




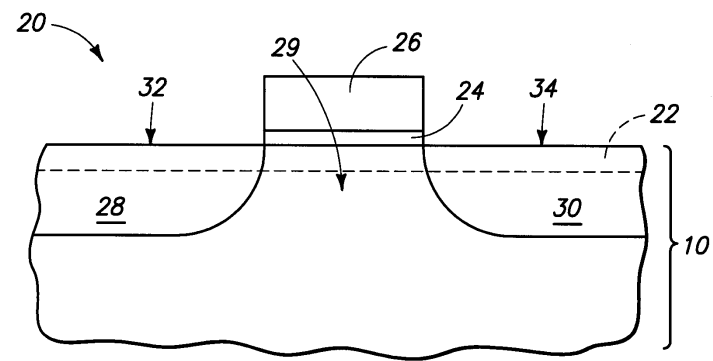
도면3



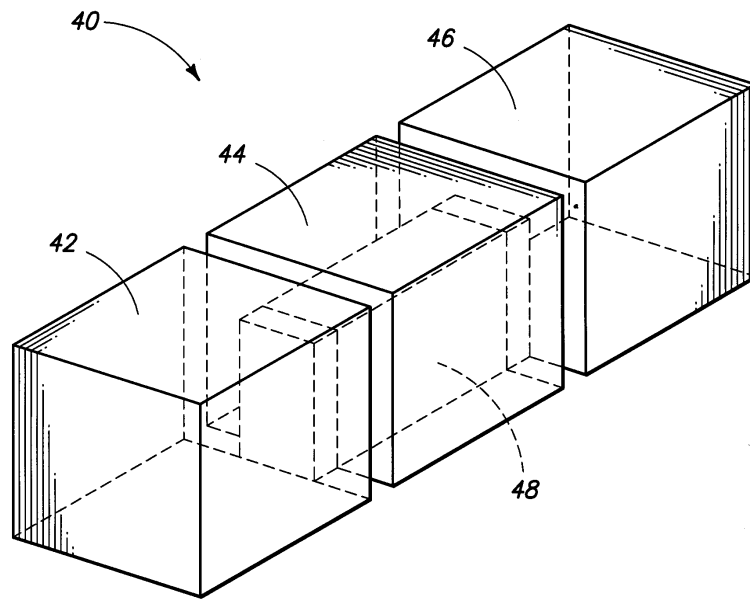
도면4



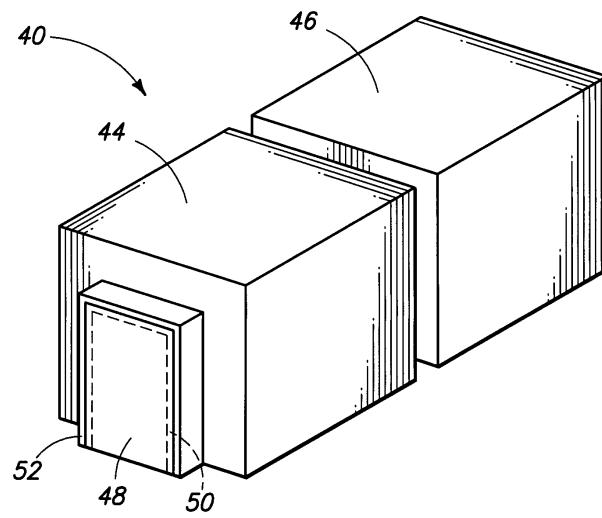
도면5



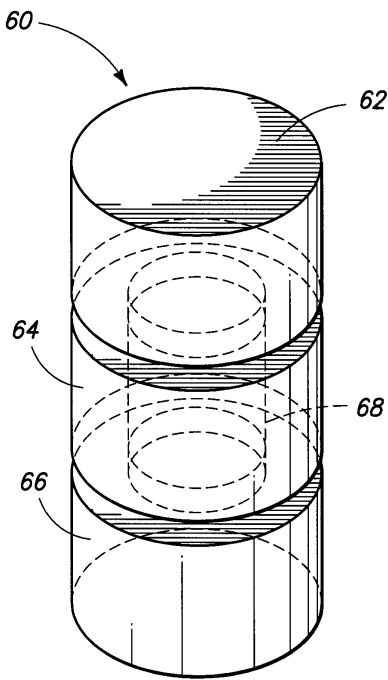
도면6



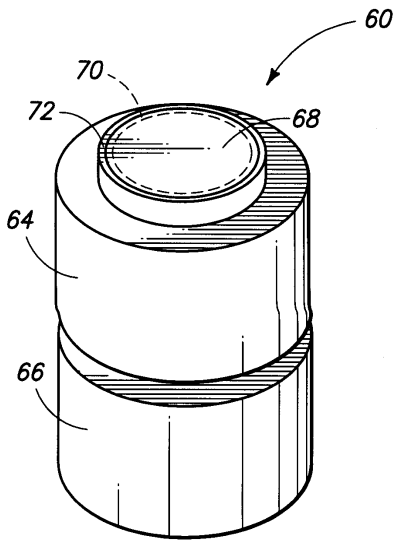
도면7



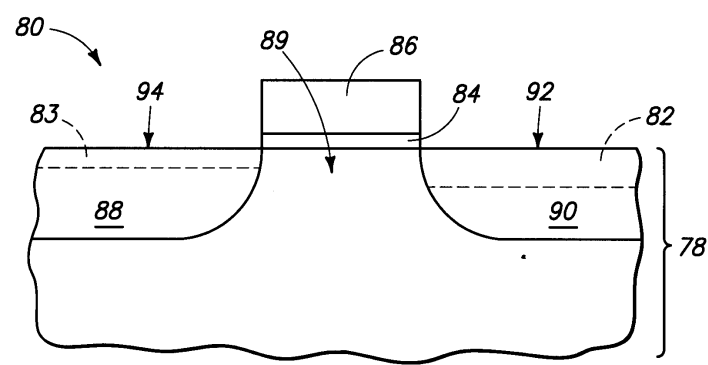
도면8



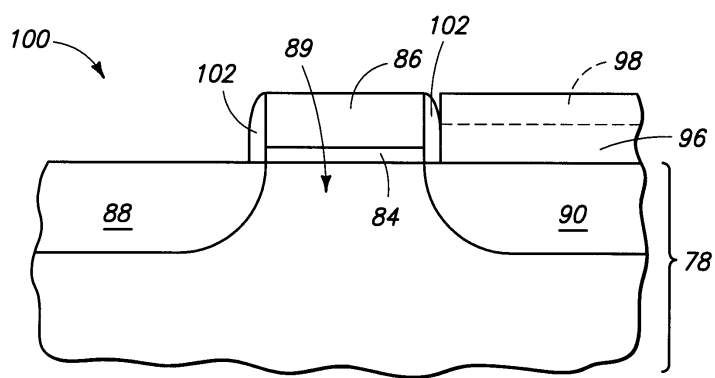
도면9



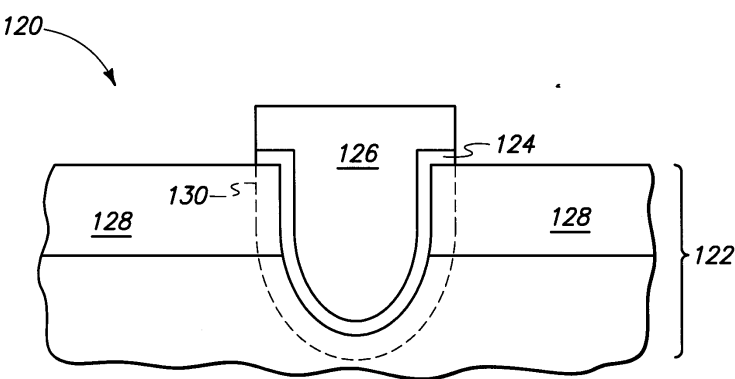
도면10



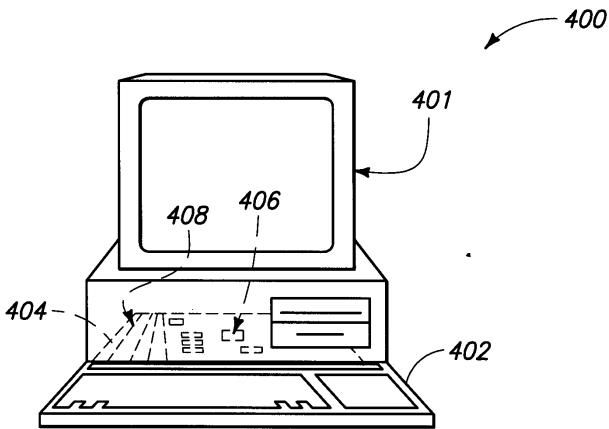
도면11



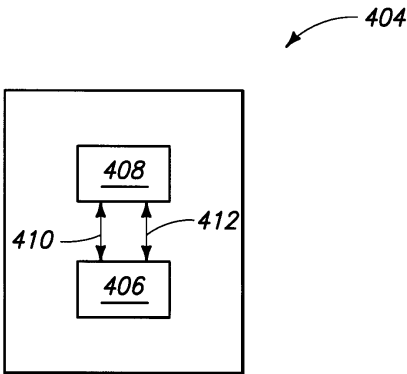
도면12



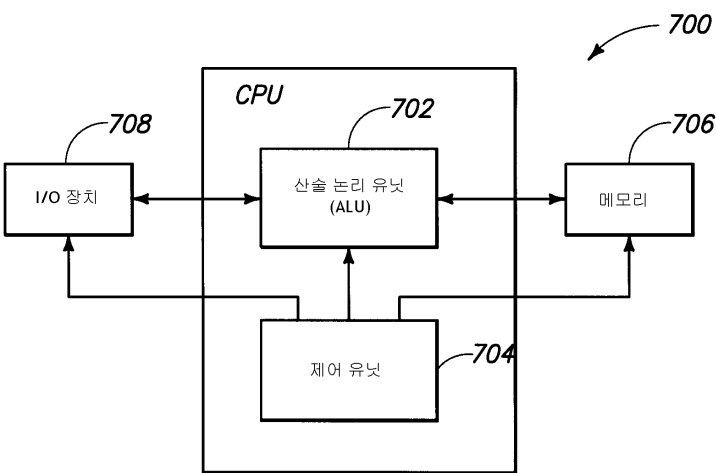
도면13



도면14



도면15



도면16

