(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4630432号
(P4630432)
(45)発行日　平成23年2月9日(2011.2.9)　(24)登録日　平成22年11月19日(2010.11.19)

(51)Int.Cl.　　F I
H01L 27/146 (2006.01)　　H01L 27/14　C
H04N 5/374 (2011.01)　　H04N 5/335　740

請求項の数 3　(全 11 頁)

(21)出願番号　特願2000-241568(P2000-241568)
(22)出願日　平成12年8月9日(2000.8.9)
(65)公開番号　特開2002-57313(P2002-57313A)
(43)公開日　平成14年2月22日(2002.2.22)
審査請求日　平成19年8月9日(2007.8.9)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(74)代理人　100130409
弁理士　下山　治
(74)代理人　100134175
弁理士　永川　行光

最終頁に続く

(54)【発明の名称】光電変換装置

(57)【特許請求の範囲】
【請求項１】
基板上に光電変換素子と薄膜トランジスタとの組がマトリクス状に複数配列され、
行方向の複数の前記薄膜トランジスタのゲート電極に電気的に接続されたゲート線が列方向に複数配列され、
列方向の複数の前記薄膜トランジスタのソース及びドレイン電極のうちの一方の電極に電気的に接続された信号線が行方向に複数配列され、
前記光電変換素子の一方の電極に電気的に接続された共通電極バイアス線を有し、
前記光電変換素子の他方の電極が、前記薄膜トランジスタの前記ソース及びドレイン電極のうちの他方の電極に電気的に接続され、
前記ゲート線が、バイアス電圧印加手段が電気的に接続された側の一方の端部と、半導体層による抵抗と金属配線による抵抗とを介して定電位手段が電気的に接続された側の他方の端部とを有する光電変換装置であって、
前記ゲート線の配線抵抗をRv_g、前記半導体層による抵抗をRn、前記金属配線による抵抗をRm、複数の前記ゲート線のうち所定のゲート線に接続された前記薄膜トランジスタをオン状態とする際に前記バイアス電圧印加手段が前記所定のゲート線に印加するバイアス電圧をVgH、前記複数のゲート線のうち前記所定のゲート線とは異なる他のゲート線に接続された前記薄膜トランジスタをオフ状態とする際に前記バイアス電圧印加手段が前記他のゲート線に印加するバイアス電圧をVgL、前記薄膜トランジスタに十分な転送効率を与えるバイアス電圧の最小値をVg on、前記薄膜トランジスタのスレッシュホール

ド電圧をＶth、及び前記定電位手段の電位を零電位とした場合に、
　$VgH-Rv_g(VgH-VgL)/2(Rv_g+Rn)>(Vg\ on)$
　$VgH-Rv_g\cdot VgH/(Rv_g+Rn+Rm)>(Vg\ on)$
　$VgL+Rv_g(VgH-VgL)/2(Rv_g+Rn)<Vth$
　$VgL+Rv_g\cdot(-VgL)/(Rv_g+Rn+Rm)<Vth$
を満たし、
　前記共通電極バイアス線は、半導体層による抵抗を介して前記金属配線に接続されることを特徴とする光電変換装置。
【請求項２】
　前記基板はスライスされて複数枚貼り合わせられるとともに、
　前記金属配線は、前記基板のスライス辺に沿って配置されることを特徴とする請求項１記載の光電変換装置。
【請求項３】
　前記半導体層は、前記薄膜トランジスタ及び前記光電変換素子を構成する半導体層と同一の層で形成されていることを特徴とする請求項２記載の光電変換装置。
【発明の詳細な説明】
【０００１】
【発明が属する技術分野】
本発明は、ＴＦＴを用いた光電変換装置に関する。
【０００２】
【従来の技術】
薄膜トランジスタ（ＴＦＴ）を用いたパネルの大画面化が急速に進んでいる。ＴＦＴを用いた液晶パネルの製造技術の発展や、光電変換素子を有するエリアセンサーの各分野への利用（例えばＸ線撮像装置）の進展によるものである。又、その大画面化の流れとともに、パターンピッチの微細化が進んでいる。
【０００３】
この大画面化とパターンピッチの微細化の流れに伴い、パネル製造工程における歩留まりの低下がおこっている。その原因として、次のようなことが考えられる。
【０００４】
まず、パネルの大画面化が進むにつれて、パネルあたりの配線距離が増加し、断線確率が上がったことである。
【０００５】
又、パネルの微細化が進むにつれて、パネルあたりのＴＦＴや配線クロス部の面積が増加し、上下の金属配線間のショート確率が上がったことである。又、開口率をアップさせるためには、配線幅を細くし、膜厚を上昇させる必要があるため、微細なパターン露光と配線エッチング技術とが要求され、このことが、配線の断線確率を更に上げる要因となっている。
【０００６】
更に、静電気放電（ＥＳＤ）によるものがある。これは、パネルサイズの大画面化によって、パネルとの接触部の面積が大きくなり、静電気の発生量が増加し、不良発生確率が上がったことである。
【０００７】
歩留まりの向上を確保するには、上記技術課題を解決することが必要である。
【０００８】
図２は、従来の光電変換装置を構成する光電変換素子パネル及びその周辺回路の等価回路図である。
【０００９】
　この光電変換素子パネル６では、ゲートドライバ１３の各ドライバ（Ｄｒ１～Ｄｒ４）から複数のVg線（Ｃｒ配線からなるゲート線）４に印加されるバイアス電圧により、マトリックス状に配置された複数のＴＦＴ１（t11～tm4）が駆動される。また、ソースドラ

イバ（信号処理回路）１１から送られる信号が、複数の信号線（Ａｌ配線）５を通じて、各ＴＦＴ１と対になる、光電変換素子となるコンデンサ２（c11～cm4）へ転送され、すべてのマトリックス素子に信号が伝えられる。そして、複数のＶs線（Ａｌ配線からなる共通電極バイアス線）３に接続された複数のコンデンサ２（c11～m4）の第２電極に蓄積された電子が除去されて、この光電変換素子パネル６は駆動される。

【００１０】

【発明が解決しようとする課題】

しかしながら、この光電変換素子パネル６において、図２に示した断線箇所であるＡ部のようなVg線４に断線が発生した際には、コンデンサ２（c33～cm3）から信号を呼び出すためのＴＦＴ（t33～tm3）を駆動させるVg線４が、Vg線４へ電圧を印加するゲートドライバ１３から分離されて欠陥となり、いわゆるライン欠陥が発生する。

【００１１】

通常、このライン欠陥が発生した部分には、隣接する光電変換素子によって、画像補正がかけられる。しかし、駆動バイアス電圧を与えるべきVg線が電気的に浮遊状態（フローティング）となってしまうため、隣接する光電変換素子がライン欠陥部のクロストークを受けて、画像問題を引き起こしてしまう。その結果、ライン欠陥部の画像補正を行う隣接光電変換素子が特性エラーを起こしてしまい、完全な画像補正が行えず、不良品となって歩留まりの低下を招いていた。

【００１２】

そこで、本発明は、光電変換素子パネルに配置されたＴＦＴを駆動させるVg線が途中で断線しても、その断線によってフローティング電位になってしまうVg線が原因のクロストークを防止することを課題としている。

【００１３】

【課題を解決するための手段】

上記課題を解決するための本発明は、基板上に光電変換素子と薄膜トランジスタとの組がマトリクス状に複数配列され、行方向の複数の前記薄膜トランジスタのゲート電極に電気的に接続されたゲート線が列方向に複数配列され、列方向の複数の前記薄膜トランジスタのソース及びドレイン電極のうちの一方の電極に電気的に接続された信号線が行方向に複数配列され、前記光電変換素子の一方の電極に電気的に接続された共通電極バイアス線を有し、前記光電変換素子の他方の電極が、前記薄膜トランジスタの前記ソース及びドレイン電極のうちの他方の電極に電気的に接続され、前記ゲート線が、バイアス電圧印加手段が電気的に接続された側の一方の端部と、半導体層による抵抗と金属配線による抵抗とを介して定電位手段が電気的に接続された側の他方の端部とを有する光電変換装置であって、前記ゲート線の配線抵抗をRv_g、前記半導体層による抵抗をRn、前記金属配線による抵抗をRm、複数の前記ゲート線のうち所定のゲート線に接続された前記薄膜トランジスタをオン状態とする際に前記バイアス電圧印加手段が前記所定のゲート線に印加するバイアス電圧をVgH、前記複数のゲート線のうち前記所定のゲート線とは異なる他のゲート線に接続された前記薄膜トランジスタをオフ状態とする際に前記バイアス電圧印加手段が前記他のゲート線に印加するバイアス電圧をVgL、前記薄膜トランジスタに十分な転送効率を与えるバイアス電圧の最小値をVg on、前記薄膜トランジスタのスレッシュホールド電圧をVth、及び前記定電位手段の電位を零電位とした場合に、

$VgH-Rv_g(VgH-VgL)/2(Rv_g+Rn)>(Vg\ on)$

$VgH-Rv_g\cdot VgH/(Rv_g+Rn+Rm)>(Vg\ on)$

$VgL+Rv_g(VgH-VgL)/2(Rv_g+Rn)<Vth$

$VgL+Rv_g\cdot(-VgL)/(Rv_g+Rn+Rm)<Vth$

を満たし、前記共通電極バイアス線は、半導体層による抵抗を介して前記金属配線に接続されることを特徴とする。

【００１４】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。

【００１５】
（実施形態１）
図１は、本発明の実施形態１に係わる光電変換装置を構成する光電変換素子パネル及びその周辺回路の等価回路図である。
【００１６】
この光電変換素子パネル１６では、ゲートドライバ１３の各ドライバ（Ｄｒ１～Ｄｒ４）から複数のVg線（Ｃｒ配線からなるゲート線）４に印加されるバイアス電圧により、マトリックス状に配置された複数のＴＦＴ（薄膜トランジスタ）１（t11～tm4）を駆動させ、光電変換素子であるコンデンサ２（c11～cm4）に蓄積された信号を、信号線５からソースドライバ（信号処理回路）１１に転送する。又、信号転送後に、複数のVs線（Ａｌ配線からなる共通電極バイアス線）３に接続された複数のコンデンサ２（c11～cm4）の第２の電極に蓄積された電子を除去するという駆動方式となっている。
【００１７】
この光電変換素子パネル１６において、Vg線４は、Vg線４にバイアス電圧を印加するゲートドライバ１３と反対側で、半導体層７と金属配線８によって、定電位手段たるＧＮＤ電位に接続されている。
【００１８】
以下、図２に示した従来例との対比において発明の動作について説明する。
【００１９】
図２において、ゲートドライバ１３のドライバＤｒ３を通じてゲートバイアス電圧を印加するVg線４が、Ａ部すなわち薄膜トランジスタt23とt33との間で断線している。よって、t33～tm3のＴＦＴ１にそれらを駆動するためのバイアス電圧を印加することができなくなる。このため、t33～tm3の位置にある光電変換素子が欠陥となり、いわゆるライン欠陥が発生する。又、駆動電位を与えるべきVg線４が電気的に浮遊状態（フローティング）となってしまうため、電気的に不安定となって、隣接する光電変換素子にクロストークを発生させ、その結果、画像補正処理が満足なレベルとならず、歩留まりの低下を招いている。
【００２０】
図３は、図１に示した実施形態１に係わる光電変換装置を構成する光電変換素子パネル１６及びその周辺回路において、実際にVg線４の断線が発生した箇所を示す等価回路図である。
【００２１】
図３において、ゲートドライバ１３からドライバＤｒ３を通じてゲートバイアス電圧を印加するVg線４が、Ａ部すなわち薄膜トランジスタt23とt33との間で断線している。よって、t33～tm3のＴＦＴ１に、それらを駆動させるためのバイアス電圧を印加することができなくなる。
【００２２】
このため、t33～tm3の位置にある光電変換素子は欠陥となり、いわゆるライン欠陥が発生する。しかし、半導体層７と金属配線８によって、断線したVg線４は、浮遊状態（フローティング）でなく、定電位手段たるＧＮＤの電位すなわち零電位となる。したがって、電気的に安定となり、隣接する光電変換素子へのクロストークが防止され、ライン欠陥が起こった部分の画像が補正される。
【００２３】
図４は、図３に示した光電変換装置を構成する光電変換素子パネル１６及びその周辺回路において、オン状態（導通状態）のバイアス電圧が印加されるＴＦＴに対応するVg線と、それらに隣接する部分の回路を抽出した図である。
【００２４】
図４において、ドライバ(i)には、対応するＴＦＴをオン状態にするバイアス電圧VgHが、又、ドライバ(i-1)及びドライバ(i+1)には、ＴＦＴをオフ状態（非導通状態）にするバイアス電圧ＶｇＬが印加されている。

【００２５】
各Ｖg線４は、半導体層７の抵抗Ｒnによって定電位手段たるＧＮＤと短絡し、金属配線８の抵抗ＲmによってＧＮＤと短絡している。又、光電変換素子パネル１６内に２次元配列された各光電変換素子の中で、ＴＦＴのオン／オフ状態を切り替えるバイアス電圧を印加するゲートドライバ１３側の端部の光電変換素子と、そのゲートドライバ１３と反対側の端部の光電変換素子との間のＶg線４の配線抵抗を、Rv_gとしている。
【００２６】
ここで、各Ｖg線４は、上述したようにＧＮＤと短絡しているため、ゲートドライバ１３から印加された電圧と異なる電位となる。したがって、正常にＴＦＴを駆動させるためには以下の条件を満たしていることが望ましい。
【００２７】
まず、ＴＦＴをオン状態にするバイアス電圧VgHを与えるドライバ(i)上の電位Ｂが、十分な転送効率を与える最小値Vg ON以上であることが望ましい。又、ＴＦＴをオフ状態にするバイアス電圧ＶgＬを与えるドライバ(i-1)及びドライバ(i+1)上の電位Ｃが、ＴＦＴのスレッシュホールド電圧Ｖthを超えない値であることが望ましい。
【００２８】
ここで、ワーストケース、すなわちドライバ(i-1)、ドライバ(i)、ドライバ(i+1)及びＧＮＤが直列的に短絡した場合でも、電位Ｂ、電位Ｃが上述した電位を維持するように、抵抗Ｒnと抵抗Ｒmの抵抗値を調整することが望ましい。
【００２９】
よって、上述した各電圧すなわちVgH、ＶgＬ、Ｖth及びＶg onの電圧値、及び各抵抗すなわちRv_g、Ｒm及びＲnの抵抗値が、
【００３０】
【数２】
$VgH-RV_g(VgH-VgL)/2(Rv_g+Rn)>(Vg\ on)$
$VgH-RV_g\cdot VgH/(Rv_g+Rn+Rm)>(Vg\ on)$
$VgL+RV_g(VgH-VgL)/2(Rv_g+Rn)<Vth$
$VgL+RV_g\cdot(-VgL)/(Rv_g+Rn+Rm)<Vth$
という条件を満たせば、正常なＴＦＴの駆動となり、Ｖg線が断線した場合の歩留まりの低下が防止される。
【００３１】
本実施形態においては、VgH＝１５（Ｖ）、ＶgＬ＝－５（Ｖ）、Ｖth＝２（Ｖ）、Ｖg on＝１２（Ｖ）、Rv_g＝４０（ｋΩ）、Ｒm＝１００～５００（Ω）とし、更に、上述した条件を満たすように、半導体層による接続抵抗Ｒnを、
Ｒn＞１６０（ｋΩ）
とした。
【００３２】
又、半導体層７は、光電変換素子及びＴＦＴを形成しているｎ型半導体及びｉ層であり、金属配線８はＡｌを使用している。
【００３３】
図５は、本実施形態における、Ｖg線とＧＮＤとを接続する半導体層７及び金属配線８のパネル配線に対する配置位置のイメージ図である。
【００３４】
光電変換素子パネル１６は、光電変換素子１４と、ゲートドライバ（図３の符号１３）接続部９と、共通電極ドライバ（図３の符号１２）及びソースドライバ（図３の符号１１）の接続部１０とで形成されている。そして、スライス端面Ｄの近傍には、Ｖg線とＧＮＤとを接続する半導体層７及び金属配線８が配置されている。金属配線８は、光電変換素子パネル１６の対向する２箇所の角に配置された２個のチェックパッド１５と接続部１０とに接続されており、ＧＮＤ電位は、この接続部１０に接続される図示しないＩＣより供給される。

【００３５】
光電変換素子パネル１６は、実際には、大画面化（大パネル化）のために、図５に示した光電変換素子パネル１６を、一角を共有するスライス端面Ｄ、Ｅが中心となるように、４枚貼り合わせて形成する構成がとられており、スライス端面Ｄ、Ｅは、配置された光電変換素子１４の近傍でスライスされている。具体的には、４枚貼り合わされた各光電変換素子１４の配列ピッチと同じピッチ部以内の箇所でスライスされている。このため、パネルをスライスする工程で、いわゆるガラスチッピングによって光電変換素子１４を破壊する確率が高くなる。
【００３６】
よって、金属配線８を、スライス端面Ｄ、Ｅ近傍の光電変換素子１４の外周に配置し、２個のチェックパッド１５と接続し、その２個のチェックパッド間の導通検査を行うことによって、パネルをスライスする工程後に、チッピングによる光電変換素子１４の破壊の有無が確認が行われる。
【００３７】
（実施形態２）
図６は、本発明の実施形態２に係わる光電変換装置を構成する光電変換素子パネル及びその周辺回路の等価回路である。
【００３８】
この光電変換素子パネル２６では、ゲートドライバ１３の各ドライバ（Ｄｒ１～Ｄｒ４）から複数のVg線（Ｃｒ配線）４に印加されるバイアス電圧により、マトリックス状に配置された複数のＴＦＴ１（t11～tm4）を駆動させ、光電変換素子であるコンデンサ２（c11～cm4）に蓄積された信号を、信号線５からソースドライバ（信号処理回路）１１に転送する。又、信号転送後に、複数のＶｓ線（Ａｌ配線）３に接続された複数のコンデンサ２（c11～cm4）の第２の電極に蓄積された電子を除去するという駆動方式になっている。
【００３９】
この光電変換素子パネル２６において、Vg線４は、Vg線４にバイアス電圧を印加するゲートドライバ１３と反対側で、半導体層７と金属配線８によって、定電位手段たるＧＮＤ電位に接続されている。
【００４０】
本実施形態によれば、Vg線４が断線しても、半導体層７と金属配線８によって、断線したVg線４が浮遊状態（フローティング）でなく、ＧＮＤ電位すなわち定電位となる。したがって、電気的に安定となり、隣接する光電変換素子へのクロストークが防止され、ライン欠陥が起こった部分の画像が補正される。
【００４１】
図７は、図６に示した光電変換装置を構成する光電変換素子パネル１６及びその周辺回路において、オン状態（導通状態）のバイアス電圧が印加されるＴＦＴに対応するVg線と、それらに隣接する部分の回路を抽出した図である。
【００４２】
ＴＦＴをオン状態（導通状態）にするバイアス電圧をVgH、ＴＦＴをオフ状態（非導通状態）にするバイアス電圧をＶｇＬ、Vg線４をＧＮＤと接続する半導体層７の抵抗と金属配線８の抵抗を、それぞれ、Rn及びＲｍとする。又、ＴＦＴのオン／オフ状態を切り替えるバイアス電圧を印加するゲートドライバ１３側の端部の光電変換素子と、そのゲートドライバ１３と反対側の端部の光電変換素子との間のVg線４の配線抵抗を、Rv_gとしている。更に、ＴＦＴのスレッシュホールド電圧をＶth、ＴＦＴに十分な転送効率を与える駆動バイアス電圧の最小値をVg onとしたときに、上述した各電圧値及び各抵抗値が、
【００４３】
【数３】
$VgH-RV_g(VgH-VgL)/2(Rv_g+Rn)>(Vg\ on)$
$VgH-RV_g\cdot VgH/(Rv_g+Rn+Rm)>(Vg\ on)$
$VgL+RV_g(VgH-VgL)/2(Rv_g+Rn)<Vth$

$VgL+RV_g\cdot(-VgL)/(Rv_g+Rn+Rm)<Vth$
という条件を満たせば、正常なＴＦＴの駆動となり、Vg線が断線した場合の歩留まりの低下が防止される。

【００４４】
本実施形態においても、実施形態１と同様に、VgH＝１５（Ｖ）、VgL＝－５（Ｖ）、Vth＝２（Ｖ）、Vg on＝１２（Ｖ）、Rv_g＝４０（ｋΩ）、Rm＝１００～５００（Ω）とし、更に、上述した条件を満たすように、半導体層による接続抵抗Rnを、
Rn＞１６０（ｋΩ）
とした。

【００４５】
又、半導体層７は、光電変換素子及びＴＦＴを形成しているｎ型半導体及びｉ層であり、金属配線８はＡｌを使用している。

【００４６】
次に、図６及び図７に示した抵抗R0は、抵抗Rnと同様に、半導体層で形成されており、Vg線４に直行するVs線３と金属配線８とを接続する接続抵抗である。この接続により、マトリックス状のVs線３とVg線４とが電気的に接続されて、同電位となるため、静電気対策が有効なものとなる。

【００４７】
図８は、本実施形態における、Vg線４とＧＮＤとを接続する、半導体層７及び金属配線８の接続部の拡大平面図である。

【００４８】
図８において、パネル端面近傍では、半導体層７と金属配線８とで、Vg線４と図示しないＧＮＤとを接続する配置がされている。金属配線８は、光電変換素子の近傍に配置されている。そして、光電変換素子パネル２６への光の透過を防止することとにより、ガラス内での光の乱反射を防止している。又、図示しないＧＮＤ接続をすることにより、ガラス端部の光電変換素子の外周部からの電気的シールドの役割を果たしている。

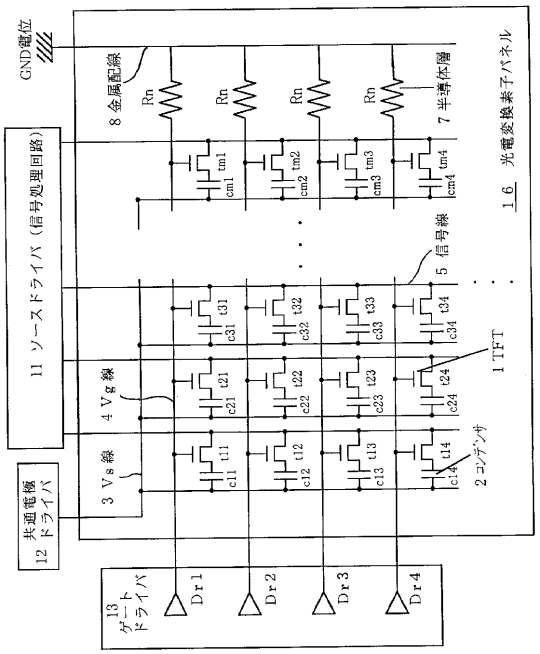
【００４９】
以上、光電変換装置を例にとって本発明の内容を具体的に説明したが、本発明は、液晶表示装置などの半導体装置の画素基板の断線に適用可能である。

【００５０】
【発明の効果】
以上説明した本発明によれば、ＴＦＴマトリックスパネルを用いた光電変換装置において、Vg線とＧＮＤとを接続することにより、Vg線の断線部によるクロストークが防止され、画像補正が可能となる。この結果、光電変換素子パネルの歩留まりの向上が実現できる。

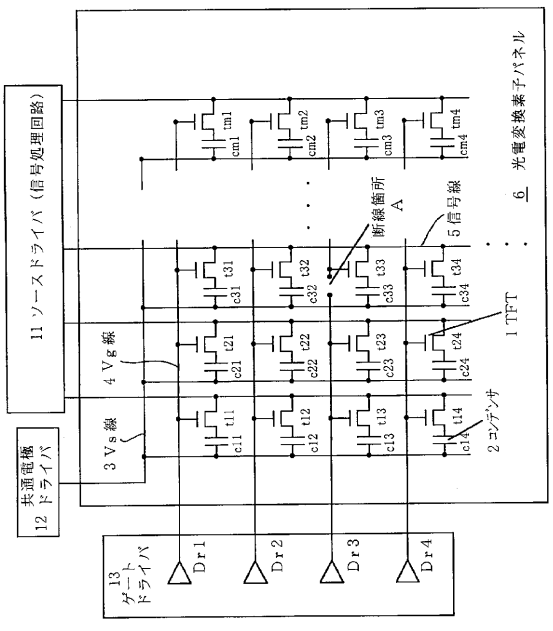
【図面の簡単な説明】
【図１】本発明に係わる実施形態１の光電変換装置の等価回路図である。
【図２】従来の光電変換装置の等価回路図である。
【図３】図１に示した光電変換装置のパネル上の欠陥に対する効果を示す等価回路図である。
【図４】本発明に係わる実施形態１の光電変換装置のＴＦＴをオン状態にするVg線近傍の簡略回路図である。
【図５】本発明に係わる実施形態１の光電変換装置を構成するパネルをスライスした後のイメージ図である。
【図６】本発明に係わる実施形態２の光電変換装置の等価回路図である。
【図７】本発明に係わる実施形態２の光電変換装置のＴＦＴをオン状態にするVg線近傍の簡略回路図である。
【図８】本発明に係わる実施形態２の光電変換装置を構成するパネルのパネル配線の接続部の拡大平面図である。
【符号の説明】

1　ＴＦＴ（薄膜トランジスタ）
2　コンデンサ
3　Ｖs線（共通電極バイアス線）
4　Ｖg線（ゲート線）
5　信号線
6　光電変換素子パネル
7　半導体層
8　金属配線
9　ゲートドライバ接続部
１０　共通電極ドライバ・ソースドライバの接続部
１１　ソースドライバ（信号処理回路）
１２　共通電極ドライバ
１３　ゲートドライバ
１６　光電変換素子パネル
２６　光電変換素子パネル

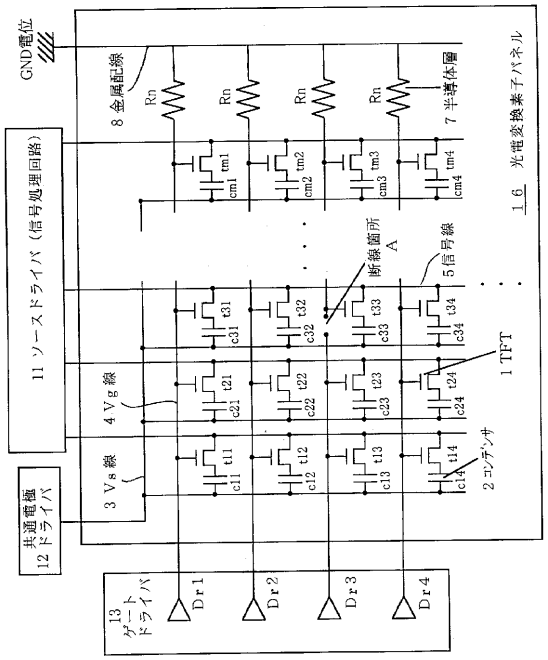
【図１】



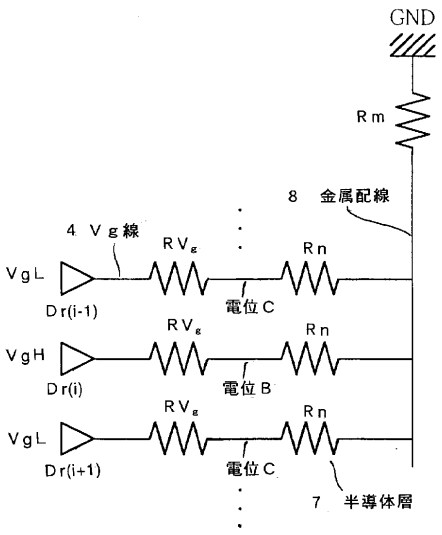
【図２】



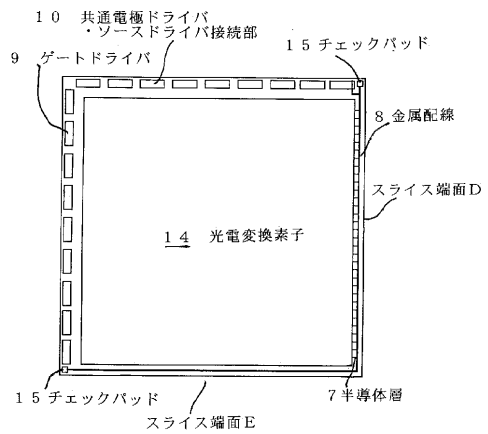
【図３】


GND電位
8 金属配線
Rn
7 半導体層
16 光電変換素子パネル
11 ソースドライバ（信号処理回路）
断線箇所 A
5 信号線
1 TFT
4 Vg線
3 Vs線
2 コンデンサ
共通電極 12 ドライバ
13 ゲートドライバ
Dr1
Dr2
Dr3
Dr4

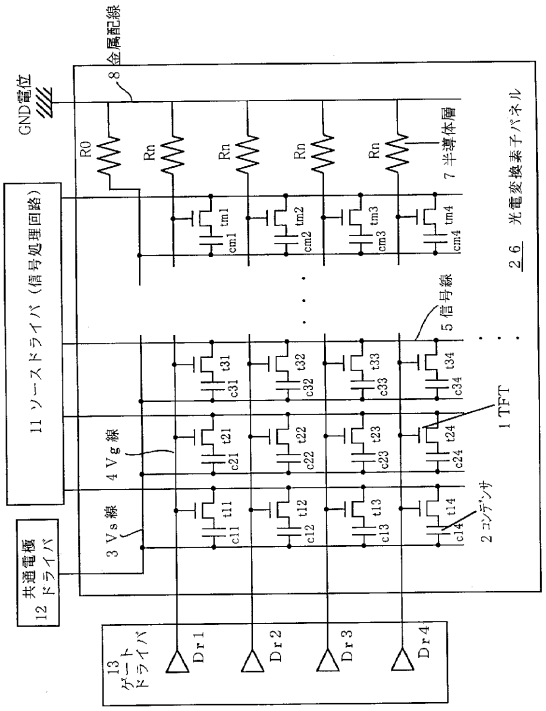
【図４】


GND
Rm
8 金属配線
4 Vg線
RVg
Rn
VgL
Dr(i-1)
電位C
VgH
Dr(i)
電位B
VgL
Dr(i+1)
電位C
7 半導体層

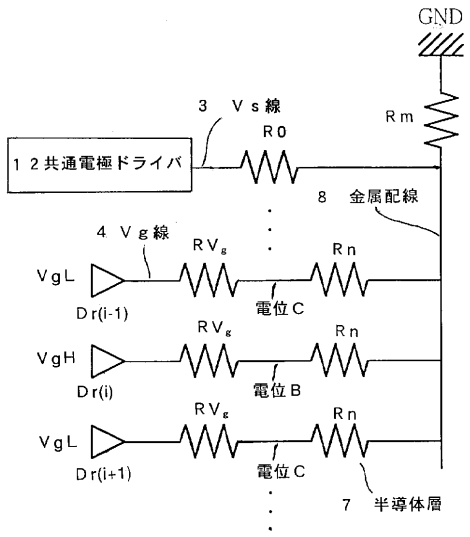
【図５】


10 共通電極ドライバ・ソースドライバ接続部
9 ゲートドライバ
15 チェックパッド
8 金属配線
スライス端面D
14 光電変換素子
15 チェックパッド
7 半導体層
スライス端面E
16 光電変換素子パネル

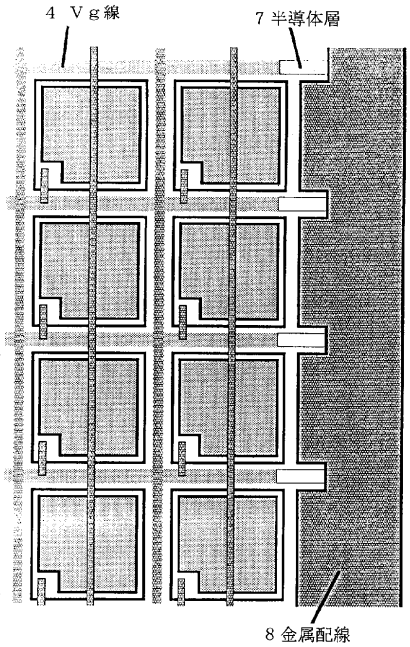
【図６】


8 金属配線
GND電位
R0
Rn
7 半導体層
26 光電変換素子パネル
11 ソースドライバ（信号処理回路）
5 信号線
1 TFT
4 Vg線
3 Vs線
2 コンデンサ
共通電極 12 ドライバ
13 ゲートドライバ
Dr1
Dr2
Dr3
Dr4

【図７】



【図８】



２６ 光電変換素子パネル

フロントページの続き

(72)発明者　渡辺　実
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　望月　千織
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　杢　哲次

(56)参考文献　特表平１１－５０９９３８（ＪＰ，Ａ）
特開平１０－０９３０６１（ＪＰ，Ａ）
特開２０００－１４８０４４（ＪＰ，Ａ）
特開平０３－００２８３８（ＪＰ，Ａ）
特開平０５－２４４５１２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　27/146
H04N　 5/335