

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月15日(15.03.2018)



(10) 国際公開番号

WO 2018/047642 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2017/030630
- (22) 国際出願日: 2017年8月25日(25.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-175734 2016年9月8日(08.09.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 葛谷 直規(KUZUYA Naoki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社

内 Kanagawa (JP). 若林 準人(WAKABAYASHI Hayato); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 半澤 克彦(HANZAWA Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

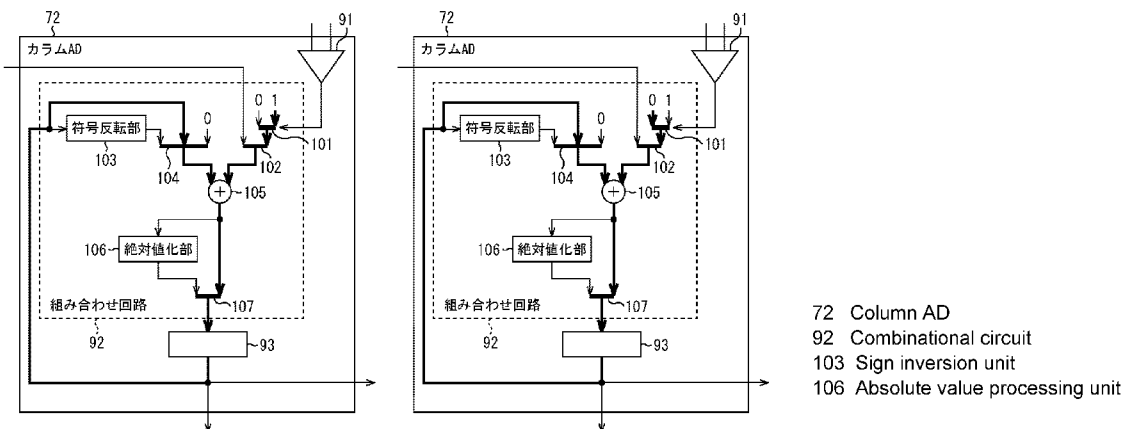
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: IMAGING ELEMENT, OPERATION METHOD FOR IMAGING ELEMENT, IMAGING DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像素子および撮像素子の動作方法、撮像装置、および電子機器

FIG. 5



(57) Abstract: The present disclosure relates to an imaging element, operation method for the imaging element, imaging device, and electronic apparatus which make it possible to perform calculations other than processing required for imaging without further adding a new calculation circuit or memory etc. to the imaging element. A portion of a plurality of analog-digital conversion units perform analog-digital conversion on pixel signals which form a low resolution image of a lower resolution than a pixel array. At least the analog-digital conversion units other than the aforementioned portion perform calculation processing using the pixel signals which form the low resolution image. The present disclosure can be applied to an imaging element.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：本開示は、撮像素子に対して、新たにメモリや演算回路を新たに付加することなく撮像に必須とされる処理以外の演算を実現できるようにする撮像素子および撮像素子の動作方法、撮像装置、および電子機器に関する。複数のアナログデジタル変換部の一部が、画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも一部以外のアナログデジタル変換部は、低解像度画像を構成する画素信号を用いた演算処理を実行する。本開示は、撮像素子に適用することができる。

明 細 書

発明の名称：

撮像素子および撮像素子の動作方法、撮像装置、および電子機器

技術分野

[0001] 本開示は、撮像素子および撮像素子の動作方法、撮像装置、および電子機器に関し、特に、メモリや演算回路を新たに付加することなく撮像に必須とされる処理以外の演算を実現できるようにした撮像素子および撮像素子および撮像素子の動作方法、撮像装置、および電子機器に関する。

背景技術

[0002] 撮像された画像のうち、過去画像と入力画像との差分をとることで物体領域を検出するフレーム間差分法とよばれる物体領域検出方法が一般的な技術として普及している。

[0003] そこで、この技術を利用して、イメージセンサ内でフレーム間差分を実現するために画素毎にメモリを持ち、アナログ値を差分処理する方式が提案されている（非特許文献1参照）。

[0004] また、背景画像と入力画像の差分をとることで物体領域を検出する背景差分法と呼ばれる技術が提案されている（非特許文献2参照）。

[0005] さらに、時間方向に複数の画像の重み付平均をとることでノイズ除去を行う手法が提案されている。

先行技術文献

非特許文献

[0006] 非特許文献1：S.Ma,J,Chen JSSCC1999, A Singl-Chip CMOS APS Camera with Direct Frame Difference

非特許文献2：Chris Stauffer, W.E.L Grimson, Adaptive background mixture models for real-time tracking

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、非特許文献1に記載の技術では、画素毎にメモリを持つことでセンサが大型化する。また、単純なフレーム間差分では十分な検知性能が発揮できない恐れがある。
- [0008] また、非特許文献2に記載の技術の実現のためには、読み出し及び背景更新処理後の書き戻しが可能なフレームメモリの確保が必要となり、その機能をアナログ回路により実現すると回路が煩雑になってしまうため、一般的にはデジタルのフレームメモリに保持することになるが、面積が嵩むとともに、消費電力が大きくなってしまう。
- [0009] さらに、上述したノイズ除去の手法では、同様にフレームメモリに書き戻す必要があるため、やはりアナログ回路により実現すると煩雑になり、デジタルフレームメモリを別途確保する必要があり、消費電力および面積が大きくなる。
- [0010] 本開示は、このような状況に鑑みてなされたものであり、特に、メモリや演算回路を新たに付加することなく撮像に必須とされる処理以外の演算を実現できるようにするものである。

課題を解決するための手段

- [0011] 本開示の一側面の撮像素子は、入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する撮像素子である。
- [0012] 前記アナログデジタル変換部には、前記アナログデジタル変換部は、前記演算処理の結果を記憶する記憶部を含み、少なくとも前記一部以外の前記アナログデジタル変換部は、タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶させるようにすることができる。

- [0013] 少なくとも前記一部以外の前記アナログデジタル変換部には、新たな低解像度画像の画素信号が供給されてくるとき、隣接する前記アナログデジタル変換部の前記記憶部に記憶している画素信号を読み出し、自らの前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶させるようにすることができる。
- [0014] 少なくとも前記一部以外の前記アナログデジタル変換部には、新たな低解像度画像の画素信号が供給されてくるときであって、所定数のフレーム毎に、自らの前記記憶部に記憶している画素信号を、順次隣接する前記アナログデジタル変換部の前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶させるようにすることができる。
- [0015] 少なくとも前記一部以外の前記アナログデジタル変換部には、前記記憶部に記憶している、タイミングの異なる複数フレーム分の前記低解像度画像を構成する画素信号のフレーム間差分画像を求める演算処理を実行させるようにすることができる。
- [0016] 少なくとも前記一部以外の前記アナログデジタル変換部には、前記記憶部に記憶している、所定のタイミングの1フレーム分の前記低解像度画像を構成する画素信号を読み出し、新たなフレームの画素信号とのフレーム間差分画像を求め、前記記憶部に上書きさせるようにすることができる。
- [0017] 少なくとも前記一部以外の前記アナログデジタル変換部には、新たな低解像度画像の画素信号が供給されてくるとき、自らの前記記憶部に記憶している画素信号を、隣接する前記アナログデジタル変換部の前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる所定数の複数フレーム分の低解像度画像を構成する画素信号を記憶することで、リングバッファを構成させるようにすることができる。
- [0018] 前記リングバッファに記憶されているタイミングの異なる所定数の複数のフレームの前記低解像度画像を構成する画素信号と、前記新たな低解像度画

像の画素信号との差分画像を演算する演算部をさらに含ませるようにすることができ。

[0019] 前記演算部には、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号の各画素における平均値と、前記新たな低解像度画像の画素信号との差分絶対値を演算させ、前記差分絶対値が所定の閾値よりも大きな画素を第1の画素値とし、前記差分絶対値が所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算させるようにすることができる。

[0020] 前記演算部には、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号の、前記タイミングに応じた重み付平均値と、前記新たな低解像度画像の画素信号との差分絶対値を演算させ、前記差分絶対値が所定の閾値よりも大きな画素を第1の画素値とし、前記差分絶対値が所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算させるようにすることができる。

[0021] 前記演算部には、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号と、前記新たな低解像度画像の画素信号とのそれぞれの差分絶対値を演算させ、それぞれの前記差分絶対値がいずれも所定の閾値よりも大きな画素を第1の画素値とし、それぞれの前記差分絶対値のいずれかが所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算させるようにすることができる。

[0022] 前記リングバッファに記憶されている異なるタイミングの所定数の複数のフレームの前記低解像度画像を構成する画素の画素値の平均値を演算する演算部をさらに含ませるようにすることができる。

[0023] 前記演算部には、前記リングバッファに記憶されている異なるタイミングの所定数の複数のフレームの前記低解像度画像を構成する画素の画素値の、前記タイミングに応じた重み付平均値を演算させるようにすることができる。

。

[0024] 前記低解像度画像は、前記画素アレイを構成する画素の、複数の画素群毎の平均値、代表値、およびメジアン of のいずれかよりなる画像とすることができる。

[0025] 本開示の一側面の撮像素子の動作方法は、入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含む撮像素子の撮像方法であって、前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部が、前記低解像度画像を構成する画素信号を用いた演算処理を実行する撮像素子の動作方法である。

[0026] 本開示の一側面の撮像装置は、入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する撮像装置である。

[0027] 本開示の一側面の電子機器は、入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素

信号を用いた演算処理を実行する電子機器である。

- [0028] 本開示の一側面においては、複数の画素が2次元のアレイ状に配設された画素アレイにより、入射光の光量に応じた画素信号が生成され、前記複数の画素が配列された列ごとに設けられた複数のアナログデジタル変換部により、前記画素信号がアナログ信号からデジタル信号に変換され、前記複数のアナログデジタル変換部の一部により、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号がアナログデジタル変換され、少なくとも前記一部以外の前記アナログデジタル変換部により、前記低解像度画像を構成する画素信号を用いた演算処理が実行される。

発明の効果

- [0029] 本開示の一側面によれば、画像処理に使用することがないコラムAD回路を利用することで、メモリや演算回路を新たに付加することなく撮像に必須とされる処理以外の演算を実現することが可能となる。

図面の簡単な説明

- [0030] [図1]従来の撮像素子の構成例を説明する図である。
[図2]従来の撮像素子の構成例を説明する図である。
[図3]本開示の技術を適用した撮像素子の構成例を説明する図である。
[図4]図3のコラムAD回路の詳細な構成例を説明する図である。
[図5]図3のコラムAD回路の撮像時の詳細な動作例を説明する図である。
[図6]図3のコラムAD回路の演算時の詳細な動作例を説明する図である。
[図7]図3のコラムAD回路の動作例を説明する図である。
[図8]図3の撮像素子によるフレーム間差分演算処理を説明するフローチャートである。
[図9]コラムAD回路内のメモリを用いた1フレーム単位での画素信号のシフト処理を説明する図である。
[図10]コラムAD回路内のメモリを用いた1フレームおきでの画素信号のシフト処理を説明する図である。
[図11]コラムAD回路内のメモリを用いたNフレームおきでの画素信号のシフ

ト処理を説明するフローチャートである。

[図12]カラムAD回路内のメモリを用いてリングバッファを構成するときの背景差分演算を実現する演算回路の構成例を説明するブロック図である。

[図13]カラムAD回路内のメモリを用いてリングバッファを構成するときの背景差分演算を説明するブロック図である。

[図14]カラムAD回路内のメモリを用いてリングバッファを構成するときの背景差分演算の従来の構成と比較した優位性を説明するブロック図である。

[図15]カラムAD回路内のメモリを用いてリングバッファを構成するときの背景差分演算処理を説明するフローチャートである。

[図16]カラムAD回路内のメモリを用いてリングバッファを構成するときの背景差分演算を実現する演算回路の第1の応用例を説明するブロック図である。

[図17]図16の撮像素子による、カラムAD回路内のメモリを用いてリングバッファを構成するときの背景差分演算処理を説明するフローチャートである。

[図18]カラムAD回路内のメモリを用いてリングバッファを構成するときの第2の応用例として、ノイズ除去処理を実現する演算回路の構成例を説明するブロック図である。

[図19]図18の撮像素子による、カラムAD回路内のメモリを用いてリングバッファを構成するときのノイズ除去処理を説明するフローチャートである。

[図20]カラムAD回路内の変形例を説明する図である。

[図21]図20のカラムAD回路により実現可能な演算回路の例を説明する図である。

[図22]図20のカラムAD回路により実現可能な演算回路を組み合わせることによって実現される演算処理を説明する図である。

[図23]図20のカラムAD回路において、水平転送線を接続する場合の構成例を説明する図である。

[図24]本開示のカメラモジュールを適用した電子機器としての撮像装置の構

成例を示すブロック図である。

[図25]本開示の技術を適用したカメラモジュールの使用例を説明する図である。

発明を実施するための形態

[0031] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0032] <一般的な撮像素子の構成例>

(前景画像と背景画像とを抽出する撮像素子の構成例)

過去画像と入力画像の差分をとることで動物体領域の検出を行うという従来技術(フレーム間差分法)がある。そこで、例えば、上述した非特許文献1で示されるように、撮像素子(イメージセンサ)内でフレーム間差分を実現するために画素毎にメモリを設けて、アナログ回路により差分処理する方式が提案されている。

[0033] また、非特許文献2で示されるように、背景画像と入力画像の差分をとることで物体領域を検出する背景差分法と呼ばれる手法を撮像素子内で実現する技術が提案されている。この場合、背景画像を格納するメモリの構成が必須となるので、装置構成が大型化してしまう上、入力画像が供給される毎に、背景画像を更新するために読出し、さらに、更新した背景画像を上書きするため、動作が複雑なものとなり、装置構成も複雑なものとなる。

[0034] より詳細には、上述する撮像素子1は、例えば、図1で示されるように、AD(Analog Digital)変換部11、画像縮小化部12、デジタルフレームメモリ13、背景更新アルゴリズム処理部14、減算部15、絶対値化部16、および閾値処理部17より構成されている。

[0035] AD変換部11は、図視せぬ画素アレイより供給されてくるアナログ信号からなる画素信号をデジタル信号に変換し、画像縮小化部12に出力する。

[0036] 画像縮小化部12は、デジタル信号に変換された画素信号の解像度を低減

するように画像を縮小し、デジタルフレームメモリ 13 に記憶させるとともに、減算部 15 に出力する。

[0037] デジタルフレームメモリ 13 は、画像縮小化部 12 より供給されてきた縮小された画像信号を格納するとともに、背景更新アルゴリズム処理部 14 に供給し、さらに、背景更新アルゴリズム処理部 14 の処理結果を上書きする。

[0038] 背景更新アルゴリズム処理部 14 は、画像縮小化部 12 より供給されてくる入力画像である縮小画像を用いて背景画像を更新し、デジタルフレームメモリ 13 に書き戻す。すなわち、この処理によりデジタルフレームメモリ 13 に、背景画像が順次更新されて保持されることになる。

[0039] 減算部 15 は、画像縮小化部 12 より供給されてくる縮小画像と、デジタルフレームメモリ 13 に記憶されている、背景更新アルゴリズム処理部 14 により背景更新アルゴリズム処理された背景画像との差分を求めて、前景画像を絶対値化部 16 に供給する。

[0040] 絶対値化部 16 は、入力画像である縮小画像と背景画像との差分値の絶対値を求めて、差分画像を構成する。

[0041] 閾値処理部 17 は、差分画像における差分値 val と閾値 th との比較により、閾値より大きい画素の画素値を 1 とし、それ以外の画素を 0 とする 2 値化処理により、動画像からなる前景領域を推定する。

[0042] 次に、図 1 の撮像素子の動作について説明する。

[0043] まず、AD変換部 11 がアナログ信号の画像信号をデジタル信号に変換する。次に、画像縮小化部 12 は、デジタル信号に変換された画像信号を縮小化して低解像度化し、デジタルフレームメモリ 13 に格納させる。

[0044] 次に、背景更新アルゴリズム処理部 14 は、デジタルフレームメモリ 13 に順次格納されてくる画像信号を用いて、背景画像を更新して書き戻す処理を繰り返す。

[0045] 減算部 15 は、縮小画像とデジタルフレームメモリ 13 に格納されている背景画像との差分を求めて絶対値化部 16 に出力する。

[0046] 絶対値化部 16 は、入力画像である縮小画像と、デジタルフレームメモリ 13 より読み出される背景画像との差分絶対値からなる差分画像を閾値処理部 17 に供給する。

[0047] 閾値処理部 17 は、この差分画像の各画素の画素値 val と閾値 th とを比較し、大きな画素の画素値を 1 とし、それ以外の画素の画素値を 0 とする 2 値化画像とすることで、動画像からなる前景領域を推定する画像を出力する。

[0048] この図 1 の撮像素子 1 の場合、背景画像を順次更新するためにデジタルフレームメモリ 13 が必須の構成となり、このため、装置が大型化してしまう。

[0049] また、背景更新アルゴリズム処理部 14 は、デジタルフレームメモリ 13 に格納されている縮小画像を読み出し、背景画像に更新処理を施した後、デジタルフレームメモリ 13 に書き戻す必要があり、消費電力を増大させてしまう。

[0050] (画質を向上させる撮像素子の構成例)

さらに、図 2 で示される撮像素子のように、時間方向の複数の画像の重み付け平均により画質を向上させる撮像素子も提案されている。尚、図 2 における撮像素子 31 において、図 1 の撮像素子 1 と同一の機能を備えた構成については、同一の符号および同一の名称を付しており、その説明は適宜省略するものとする。

[0051] すなわち、図 2 の撮像素子 31 において、図 1 の撮像素子 1 と異なる点は、背景更新アルゴリズム処理部 14、減算部 15、絶対値化部 16、および閾値処理部 17 に代えて、重み付平均化部 41 が設けられている点である。

[0052] 重み付平均化部 41 は、デジタルフレームメモリ 13 に記憶されている、それまでの重み付平均化部 41 により処理された画像と、入力画像である縮小画像とを、入力画像に大きな重みが付されるように重み付平均化することで、画像よりノイズを除去して出力する。さらに、重み付平均化部 41 は、重み付平均化した画像をデジタルフレームメモリ 13 に格納させ、同様の処理を繰り返すことにより、ノイズを徐々に除去する。

[0053] ただし、この場合においても、重み付平均化部41は、デジタルフレームメモリ13より直前の処理結果となる画像を読み出すとともに、入力画像を用いて重み付平均化処理し、再びデジタルフレームメモリ13に書き戻す必要があり、消費電力が大きくなってしまう。また、デジタルフレームメモリ13が必須の構成となるため、設置面積を確保する必要があり、装置が大型化してしまう。

[0054] <本開示の撮像素子の構成例>

そこで、本開示の撮像素子においては、高解像度で撮像する際には、全画素に対して列ごとに設けられている全てのコラムAD回路を用いて画素信号を生成する機能を備える。そして、その上で、本開示の撮像素子は、画像を撮像することを目的としない、例えば、背景画像および前景画像のそれぞれの領域を検出するようなセンサとして機能させる際には、低解像度化した画像を用い、低解像度化されることで生じる画像処理に用いられないことがないコラムAD回路を用いて、他の演算処理を実行させる。このような動作を実現することにより、撮像素子の構成に新たな構成を付加することなく、高解像度の画像を撮像する機能と、センサとしての機能とを切り替えて実現する。

[0055] より詳細には、図3は、本開示の撮像素子の構成例を示している。図3の撮像素子51は、 m 行 $\times$ n 列からなる2次元に配列された画素を備えた画素アレイ71、 n 列の垂直転送線毎に設けられたコラムAD回路72-0乃至72- $(n-1)$ 、および演算回路73を備えている。尚、以降において、コラムAD回路72-0乃至72- $(n-1)$ のそれぞれを特に区別する必要がない場合、単にコラムAD回路72と称するものとし、その他の構成についても同様に称するものとする。

[0056] 画素アレイ71は、画素単位でフォトダイオードを有し、入射光の光量に応じた画素信号を発生し、垂直転送線を介して各列のコラムAD回路72に供給する。

[0057] コラムAD (Analog Digital) 回路72は、垂直転送線を介して供給されてくるアナログ信号からなる画素信号をデジタル信号に変換して演算回路73

に供給する。

[0058] 演算回路 7 3 は、カラムAD回路 7 2 - 0 乃至 7 2 - (n - 1) より供給されてくるデジタル信号からなる画素信号に各種の演算処理を施して、演算結果を出力する。

[0059] また、画素アレイ 7 1 は、全画素を用いた高解像度の画像信号を撮像する上、さらに、動作モードに応じて異なる動作をする。動作モードには、全画素を用いた高解像度画像を撮像する画像撮像モードと、低解像度画像の情報をを用いたセンサモードとがある。例えば、センサモードにおいては、画像内の動画画からなる前景画像が撮像されている前景領域と、背景画像が撮像されている背景領域とを識別する差分画像を出力する。

[0060] より詳細には、画素アレイ 7 1 は、センサモードの場合、画素加算や間引きなどにより全画素の解像度に対して低解像度の画像を生成して、低解像度の画素信号を対応するカラムAD回路 7 2 に供給する。図 3 においては、画素アレイ 7 1 を構成する画素のうちの所定数の画素群 7 1 a - 1 乃至 7 1 a - p からなる p 画素の低解像度画像として撮像する際の構成が示されている。

[0061] そこで、センサモードにおいては、低解像度画像が使用されることにより、画像処理に使用されないカラムAD回路 7 2 が発生することになるので、この画像処理に使用されないカラムAD回路 7 2 を使用して、差分画像を生成するといった撮像処理以外の演算処理を実行する。

[0062] より具体的には、図 3 で示されるように、例えば、画素アレイ 7 1 を、所定数の画素からなる画素群 7 1 a - 1 を 1 画素として扱う画素信号が、カラムAD回路 7 2 - 0 乃至 7 2 - 2 で処理され、画素群 7 1 a - 2 を 1 画素として扱う画素信号が、カラムAD回路 7 2 - 3 乃至 7 2 - 5 で処理される。そして、画素群 7 1 a - (p - 1) を 1 画素として扱う画素信号が、カラムAD回路 7 2 - (n - 6) 乃至 7 2 - (n - 4) で処理され、画素群 7 1 a - p を 1 画素として扱う画素信号が、カラムAD回路 7 2 - (n - 3) 乃至 7 2 - (n - 1) のそれぞれで処理される。

[0063] カラムAD回路 7 2 - 0 乃至 7 2 - n は、それぞれ演算器 7 2 a - 0 乃至 7

2 a - n を備えているが、1 フレーム単位で、順次、隣接するカラムAD回路 7 2 に演算結果をシフトさせる。

[0064] すなわち、例えば、0 フレーム目の画素信号が、画素群 7 1 a - 1 を 1 画素とする画素信号が、カラムAD回路 7 2 - 0 に供給され、画素群 7 1 a - 2 を 1 画素とする画素信号が、カラムAD回路 7 2 - 3 に供給され、・・・画素群 7 1 a - (p - 1) を 1 画素とする画素信号が、カラムAD回路 7 2 - (n - 6) に供給され、画素群 7 1 a - p を 1 画素とする画素信号が、カラムAD回路 7 2 - (n - 3) に供給される場合、それぞれで画素信号がアナログ信号からデジタル信号に変換されて、保持される。

[0065] 次の 1 フレーム目の画素信号が供給される前に、カラムAD回路 7 2 - 0 , 7 2 - 3 , ... 7 2 - (n - 6) , 7 2 - (n - 3) は、それぞれが保持している画素信号を右隣りのカラムAD回路 7 2 - 1 , 7 2 - 4 , ... 7 2 - (n - 5) , 7 2 - (n - 2) にシフトする。

[0066] そして、新たな 1 フレーム目の画素信号が供給されると、画素群 7 1 a - 1 を 1 画素とする画素信号が、カラムAD回路 7 2 - 0 に供給され、画素群 7 1 a - 2 を 1 画素とする画素信号が、カラムAD回路 7 2 - 3 に供給され、・・・画素群 7 1 a - (p - 1) を 1 画素とする画素信号が、カラムAD回路 7 2 - (n - 6) に供給され、画素群 7 1 a - p を 1 画素とする画素信号が、カラムAD回路 7 2 - (n - 3) に供給される。

[0067] すなわち、一般的に、カラムAD回路 7 2 は、画像を構成する画素信号を行単位でアナログ信号からデジタル信号に変換し、出力する。しかしながら、本開示の撮像素子 5 1 の画素アレイにおいては、センサモードにおいて、画素群 7 1 a を 1 画素とみなすことで、低解像度画像を構成し、複数のカラムAD回路 7 2 が有するラッチ回路などからなるメモリに、この低解像度画像からなる複数フレーム分の画像をフレームメモリ代わりに記憶させ、バッファリングや演算に使用する。

[0068] 尚、画素群 7 1 a を 1 画素とみなすようにする処理としては、例えば、画素群 7 1 a を構成する各画素の画素値を加算して平均を求めるようにしても

よいし、いずれかの代表画素の画素値を用いるようにしてもよいし、画素群 7 1 a を構成する画素の画素値のメジアンなどを利用するようにしてもよい。

[0069] 図 3 の撮像素子 5 1 においては、同様の処理が繰り返されることにより、低解像度の画像信号が、3 フレーム分だけ蓄積される例が示されている。そして、新たに低解像度の 1 フレーム分の画素信号が供給されてくるとき、最も古い画素信号が破棄されて、最新の 3 フレーム分の画素信号が蓄積される。

[0070] (カラム AD 回路の詳細な構成例)

ここで、図 4 を参照して、カラム AD 回路 7 2 の詳細な構成例について説明する。

[0071] カラム AD 回路 7 2 は、図 3 で示されるように、演算器 7 2 a をそれぞれ備えているが、演算器 7 2 a は、より詳細には、例えば、図 4 で示される、コンパレータ 9 1、組み合わせ回路 9 2、およびメモリ 9 3 により構成される。

[0072] より詳細には、図 4 で示されるように、カラム AD 回路 7 2-0 乃至 7 2-2 には、それぞれコンパレータ 9 1-0 乃至 9 1-2、組み合わせ回路 9 2-0 乃至 9 2-2、およびメモリ 9 3-0 乃至 9 3-2 を備えている。コンパレータ 9 1 は、それぞれ垂直転送線より供給されてくる画素信号と、リファレンス電圧とを比較して、比較結果を組み合わせ回路 9 2 に供給する。組み合わせ回路 9 2-0 乃至 9 2-2 は、画像撮像モードにおいては、AD 変換処理を実現するものであり、また、センサモードにおいては、AD 回路として機能させるために組み合わせられている各種の回路を適宜使用して、様々な演算を実行し、メモリ 9 3-0 乃至 9 3-2 に供給する。メモリ 9 3-0 乃至 9 3-2 は、例えば、ラッチ回路などからなるものであり、演算結果を一時的に記憶する。

[0073] 組み合わせ回路 9 2-0 乃至 9 2-2 は、それぞれ例えば、セクタ 1 0 1-0 乃至 1 0 1-2、1 0 2-0 乃至 1 0 2-2、符号反転部 1 0 3-0

乃至103-2、セクタ104-0乃至104-2、加算器105-0乃至105-2、絶対値化部106-0乃至106-2、およびセクタ107-0乃至107-2を備えている。

[0074] 組み合わせ回路92のセクタ101、102、符号反転部103、セクタ104、加算器105、絶対値化部106、およびセクタ107は、画像撮像モードにおいては、コンパレータ91、およびメモリ93と共に、いわゆるカウンタなどと同等の機能を実現し、AD変換を実現するものである。また、センサモードである場合、組み合わせ回路92のセクタ101、102、符号反転部103、セクタ104、加算器105、絶対値化部106、およびセクタ107は、図中の左側に隣接するカラムAD回路72の画素信号を順次取得し、自らのメモリ93に格納する、または、メモリ93に格納されている値と共に所定の演算を加えて、メモリ93に書き戻す。さらには、メモリ93に格納された値は、右側に隣接するカラムAD回路72に供給される。

[0075] 図4においては、セクタ101は、コンパレータ91の比較結果に基づいて、0または1を出力し、セクタ102に供給する。セクタ102は、左隣のカラムAD回路72のメモリ93の値、または、セクタ101より供給されてくる値のいずれかを選択的に加算器105に出力する。符号反転部103は、メモリ93に格納されている値の正負の符号を反転させてセクタ104に供給する。セクタ104は、自らのメモリ93の値、符号反転部103からの自らのメモリ93の値であって符号が反転された値、または、0のいずれかを選択的に加算器105に出力する。加算器105は、セクタ102より出力される値と、セクタ104より出力される値とを加算して、絶対値化部106およびセクタ107に出力する。絶対値化部106は、加算器105より供給されてくる値の絶対値を求めてセクタ107に供給する。セクタ107は、加算器105より供給されてくる値、または、絶対値化部106より供給されてくる値のいずれかを選択的にメモリ93に格納させる。

[0076] このような構成により、カラムAD回路72は、AD変換回路、または、左隣のカラムAD72のメモリ93に格納されている値を転送する、若しくは、転送した値と自らのメモリ93に格納されている値とを加算する演算回路として機能する。

[0077] すなわち、AD変換回路として機能する場合、図5の左部、および右部のそれぞれの太線で示されるように、コンパレータ91の比較結果に基づいて、図5の左部で示されるようにセクタ101が1を選択的に出力する、または、図5の右部で示されるようにセクタ101が0を選択的に出力する。そして、セクタ102が、セクタ101の出力値を加算器105に供給する。また、セクタ104が、メモリ93に格納されている値を読み出して加算器105に出力する。加算器105は、セクタ102、104よりそれぞれ供給されてくる値を加算して、セクタ107および絶対値化部106に出力する。セクタ107は、加算器105より出力された値をメモリ93に格納する。以降において、同様の処理を繰り返す。

[0078] また、演算回路として機能する場合、左隣のカラムAD回路72のメモリ93の値を自らのメモリ93に読み込むとき、図6の左部で示されるように、セクタ102が左隣のカラムAD回路72のメモリ93の値を選択して加算器105に供給し、セクタ104が0を加算器105に供給する。これにより、加算器105は、実質的に、左隣のカラムAD回路72のメモリ93の値を絶対値化部106およびセクタ107に供給する。セクタ107は、加算器105より供給されてくる左隣のカラムAD回路72のメモリ93に格納されている値を自らのメモリ93に格納させる。

[0079] さらに、他の演算回路として機能する場合、自らのメモリ93に格納されている値と、左隣のカラムAD回路72のメモリ93の値を加算して、自らのメモリ93に読み戻すとき、図6の右部で示されるように、セクタ102が左隣のカラムAD回路72のメモリ93の値を選択して加算器105に供給し、符号反転部103が、自らのメモリ93に格納されている値の符号を反転し、セクタ104が、符号反転部103により符号が反転された値を加

算器 105 に供給する。これにより、加算器 105 は、左隣のカラム AD 回路 72 のメモリ 93 の値と、自らのメモリ 93 に格納されている値とを加算して絶対値化部 106 およびセクタ 107 に供給する。絶対値化部 106 は、加算器 105 による加算結果の絶対値を求めてセクタ 107 に供給する。セクタ 107 は、絶対値化部 106 より供給されてくる加算結果を自らのメモリ 93 に書き戻して格納する。

[0080] (フレーム間差分演算処理)

次に、図 7 の動作説明図と、図 8 のフローチャートを参照して、画素信号を順次演算し、演算結果を右隣のカラム AD 回路に転送させて、フレーム間の差分絶対値からなる差分画像を出力するフレーム間差分処理を実現させる処理について説明する。

[0081] 尚、図 7 においては、0 列目 (column0) におけるカラム AD 回路 72-0 および 1 列目 (column1) におけるカラム AD 回路 72-1 における処理を説明するものとするが、以降の列においても同様の処理がなされるものである。また、ここでは、カラム AD 回路 72 における各組み合わせ回路 92 は、AD 変換処理を行うとともに、順次供給されてくる画素値の差分絶対値を演算して出力すると共にメモリ 93 に格納させるものであるものとする。

[0082] すなわち、ステップ S11 (図 8) において、図 7 の左上段部で示されるように、カラム AD 回路 72-0 の組み合わせ回路 92-0 は、垂直転送線を介して供給される第 0 番目のフレームの画素信号を AD 変換し、デジタル信号からなる画素値 val0 としてメモリ 93-0 に格納する。

[0083] ステップ S12 において、図 7 の左中段部で示されるように、カラム AD 回路 72-1 の組み合わせ回路 92-1 は、配線 L-0 を介して、左側に隣接するカラム AD 回路 72-0 のメモリ 93-0 より画素値 val0 を読み出し、メモリ 93-1 に格納する。この動作は、上述した図 6 の左部の動作に対応する動作である。

[0084] ステップ S13 において、図 7 の左下段部で示されるように、カラム AD 回路 72-0 の組み合わせ回路 92-0 は、垂直転送線を介して供給される第

1 番目のフレームの画素信号をAD変換し、デジタル信号からなる画素値val1としてメモリ93-0に格納する。

[0085] ステップS14において、図7の右上段部で示されるように、カラムAD回路72-1の組み合わせ回路92-1は、配線L-0を介して、左側に隣接するカラムAD回路72-0のメモリ93-0より画素値val1を読み出すと共に、メモリ93-1に格納されている画素値val0を読み出し、差分絶対値を演算し、演算結果である差分絶対値ad01 ($= (\text{abs-diff01}) = | \text{val1} - \text{val0} |$) をメモリ93-1に書き戻す。この動作は、上述した図6の右部の動作に対応する動作である。

[0086] ステップS15において、図7の右中段部で示されるように、メモリ93-1に格納された差分絶対値である演算結果ad01がフレーム間差分演算結果として出力される。

[0087] ステップS16において、図7の右下段部で示されるように、カラムAD回路72-1の組み合わせ回路92-1は、配線L-0を介して、左側に隣接するカラムAD回路72-0のメモリ93-0より画素値val1を読み出し、メモリ93-1に格納する。すなわち、画素値val1が1列分シフトされる。この動作は、上述した図6の左部の動作に対応する動作である。

[0088] そして、以降において、順次画素信号が供給されてくると、ステップS13以降の処理が順次繰り返されて、順次フレーム間差分の画素信号からなる画像が出力される。

[0089] 以上の処理が繰り返されることにより、前後するフレームの画素間の差分絶対値からなる差分画像を順次出力することが可能となる。

[0090] すなわち、画素アレイ71の解像度に対して低解像度の画像ながら、撮像素子の構成を新たに追加することなく、フレーム間差分画像を求めることが可能となるので、例えば、低解像度ながら動画像の領域である前景領域と、動画像ではない、すなわち、動きのない背景領域とを区別する差分画像を生成することが可能となる。また、動画像領域である前景領域の検出により、監視画像などにおいて、侵入者などを前景領域として検出するまでは、セン

サモードで動作し、侵入者が検出された場合にのみ、画像撮像モードに切り替えて、高解像度画像で撮像するようにすることが可能となる。この際、センサモードにおいては、カラムAD回路72の一部のみを使用して、侵入者が検出されたときにのみ、高解像度で、カラムAD回路72を全て使用するようにすることで、侵入者が撮像されるまでは、比較的低消費電力のセンサモードとし、侵入者を高解像度で確実に撮像することができるので、消費電力を低減させつつ、必要な侵入者の画像について高解像度で撮像することが可能となる。また、フレームメモリ等を増設する必要がないので、装置構成を小型化することが可能となる。

[0091] (リングバッファ)

以上においては、低解像度化された画素信号を用いて順次フレーム間差分を求める例について説明してきたが、カラムAD回路72におけるメモリ93に画素信号を順次格納し、さらに、次のフレームの画素信号が供給される度に、隣接するカラムAD回路72にシフトさせるのみの処理をすることで、複数フレーム間のリングバッファを構成するようにしてもよい。

[0092] 基本的な動作については、上述した差分演算を実行することなく、単に、画素信号を隣接するカラムAD回路72にシフトする動作を繰り返すことのみで実現することが可能となる。

[0093] すなわち、図9の左上部で示されるように、まず、第1フレームであるフレームF1の画素信号「1」がカラムAD回路72-0によりAD変換されて、メモリ93-0に格納される。

[0094] 次に、第2フレームであるフレームF2の画素信号が供給されてくると、図9の中央上部で示されるように、メモリ93-0に格納されていた画素信号「1」が隣接するカラムAD回路72-1のメモリ93-1にシフトされると共に、新たなフレームF2の画素信号「2」がカラムAD回路72-0のメモリ93-0に格納される。

[0095] さらに、第3フレームであるフレームF3の画素信号が供給されてくると、図9の右上部で示されるように、メモリ93-1に格納されていた画素信

号「1」が隣接するカラムAD回路72-2のメモリ93-2にシフトされ、メモリ93-0に格納されていた画素信号「2」が隣接するカラムAD回路72-1のメモリ93-1にシフトされる。そして、新たなフレームF3の画素信号「3」がカラムAD回路72-0のメモリ93-0に格納される。

[0096] また、第4フレームであるフレームF4の画素信号が供給されてくると、図9の左下部で示されるように、カラムAD回路72-2のメモリ93-2に格納されていた画素信号「1」が破棄されて、メモリ93-1に格納されていた画素信号「2」が隣接するカラムAD回路72-2のメモリ93-2にシフトされ、メモリ93-0に格納されていた画素信号「3」が隣接するカラムAD回路72-1のメモリ93-1にシフトされる。そして、新たなフレームF4の画素信号「4」がカラムAD回路72-0のメモリ93-0に格納される。

[0097] さらに、第5フレームであるフレームF5の画素信号が供給されてくると、図9の中央下部で示されるように、カラムAD回路72-2のメモリ93-2に格納されていた画素信号「2」が破棄されて、メモリ93-1に格納されていた画素信号「3」が隣接するカラムAD回路72-2のメモリ93-2にシフトされ、メモリ93-0に格納されていた画素信号「4」が隣接するカラムAD回路72-1のメモリ93-1にシフトされる。そして、新たなフレームF5の画素信号「5」がカラムAD回路72-0のメモリ93-0に格納される。

[0098] また、第6フレームであるフレームF6の画素信号が供給されてくると、図9の右下部で示されるように、カラムAD回路72-2のメモリ93-2に格納されていた画素信号「3」が破棄されて、メモリ93-1に格納されていた画素信号「4」が隣接するカラムAD回路72-2のメモリ93-2にシフトされ、メモリ93-0に格納されていた画素信号「5」が隣接するカラムAD回路72-1のメモリ93-1にシフトされる。そして、新たなフレームF6の画素信号「6」がカラムAD回路72-0のメモリ93-0に格納される。

[0099] 以降において、順次、1フレームごとに画素信号が供給されてくると、順次、図中の右方向に隣接するカラムAD回路72のメモリ93にシフトされ、最も古いフレームの画素信号が破棄されて、常に、最新の3フレーム分の画素信号が蓄積され続け、結果として、リングバッファを実現することが可能となる。

[0100] (Nフレームごとに画素信号をバッファリングするリングバッファ)

以上においては、毎フレームごとに画素信号を隣接するカラムAD回路72のメモリ73にシフトすることでリングバッファを構成する例について説明してきたが、Nフレームごとに画素信号をシフトして、リングバッファを構成するようにしてもよい。

[0101] すなわち、図10の左上部で示されるように、まず、第1フレームであるフレームF1の画素信号「1」がカラムAD回路72-0によりAD変換されて、メモリ93-0に格納される。

[0102] 次に、第2フレームであるフレームF2の画素信号が供給されてくると、図10の中央上部で示されるように、メモリ93-0に格納されていた画素信号「1」が隣接するカラムAD回路72-1のメモリ93-1にシフトされると共に、新たなフレームF2の画素信号「2」がカラムAD回路72-0のメモリ93-0に格納される。

[0103] さらに、第3フレームであるフレームF3の画素信号が供給されてくると、図10の右上部で示されるように、メモリ93-0に格納されていた画素信号「2」が破棄されて、画素信号「3」が上書きされる。

[0104] また、第4フレームであるフレームF4の画素信号が供給されてくると、図10の左下部で示されるように、メモリ93-1に格納されていた画素信号「1」が隣接するカラムAD回路72-2のメモリ93-2にシフトされ、メモリ93-0に格納されていた画素信号「3」が隣接するカラムAD回路72-1のメモリ93-1にシフトされる。そして、新たなフレームF4の画素信号「4」がカラムAD回路72-0のメモリ93-0に上書きされて格納される。

- [0105] さらに、第5フレームであるフレームF 5の画素信号が供給されてくると、図10の中央下部で示されるように、メモリ93-0に格納されていた画素信号「4」が破棄されて、新たなフレームF 5の画素信号「5」がカラムAD回路72-0のメモリ93-0に格納される。
- [0106] また、第6フレームであるフレームF 6の画素信号が供給されてくると、図10の右下部で示されるように、メモリ93-0に格納されていた画素信号「5」が破棄されて、新たなフレームF 6の画素信号「6」により上書きされて、カラムAD回路72-0のメモリ93-0に格納される。
- [0107] 以降において、順次、画素信号が供給されてくると、Nフレームおき（1フレームおき）に、図中の右方向に隣接するカラムAD回路72のメモリ93にシフトされ、最も古いフレームの画素信号が破棄されて、常に、最新の3フレーム分の画素信号が、1フレームおきに蓄積され続け、結果として、リングバッファを実現することが可能となる。
- [0108] （Nフレームおきに右側に隣接するカラムAD回路に画素信号をシフトするシフト処理）
- 次に、図11のフローチャートを参照して、Nフレームおきに右側に隣接するカラムAD回路に画素信号をシフトするシフト処理について説明する。
- [0109] ステップS 31において、図示せぬ制御部により、カウンタnが1に初期化される。
- [0110] ステップS 32において、図示せぬ制御部により、新たなフレームの画素信号が供給されてきたか否かが判定され、送信されてくるまで、同様の処理が繰り返される。
- [0111] ステップS 32において、新たなフレームの画素信号が供給されてきた場合、処理は、ステップS 33に進む。
- [0112] ステップS 33において、図示せぬ制御部により、カウンタnがN+1であるか否かが判定される。例えば、図10を参照して説明したN=1フレームおきの場合、最初の処理ではカウンタn=1であり、2（=N+1）ではないので、処理は、ステップS 34に進む。

- [0113] ステップS 3 4において、組み合わせ回路9 2－0は、画素信号をAD変換してメモリ9 3－0にAD変換されるまでに格納されていた画素信号を破棄した上で、新たに上書きして格納し、処理は、ステップS 3 5に進む。尚、最初の処理では、値がないので、そのまま格納される。
- [0114] ステップS 3 5において、図示せぬ制御部により、カウンタnが1インクリメントされて、処理は、ステップS 3 2に戻る。
- [0115] すなわち、カウンタnがN+1となるまで、ステップS 3 2乃至S 3 5の処理が繰り返されて、新たなフレームの画素信号が供給されてきても、画素信号がAD変換されて、カラムAD回路7 2－0のメモリ9 3－0の値が上書きされ続ける。
- [0116] そして、ステップS 3 3において、カウンタnがN+1となった場合、処理は、ステップS 3 6に進む。
- [0117] ステップS 3 6において、組み合わせ回路9 2－1は、図4における左側に隣接するカラムAD回路7 2－0のメモリ9 3－0より画素信号を読み出し、メモリ9 3－1に格納させることにより、画素信号を1列分だけシフトさせる。
- [0118] ステップS 3 7において、組み合わせ回路9 2－0は、画素信号をAD変換してメモリ9 3－0に格納し、処理は、ステップS 3 8に進む。
- [0119] ステップS 3 8において、組み合わせ回路9 2－0は、処理が終了か否かを判定し、終了ではない場合、処理は、ステップS 3 1に戻り、それ以降の処理が繰り返される。そして、ステップS 3 8において、処理の終了が判定されると、処理は、終了される。
- [0120] すなわち、このような処理により、任意のNフレームおきに画素信号が順次右隣のカラムAD回路7 2のメモリ9 3にシフトされて、リングバッファを構成することが可能となる。
- [0121] <リングバッファを用いた背景画像を算出する演算回路の構成例>
以上においては、カラムAD回路7 2－0乃至7 2－(n－1)のメモリ9 3－0乃至9 3－(n－1)を用いてリングバッファを構成する例について

説明してきたが、このリングバッファを用いて背景画像と前景画像との差分画像を演算する演算回路 73 の構成例について説明する。

[0122] 図 12 は、上述したメモリ 93 からなるリングバッファを用いて背景画像を演算する演算回路 73 の構成例を示している。尚、図 12 においては、メモリ 93-0 が最新のフレームの画素信号を格納するバッファ 110a と、過去のフレームの画素信号を格納する、メモリ 93-1 乃至 93-(n-1) からなるバッファ 110b を構成しており、このバッファ 110a および 110b によりリングバッファ 110 が構成されている。

[0123] 図 12 の演算回路 73 は、加算部 111、ゲインアンプ 112、減算部 113、絶対値化部 114、および閾値処理部 115 を備えている。

[0124] 加算部 111 は、それぞれリングバッファ 110 を構成するメモリ 93-0 乃至 93-N のうち、最も古いフレームの画素信号から 4 番目まで古いフレームの画素信号を保持している、メモリ 93-(n-1) 乃至 93-(n-4) の画素信号を加算し、ゲインアンプ 112 に供給する。

[0125] ゲインアンプ 112 は、リングバッファ 110 を構成するメモリ 93-0 乃至 93-N のうち、最も古いフレームの画素信号から 4 番目まで古いフレームの画素信号を保持している、メモリ 93-(n-1) 乃至 93-(n-4) の画素信号の加算結果を $1/4$ のゲインにすることで画素信号の平均値を求めて減算部 113 に出力する。

[0126] 減算部 113 は、最も新しいフレームの画素信号が保持されているメモリ 93-0 の画素信号とゲインアンプ 112 より供給されてくる最も古いフレームの画素信号から 4 番目まで古いフレームの画素信号の平均値との差分を求めて絶対値化部 114 に供給する。

[0127] 絶対値化部 114 は、減算部 113 より出力される差分となる画素値の絶対値を差分絶対値として求めて、閾値処理部 115 に出力する。

[0128] 閾値処理部 115 は、絶対値化部 114 より供給されてくる差分絶対値となる画素値 val と、所定の閾値 th とを比較して所定の閾値 th よりも大きな画素の画素値を 1 とし、それ以外の画素の画素値を 0 とした 2 値化された差分画

像を出力する。この2値化された差分画像により、画素値が「1」からなる前景領域、および画素値が「0」からなる背景領域をからなる画像が生成されて、それぞれの前景領域および背景領域を推定することが可能となる。尚、画素値の0, 1は入れ替わったものであってもよいし、それ以外の2値で表現されていてもよい。

[0129] すなわち、メモリ93-0乃至93-(n-1)が1フレームおきに画素信号を順次シフトして画素信号を記憶し、リングバッファ110を構成する場合、N(=1)フレームおきに画素値をシフトさせるとき、図13の最上段で示されるように、メモリ93-0にフレーム0(frame0)乃至フレーム10(frame10)が順次格納されるものとする。

[0130] この場合、メモリ93-1乃至93-(n-1)により形成されるリングバッファ110には、フレーム0(frame0)の画素信号が、メモリ93-(n-5)に、フレーム0(frame0)が供給されるタイミングで格納され、フレーム1(frame1)がスキップされる。そして、フレーム2(frame2)のタイミングで、フレーム0(frame0)の画素信号が、メモリ93-(n-4)にシフトされると共に、メモリ93-(n-5)に、フレーム2(frame2)が供給されると共に格納され、フレーム3(frame3)のタイミングでもこの状態が保持される。

[0131] また、フレーム4(frame4)のタイミングで、フレーム0(frame0)の画素信号が、メモリ93-(n-3)にシフトされると共に、フレーム2(frame2)の画素信号が、メモリ93-(n-4)にシフトされて、メモリ93-(n-5)に、フレーム4(frame4)が供給されると共に格納され、フレーム5(frame5)のタイミングでもこの状態が保持される。

[0132] さらに、フレーム6(frame6)のタイミングで、フレーム0(frame0)の画素信号が、メモリ93-(n-2)にシフトされると共に、フレーム2(frame2)の画素信号が、メモリ93-(n-3)にシフトされて、フレーム4(frame4)の画素信号が、メモリ93-(n-4)にシフトされて、メモリ93-(n-5)に、フレーム6(frame6)が供給されると共に格納され、

フレーム7 (frame7) のタイミングでもこの状態が保持される。

[0133] また、フレーム8 (frame8) のタイミングで、フレーム0 (frame0) の画素信号が、メモリ93 - (n - 1) にシフトされると共に、フレーム2 (frame2) の画素信号が、メモリ93 - (n - 2) にシフトされて、フレーム4 (frame4) の画素信号が、メモリ93 - (n - 3) にシフトされて、フレーム6 (frame6) の画素信号が、メモリ93 - (n - 3) にシフトされて、メモリ93 - (n - 5) に、フレーム8 (frame8) が供給されると共に格納され、フレーム9 (frame9) のタイミングでもこの状態が保持される。

[0134] この処理により、メモリ93 - 0に、例えば、フレーム8 (frame8) が供給されるタイミングにおいては、フレーム0, 2, 4, 6 (frame0, 2, 4, 6) の平均値と、フレーム8 (frame8) との差分絶対値が差分画像の画素値としてそれぞれ求められる。

[0135] すなわち、従来においては、図14の上段で示されるように、各フレームの画素信号が供給されてくる度に、直前の背景画像 (背景画像 (t - 1)) が読み出され、入力画像 (入力画像 (t)) との重み α を用いた重み付平均が背景画像 (= 背景画像 (t - 1) $\times \alpha$ + 入力画像 (t) $\times (1 - \alpha)$) として求められて書き戻す処理が繰り返されていた。このため、読み出し、演算、および書き戻しにより、演算回路73の構成が複雑になると共に、消費電力を増大させる原因となっていた。

[0136] しかしながら、図12の演算回路73の構成によれば、図14の下段で示されるように、例えば、フレーム8 (frame8) の画素信号が供給されるタイミングにおいては、格納されているフレーム0, 2, 4, 6 (frame0, 2, 4, 6) の画素信号を読み出して平均値を求め、フレーム8 (frame8) の画素信号との差分絶対値を演算するのみでよい。そのため演算回路73の構成を簡素化することができ、さらに、書き戻す処理が不要であるので、消費電力を低減させることが可能となる。

[0137] (背景差分演算処理)

次に、図15のフローチャートを参照して、図12の演算回路73による

背景差分演算処理について説明する。尚、ここでは、古い方から4フレーム分の画素信号の平均値を求めるものとする。

- [0138] ステップS 5 1において、ゲインアンプ1 1 1-0乃至1 1 1-3は、それぞれリングバッファを構成するメモリ9 3-0乃至9 3-(n-1)のうち、最も古いフレームの画素信号からN番目まで古いフレームの画素信号を保持している、メモリ9 3-(n-1)乃至9 3-(n-4)の画素信号を読み出す。
- [0139] ステップS 5 2において、加算部1 1 1は、リングバッファ1 1 0に保持されている、最も古いフレーム画素信号から4番目まで古いフレームの画素信号を加算し、ゲインアンプ1 1 2に供給する。
- [0140] ステップS 5 3において、ゲインアンプ1 1 2は、加算した画素信号のゲインを $1/4$ にして、最も古いフレーム画素信号から4番目まで古いフレームの画素信号の平均値を求めて減算部1 1 3に供給する。
- [0141] ステップS 5 4において、減算部1 1 3は、最も新しいフレームの画素信号が保持されているメモリ9 3-0の画素信号と加算部1 1 2より供給されてくる最も古いフレームの画素信号から4番目まで古いフレームの画素信号の平均値との差分を求めて絶対値化部1 1 4に供給する。
- [0142] ステップS 5 5において、絶対値化部1 1 4は、減算部1 1 3より出力される差分となる画素値の絶対値を求めて、差分絶対値として、閾値処理部1 1 5に出力する。
- [0143] ステップS 5 6において、閾値処理部1 1 5は、絶対値化部1 1 4より供給されてくる差分絶対値となる画素値valと、所定の閾値thとを比較して所定の閾値thよりも大きな画素の画素値を1とし、それ以外の画素の画素値を0とした2値化された差分画像を出力する。
- [0144] この2値化された差分画像により、前景領域、および背景領域を推定することが可能となる。尚、以上においては、リングバッファ1 1 0に格納された画素信号のうち、最も古い4フレーム分の平均値と最新のフレームの画素信号との差分絶対値を用いて前景領域および背景領域を推定する例について

説明してきたが、最も古い複数フレームの平均値については、4フレーム以外のフレーム数の平均値を求めるようにしてもよい。

[0145] <第1の応用例>

以上においては、メモリ93-0乃至93-(n-1)を用いたリングバッファ110により最新のフレームにおける画素信号と、最も古い4フレーム分の画素信号の平均値との差分絶対値を用いる例について説明してきたが、最新のフレームにおける画素信号と、最も古い4フレームのそれぞれとの差分絶対値が全て閾値よりも大きいときの差分絶対値の画素のみを前景領域とみなし、それ以外の画素を背景領域とみなすようにしてもよい。

[0146] 図16は、メモリ93-0乃至93-(n-1)を用いたリングバッファ110により、最新のフレームにおける画素信号と、最も古い4フレームのそれぞれとの差分絶対値が全て閾値よりも大きいときの差分絶対値の画素のみを前景領域とみなし、それ以外の画素を背景領域とみなすようにした演算回路73の第1の応用例である。

[0147] 図16の演算回路73は、減算器131-0乃至131-3、絶対値化部132-0乃至132-3、閾値処理部133-0乃至133-3、および判定部134を備えている。

[0148] 減算器131-0乃至131-3は、メモリ93-N乃至93-(N-3)に格納されている最も古い4フレーム分の画素信号を読み出し、メモリ93-0に格納されている最新の入力画像の画素信号との差分を求めて、それぞれ絶対値化部132-0乃至132-3に供給する。

[0149] 絶対値化部132-0乃至132-3は、それぞれ供給されてくる差分値を差分絶対値として閾値処理部133-0乃至133-3に供給する。

[0150] 閾値処理部133-0乃至133-3は、それぞれ差分絶対値と所定の閾値とを比較し、閾値よりも大きな画素について画素値を1とし、それ以外の画素について画素値を0とする2値化画像を生成し、判定部134に供給する。

[0151] 判定部134は、閾値処理部133-0乃至133-3より供給されてく

る4個の2値化画像の各画素について、画素値がいずれも1である画素のみの画素値を1とし、それ以外の画素の画素値を0とする。

[0152] このような構成により、例えば、背景に木の葉が含まれており、風に揺らぐなどして安定的に背景領域とみなされない範囲については、時系列に画素値を加算して求められる平均値の場合、値にばらつきが生じて、背景画像であるにもかかわらず、前景画像であるとみなされることがあり、安定的に背景画像であるとみなされないことがある。しかしながら、各タイミングの同一位置の画素値の全てが前景画像であるとみなされる場合にのみ前景画像であるとみなされるようにすることで、木の葉が揺れるのみで動物体が検出されてしまうようなことがなくなるので、被写体が移動した範囲のみを確実に前景領域とみなすことが可能となる。

[0153] (図16の演算回路による背景差分演算処理)

次に、図17のフローチャートを参照して、図16の演算回路による背景差分演算処理について説明する。

[0154] ステップS71において、減算器131-0乃至131-3は、メモリ93-(n-1)乃至93-(n-4)に格納されている最も古い4フレーム分の画素信号(N個の画素信号)を読み出す。

[0155] ステップS72において、減算器131-0乃至131-3は、それぞれ読み出した最も古い4フレーム分の画素信号と、メモリ93-0に格納されている最新の入力画像の画素信号との差分を求めて、それぞれ絶対値化部132-0乃至132-3に供給する。

[0156] ステップS73において、絶対値化部132-0乃至132-3は、それぞれ供給されてくる差分値の絶対値を求め、差分絶対値として閾値処理部133-0乃至133-3に供給する。

[0157] ステップS74において、閾値処理部133-0乃至133-3は、それぞれ差分絶対値と所定の閾値とを比較し、閾値よりも大きな画素について画素値を1とし、それ以外の画素について画素値を0とする2値化画像を生成し、判定部134に供給する。

[0158] ステップS 7 5において、判定部 1 3 4は、閾値処理部 1 3 3－0乃至 1 3 3－3より供給されてくる4個の2値化画像の各画素について、画素値がいずれも1である画素のみの画素値を1とし、それ以外の画素の画素値を0とする。

[0159] このような構成により、例えば、背景に木の葉が含まれており、風に揺らぐなどして安定的に前景領域とみなされない範囲については、確実に背景領域とみなされ、安定的に被写体が移動した範囲のみを前景領域とみなすことが可能となる。

[0160] <第2の応用例>

以上においては、メモリ 9 3－0乃至 9 3－(n－1)を用いたリングバッファ 1 1 0により最新のフレームにおける画素信号と、最も古い4フレーム分の画素信号のそれぞれとの差分絶対値の比較結果を用いる例について説明してきたが、リングバッファ 1 1 0に格納されている全フレームにおける画素信号の平均を求めるようにすることで、ノイズ除去を実現するようにしてもよい。

[0161] 図 1 8は、メモリ 9 3－0乃至 9 3－(n－1)を用いたリングバッファ 1 1 0により全フレームにおける画素信号の平均を求めるようにすることで、ノイズ除去を実現するようにした演算回路 7 3の構成例を示している。

[0162] 図 1 8の演算回路 7 3は、加算器 1 5 1、およびゲインアンプ 1 5 2を備えている。加算器 1 5 1は、メモリ 9 3－0乃至 9 3－(n－1)に格納されているnフレーム分の全フレームの画素信号を加算し、ゲインアンプ 1 5 2に供給する。ゲインアンプ 1 5 2は、加算器 1 5 1の加算結果に、 $1/n$ 倍のゲインを掛けることにより、リングバッファに平均値を求めるゲインアンプ 1 5 2を備えている。

[0163] このような構成により、ノイズを除去することが可能となる。

[0164] (図 1 8の演算回路によるノイズ除去処理)

次に、図 1 9のフローチャートを参照して、図 1 8の演算回路 7 3によるノイズ除去処理について説明する。

- [0165] ステップS 9 1において、加算器1 5 1は、メモリ9 3－0乃至9 3－(n－1)に格納されているnフレーム分の画素信号を全て読み出して、加算し、加算結果をゲインアンプ1 5 2に供給する。
- [0166] ステップS 9 2において、ゲインアンプ1 5 2は、加算結果を $1/n$ 倍のゲインを掛けて、画素信号の平均値を求めるようにする。
- [0167] ステップS 9 3において、ゲインアンプ1 5 2は、画素信号の全フレーム分の平均値を出力する。
- [0168] この結果、メモリ9 3－0乃至9 3－(n－1)により構成されたリングバッファ1 1 0に格納されている全フレーム分の画素信号を平均化することで、ノイズが除去された画像を出力することが可能となる。尚、以上においては、全ての画像を均等に加算して平均化する例について説明してきたが、新しい画像により大きな重みを付して、重み付平均をもとめるようにしてもよい。
- [0169] <第3の応用例>
- 以上においては、カラムAD回路7 2のメモリ9 3の値を順次、右隣のカラムAD回路7 2のメモリ9 3にシフトする例について説明してきたが、例えば、図2 0で示されるように、左隣のカラムAD回路7 2にシフトさせるようにしてもよいし、垂直転送線の接続のオンまたはオフを切り替えるようにしてもよいし、さらに、隣接する垂直転送線の接続を切り替えるようにしてもよい。
- [0170] すなわち、図2 0においては、垂直転送線1 9 2間を接続する水平転送線1 9 1が設けられ、さらに、垂直転送線1 9 2間の接続のオンまたはオフを切り替えるスイッチ1 8 1－0乃至1 8 1－2が設けられている。また、垂直転送線の接続のオンまたはオフを切り替えるスイッチ1 8 2－0乃至1 8 2－2が設けられている。
- [0171] さらに、カラムAD回路7 2－0，7 2－1間、およびカラムAD回路7 2－1，7 2－2間のそれぞれに設けられている、メモリ9 3の値を隣接する左側のカラムAD回路7 2に転送する配線L 1－0，L 1－1に加えて、右側の

カラムAD回路 7 2 に転送する配線 L 2 - 1, L 2 - 2 が設けられている。

[0172] 尚、図 2 0 の各構成において、図 4 と同一の機能を備えた構成については、同一の符号を付しており、その説明は適宜省略するものとする。すなわち、図 2 0 において、図 4 と異なる点は、組み合わせ回路 9 2 に代えて、組み合わせ回路 9 2' を設けている点である。組み合わせ回路 9 2' は、基本的な機能は、組み合わせ回路 9 2 と同様であるが、セクタ 1 7 1 をさらに設けている点で異なる。セクタ 1 7 1 は、動作モードに応じて、右隣のカラムAD回路 7 2 のメモリ 9 3 の画素信号か、または 0 のいずれかを選択して加算器 1 0 5 に供給する。従って、図 2 0 の組み合わせ回路 9 2' においては、加算器 1 0 5 は、セクタ 1 0 2, 1 0 4, 1 7 1 より供給されてくる 3 値を加算して、絶対値化部 1 0 6 およびセクタ 1 0 7 に供給する。

[0173] このような構成により、様々な演算を実現することが可能となる。

[0174] より具体的には、図 2 1 の左上部のカラムAD回路 7 2 - 1 1 で示されるように、コンパレータ 9 1 - 1 1 が、垂直転送線より供給されてくるアナログ信号の画素信号をリファレンスとの比較結果を組み合わせ回路 9 2' - 1 1 に供給し、組み合わせ回路 9 2' - 1 1 を、AD変換する際に使用されるカウントアップ回路またはカウントダウン回路として機能させることが可能となる。尚、図 2 1 においては、各配線上の太線が、画素信号の移動経路を示している。

[0175] また、図 2 1 の中央上部のカラムAD回路 7 2 - 2 1, 7 2 - 2 2 で示されるように、カラムAD回路 7 2 - 2 2 の組み合わせ回路 9 2' - 2 2 が、配線 L 1 を介して、左隣のカラムAD回路 7 2 - 2 1 のメモリ 9 3 - 2 1 に格納された画素信号を読み出し、メモリ 9 3 - 2 2 に格納させることで、カラムAD回路 7 2 - 2 1 のメモリ 9 3 - 2 1 に格納された画素信号を、右隣のカラムAD回路 7 2 - 2 2 のメモリ 9 3 - 2 2 に移動させる右シフト処理回路として機能させることが可能となる。

[0176] さらに、図 2 1 の右上部のカラムAD回路 7 2 - 3 1, 7 2 - 3 2 で示されるように、カラムAD回路 7 2 - 3 1 の組み合わせ回路 9 2' - 3 1 が、配線

L 2 を介して、右隣のカラムAD回路 7 2 - 3 2 のメモリ 9 3 - 3 2 に格納された画素信号を読み出し、メモリ 9 3 - 3 1 に格納させることで、カラムAD回路 7 2 - 3 2 のメモリ 9 3 - 3 2 に格納された画素信号を、左隣のカラムAD回路 7 2 - 3 1 のメモリ 9 3 - 3 1 に移動させる左シフト処理回路として機能させることが可能となる。

[0177] また、図 2 1 の左下部で示されるように、カラムAD回路 7 2 - 5 1 で示されるように、カラムAD回路 7 2 - 5 1 のメモリ 9 3 - 5 1 に初期値として画素信号を格納させることで初期値設定回路として機能させることが可能となる。

[0178] さらに、図 2 1 の中央下部で示されるように、カラムAD回路 7 2 - 7 1 , 7 2 - 7 2 で示されるように、カラムAD回路 7 2 - 7 2 の組み合わせ回路 9 2' - 7 2 が、配線 L 1 を介して、左隣のカラムAD回路 7 2 - 7 1 のメモリ 9 3 - 7 1 に格納された画素信号を読み出し、メモリ 9 3 - 7 2 に格納されている値と共に演算し、メモリ 9 3 - 7 2 に格納する右シフト演算回路として機能させることが可能となる。

[0179] また、図 2 1 の右下部で示されるように、カラムAD回路 7 2 - 9 1 , 7 2 - 9 2 で示されるように、カラムAD回路 7 2 - 9 1 の組み合わせ回路 9 2' - 9 1 が、配線 L 2 を介して、左隣のカラムAD回路 7 2 - 9 2 のメモリ 9 3 - 9 2 に格納された画素信号を読み出し、メモリ 9 3 - 9 1 に格納されている値を用いて演算し、メモリ 9 3 - 9 1 に格納することで左シフト演算回路として機能させることが可能となる。

[0180] このような演算回路を組み合わせるようにすることで、様々な演算処理を実現することが可能となる。

[0181] 例えば、0 列目 (column0) 乃至 5 列目 (column5) までの 6 列について、カラムAD回路 7 2 - 0 乃至 7 2 - 5 を設けて、カラムAD回路 7 2 - 0 , 7 2 - 4 をAD変換のためのカウントアップ回路として機能させ、カラムAD回路 7 2 - 1 乃至 7 2 - 3 を右シフト処理回路として機能させ、カラムAD回路 7 2 - 5 を初期値設定回路として機能させ、カラムAD回路 7 2 - 4 を、さらに、

図5で示されるような右シフト演算回路として機能させることで、図22で示されるような処理を実現することが可能となる。

[0182] 尚、図22においては、各列（column0乃至5）のカラムAD回路72-0乃至72-5における第0フレーム（frame0）乃至第3フレーム（frame3）までの処理がタイミングT1乃至T13のそれぞれにおいて示されている。

[0183] また、予めcolumn5のカラムAD回路72-5が、初期設定回路として機能し、メモリ93-5に閾値（thresh）が設定されるものとする。

[0184] タイミングT1において、column0のカラムAD回路72-0に、0フレーム目（frame0）の画素値（val0）が入力されると、カラムAD回路72-0の組み合わせ回路92'-0が、AD変換し、タイミングT2において、カラムAD回路72-0（column0）内のメモリ93-0に保存する。

[0185] タイミングT3において、カラムAD回路72-1の組み合わせ回路92'-1が、column0内のメモリ93-0に保存した画素値（val0）を、column1内のメモリ93-1にシフトする。

[0186] タイミングT4において、1フレーム目（frame1）の画素値（val1）がcolumn0のカラムAD回路72-0の組み合わせ回路92'-0に入力されると、カラムAD回路72-0の組み合わせ回路92'-0が、AD変換し、タイミングT5において、column0内のメモリ93-0に保存する。

[0187] タイミングT6において、画素値（val0）がcolumn1内のメモリ93-1からcolumn2のメモリ93-2へシフトされ、同様に、画素値（val1）がcolumn0内のメモリ93-0からcolumn1のメモリ93-1へとシフトされる。

[0188] タイミングT7において、2フレーム目（frame2）の画素値（val2）に対しても順次AD変換がなされ、タイミングT8において、column0のメモリ93-0に保存される。

[0189] そして、タイミングT9において、column2の画素値（val0）がcolumn3のメモリ93-3にシフトされ、column1の画素値（val1）がcolumn2のメモリ93-2にシフトされ、column0の画素値（val2）がcolumn1のメモリ93-1にシフトされる。

- [0190] タイミングT10において、3フレーム目 (frame3) の画素値 (val3) が入力されたとき、図23で示されるように、水平転送線191のスイッチ181-0乃至181-3をオンにして接続し、column0のカラムAD回路72-0とcolumn4のカラムAD回路72-4とで同時にAD変換を実行し、タイミングT11において、それぞれ画素値 (val3) が、メモリ93-0, 93-4に格納される。
- [0191] タイミングT12において、column0乃至3の画素値val0乃至val3は、それぞれ右隣に隣接するカラムAD回路72-3乃至72-1のメモリ93-3乃至93-1にそれぞれシフトされる。このとき、同時に、column4のカラムAD回路72-4では、組み合わせ回路92-4が、column3のカラムAD回路72-3のメモリ93-3に格納されている画素値 (val0) とcolumn4のカラムAD回路72-4によりAD変換された画素値 (val3) とで差分絶対値を演算により求め、演算結果 (abs_diff03) をcolumn4のカラムAD回路72-4のメモリ93-4に格納する。
- [0192] タイミングT13において、column5のカラムAD回路72-5に設定された閾値 (thresh) がcolumn4のカラムAD回路72-4にシフトされながら、その差分絶対値 (abs_diff03) から減算し、減算結果 (diff03) を保存する。
- [0193] この減算結果 (diff03) が、所定の閾値よりも大きい場合、この画素が動体を含む前景領域であるものとみなされることになる。
- [0194] このような動作により、前景領域と背景領域とからなる2値化画像からなる差分画像を構成することが可能となる。
- [0195] 尚、以上においては、低解像度画像とすることでAD変換に使用されないカラムAD回路72を用いて差分画像を演算する例について説明してきたが、カラムAD回路72を構成する組み合わせ回路92の構成を工夫することで、他の演算処理に応用することも可能である。また、AD変換に使用されないカラムAD回路72を利用してリングバッファ110を構成し、リングバッファ110を用いて、演算回路73の構成により差分画像を求める、およびノイズを除去するようにする例についても説明してきたが、演算回路73の構成を

変えることで、他の演算に使用するようにしてもよいものである。

[0196] また、以上においては、全画素について露光時間が同一である例について説明してきたが、露光時間の異なる低解像度画像をカラムAD回路72のグループを分けて格納し、白飛びや黒沈みを除去するようにしてもよい。

[0197] 以上の如く、本開示の撮像素子によれば、カラムAD回路72内メモリ93を用いて演算処理を行うことで、デジタルフレームメモリを増設する必要がないため、その分の実装エリアを小さくすることができるので、装置の小型化を実現することが可能となる。また、デジタルフレームメモリを設ける必要がないので、リーク電流を低く抑えることが可能となり、省電力化を実現することが可能となる。

[0198] また、画素内にメモリを持つ方式に比べて、画素を小さくできるので、その分多画素化を実現する、または、小面積化を実現することが可能となる。

[0199] さらに、カラムAD回路内で動物体を検知する構成にすることで、通常時はカラムAD回路の後段の構成を完全に停止したまま、動き検知をすることができるため、省電力化を実現することが可能となる。

[0200] <電子機器への適用例>

上述した撮像素子51は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0201] 図24は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0202] 図24に示される撮像装置501は、光学系502、シャッタ装置503、固体撮像素子504、駆動回路505、信号処理回路506、モニタ507、およびメモリ508を備えて構成され、静止画像および動画像を撮像可能である。

[0203] 光学系502は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子504に導き、固体撮像素子504の受光面に結像させる。

[0204] シャッタ装置503は、光学系502および固体撮像素子504の間に配置され、駆動回路1005の制御に従って、固体撮像素子504への光照射期間および遮光期間を制御する。

[0205] 固体撮像素子504は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子504は、光学系502およびシャッタ装置503を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子504に蓄積された信号電荷は、駆動回路505から供給される駆動信号（タイミング信号）に従って転送される。

[0206] 駆動回路505は、固体撮像素子504の転送動作、および、シャッタ装置503のシャッタ動作を制御する駆動信号を出力して、固体撮像素子504およびシャッタ装置503を駆動する。

[0207] 信号処理回路506は、固体撮像素子504から出力された信号電荷に対して各種の信号処理を施す。信号処理回路506が信号処理を施すことにより得られた画像（画像データ）は、モニタ507に供給されて表示されたり、メモリ508に供給されて記憶（記録）されたりする。

[0208] このように構成されている撮像装置501においても、上述した光学系502、シャッタ装置503、および固体撮像素子504に代えて、撮像素子51を適用することにより、演算に必要とされる回路構成を増設することなく画像撮像モードとセンサモードとを切り替えた撮像が可能となり、装置の小型化や省電力化を実現することが可能となる。

＜固体撮像素子の使用例＞

[0209] 図25は、上述の撮像素子51を使用する使用例を示す図である。

[0210] 上述したカメラモジュールは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0211] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前

方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0212] 尚、本開示は、以下のような構成も取ることができる。

<1> 入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、

前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

撮像素子。

<2> 前記アナログデジタル変換部は、前記演算処理の結果を記憶する記憶部を含み、

少なくとも前記一部以外の前記アナログデジタル変換部は、タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶する

<1>に記載の撮像素子。

<3> 少なくとも前記一部以外の前記アナログデジタル変換部は、新たな低解像度画像の画素信号が供給されてくるとき、隣接する前記アナログデジタル変換部の前記記憶部に記憶している画素信号を読み出し、自らの前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶する

<2>に記載の撮像素子。

<4> 少なくとも前記一部以外の前記アナログデジタル変換部は、新たな低解像度画像の画素信号が供給されてくるときであって、所定数のフレーム毎に、自らの前記記憶部に記憶している画素信号を、順次隣接する前記アナログデジタル変換部の前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶する

<2>に記載の撮像素子。

<5> 少なくとも前記一部以外の前記アナログデジタル変換部は、前記記憶部に記憶している、タイミングの異なる複数フレーム分の前記低解像度画像を構成する画素信号のフレーム間差分画像を求める演算処理を実行する

<2>に記載の撮像素子。

<6> 少なくとも前記一部以外の前記アナログデジタル変換部は、前記記憶部に記憶している、所定のタイミングの1フレーム分の前記低解像度画像を構成する画素信号を読み出し、新たなフレームの画素信号とのフレーム間差分画像を求め、前記記憶部に上書きする

<5>に記載の撮像素子。

<7> 少なくとも前記一部以外の前記アナログデジタル変換部は、新たな低解像度画像の画素信号が供給されてくるとき、自らの前記記憶部に記憶している画素信号を、隣接する前記アナログデジタル変換部の前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる所定数の複数フレーム分の低解像度画像を構成する画素信号を記憶することで、リングバッ

ファを構成する

＜2＞に記載の撮像素子。

＜8＞ 前記リングバッファに記憶されているタイミングの異なる所定数の複数のフレームの前記低解像度画像を構成する画素信号と、前記新たな低解像度画像の画素信号との差分画像を演算する演算部をさらに含む

＜7＞に記載の撮像素子。

＜9＞ 前記演算部は、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号の各画素における平均値と、前記新たな低解像度画像の画素信号との差分絶対値を演算し、前記差分絶対値が所定の閾値よりも大きな画素を第1の画素値とし、前記差分絶対値が所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算する

＜8＞に記載の撮像素子。

＜10＞ 前記演算部は、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号の、前記タイミングに応じた重み付平均値と、前記新たな低解像度画像の画素信号との差分絶対値を演算し、前記差分絶対値が所定の閾値よりも大きな画素を第1の画素値とし、前記差分絶対値が所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算する

＜9＞に記載の撮像素子。

＜11＞ 前記演算部は、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号と、前記新たな低解像度画像の画素信号とのそれぞれの差分絶対値を演算し、それぞれの前記差分絶対値がいずれも所定の閾値よりも大きな画素を第1の画素値とし、それぞれの前記差分絶対値のいずれかが所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算する

＜9＞に記載の撮像素子。

＜12＞ 前記リングバッファに記憶されている異なるタイミングの所定数

の複数のフレームの前記低解像度画像を構成する画素の画素値の平均値を演算する演算部をさらに含む

＜ 7 ＞に記載の撮像素子。

＜ 1 3 ＞ 前記演算部は、前記リングバッファに記憶されている異なるタイミングの所定数の複数のフレームの前記低解像度画像を構成する画素の画素値の、前記タイミングに応じた重み付平均値を演算する

＜ 1 2 ＞に記載の撮像素子。

＜ 1 4 ＞ 前記低解像度画像は、前記画素アレイを構成する画素の、複数の画素群毎の平均値、代表値、およびメジアン of のいずれかよりなる画像である

＜ 1 ＞に記載の撮像素子。

＜ 1 5 ＞ 入射光の光量に応じて画素信号を生成する複数の画素が 2 次元のアレイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含む撮像素子の撮像方法であって、

前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部が、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

撮像素子の動作方法。

＜ 1 6 ＞ 入射光の光量に応じて画素信号を生成する複数の画素が 2 次元のアレイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、

前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

撮像装置。

< 17 > 入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、

前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

電子機器。

符号の説明

[0213] 51 撮像素子, 71 画素アレイ, 71a, 71a-1乃至71a-p 画素群, 72, 72-0乃至72-(n-1) カラムAD回路, 73 演算回路, 91 コンパレータ, 92, 92-0乃至92-(n-1) 組み合わせ回路, 93, 93-0乃至93-(n-1) メモリ, 101, 101-0乃至101-(n-1) 回路, 102, 102-0乃至102-(n-1) 加算器, 103, 103-0乃至103-(n-1) 回路, 110 リングバッファ, 111, 111-0乃至111-4 ゲインアンプ, 112 加算器, 113 減算器, 114 絶対値化部, 115 閾値処理部, 131, 131-0乃至131-3 減算器, 132, 132-0乃至132-3 絶対値化部, 133, 133-0乃至133-(n-1) 閾値判定部, 134 判定部, 151 加算器, 152 ゲインアンプ, 181, 181-0乃至181-2 スイッチ, 182, 182-0乃至182-2 スイッチ, 191 水平転送線, 192, 192-1乃至192-2 垂直転送

請求の範囲

- [請求項1] 入射光の光量に応じて画素信号を生成する複数の画素が2次元のアレイ状に配設された画素アレイと、
- 前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、
- 前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する
- 撮像素子。
- [請求項2] 前記アナログデジタル変換部は、前記演算処理の結果を記憶する記憶部を含み、
- 少なくとも前記一部以外の前記アナログデジタル変換部は、タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶する
- 請求項1に記載の撮像素子。
- [請求項3] 少なくとも前記一部以外の前記アナログデジタル変換部は、新たな低解像度画像の画素信号が供給されてくるとき、隣接する前記アナログデジタル変換部の前記記憶部に記憶している画素信号を読み出し、自らの前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶する
- 請求項2に記載の撮像素子。
- [請求項4] 少なくとも前記一部以外の前記アナログデジタル変換部は、新たな低解像度画像の画素信号が供給されてくるときであって、所定数のフレーム毎に、自らの前記記憶部に記憶している画素信号を、順次隣接

する前記アナログデジタル変換部の前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる複数フレーム分の低解像度画像を構成する画素信号を記憶する

請求項 2 に記載の撮像素子。

[請求項5] 少なくとも前記一部以外の前記アナログデジタル変換部は、前記記憶部に記憶している、タイミングの異なる複数フレーム分の前記低解像度画像を構成する画素信号のフレーム間差分画像を求める演算処理を実行する

請求項 2 に記載の撮像素子。

[請求項6] 少なくとも前記一部以外の前記アナログデジタル変換部は、前記記憶部に記憶している、所定のタイミングの 1 フレーム分の前記低解像度画像を構成する画素信号を読み出し、新たなフレームの画素信号とのフレーム間差分画像を求め、前記記憶部に上書きする

請求項 5 に記載の撮像素子。

[請求項7] 少なくとも前記一部以外の前記アナログデジタル変換部は、新たな低解像度画像の画素信号が供給されてくるとき、自らの前記記憶部に記憶している画素信号を、隣接する前記アナログデジタル変換部の前記記憶部にシフトさせて記憶させることにより、前記タイミングの異なる所定数の複数フレーム分の低解像度画像を構成する画素信号を記憶することで、リングバッファを構成する

請求項 2 に記載の撮像素子。

[請求項8] 前記リングバッファに記憶されているタイミングの異なる所定数の複数のフレームの前記低解像度画像を構成する画素信号と、前記新たな低解像度画像の画素信号との差分画像を演算する演算部をさらに含む

請求項 7 に記載の撮像素子。

[請求項9] 前記演算部は、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する

画素信号の各画素における平均値と、前記新たな低解像度画像の画素信号との差分絶対値を演算し、前記差分絶対値が所定の閾値よりも大きな画素を第1の画素値とし、前記差分絶対値が所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算する請求項8に記載の撮像素子。

[請求項10] 前記演算部は、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号の、前記タイミングに応じた重み付平均値と、前記新たな低解像度画像の画素信号との差分絶対値を演算し、前記差分絶対値が所定の閾値よりも大きな画素を第1の画素値とし、前記差分絶対値が所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算する

請求項9に記載の撮像素子。

[請求項11] 前記演算部は、前記リングバッファに記憶されている最も古いフレームから所定番目に古いフレームまでの前記低解像度画像を構成する画素信号と、前記新たな低解像度画像の画素信号とのそれぞれの差分絶対値を演算し、それぞれの前記差分絶対値がいずれも所定の閾値よりも大きな画素を第1の画素値とし、それぞれの前記差分絶対値のいずれかが所定の閾値よりも小さな画素を第2の画素値とする2値画像からなる差分画像を演算する

請求項9に記載の撮像素子。

[請求項12] 前記リングバッファに記憶されている異なるタイミングの所定数の複数のフレームの前記低解像度画像を構成する画素の画素値の平均値を演算する演算部をさらに含む

請求項7に記載の撮像素子。

[請求項13] 前記演算部は、前記リングバッファに記憶されている異なるタイミングの所定数の複数のフレームの前記低解像度画像を構成する画素の画素値の、前記タイミングに応じた重み付平均値を演算する

請求項 1 2 に記載の撮像素子。

[請求項14] 前記低解像度画像は、前記画素アレイを構成する画素の、複数の画素群毎の平均値、代表値、およびメジアン of のいずれかよりなる画像である

請求項 1 に記載の撮像素子。

[請求項15] 入射光の光量に応じて画素信号を生成する複数の画素が 2 次元のアレイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含む撮像素子の撮像方法であって、

前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部が、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

撮像素子の動作方法。

[請求項16] 入射光の光量に応じて画素信号を生成する複数の画素が 2 次元のアレイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、

前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

撮像装置。

[請求項17] 入射光の光量に応じて画素信号を生成する複数の画素が 2 次元のア

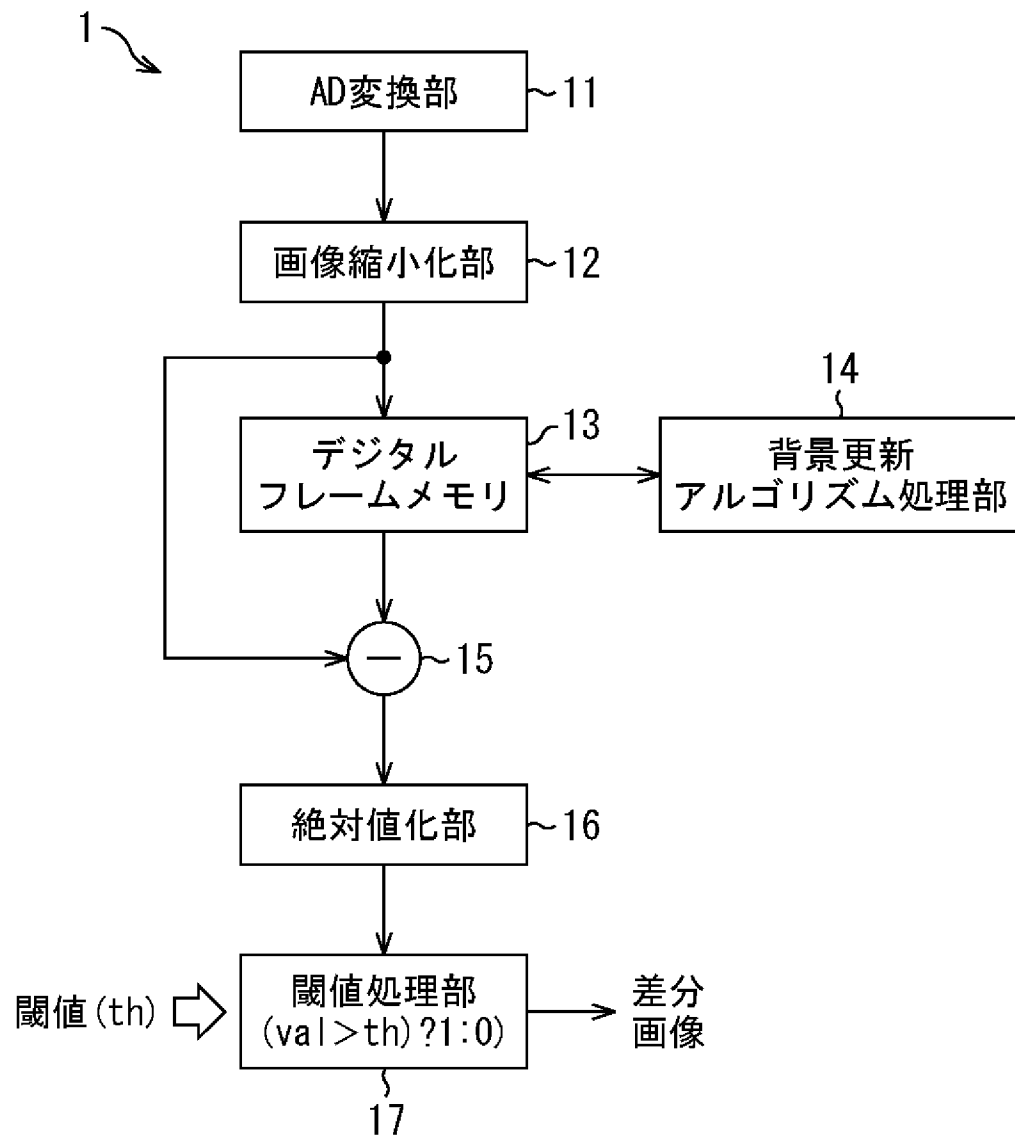
レイ状に配設された画素アレイと、

前記複数の画素が配列された列ごとに設けられ、前記画素信号をアナログ信号からデジタル信号に変換する複数のアナログデジタル変換部とを含み、

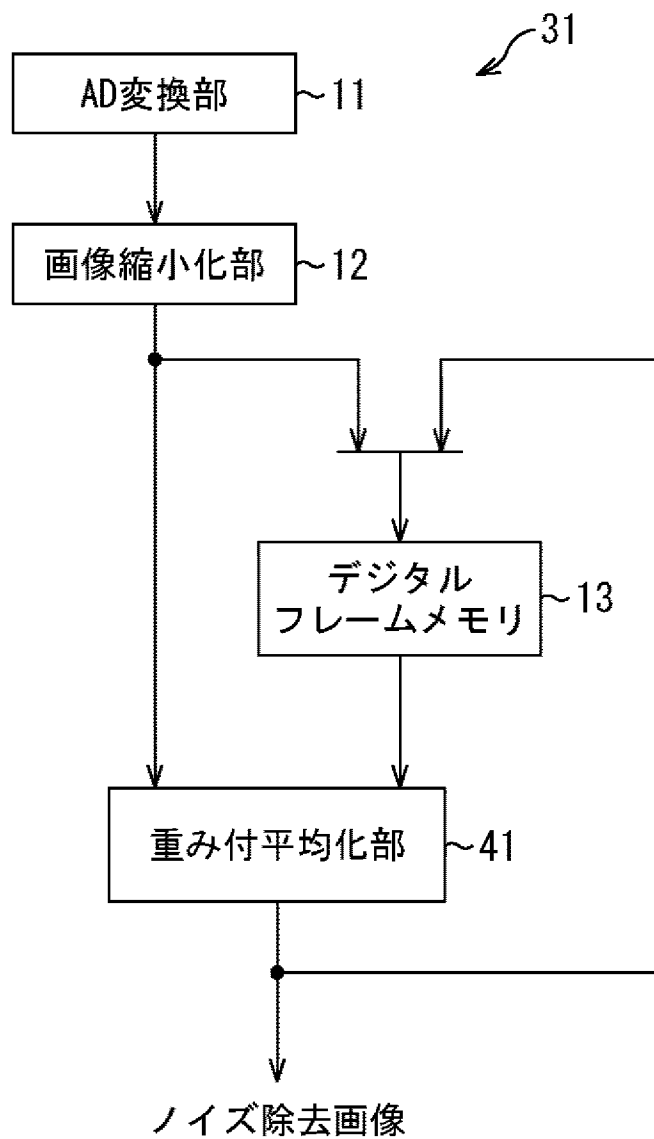
前記複数のアナログデジタル変換部の一部が、前記画素アレイの解像度よりも低解像度の低解像度画像を構成する画素信号をアナログデジタル変換し、少なくとも前記一部以外の前記アナログデジタル変換部は、前記低解像度画像を構成する画素信号を用いた演算処理を実行する

電子機器。

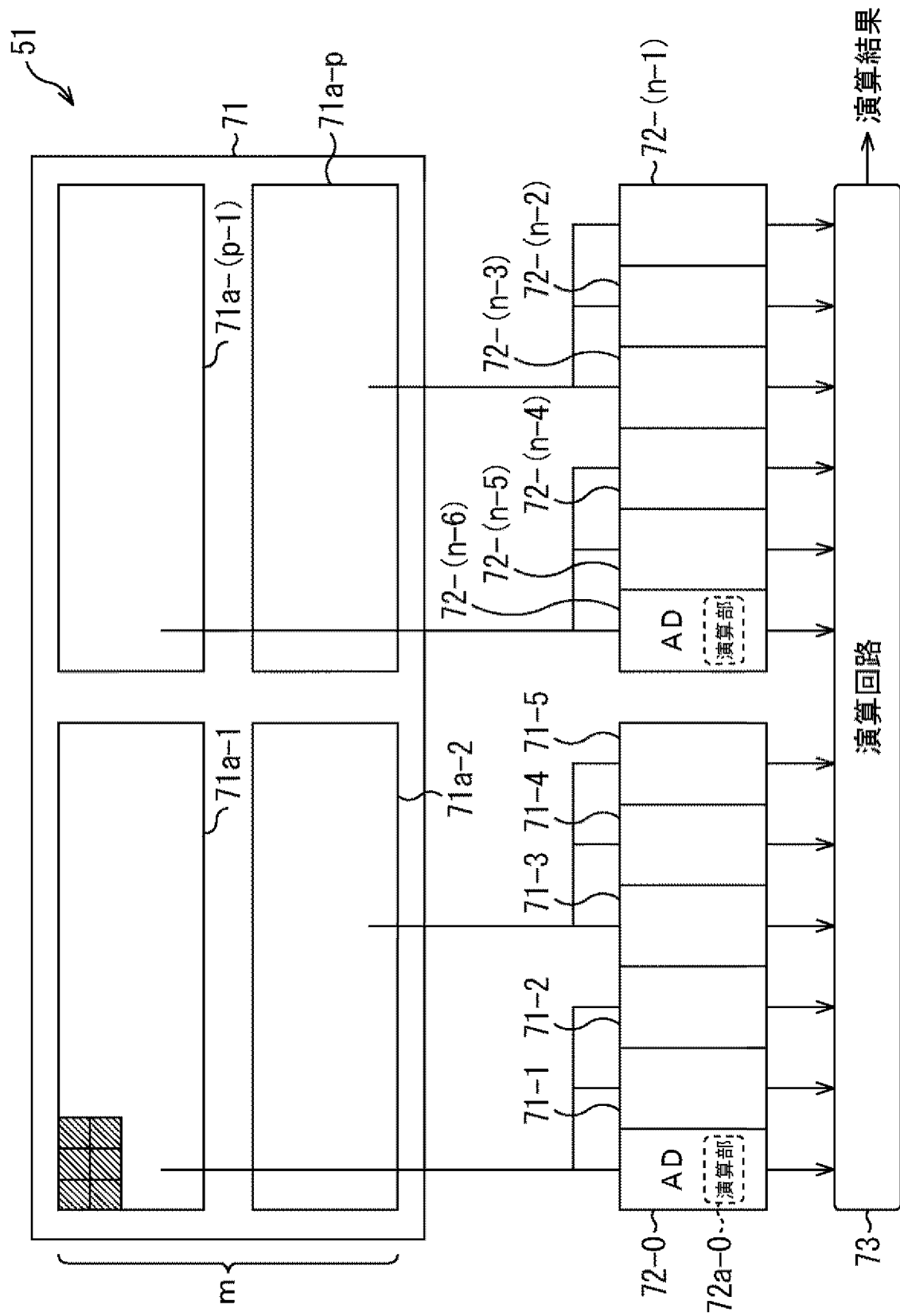
[図1]
FIG. 1



[図2]
FIG. 2



[図3]
FIG. 3



[図4]
FIG. 4

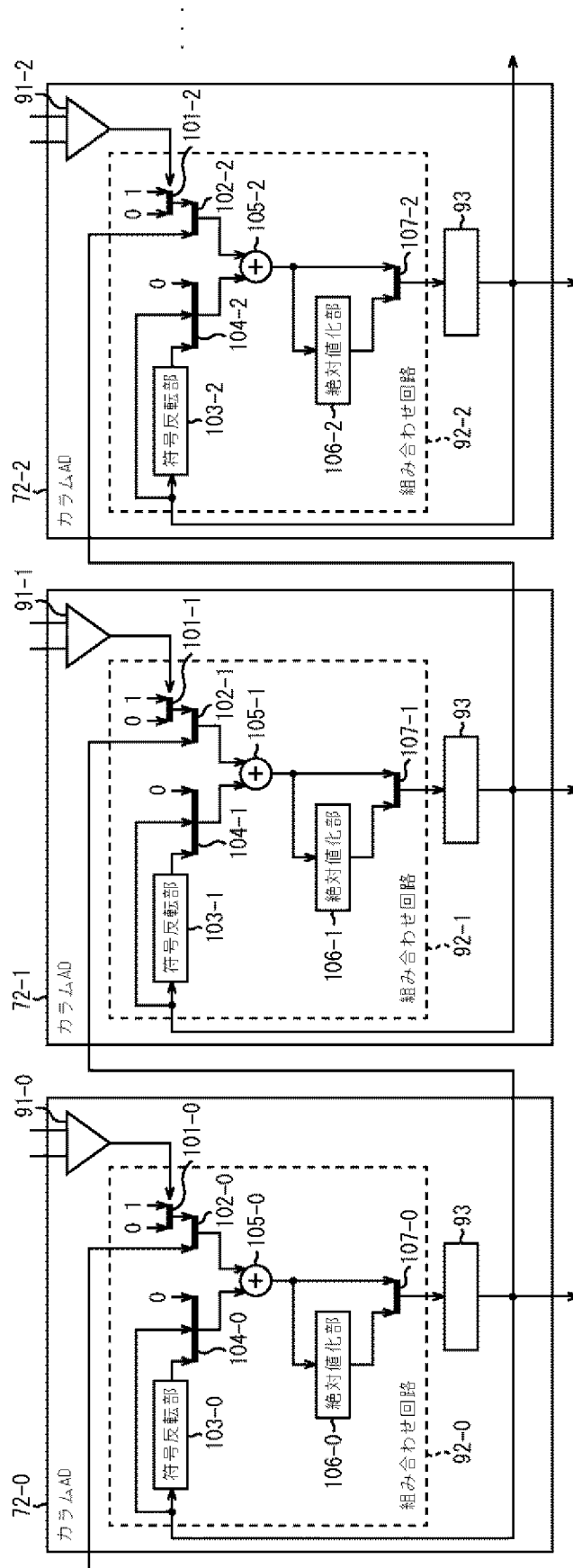
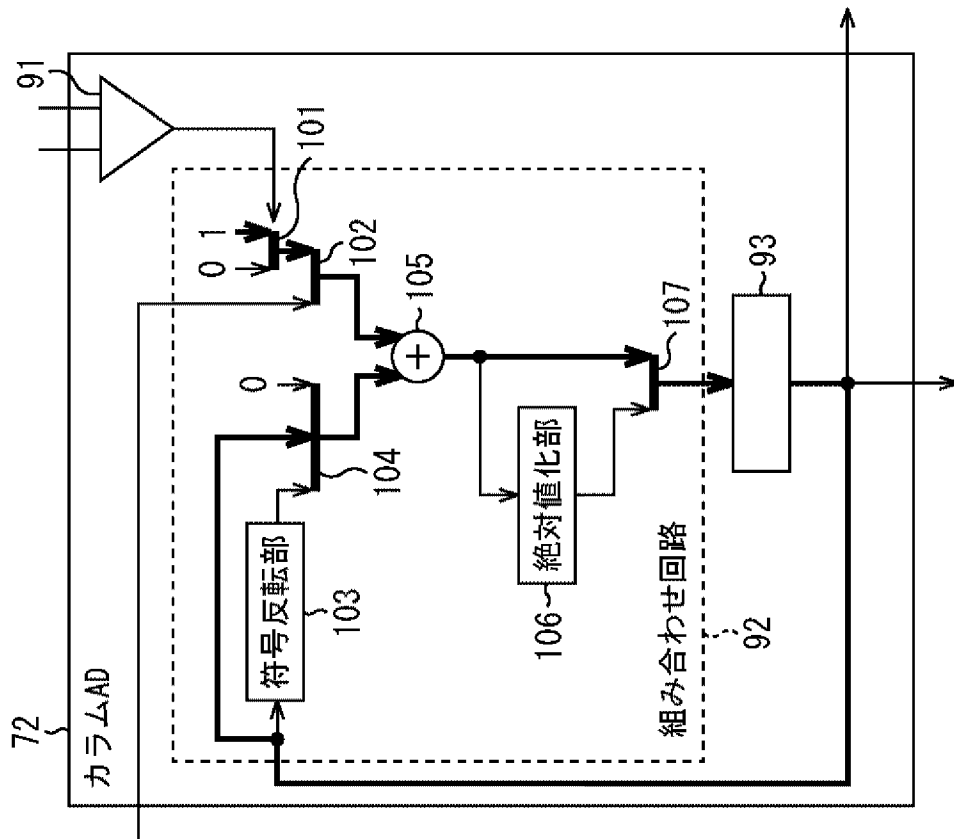
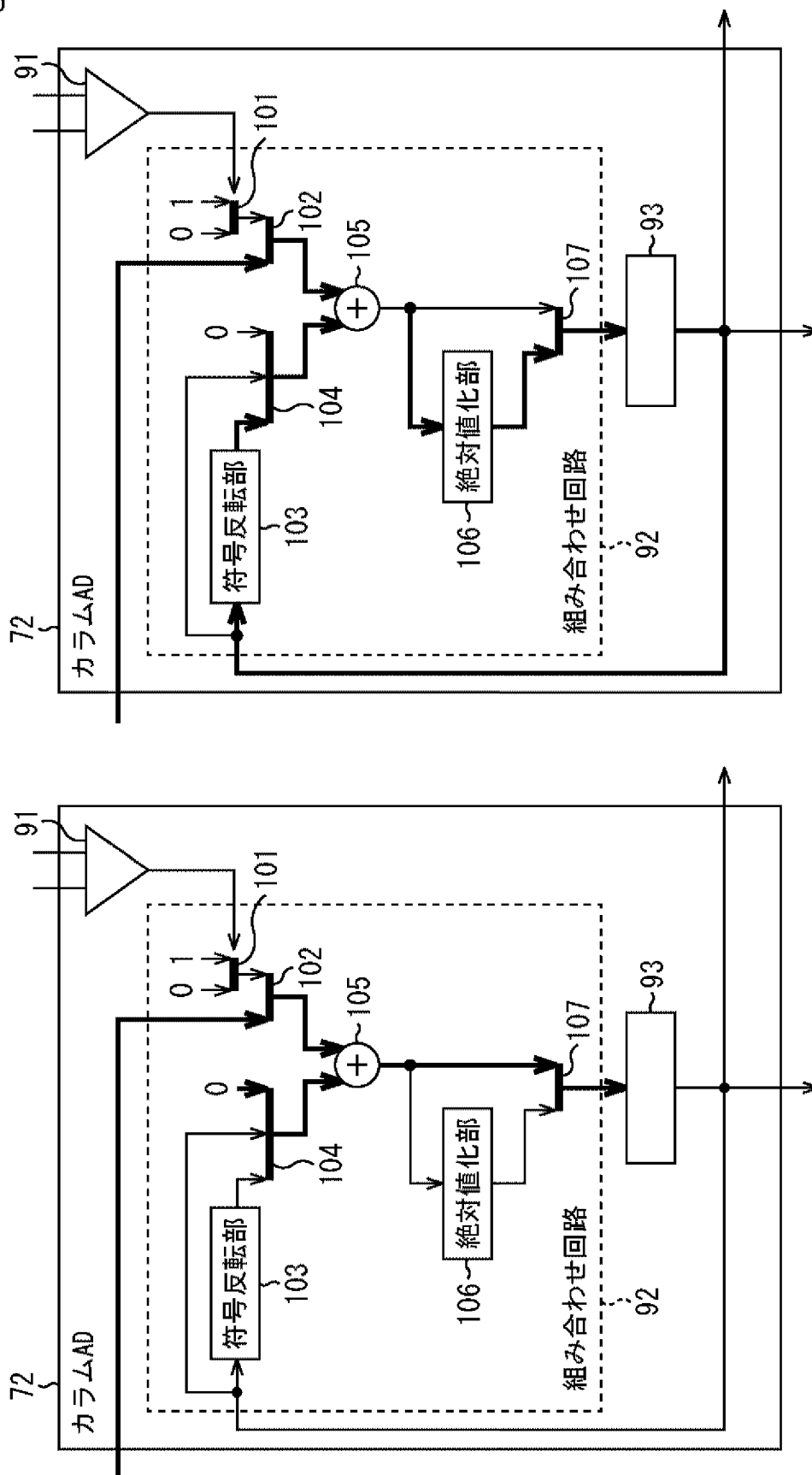


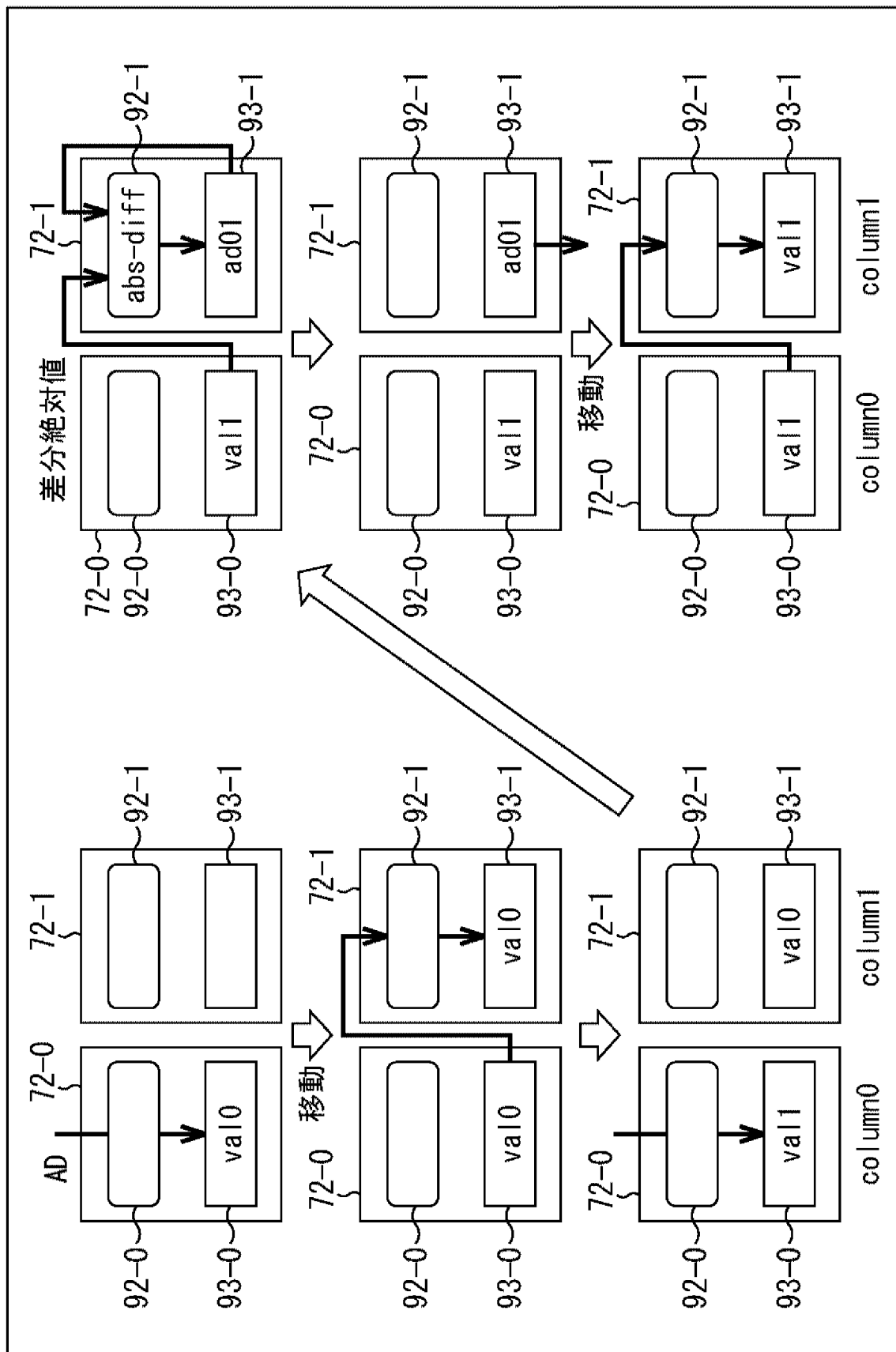
FIG. 5



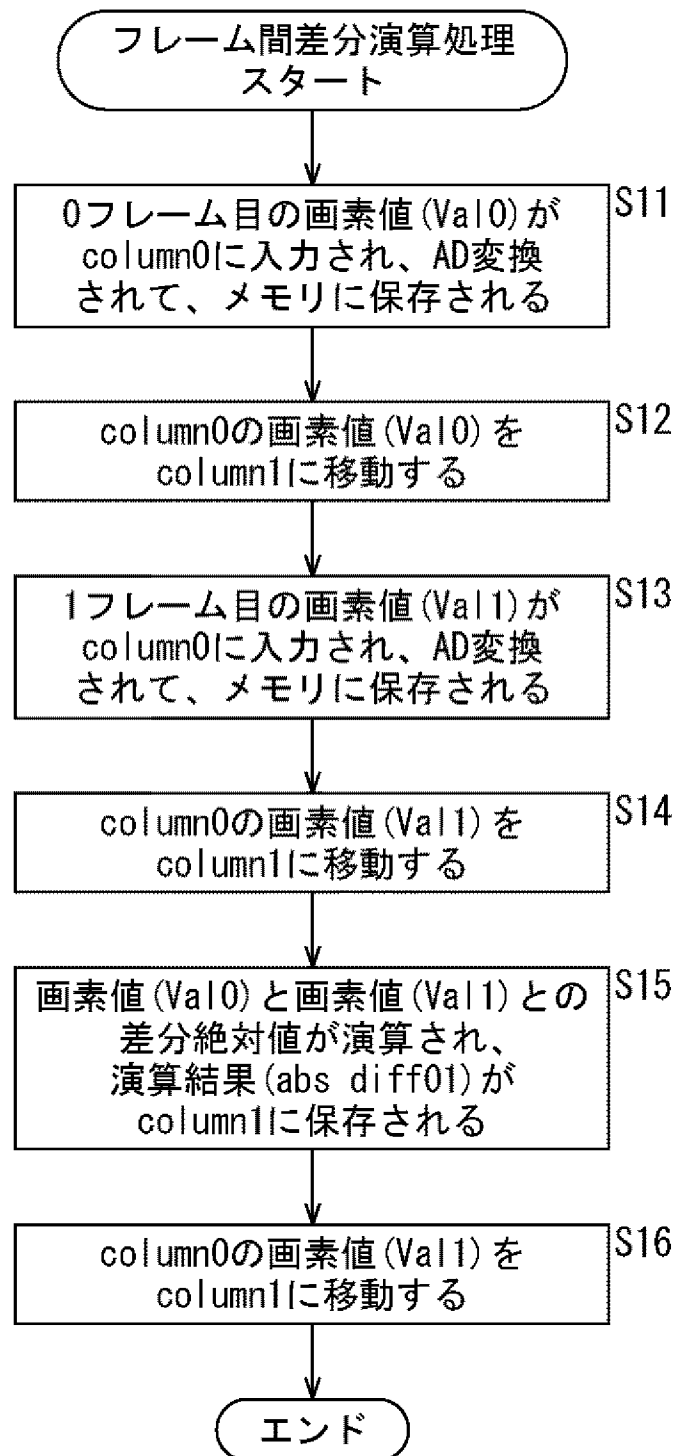
[図6]
FIG. 6



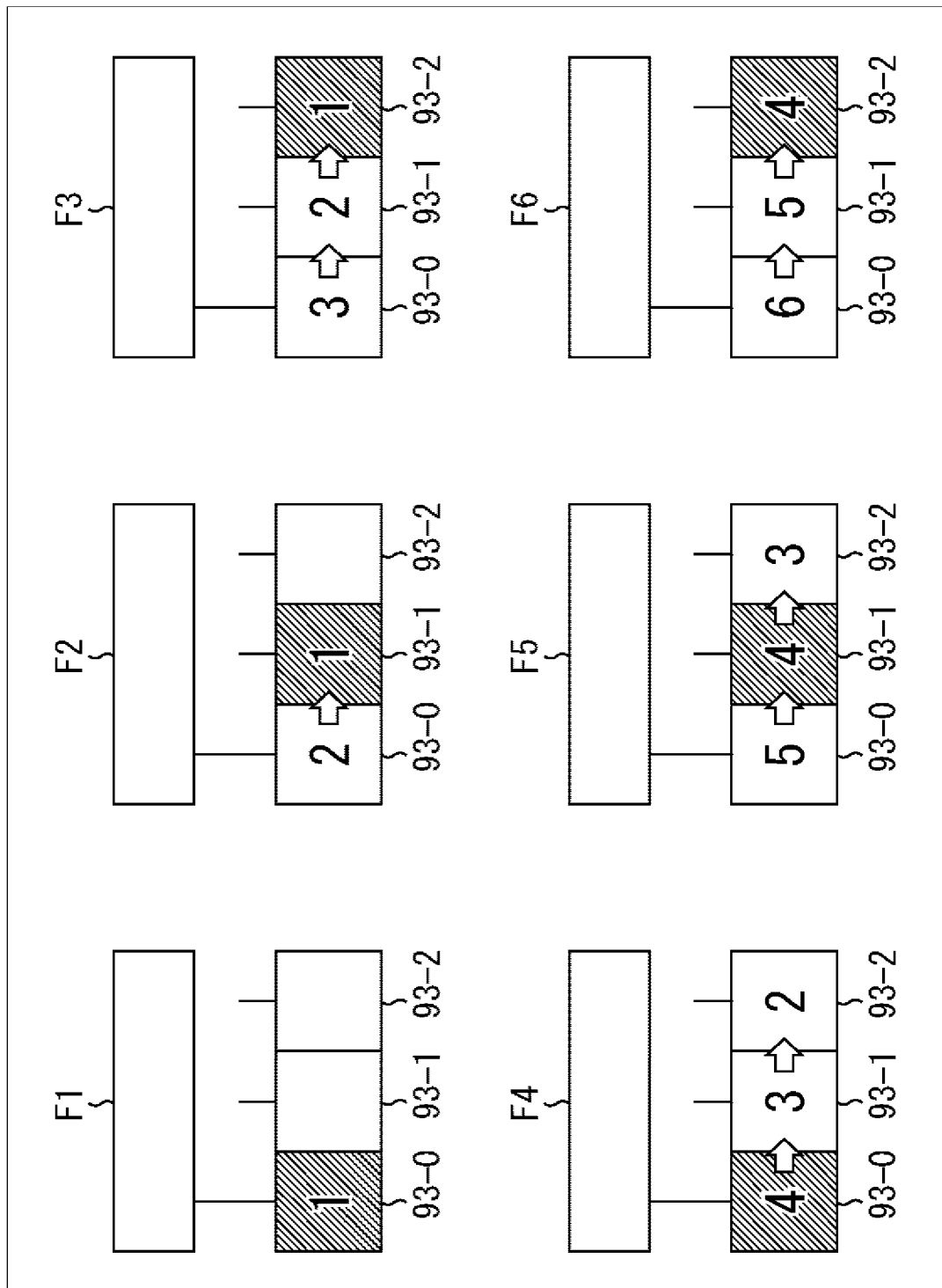
[図7]
FIG. 7



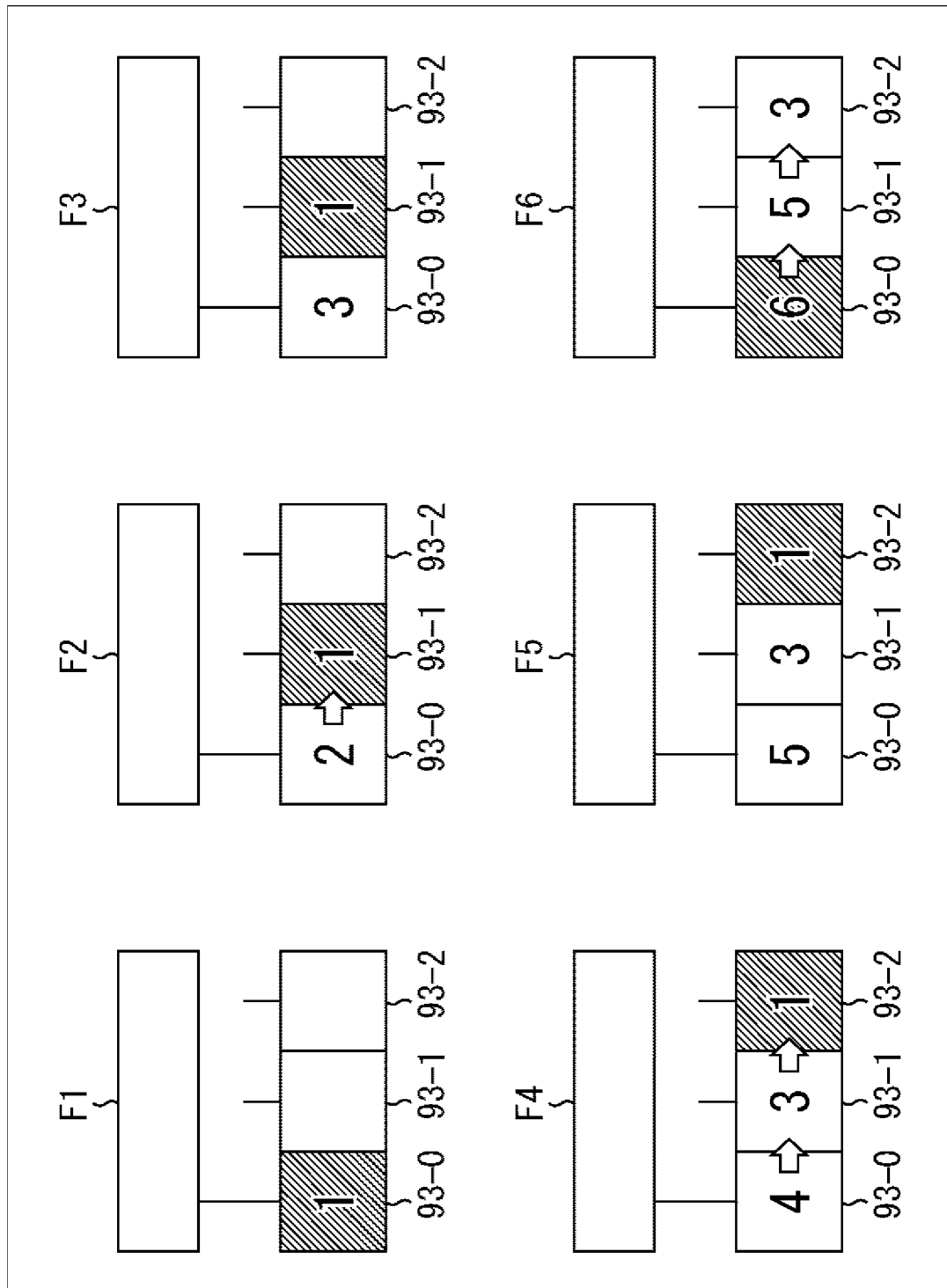
[図8]
FIG. 8



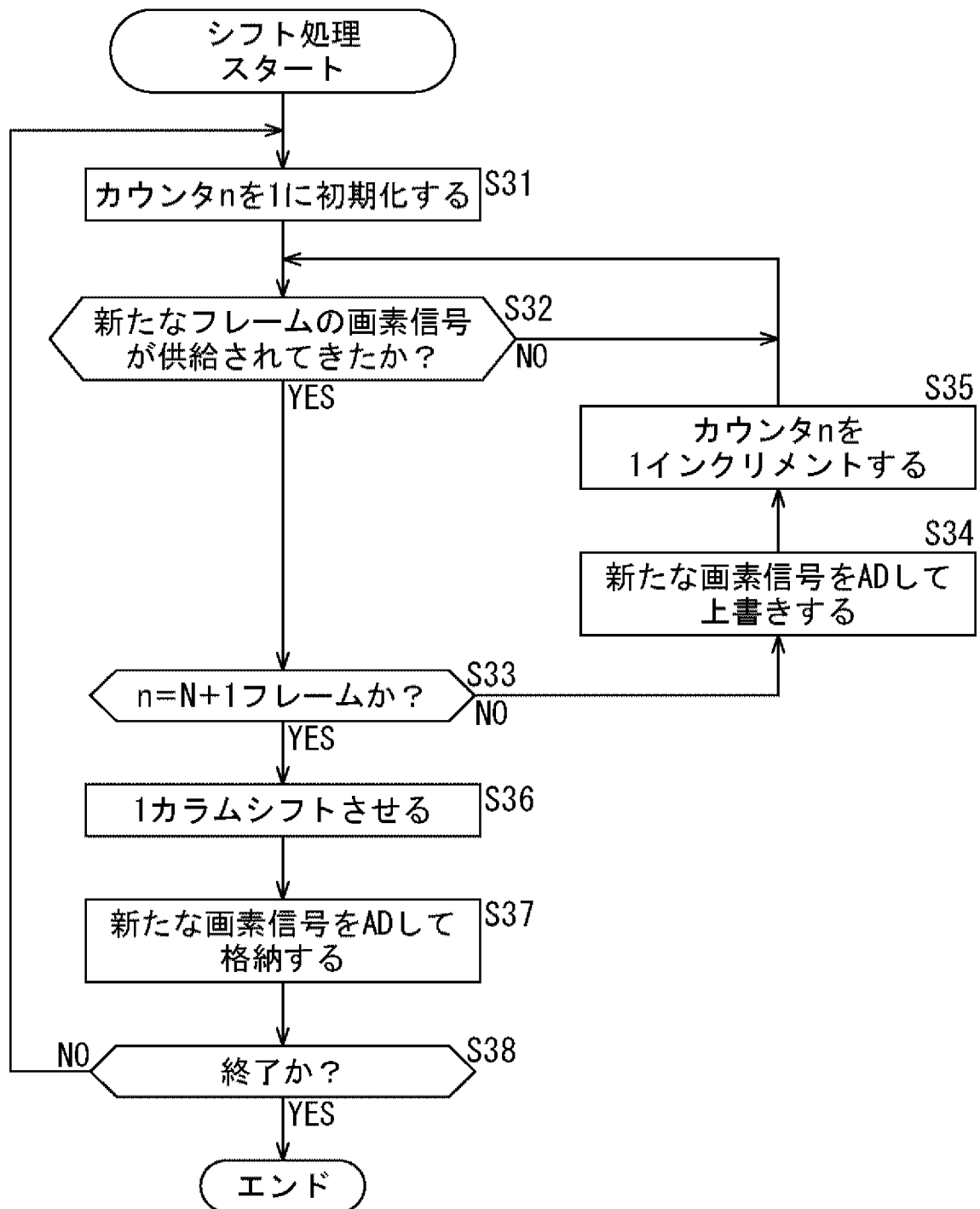
[図9]
FIG. 9



[図10]
FIG. 10

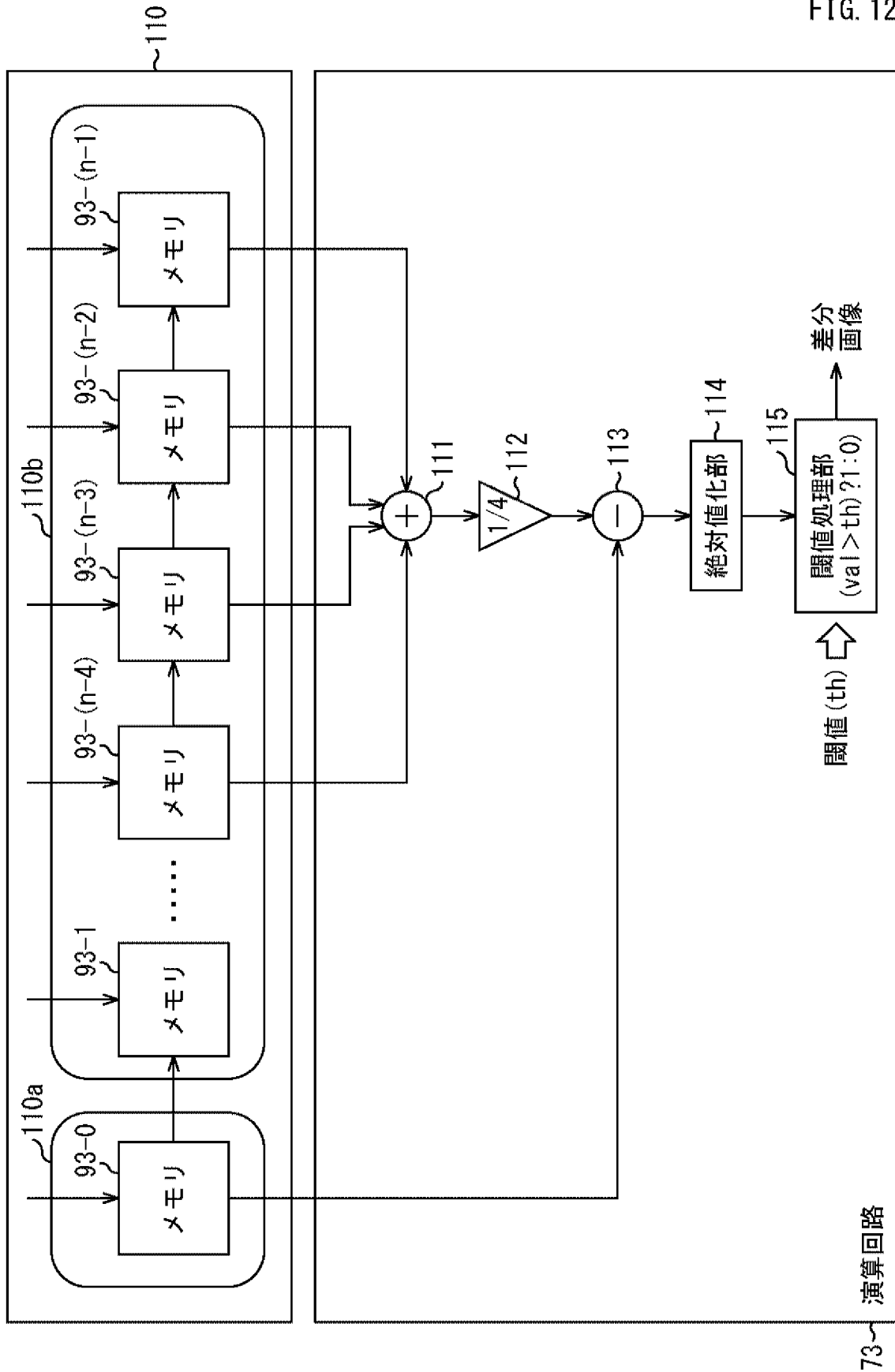


[図11]
FIG. 11

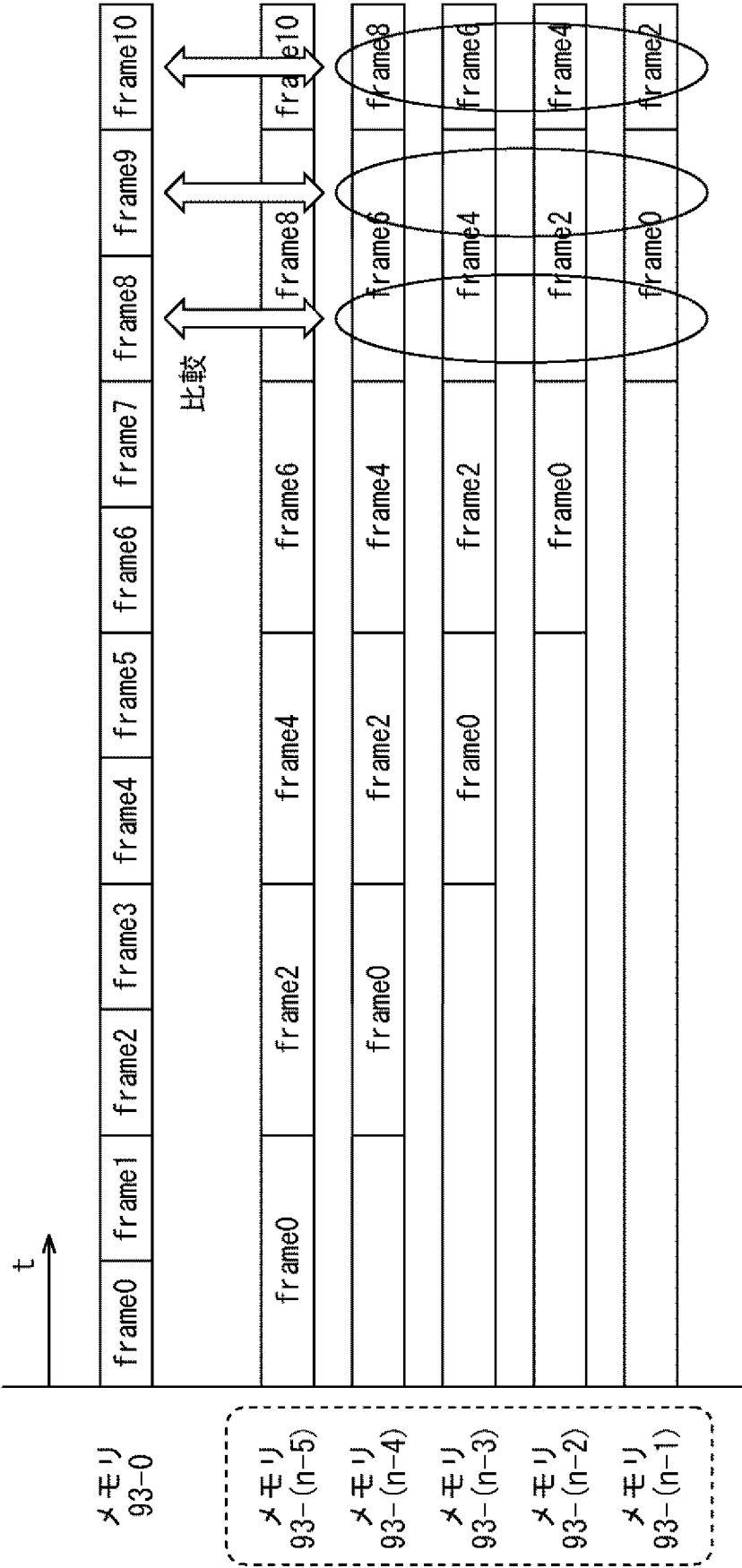


[図12]

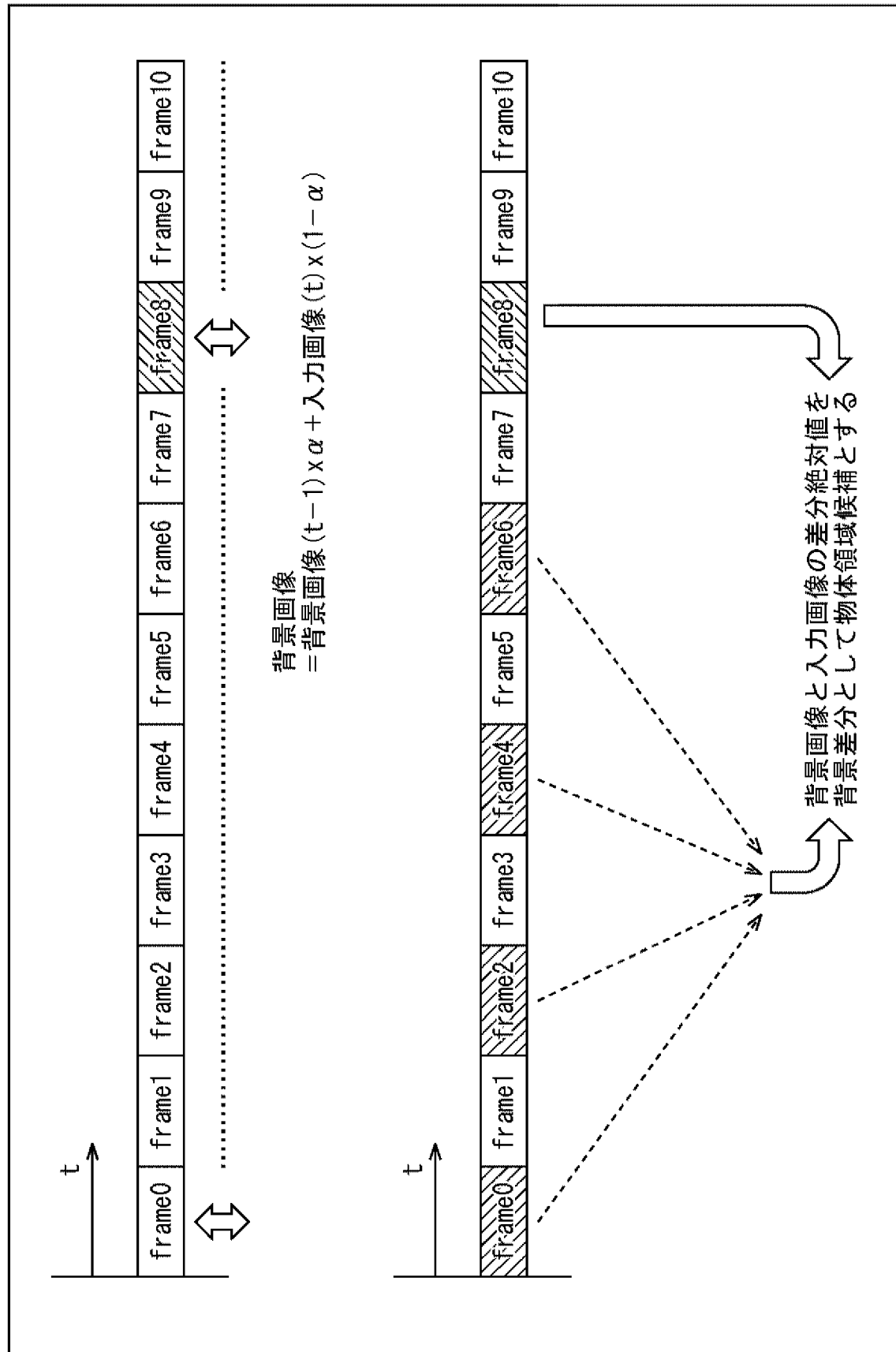
FIG. 12



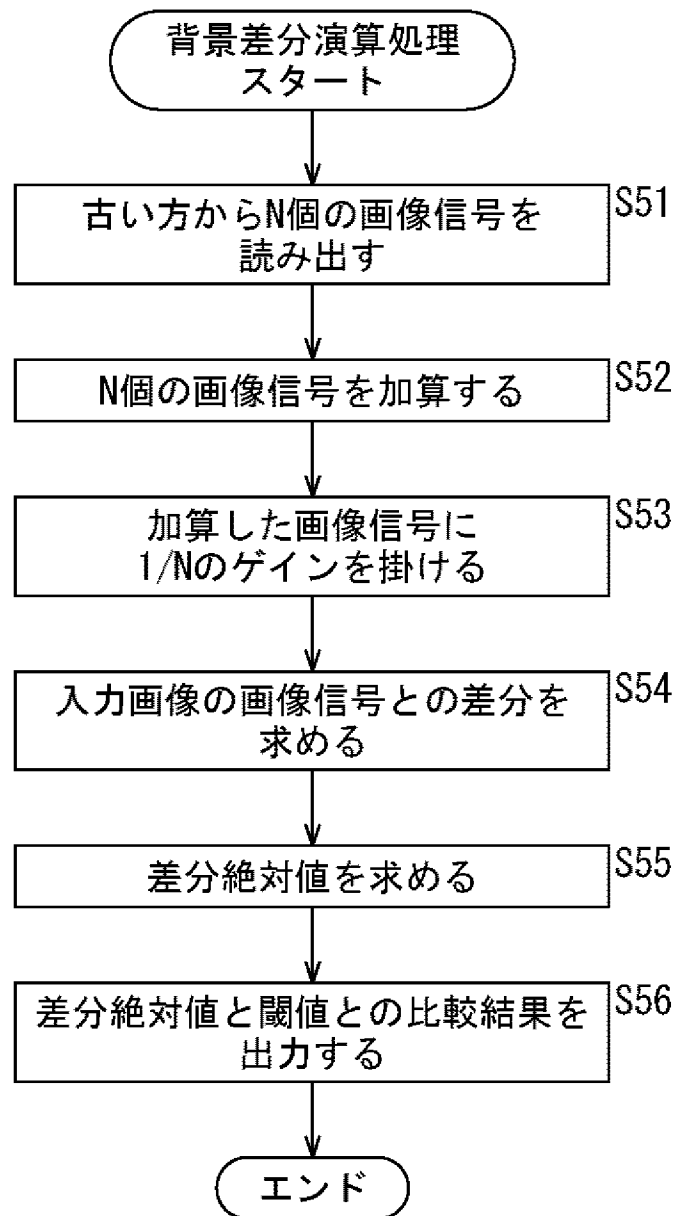
[図13]
FIG. 13



[図14]
FIG. 14

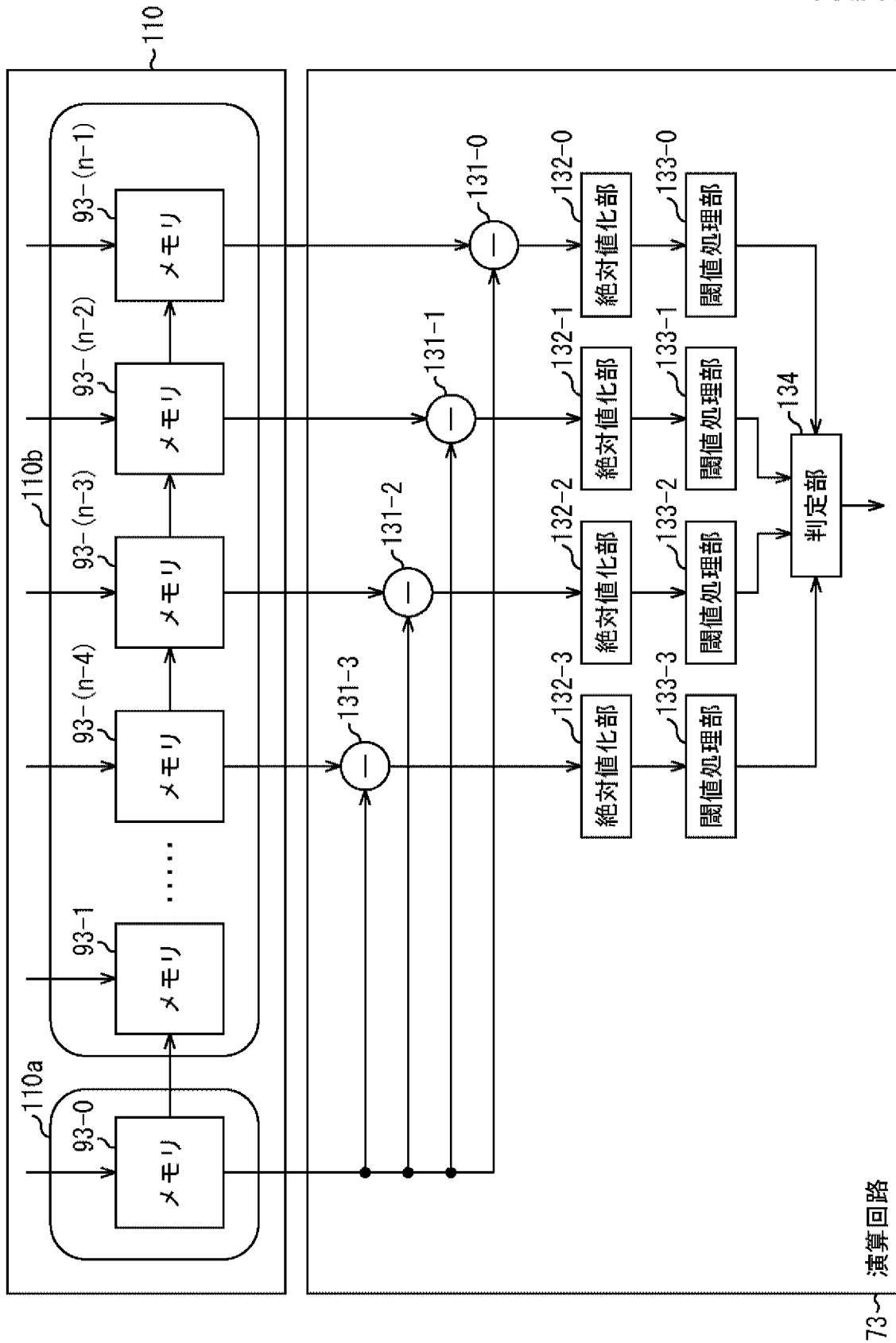


[図15]
FIG. 15

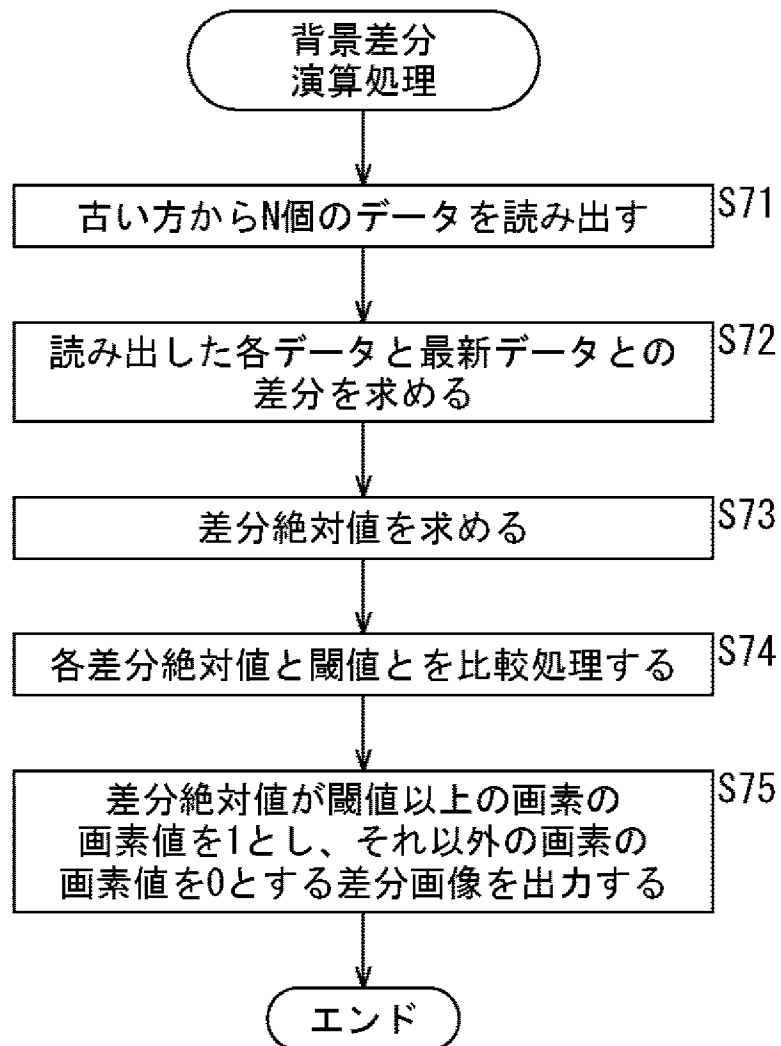


[図16]

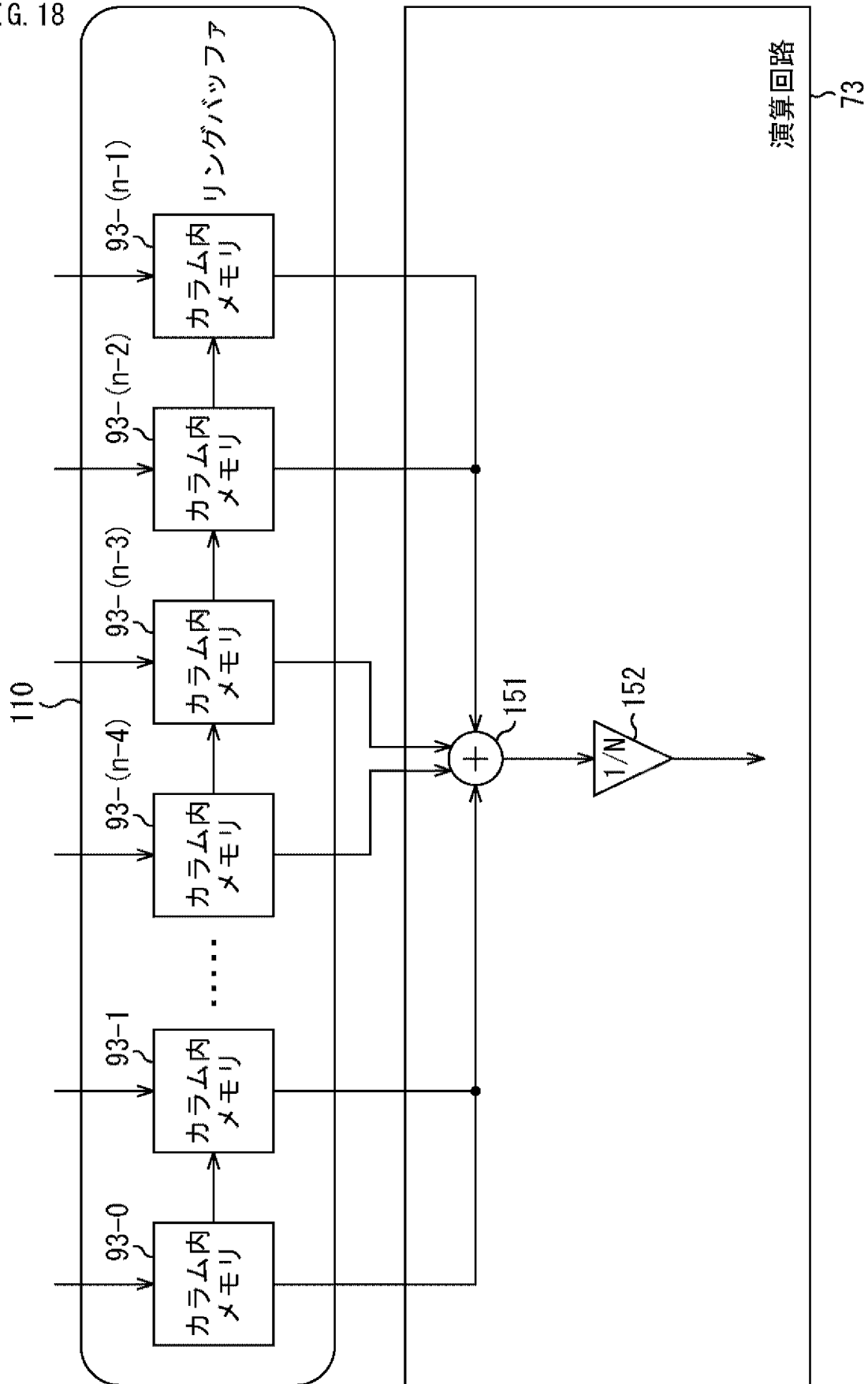
FIG. 16



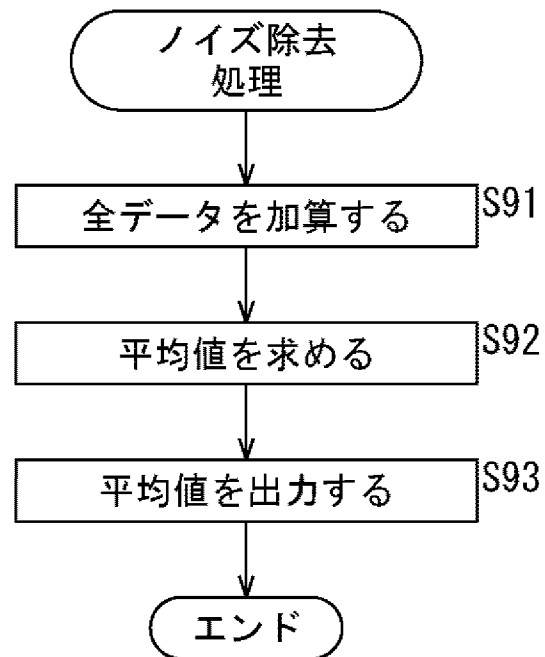
[図17]
FIG. 17



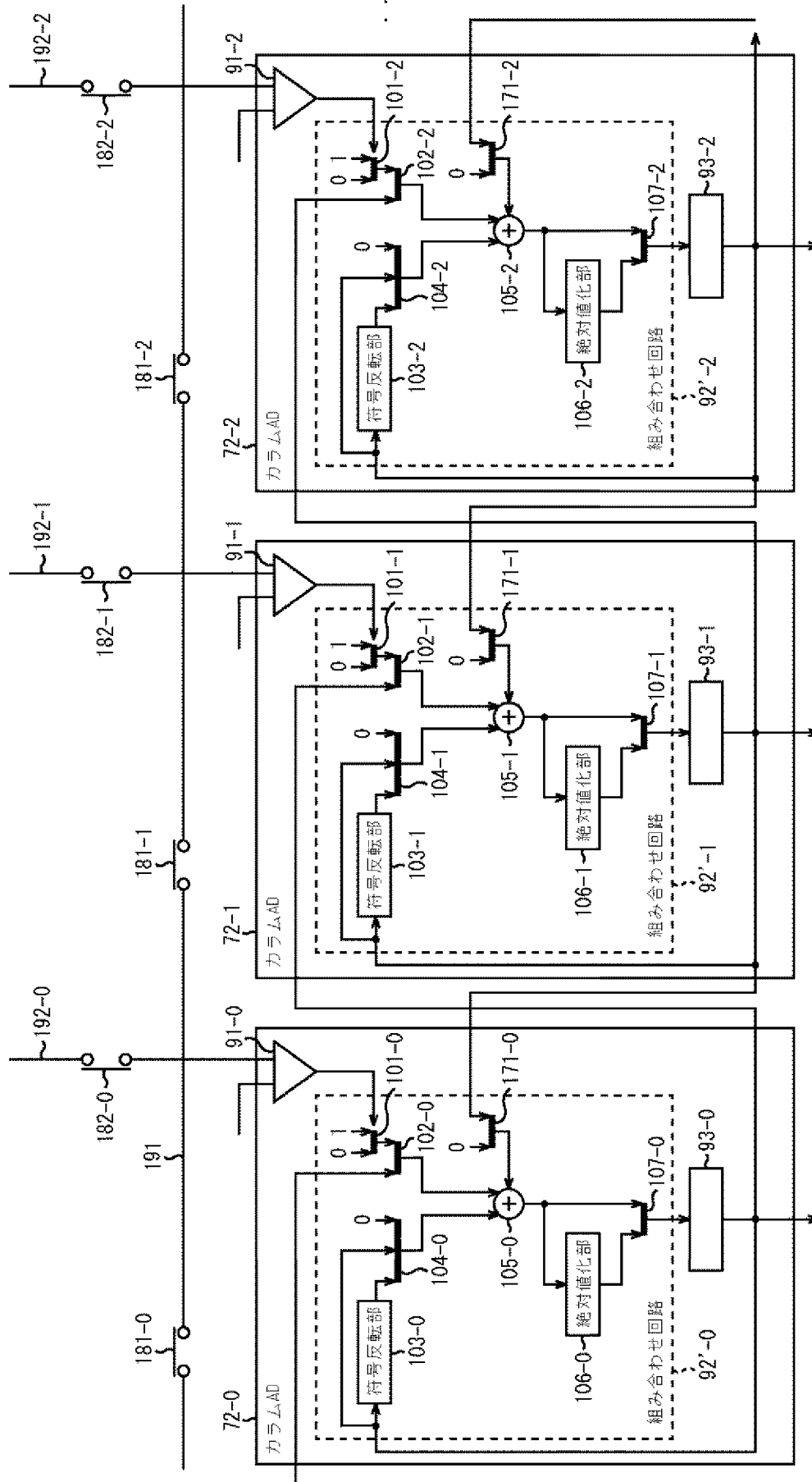
[図18]
FIG. 18



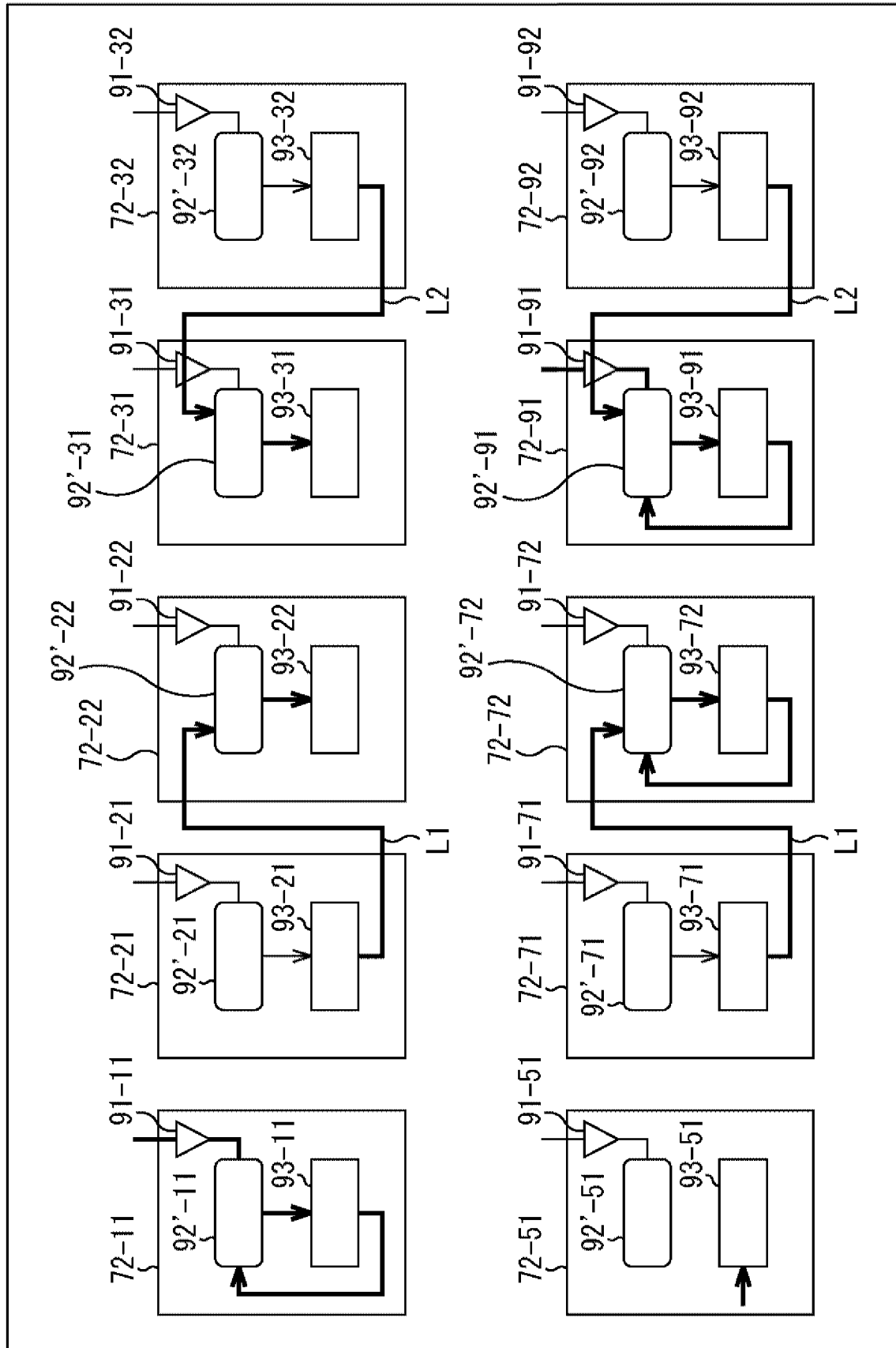
[図19]
FIG. 19



[図20]
FIG. 20



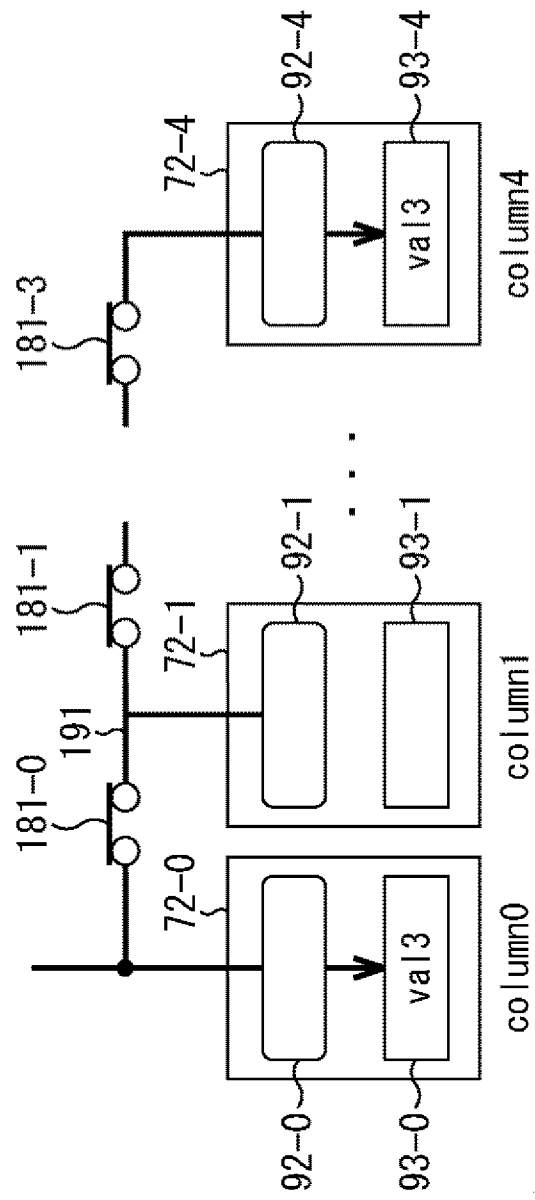
[図21]
FIG. 21



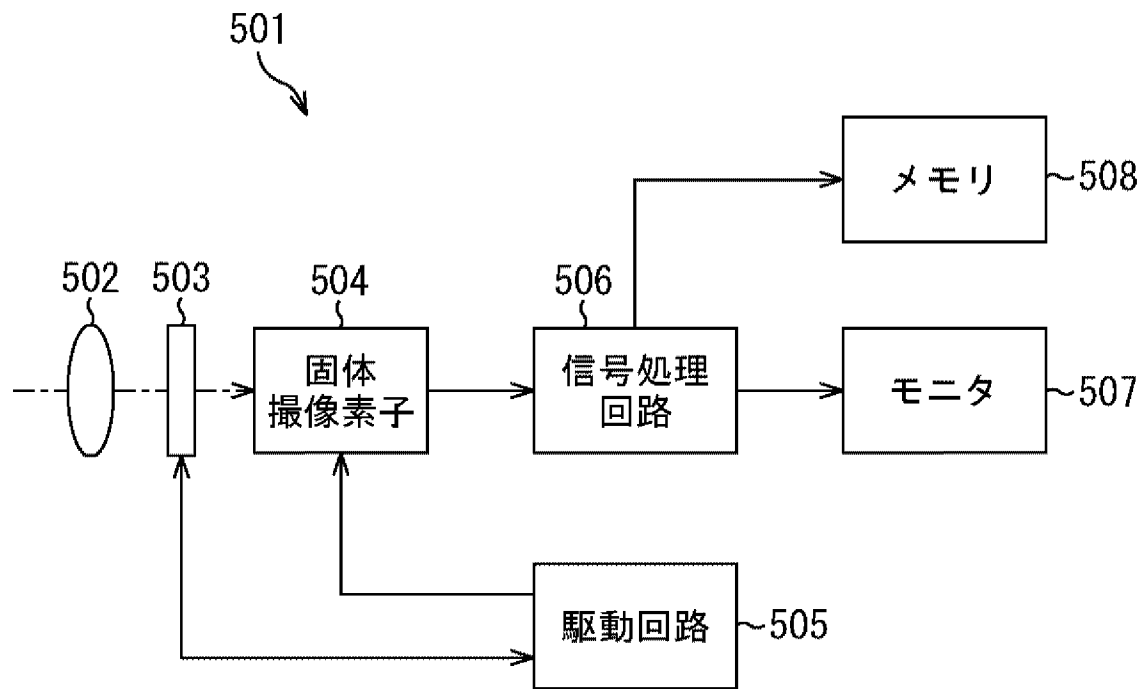
[図22]
FIG. 22

		column0	column1	column2	column3	column4	column5
T ₁	frame0	AD					thresh (定数)
T ₂		val0					thresh
T ₃		val0	val0				thresh
T ₄	frame1	AD	val0				thresh
T ₅		val1	val0				thresh
T ₆		val1	val1	val0			thresh
T ₇	frame2	AD	val1	val0			thresh
T ₈		val2	val1	val0			thresh
T ₉		val2	val2	val1	val0		thresh
T ₁₀	frame3	AD	val2	val1	val0	AD	thresh
T ₁₁		val3	val2	val1	val0	val3	thresh
T ₁₂		val3	val3	val2	val1	abs_diff03	thresh
T ₁₃		val3	val3	val2	val1	diff03	thresh

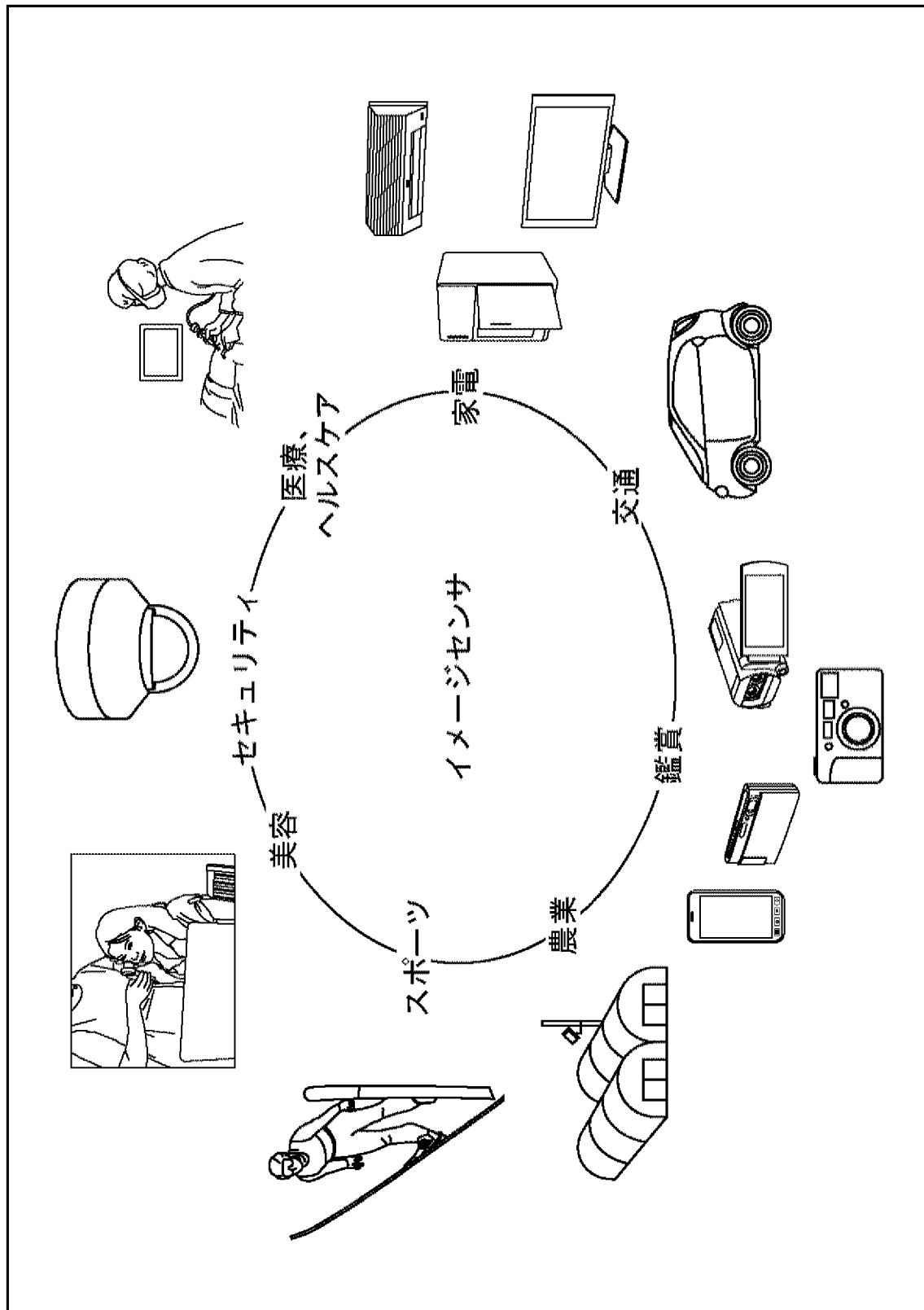
[図23]
FIG. 23



[図24]
FIG. 24



[図25]
FIG. 25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030630

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01) i, H04N5/378(2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-72541 A (Nikon Corp.), 21 April 2014 (21.04.2014), paragraphs [0040], [0041]; fig. 10 & US 2015/0256778 A1 paragraphs [0094], [0095]; fig. 10 & WO 2014/050875 A1 & EP 2903259 A1 & CN 104718745 A	1-17
A	WO 2014/007004 A1 (Sony Corp.), 09 January 2014 (09.01.2014), entire text; all drawings & US 2015/0163403 A1 & EP 2871835 A1 & CN 104429057 A	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 October 2017 (23.10.17)

Date of mailing of the international search report
07 November 2017 (07.11.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030630

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-159958 A (Sony Corp.), 18 August 2011 (18.08.2011), entire text; all drawings & US 2012/0293698 A1 & WO 2011/083722 A1 & EP 2528093 A1 & CN 102782840 A	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-72541 A（株式会社ニコン）2014.04.21, 段落 [0040], [0041], 第10図 & US 2015/0256778 A1, 段落 [0094], [0095], 第10図 & WO 2014/050875 A1 & EP 2903259 A1 & CN 104718745 A	1-17
A	WO 2014/007004 A1（ソニー株式会社）2014.01.09, 全文, 全図 & US 2015/0163403 A1 & EP 2871835 A1 & CN 104429057 A	1-17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.10.2017

国際調査報告の発送日

07.11.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-159958 A (ソニー株式会社) 2011.08.18, 全文, 全図 & US 2012/0293698 A1 & WO 2011/083722 A1 & EP 2528093 A1 & CN 102782840 A	1 - 1 7