

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/177 (2006.01)

H01L 25/00 (2006.01)

H01L 25/07 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610005002.5

[43] 公开日 2006年7月26日

[11] 公开号 CN 1808905A

[22] 申请日 2006.1.18

[21] 申请号 200610005002.5

[30] 优先权

[32] 2005. 1. 19 [33] US [31] 11/039,272

[71] 申请人 阿尔特拉公司

地址 美国加利福尼亚州

[72] 发明人 克里斯多弗·雷恩

维克拉姆·桑图卡尔

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 康建忠

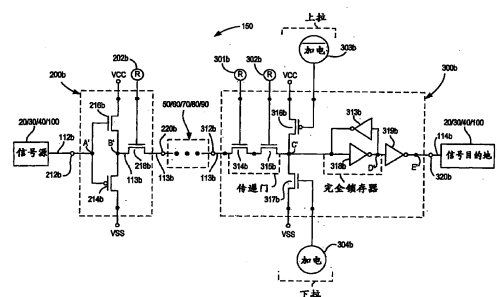
权利要求书 3 页 说明书 21 页 附图 7 页

[54] 发明名称

用低压摆动减小可编程逻辑器件中路由信号的功率的方法

[57] 摘要

提供了减小电压摆动的信号路径电路，其降低了可编程逻辑器件的互连资源的内部信令功率消耗。所述减小电压摆动的信号路径电路包括倒置的路由驱动器电路，用来限制驱动器电路的输出信号的电压范围。



1. 一种具有可编程逻辑电路的可编程逻辑器件，包括：
第一操作电路；
5 第二操作电路；
路由驱动器电路，其耦合于所述第一操作电路的输出信号；
路由接收器电路，其耦合于所述第二操作电路的输入；以及
从所述驱动器电路延伸到所述接收器电路的互连导体，其中所述
驱动器电路被配置成将路由信号驱动到所述互连导体上，并且其中所
10 述路由信号的电压摆动小于所述第一操作电路的输出信号的电压摆
动。
 2. 如权利要求 1 所述的可编程逻辑器件，其中所述第一操作电
路的输出信号的电压摆动由第一低信号和第一高信号所定义，其中所
述路由信号的电压摆动由第二低信号和第二高信号所定义，并且其中
15 来自包括以下条件的组中的至少一个条件为真：1) 第二低信号高于
第一低信号，以及 2) 第二高信号低于第一高信号。
 3. 如权利要求 2 所述的可编程逻辑器件，其中所述驱动器电路
包括耦合于 NMOS 晶体管的 PMOS 晶体管。
 4. 如权利要求 3 所述的可编程逻辑器件，其中所述 PMOS 晶体
20 管的基极和所述 NMOS 晶体管的基极耦合于所述第一操作电路的输
出信号。
 5. 如权利要求 4 所述的可编程逻辑器件，其中来自包括以下条
件的组中的一个条件为真：1) 当所述第一操作电路的输出信号由第
一低信号所定义时，所述 PMOS 晶体管将第二低信号驱动到互连导体
25 上作为路由信号，以及 2) 当所述第一操作电路的输出信号由第一高
信号所定义时，所述 NMOS 晶体管将第二高信号驱动到互连导体上
作为路由信号。
 6. 如权利要求 2 所述的可编程逻辑器件，其中所述接收电路被
配置成从所述互连导体接收路由信号以及向所述第二操作电路的输

入提供输入信号，其中对所述第二操作电路的输入信号的电压摆动由第三低信号和第三高信号所定义，并且其中来自包括以下条件的组中的至少一个条件为真：1) 第二低信号高于第三低信号，以及 2) 第二高信号低于第三高信号。

5 7. 如权利要求 6 所述的可编程逻辑器件，其中所述接收电路包括耦合于变换器的完全锁存器。

8. 如权利要求 6 所述的可编程逻辑器件，其中所述接收电路包括耦合于变换器的低泄漏输入缓冲器。

10 9. 如权利要求 6 所述的可编程逻辑器件，其中所述接收电路包括上拉电路。

10. 一种数字处理系统，包括：

处理电路；

耦合于所述处理电路的存储器；以及

15 耦合于所述处理电路和所述存储器的如权利要求 1 所定义的可编程逻辑器件。

11. 一种印制电路板，其上安装有如权利要求 1 所定义的可编程逻辑器件。

12. 如权利要求 11 所述的印制电路板，还包括：

20 安装于所述印制电路板上并耦合于所述可编程逻辑器件的存储器。

13. 如权利要求 12 所述的印制电路板，还包括：

安装于所述印制电路板上并耦合于所述可编程逻辑器件的处理电路。

25 14. 一种减小可编程逻辑器件中的功率的方法，所述可编程逻辑器件包括第一操作电路、第二操作电路、耦合于所述第一操作电路的输出信号的路由驱动器电路、耦合于所述第二操作电路的输入的路由接收器电路，以及从所述驱动器电路延伸到所述接收器电路的互连导体，所述方法包括：

将来自所述路由驱动器电路的路由信号驱动到所述互连导体上，

其中所述路由信号的电压摆动小于所述第一操作电路的输出信号的电压摆动。

15. 如权利要求 14 所述的方法，其中所述第一操作电路的输出信号的电压摆动由第一低信号和第一高信号所定义，其中所述路由信号的电压摆动由第二低信号和第二高信号所定义，并且其中来自包括以下条件的组中的至少一个条件为真：1) 第二低信号高于第一低信号，以及 2) 第二高信号低于第一高信号。

16. 如权利要求 15 所述的方法，其中所述驱动器电路包括耦合于 NMOS 晶体管的 PMOS 晶体管。

17. 如权利要求 16 所述的方法，其中驱动所述路由信号包括：向所述 PMOS 晶体管的基极和所述 NMOS 晶体管的基极提供所述第一操作电路的输出信号。

18. 如权利要求 17 所述的方法，其中来自包括以下条件的组中的一个条件为真：1) 当所述第一操作电路的输出信号由第一低信号所定义时，驱动所述路由信号还包括：所述 PMOS 晶体管将第二低信号驱动到互连导体上作为路由信号，以及 2) 当所述第一操作电路的输出信号由第一高信号所定义时，驱动所述路由信号还包括：所述 NMOS 晶体管将第二高信号驱动到互连导体上作为路由信号。

19. 如权利要求 15 所述的方法，其中所述接收电路被配置成从所述互连导体接收路由信号以及向所述第二操作电路的输入提供输入信号，其中对所述第二操作电路的输入信号的电压摆动由第三低信号和第三高信号所定义，并且其中来自包括以下条件的组中的至少一个条件为真：1) 第二低信号高于第三低信号，以及 2) 第二高信号低于第三高信号。

20. 如权利要求 19 所述的方法，其中所述接收电路包括耦合于变换器的完全锁存器。

21. 如权利要求 19 所述的方法，其中所述接收电路包括耦合于变换器的低泄漏输入缓冲器。

22. 如权利要求 19 所述的方法，其中所述接收电路包括上拉电路。

用低压摆动减小可编程 逻辑器件中路由信号的功率的方法

5

技术领域

本发明一般地涉及可编程逻辑器件 (PLD)，并更具体地涉及减小这样的器件中的功率消耗。

10

背景技术

应该注意，这里所用的术语 PLD 是为了覆盖可编程逻辑的广泛范围的。这包括这样的器件，所述器件通常称为 CPLD (复杂可编程逻辑器件)，诸如来自 San Jose, California 的 Altera 公司的 MAX 7000[®]；FPGA (现场可编程门阵列)，诸如来自 Altera 的 Stratix[®]；
15 或结构化 ASIC (金属可编程逻辑)，诸如来自 Altera 的 Hardcopy[®]。

在 Cliff 等人的美国专利 5,909,126 和 5,963,049 中示出了已知的可编程逻辑器件的示例，在此将上述专利全部引入作为参考。PLD 典型地包括大量的可编程逻辑区域和其他操作资源，诸如存储器、输入/输出电路等，其可选择地经由所述器件上的可编程互连资源进行互连。
20 例如，PLD 上的可编程逻辑的每个区域可编程用来对施加于该区域上的若干输入信号执行若干相对简单的逻辑功能中的任意功能，以便产生一个或多个输出信号，所述输出信号表明了对输入信号执行所选逻辑功能的结果。所述互连资源可编程用来以多种模式或配置中的任意模式或配置传送电压信号 (从接地电压 V_{SS} (例如“LOW”电压信号) 到源电压 V_{CC} (例如“HIGH”电压信号)) 到逻辑区域、从逻辑区域
25 传送电压信号以及在逻辑区域之间传送电压信号。例如，互连资源可被用于级联若干逻辑区域，以使得可以执行比任一逻辑区域可执行的任务复杂的逻辑任务。

对于 PLD 中的每个单独的互连路径或通路，典型地使用单个导

体。单个或多个 MOS 传递门（由 PLD 上的可编程存储器元件或电路所控制）被用于通过所述器件的互连资源而选择性地每个导体与其他导体互连，以提供各种信号路由（routing）。

5 可通过对 NMOS 传递门（如本领域技术人员所理解的那样，类似的操作原理将应用于 PMOS 传递门）的描述来简明地说明典型单晶体管传递门的操作。根据 NMOS 传递门的栅极端子 V_{GATE} 和其源极端子 V_{SOURCE} 之间的电位差是否超过了阈值电压 V_T ，NMOS 传递门担当“打开”或“关闭”开关。（如本领域中公知的，在 MOS 器件的“源极”和“漏极”端子之间没有物理差异。）当 $V_{GATE} - V_{SOURCE}$ 小于 V_T 时，NMOS
10 传递门处于“切断”状态，因而担当“打开”开关；当 $V_{GATE} - V_{SOURCE}$ 大于 V_T 时，NMOS 传递门处于传导状态，因而担当“关闭”开关。

如本领域所公知的， V_T 不是对于 MOS 晶体管的离散值；它可以被认为是由多种二阶效应，诸如衬底偏置和亚阈传导（subthreshold conduction），所影响的值域。不过，为了简化对本发明原理的说明，
15 此处所讨论的 V_T 将仿佛是离散值，而不是值域。

随着缩小器件几何形状的当前趋势（例如 $0.18\mu\text{m}$ 工艺降至 $0.13\mu\text{m}$ 、 90nm 、 65nm 或更低）以及随之使用日益降低的操作电压（例如，电源电压、偏置电压等等），所述电压正接近可与 V_T 相比较的电平，晶体管传递门的能力构建成以相对高速运行，而与此同时，使泄
20 漏电流最小化是所要克服的困难的设计障碍。

此外，使器件几何形状更小的这种趋势以及随之对更低操作电压的使用正产生速度（例如，传递门晶体管转为导通（ON）的响应时间）与泄漏电流（例如，当传递门晶体管转为断开（OFF）时通过其的电流）之间的设计折中，这是之前较大的器件几何形状和随之对较高操作电压的使用所未曾经历过的。即，如果传统设计技术被应用于较小的
25 器件几何形状，则高速传递门操作会伴随高泄漏电流，而低泄漏电流会伴随低速传递门操作。高泄漏电流是不想要的，因为它会导致过热、功率损失和较差性能。

关联于缩小几何形状的另一问题是随之对较低操作电压的使用。

此较低操作电压典型地是提供给器件的标称电压，并对诸如可配置存储单元（例如 SRAM）的某种电路而言，它可能不足以正常操作。例如，当电源电压降低时，软错误率会增加，因为减小了翻转（flip）单元（从一个逻辑状态到另一个）所需的临界电荷。

5 通过对互连导体的充电和放电消耗了器件电压大部分。以较低的操作电压，NMOS 传递门的 V_T 下降（drop）成为了操作电压的更显著部分或百分比。这可以导致传统 PLD 互连电路中的若干问题。例如，信令（singling）变慢，而电路更容易受到并联导体之间的电容性串音的影响。

10 因而，提供用于降低可编程逻辑器件的内部信令功率消耗的改进的技术、系统和方法将是想要的。

发明内容

15 根据本发明，提供了用于降低可编程逻辑器件的内部信令功率消耗的改进的技术、系统和方法。

本发明通过减小需要被路由通过互连资源的电荷总量来实现可编程逻辑器件的较低功率消耗。提供驱动器电路用于经由互连导体将路由信号从源操作电路驱动到接收器电路。驱动器电路限制路由信号，使其始终不会被驱动到可编程逻辑器件的电源的极限。

20 根据本发明，提供了可编程逻辑器件，其包括第一操作电路、第二操作电路、耦合于所述第一操作电路的输出信号的路由驱动器电路、耦合于所述第二操作电路的输入的路由接收器电路，以及从所述驱动器电路延伸到所述接收器电路的互连导体。所述驱动器电路被配置成将路由信号驱动到所述互连导体上，使得所述路由信号的电压摆动（swing）小于所述第一操作电路的输出信号的电压摆动。

25

附图说明

在连同附图考虑以下详细描述时，本发明的上述和其他优点将变得更明显，在所有附图中，相同标号指示相同部分，并且在附图中：

图 1 是可以根据本发明构造的说明性 PLD 的典型部分的简化示意框图；

图 2 是根据本发明的说明性信令电路的简化示意框图；

图 3 是根据本发明的其他说明性信令电路的简化示意框图；

5 图 4 是根据本发明的其他说明性信令电路的简化示意框图；

图 5 是在图 2-4 中所示的类型的现有技术电路的更详细的示意图；

图 6 是与图 5 的图类似的、根据本发明对图 5 电路的部分的可能修改的说明性实施例的详细示意图；

10 图 7 是与图 5 和 6 的图类似的、根据本发明对图 5 电路的部分的可能修改的第二说明性实施例的详细示意图；以及

图 8 是使用根据本发明的具有信令电路的可编程逻辑器件的说明性系统的简化框图。

15 具体实施方式

图 1 示出了可以根据本发明构造的说明性 PLD 10 的典型部分。PLD 10 包括输入/输出 (I/O) 电路的区域 20、可编程逻辑的区域 30 以及用户可访问存储器的区域 40。其他类型的操作电路 (例如微处理器电路) 也可被包括在 PLD 10 上。例如, 这样的其他电路可以是除了图 1 中所示电路之外的电路, 或者它可以代替区域 40 中的一些。互连资源也可被包括于 PLD 10。这些资源包括水平互连资源 50、垂直互连资源 60、区域馈电资源 70、区域输出资源 80 以及 I/O 服务资源 90。(图 1 中的单个行可表示多个基本上并行的导体。)互连资源还包括各种类型的其他互连资源之间的可编程连接。通过由可能连接的导体的相交部分处的标号 100 所指示的圆圈或其他形状来表示这些可
25 编程连接。连接 100 可以是由传统可编程功能控制元件 (FCE) 所控制的相对简单的传统的可编程逻辑连接器 (PLC)。

互连资源可编程用来将几乎任何信号源连接于 PLD 10 中的几乎任何信号目的地。仅作为此的一个示例, 来自左上 I/O 区域 20 的信号

可以通过互连资源被路由到最接近图 1 中心的逻辑区域 30 的最低的输入 70。各种资源 50、60、90 和 100 被用于提供这样的路由。作为另一示例,左上逻辑区域 30 的输出信号可以被路由到最接近图 1 中心的逻辑区域 30 的最高的输入 70。各种资源 50、60、90 和 100 被用于提供这样的路由。

图 2 示出了根据本发明的 PLD 10(图 1)上的一个说明性信令路径布置 110。路径 110 中的信号源可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任意信号源中的任一个。由源 20/30/40/100 产生的源信号 112 被施加于路由驱动器电路 200。驱动器电路 200 将源信号 112 驱动到导体上,作为路由信号 113,所述导体可以是类型 50、60、70、80 或 90 或 PLD 10 上使用的导体的任何其他任何类型中的任一种。从驱动器电路 200 延伸的导体 50/60/70/80/90 延伸到路由接收器电路 300。接收器电路 300 将导体 50/60/70/80/90 上的路由信号 113 传递作为目的地信号 114,用于将其施加于所关联的信号目的地,信号目的地(类似于信号源)可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任意信号目的地中的任一个。随后在本说明书中提供了根据本发明的电路 200 和 300 的说明性构造的细节。

在图 3 中示出了根据本发明的 PLD 10(图 1)上的另一个说明性信令路径布置 120。电路 200 的信号源元件 20/30/40/100、路由驱动器电路 200 以及输出导体 50/60/70/80/90 可以与图 2 的相应元件类似。“水平”导体 50/60/70/80/90 连接于两个(或多个)开关电路 106a 和 106b 中的每一个的输入门。每个电路 106 的输入门由相关联的可编程功能控制元件(FCE)102a/102b 来控制。如果电路 106 想要输入并传递水平导体 50/60/70/80/90 上的信号,则关联于该电路 106 的 FCE 102 被编程用来启动该电路的输入门。接着电路 106 可以接收水平导体 50/60/70/80/90 上的路由信号 113 并将其传递到相关联的“垂直”导体 50/60/70/80/90。因此接收路由信号 113 的每个路由接收器电路 300a 或 300b 传递该信号作为目的地信号 114,用于由相关联的信号目的地

元件 20/30/40/100 所使用。图 3 中的每个接收器电路 300 可以与图 2 中的电路 300 类似，并且图 3 中的信号目的地元件 20/30/40/100 可以分别与图 2 中的信号目的地元件类似。

在图 4 中示出了根据本发明的 PLD 10 (图 1) 上的再一个说明性
5 信令路径布置 130。图 4 中的每个信号源元件 20/30/40/100 可以与图 2 和 3 中的信号源元件类似。图 4 中的每个路由驱动器电路 200 可以与图 2 和 3 中的驱动器电路 200 类似，除了在图 4 中示出的每个驱动器电路 200 具有由 FCE 202 所控制的输出门以外。因此，仅当由相关联的 FCE 202 启动相关联的输出门时，图 4 中的每个驱动器电路 200 输出路由信号 113。以这种方式，可以由两个 (或多个) 驱动器电路 200
10 中的任一个来驱动“垂直”互连导体 50/60/70/80/90。

图 4 中的每个路由接收器电路 300 可以与图 2 和 3 中的接收器电路 300 类似，除了在图 4 中示出的每个接收器电路 300 具有由 FCE 302 所控制的输入门以外。因此，仅当由相关联的 FCE 302 启动相关联的
15 输入门时，每个接收器电路 300 接收路由信号 113 并传递来自垂直导体 50/60/70/80/90 的目的地信号 114。图 4 中的每个信号目的地元件 20/30/40/100 可以与图 2 和 3 中的信号目的地元件类似。

图 4 中的开关电路 106 可以与图 3 中的任何开关电路 106 类似，除了在图 4 中的电路 106 还具有由 FCE 104 所控制的输出门以外。因此，仅当由相关联的 FCE 104 启动其输出门时，图 4 中的电路 106 输出信号。
20

根据图 2 - 4 中示出的说明性示例，将会理解，在说明性 PLD 10 (图 1) 中的任意或全部互连资源 50/60/70/80/90 可以如何根据本发明来发信令或路由电路。

25 根据本发明的电路和方法提供了一种降低可编程逻辑器件的内部信令功率消耗的系统。具体而言，根据本发明的电路通过减小需要被路由通过器件的各种信令路径的电荷总量来实现可编程逻辑器件的较低功率消耗。典型地，操作电压是被供给到器件的信号路径电路的电源电压，并通常被称为 V_{CC} 。

根据本发明的信号路径电路通过使用“反向”路由驱动器电路来转换低于源电压的电压。反向路由驱动器电路限制了其在信号路径电路中的输出的范围，以使被路由的信号始终不会被驱动到器件的电源的极限（即，接地至 V_{CC} ）。例如，在本发明的路由驱动器电路的一
5 实施例中，HIGH 输入源信号（例如 V_{CC} ）被作为路由信号驱动到低于输入源信号的电压的输出电压（例如， $V_{CCP} = V_{CC} - V_{TN}$ ）。同样地，LOW 输入源信号（例如 V_{SS} ）被作为路由信号驱动到高于输入源信号的电压的输出电压（例如， $V_{SSP} = V_{TP}$ ）。在这种情况下，路由驱动器电路限制在信号路径电路中的互连资源上的其输出电压的范围（即，
10 减小了电压摆动），以降低 PLD 上的功率消耗。本发明的信号路径电路还可包括路由接收器电路，其具有传递门和锁存器/缓冲器电路的混合，以将路由信号恢复到完全干线（full-rail），作为目的地信号。

图 5 示出了现有技术的 V_{CC} 到 V_{SS} 的电压电平信号路径电路 140 的示例。传统信号路径电路 140 包括路由驱动器电路 200a 和路由接收
15 电路 300a。（在图 5-7 中使用了具有字母后缀的标号，例如 200a、200b、300a、300b 等，以帮助区分通常类似的电路的不同的说明性实施例。在之前的图中，具有字母后缀的类似标号被用于不同的目的（即，用以区分相同电路的不同实例）。例如，不应理解为，图 4 中的电路 300a 仅可以被构建得与图 5 中的实施例 300a 相似。相反地，在图 5、
20 6 和 7 中分别示出的实施例 300a-c 中的任一个可以被用于图 4 中的电路 300a，或实际上被用于图 2-4 中的任一个中的路由接收器电路的任意实例。）

图 5 中的每个信号源元件 20/30/40/100 可以与图 2-4 中的信号源元件类似。电路 140 的信号路径中的信号源可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何
25 信号源中的任一个。由源 20/30/40/100 产生的源信号 112a 被施加于路由驱动器电路 200a。驱动器电路 200a 将源信号 112a 驱动到导体上，所述导体可以是类型 50、60、70、80 或 90 或在 PLD 10 上使用的其他任何类型的导体中的任意导体。从驱动器电路 200a 延伸的导体

50/60/70/80/90 延伸到路由接收器电路 300a。图 5 中的每个信号目的地元件 20/30/40/100 可以与图 2-4 中的信号目的地元件类似。接收器电路 300a 传递导体 50/60/70/80/90 上的路由信号 113a 作为目的地信号 114a，用于施加给相关联的信号目的地，所述信号目的地（与信号源类似）可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何信号目的地中的任一个。

在图 5 中，来自相关联信号源 20/30/40/100 的源信号 112a 被施加于路由驱动器电路 200a 的输入端 212a。 V_{CC} 是电源或者逻辑 1 电压或电势。 V_{SS} 是接地或者逻辑 0 电压或电势。元件 214a 是 PMOS 晶体管或门。元件 216a 和 218a 是 NMOS 晶体管或门。元件 202a 是（之前所描述的）FCE。终端 220a 是路由驱动器电路 200a 的输出端。元件 202a 和 218a 全部是可选的，并可以对任意电路 200a 而省略，电路 200a 是对于相关联的互连导体 50/60/70/80/90 的单独驱动。

在 PMOS 晶体管 214a 和 NMOS 晶体管 216a 的栅极之间构成的节点 A 连接于驱动器电路 200a 的输入端 212a。在 PMOS 晶体管 214a 的漏极和 NMOS 晶体管 216a 的源极之间构成的节点 B 连接于电路 200a 的输出端 220a（当需要时，可选的晶体管 218a 可被耦合于节点 B 和端 220a 之间）。PMOS 晶体管 214a 的源极耦合于 V_{CC} ，而 NMOS 晶体管 216a 的漏极耦合于 V_{SS} 。

将会了解，这里关于驱动器电路 200a 所描述的晶体管的漏极和源极方向并非为了进行限制，而仅为说明可以构建这些晶体管的一种方式。因此，术语“源极”和“漏极”将被解释为它们的最广泛含义。

以下是在图 5 中所示的现有技术的驱动器电路 200a 的运行。（此描述假定，如果可选元件 202a 和 218a 存在，则 FCE 202a 被编程用来将晶体管 218a 转为导通。）当源信号 112a 为 HIGH（即，等于 V_{CC} ）时，NMOS 晶体管 216a 为导通，而 PMOS 晶体管 214a 为断开。当 NMOS 晶体管 216a 为导通时，在 V_{SS} 和节点 B 之间存在通过晶体管 216a 的直接路径。因此，驱动器电路 200a 的输出端 220a 将低信号 V_{SS} 作为路由信号 113a 传递到互连导体 50/60/70/80/90。另一方面，当

源信号 112a 为 LOW (即, 等于 V_{SS}) 时, PMOS 晶体管 214a 为导通, 而 NMOS 晶体管 216a 为断开。当 PMOS 晶体管 214a 为导通时, 在 V_{CC} 和节点 B 之间存在通过晶体管 214a 的直接路径。因此, 驱动器电路 200a 的输出端 220a 将高频信号 V_{CC} 作为路由信号 113a 传递到互连导体 50/60/70/80/90。因此, 路由驱动器电路 200a 清楚地作为变换器 (inverter) 运行。在节点 B 处的高和低输出电平 (以及据此的输出终端 220a) 分别等于 V_{CC} 和 V_{SS} 。换句话说, 路由驱动器电路 200a 的电压摆动等于电源电压。由路由驱动器电路 200a 所驱动的作为路由信号 113a 的输出电压的范围自始至终在 V_{CC} 和 V_{SS} 之间变化。

被驱动到互连导体 50/60/70/80/90 上的路由信号 113a 被施加于路由接收器电路 300a。接收器电路 300a 传递导体 50/60/70/80/90 上的路由信号 113a 作为目的地信号 114a, 用于施加到相关联的信号目的地, 所述信号目的地 (与信号源类似) 可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何信号目的地中的任一个, 其与图 2-4 中的信号目的地元件相类似。

在图 5 中, 来自互连导体 50/60/70/80/90 的路由信号 113a 被施加于现有技术的路由接收器电路 300a 的输入端 312a。 V_{CC} 是电源或者逻辑 1 电压或电势。 V_{SS} 是接地或者逻辑 0 电压或电势。元件 314a 和 315a 是 NMOS 晶体管或门。元件 316a 和 317a 是 PMOS 晶体管或门。元件 301a 和 302a 是 FCE。元件 303a 是活动全局信号 (即加电锁存器复位信号), 其在加电时为 LOW。元件 318a 和 319a 是变换器。端 320a 是路由接收器电路 300a 的输出端。NMOS 晶体管 315a 和 FCE 302a 与可选的 NMOS 晶体管 314a 和 FCE 301a 相结合一起构成传递门。变换器 318a 与 PMOS 晶体管 317a 相结合而构成公共的半锁存器。PMOS 晶体管 316a 与加电信号 303a 相结合而构成“上拉 (pull-up)”电路。

在 NMOS“传递门”晶体管 315a 的漏极和 PMOS 晶体管 316a 和 317a 的漏极之间构成节点 C。NMOS 传递门晶体管 315a 的源极耦合于输入端 312a (当需要时, 可选的 NMOS 传递门晶体管 314a 可被耦

合于端 312a 和 NMOS 传递门晶体管 315a 的源极之间的节点(C)处)。在 PMOS 晶体管 317a 和变换器 318a 的输出之间构成节点 D。在变换器 319a 的输出之处构成的节点 E 连接于电路 300a 的输出端 320a。NMOS 晶体管 314a 的门耦合于 FCE 301a, 而 NMOS 晶体管 315a 的门耦合于 FCE 302a。PMOS 晶体管 316a 的栅极耦合于加电信号 303a, 而 PMOS 晶体管 316a 和 317a 的每一个的源极耦合于 V_{CC} 。

将会了解, 这里关于路由接收器电路 300a 所描述的晶体管的漏极和源极的方向并非是为了进行限制, 而仅仅说明可以构建这些晶体管的一种方式。因此, 术语“源极”和“漏极”将被解释为它们的最广泛含义。

以下是在图 5 中示出的传统接收器电路 300a 的运转。(此描述假定, 如果可选元件 301a 和 314a 存在, 则 FCE 301a 被编程用来将晶体管 314a 转为导通。)当路由信号 113a 为 HIGH(即, 源信号 112a 等于 V_{SS})时, 如果 FCE 301a 和 302a 被编程用来分别将晶体管 314a 和 315a 转为导通, 则 NMOS 传递门 314a 和 315a 传递 HIGH 路由信号 113a。如果 FCE 301a 和 302a 中的一个或二者未被编程用来将其各自的传递晶体管转为导通(即, 如果 FCE 301a 和 302a 中的任一个或二者为 LOW), 则路由信号 113a 不会被传递到接收器电路 300a 的节点 C, 并因此节点 C 是浮动(floating)的。在此情况下, 当所有 FCE 被清零(即所有 FCE 为 LOW)时, 至少在包含信号路径电路 140 于其上的可编程逻辑器件的加电期间会出现所述情况, 上拉电路的加电信号 303a 将 PMOS 晶体管 316a 转为导通, 从而借助于通过晶体管 316a 传递 V_{CC} 来将节点 C 设为 HIGH。在其他所有情况下, 当 FCE 301a 和 302a 二者被编程用来分别将晶体管 314a 和 315a 转为导通时, 上拉电路成为非活动的, 并且由路由信号 113a(以及晶体管 314a (如果提供了晶体管 314a 的话))经由晶体管 315a 驱动节点 C。

一旦由 NMOS 传递门中的一个或二者将路由信号 113a 传递到节点 C(或一旦由上拉电路将节点 C 设为高), 则由 PMOS 晶体管 317a 和变换器 318a 构成的公共半锁存器电路保持节点 D 处的信号为 V_{CC}

或 V_{SS} ，不论 V_{CC} 或 V_{SS} 在实际上都是节点 C 处的信号的反转。因此，不论由于传递门出现什么样的电流泄漏，半锁存器将把节点 D 的信号设为等于电源电压的完全干线值中的一个（即 V_{CC} 或 V_{SS} ）。还提供了变换器 319a 来保持节点 E 处的信号为 V_{CC} 或 V_{SS} ，不论 V_{CC} 或 V_{SS} 在实际上都是节点 D 处的信号的反转。因此，不论何时当 FCE 301a 被编程用来将晶体管 314a 转为导通以及 FCE 302a 被编程用来将晶体管 315a 转为导通之时，接收器电路 300a 的输出端 320a 在源信号 112a 为 LOW 时将 HIGH 信号 V_{CC} 作为目的地信号 114a 传递到目的地电路 20/30/40/100，并因此在节点 B 处的路由信号 113a 为 HIGH。同样，不论何时当 FCE 301a 被编程用来将晶体管 314a 转为导通以及 FCE 302a 被编程用来将晶体管 315a 转为导通之时，接收器电路 300a 的输出端 320a 在源信号 112a 为 HIGH 时将 LOW 信号 V_{SS} 作为目的地信号 114a 传递到目的地电路 20/30/40/100，并因此在节点 B 处的路由信号 113a 为 LOW。不过，不论何时当 FCE 301a 和 302a 中的一个或二者未被编程用来将各自的晶体管 314a 和 315a 转为导通之时，接收器电路 300a 的输出端 320a 由于接收器电路 300a 的上拉电路而将 HIGH 信号 V_{CC} 作为目的地信号 114a 传递到目的地电路 20/30/40/100，而不管源信号 112a。

因此，现有技术的信号路径电路 140 经由驱动器电路 200a 将 V_{CC} 源信号 112a 驱动为沿着互连导体 50/60/70/80/90 的 V_{SS} 路由信号 113a，并将 V_{SS} 路由信号 113a 传递到源目的地电路 20/30/40/100 作为 V_{SS} 目的地信号 114a。类似地，现有技术的信号路径电路 140 经由驱动器电路 200a 将 V_{SS} 源信号 112a 驱动为沿着互连导体 50/60/70/80/90 的 V_{CC} 路由信号 113a，并将 V_{CC} 路由信号 113a 传递到源目的地电路 20/30/40/100 作为 V_{CC} 目的地信号 114a。因此，沿着互连导体 50/60/70/80/90 驱动的路由信号 113a 的电压摆动等于信号路径电路 140 的电源电压（即， V_{CC} 到 V_{SS} ）。

图 6 示出了根据本发明的减小电压摆动的信号路径电路 150 的详细示意图。信号路径电路 150 包括“倒置的（reversed）”路由驱动器

电路 200b 和路由接收器电路 300b。

图 6 中的每个信号源元件 20/30/40/100 可以与图 2-5 中的信号源元件类似。电路 150 的信号路径中的信号源可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任意信号源中的任一个。由源 20/30/40/100 所产生的源信号 112b 被施加于路由驱动器电路 200b。驱动器电路 200b 将源信号 112b 驱动到导体上，所述导体可以是类型 50、60、70、80 或 90 或在 PLD 10 上使用的其他任何类型的导体中的任意导体。从驱动器电路 200b 延伸的导体 50/60/70/80/90 延伸到路由接收器电路 300b。图 6 中的每个信号目的地元件 20/30/40/100 可以与图 2-5 中的信号目的地元件类似。接收器电路 300b 传递导体 50/60/70/80/90 上的信号作为目的地信号 114b，用于施加到相关联的信号目的地，所述信号目的地（与信号源类似）可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何信号目的地中的任一个。

在图 6 中，来自相关联信号源 20/30/40/100 的源信号 112b 被施加于路由驱动器电路 200b 的输入端 212b。 V_{CC} 是电源或者逻辑 1 电压或电势。 V_{SS} 是接地或逻辑 0 电压或电势。元件 214b 是 PMOS 晶体管或门。元件 216b 和 218b 是 NMOS 晶体管或门。元件 202b 是（之前所描述的）FCE。终端 220b 是路由驱动器电路 200b 的输出端。元件 202b 和 218b 全部是可选的，并可以对任意电路 200b 而省略，电路 200b 是对于相关联的互连导体 50/60/70/80/90 的单独驱动。

在 PMOS 晶体管 214b 和 NMOS 晶体管 216b 的栅极之间构成的节点 A' 连接于驱动器电路 200b 的输入端 212b。在 PMOS 晶体管 214b 的源极和 NMOS 晶体管 216b 的漏极之间构成的节点 B' 连接于电路 200b 的输出端 220b（当需要时，可选的晶体管 218b 可被耦合于节点 B' 和终端 220b 之间）。PMOS 晶体管 214 的漏极耦合于 V_{SS} ，而 NMOS 晶体管 216 的源极耦合于 V_{CC} 。

将会了解，这里关于驱动器电路 200b 所描述的晶体管的漏极和源极的方向并非是为了进行限制，而仅为说明可以构建这些晶体管的

一种方式。因此，术语“源极”和“漏极”将被解释为它们的最广泛含义。

以下是在图 6 中所示的驱动器电路 200b 的运行。（此描述假定，如果可选元件 202b 和 218b 存在，则 FCE 202b 被编程用来将晶体管 218b 转为导通。）当源信号 112b 为 HIGH（即，等于 V_{CC} ）时，NMOS 晶体管 216b 为导通，而 PMOS 晶体管 214b 为断开。当 NMOS 晶体管 216b 为导通时，在 V_{CC} 和节点 B' 之间存在通过晶体管 216b 的直接路径。因此，驱动器电路 200b 的输出端 220b 将减小的 HIGH 信号 V_{CCN} （即 $V_{CC} - V_{TN}$ ）作为路由信号 113b 传递到互连导体 50/60/70/80/90。另一方面，当源信号 112b 为 LOW（即，等于 V_{SS} ）时，PMOS 晶体管 214b 为导通，而 NMOS 晶体管 216b 为断开。当 PMOS 晶体管 214b 为导通时，在 V_{SS} 和节点 B' 之间存在通过晶体管 214b 的直接路径。因此，驱动器电路 200b 的输出端 220b 将增加的 LOW 信号 V_{SSP} （即 $V_{SS} + V_{TP}$ ）作为路由信号 113b 传递到互连导体 50/60/70/80/90。因此，路由驱动器电路 200b 清楚地作为具有减小电压摆动的变换器而运行。在节点 B' 处的“HIGH”和“LOW”输出电平（以及据此的输出端 220b）分别等于 V_{CCN} （即 $V_{CC} - V_{TN}$ ）和 V_{SSP} （即 $V_{SS} + V_{TP}$ ）。换句话说，路由驱动器电路 200b 的电压摆动不等于电源电压。与图 5 的现有技术驱动器电路 200a 不同，由路由驱动器电路 200b 所驱动的作为图 6 的路由信号 113b 的输出电压的范围不会自始至终在 V_{CC} 和 V_{SS} 之间变化。

被驱动到互连导体 50/60/70/80/90 上的路由信号 113b 被施加于路由接收器电路 300b。接收器电路 300b 传递导体 50/60/70/80/90 上的路由信号 113b 作为目的地信号 114b，用于施加到相关联的信号目的地，所述信号目的地（与信号源类似）可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何信号目的地中的任一个，其与图 2-5 中的信号目的地元件相类似。

在图 6 中，来自互连导体 50/60/70/80/90 的路由信号 113b 被施加于路由接收器电路 300b 的输入端 312b。 V_{CC} 是电源或者逻辑 1 电压或电势。 V_{SS} 是接地或者逻辑 0 电压或电势。元件 314b 和 317b 是 NMOS

晶体管或门，而元件 315b 和 316b 是 PMOS 晶体管或门。元件 301b 和 302b 是 FCE。元件 303b 和 304b 是活动全局信号（即加电锁存器复位信号），其在加电时分别为 LOW 和 HIGH。元件 313b、318b 和 319b 是变换器。端 320b 是路由接收器电路 300b 的输出端。NMOS 晶体管 314b 和 FCE 301b 与可选的 NMOS 晶体管 315b 和 FCE 302b 相结合而一起构成传递门电路。（应该注意，NMOS 晶体管 314b 和 PMOS 晶体管 315b 的顺序可以交换，并且这些晶体管可以保护路由信号 113b 不会由电路 300b 的完全锁存器（full-latch）在节点 C' 处将其引导到完全干线。）变换器 313b 与变换器 318b 相结合而构成公共的完全锁存器。而 NMOS 晶体管 317b 与加电信号 304b 相结合而构成“上拉”电路。应该注意，上拉器件或下拉电路中仅一个是必需的。

在 PMOS 晶体管 315b 和 316b 的漏极、NMOS 晶体管 317b 的源极、变换器 313b 的输出和变换器 318b 的输入之间构成节点 C'。PMOS 传递门晶体管 315b 的源极耦合于 NMOS 传递门 314b 的漏极。NMOS 传递门 314b 的源极耦合于输入端 312b。在变换器 313b 和 319b 的输入和变换器 318b 的输出之间构成节点 D'。在变换器 319b 的输出处构成的节点 E' 连接于电路 300b 的输出端 320b。NMOS 晶体管 314b 的栅极耦合于 FCE 301b，而 NMOS 晶体管 315b 的栅极耦合于 FCE 302b。PMOS 晶体管 316b 的栅极耦合于加电信号 303b，而 NMOS 晶体管 317b 的栅极耦合于加电信号 304b。PMOS 晶体管 316b 的源极耦合于 V_{CC} ，而 NMOS 晶体管 317b 的漏极耦合于 V_{SS} 。

将会了解，这里关于路由接收器电路 300b 所描述的晶体管的漏极和源极的方向并非是为了进行限制，而仅仅说明可以构建这些晶体管的一种方式。因此，术语“源极”和“漏极”将被解释为它们的最广泛含义。

以下是在图 6 中示出的接收器电路 300b 的运转。当路由信号 113b 为减小的 HIGH 信号 V_{CCN} （即，源信号 112b 等于 V_{CC} ）时，如果 FCE 301b 和 302b 被编程用来分别将晶体管 314b 和 315b 转为导通，则传递门 314b 和 315b 传递减小的 HIGH 路由信号 113b。如果 FCE 301b

和 302b 中的任一个或二者未被编程用来将其各自的传递晶体管转为导通（即，如果 FCE 301b 为 LOW 和/或 FCE 302b 为 HIGH），则路由信号 113b 不会被驱动到接收器电路 300b 的节点 C'，并因此节点 C' 是浮动的。在此情况下，至少在包含电路 150 于其上的可编程逻辑器件的加电处会出现所述情况，根据哪一类型的电路是设计所要求的，上拉电路的加电信号 303b 可被编程用来将 PMOS 晶体管 316b 转为导通，从而借助于将 V_{CC} 传递通过晶体管 316b 来将节点 C' 设为高，或者下拉电路的加电信号 FCE 304b 可被编程用来将 NMOS 晶体管 317b 转为导通，从而借助于将 V_{SS} 传递通过晶体管 317b 来将节点 C' 设为低。在其他所有情况下，当 FCE 301b 和 302b 二者被编程用来分别将晶体管 314b 和 315b 转为导通时，上拉电路或下拉电路成为非活动的，并且由路由信号 113b 经由晶体管 314b 和 315b 驱动节点 C'。

与图 5 的需要上拉电路的常规接收器电路 300a 不同，本发明的接收器电路 300b 的一个优点在于，可以根据设计要求而使用上拉或下拉信号来选通信号。

一旦由传递门 314b 和 315b 将路由信号 113b 传递到节点 C'（或一旦由上拉电路将节点 C' 设为 HIGH 或由下拉电路将节点 C' 设为 LOW），则由变换器 313b 和 318b 构成的完全锁存器电路将节点 D' 处的信号引导到完全干线的 V_{CC} 或 V_{SS} ，不论 V_{CC} 或 V_{SS} 在实际上都是节点 C' 处的信号的减小或增加值的反转。因此，不论由于传递门而出现什么样的电流泄漏，完全锁存器都将把节点 D' 处的信号设为等于电源电压的完全干线值（即 V_{CC} 或 V_{SS} ），尽管是反转的完全干线值。最后，变换器 319b 将节点 E' 处的信号值反转。因此，不论何时当 FCE 301b 被编程用来将晶体管 314b 转为导通以及 FCE 302b 被编程用来将晶体管 315b 转为导通之时，接收器电路 300b 的输出终端 320b 在源信号 112b 为 HIGH 时将 HIGH 信号 V_{CC} 作为目的地信号 114b 传递到目的地电路 20/30/40/100，并因此在节点 B' 处的路由信号 113b 为减小的 HIGH 信号 V_{CCN} （即 $V_{CC} - V_{TN}$ ）。同样，不论何时当 FCE 301b 被编程用来将晶体管 314b 转为导通以及 FCE 302b 被编程用来将晶体

管 315b 转为导通之时,接收器电路 300b 的输出端 320b 在源信号 112b 为 LOW 时将 LOW 信号 V_{SS} 作为目的地信号 114b 传递到目的地电路 20/30/40/100, 并因此在节点 B' 处的路由信号 113b 为增加的 LOW 信号 V_{SSP} (即 $V_{SS} + V_{TP}$)。不过, 不论何时当 FCE 301b 和 302b 中的一个或二者未被编程用来将各自的晶体管 314b 和 315b 转为导通之时, 接收器电路 300b 的输出端 320b 或者由于下拉电路 (如果提供下拉电路的话) 而将 LOW 信号 V_{SS} 作为目的地信号 114b 进行传递, 或者由于上拉电路 (如果提供上拉电路的话) 而将 HIGH 信号 V_{CC} 作为目的地信号 114b 进行传递, 而不管源信号 112b。

因此, 本发明的信号路径电路 150 经由驱动器电路 200b 将 V_{CC} 源信号 112b 驱动为沿着互连导体 50/60/70/80/90 的减小的 HIGH V_{CCN} 路由信号 113b, 而接收器电路 300b 将减小的 HIGH V_{CCN} 路由信号 113b 传递到源目的地电路 20/30/40/100 作为完全干线的 V_{CC} 目的地信号 114b。类似地, 信号路径电路 150 经由驱动器电路 200b 将 V_{SS} 源信号 112b 驱动为沿着互连导体 50/60/70/80/90 的增加的 LOW V_{SSP} 路由信号 113b, 而接收器电路 300b 将增加的 LOW V_{SSP} 路由信号 113b 传递到源目的地电路 20/30/40/100 作为完全干线的 V_{SS} 目的地信号 114b。因此, 沿着互连导体 50/60/70/80/90 驱动的路由信号 113b 的电压摆动不等于信号路径电路 150 的电源电压 (即, V_{CC} 到 V_{SS}), 而是被限于 V_{CCN} 到 V_{SSP} 的范围之内。

图 7 示出了根据本发明的减小电压摆动的信号路径电路 160 的第二实施例的详细示意图。信号路径电路 160 包括图 6 的“倒置的”路由驱动器电路 200b 和路由接收器电路 300c。

图 7 中的每个信号源元件 20/30/40/100 可以与图 2-6 中的信号源元件类似。电路 160 的信号路径中的信号源可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任意信号源中的任一个。以上关于图 6 描述了路由驱动器电路 200b。驱动器电路 200b 将源信号 112b 驱动到导体上, 所述导体可以是类型 50、60、70、80 或 90 或在 PLD 10 上使用的其他任何类型的导体中的任意

导体。从驱动器电路 200b 延伸的导体 50/60/70/80/90 延伸到路由接收器电路 300c。图 7 中的每个信号目的地元件 20/30/40/100 可以与图 2-6 中的信号目的地元件类似。接收器电路 300c 传递导体 50/60/70/80/90 上的路由信号 113c 作为目的地信号 114c，用于施加到相关联的信号目的地，所述信号目的地（与信号源相似）可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何信号目的地中的任一个。

如上面参考图 6 所述，驱动器电路 200b 的输入端 220b 将增加的 LOW 信号 V_{SSP} （即 $V_{SS} + V_{TP}$ ）作为路由信号（即，关于图 7 的信号路径电路 150 的路由信号）传递到互连导体 50/60/70/80/90。路由驱动器电路 200b 运行作为具有减小电压摆动的变换器。在节点 B'' 处的“HIGH”和“LOW”输出电平（以及据此的输出端 220b）分别等于 V_{CCN} （即 $V_{CC} - V_{TN}$ ）和 V_{SSP} （即 $V_{SS} + V_{TP}$ ）。换句话说，路由驱动器电路 200b 的电压摆动不等于电源电压。与图 5 的现有技术驱动器电路 200a 不同，由路由驱动器电路 200b 所驱动的作为图 7 的路由信号 113c 的输出电压的范围始终不会在 V_{CC} 和 V_{SS} 之间变化。

被驱动到互连导体 50/60/70/80/90 上的路由信号 113c 被施加于路由接收器电路 300c。接收器电路 300c 传递导体 50/60/70/80/90 上的路由信号 113c 作为目的地信号 114c，用于施加到相关联的信号目的地，所述信号目的地（与信号源类似）可以是 I/O 区域 20、逻辑区域 30、存储器区域 40、可编程互连 100 或 PLD 10 上的其他任何信号目的地中的任一个，与图 2-6 中的信号目的地元件相类似。

在图 7 中，来自互连导体 50/60/70/80/90 的路由信号 113c 被施加于路由接收器电路 300c 的输入端 312c。 V_{CC} 是电源或者逻辑 1 电压或电势。 V_{SS} 是接地或者逻辑 0 电压或电势。元件 314c、315c、317c 和 318b 是 NMOS 晶体管或门，而元件 313c、316c 和 312c 是 PMOS 晶体管或门。元件 301c 和 302c 是 FCE。元件 303c 是活动全局信号（即加电锁存器复位信号），其在加电时为 LOW。元件 319c 是变换器。端 320c 是路由接收器电路 300c 的输出端。元件 301c 和 314c 全部是

可选的，并可以对于任何电路 300c 而省略，以使器件加速，同时增加 PLD 上的 CRAM 计数。NMOS 晶体管 315c 和 FCE 302c 与可选的 NMOS 晶体管 314c 和 FCE 301c 相结合而一起构成传递门。PMOS 晶体管 321c 与加电信号 303c 相结合而构成“上拉”电路。PMOS 晶体管 313c 和 316c 与 NMOS 晶体管 317c 和 318c 相结合而构成低泄漏输入缓冲器。

在 NMOS 晶体管 315c 和 PMOS 晶体管 321c 的漏极之间以及在晶体管 313c 和 316c - 318c 的栅极之间构成节点 C''。NMOS 传递门晶体管 315c 的源极耦合于 NMOS 传递门 314c 的漏极。NMOS 传递门 314c 的源极耦合于输入端 312c。在 PMOS 晶体管 316c 的漏极、NMOS 晶体管 317c 的源极和变换器 319c 的输入之间构成节点 D''。在变换器 319c 的输出处构成的节点 E'' 连接于电路 300c 的输出端 320c。NMOS 晶体管 314c 的栅极耦合于 FCE 301c，而 NMOS 晶体管 315c 的栅极耦合于 FCE 302c。PMOS 晶体管 313c 的漏极耦合于 PMOS 晶体管 316c 的源极，而 PMOS 晶体管 317c 的漏极耦合于 NMOS 晶体管 318c 的源极。PMOS 晶体管 313c 的源极耦合于 V_{CC} ，而 NMOS 晶体管 318c 的漏极耦合于 V_{SS} 。

将会了解，这里关于路由接收器电路 300c 所描述的晶体管的漏极和源极的方向并非是为了进行限制，而仅仅说明可以构建这些晶体管的一种方式。因此，术语“源极”和“漏极”将被解释为它们的最广泛含义。

以下是在图 7 中示出的接收器电路 300c 的运转。当路由信号 113c 为减小的 HIGH 信号 V_{CCN} (即，源信号 112b 等于 V_{CC}) 时，如果 FCE 301c 和 302c 被编程用来分别将晶体管 314c 和 315c 转为导通，则传递门 314c 和 315c 传递减小的 HIGH 路由信号 113b 到节点 C''。如果 FCE 301c 和 302c 中的任一个或二者未被编程用来将其各自的传递晶体管转为导通 (即，如果 FCE 301c 或 FCE 302c 为 LOW)，则路由信号 113c 不会被驱动到接收器电路 300c 的节点 C''，并因此节点 C'' 是浮动的。在此情况下，至少当在包含电路 160 于其上的可编程逻辑

器件的加电时所有 FCE 被清零（即所有 FCE 为 LOW）的时候会出现所述情况，上拉电路的加电信号 303c 将 PMOS 晶体管 321c 转为导通，从而借助于将 V_{CC} 传递通过晶体管 321c 来将节点 C'' 设为 HIGH。在其他所有情况下，当 FCE 301c 和 302c 被编程用来分别将晶体管 314c 和 315c 转为导通时，由路由信号 113c 经由晶体管 314c 和 315c 驱动节点 C''。

与关于之前在这里描述的其他接收器电路不同，在接收器电路 300b 的传递门之后，不再试图使用锁存器电路来把在节点 C'' 处的信号恢复到完全干线。而是提供了输入缓冲器电路，其可以容忍在其输入处的低电压摆动。当由传递门 314c 和 315c 将路由信号 113c 传递到节点 C'' 时，由晶体管 313c 和 316c - 318c 构成的输入缓冲器电路将节点 D'' 处的信号引导为大致的在节点 C'' 处的信号的减小或增加值的反转，但处于完全干线。因此，不论由于传递门而出现什么样的电流泄漏，低泄漏输入缓冲器将把节点 D'' 处的信号设为路由信号 113c 的 HIGH（即 V_{CC} ）或 LOW（即 V_{SS} ）值，尽管是反转的值。最后，变换器 319c 将节点 E'' 处的信号值反转。因此，不论何时当 FCE 301c 和 302c 被编程用来将晶体管 314c 和 315c 分别转为导通之时，当源信号 112b 为 HIGH 时，并因此当在节点 B'' 处的路由信号 113c 为减小的 HIGH 信号 V_{CCN} （即 $V_{CC} - V_{TN}$ ）时，接收器电路 300c 的输出端 320c 将 HIGH 信号 V_{CC} 作为目的地信号 114c 进行传递。同样，不论何时当 FCE 301c 和 302c 被编程用来将晶体管 314c 和 315c 分别转为导通之时，当源信号 112b 为 LOW 时，并因此当在节点 B'' 处的路由信号 113c 为增加的 LOW 信号 V_{SSP} （即 $V_{SS} + V_{TP}$ ）时，接收器电路 300c 的输出端 320c 将 LOW 信号 V_{SS} 作为目的地信号 114c 进行传递。

因此，本发明的信号路径电路 160 经由驱动器电路 200b 将 HIGH V_{CC} 源信号 112b 驱动为沿着互连导体 50/60/70/80/90 的减小的 HIGH V_{CCN} 路由信号 113c，而接收器电路 300c 将减小的 LOW V_{CCN} 路由信号 113c 传递到源目的地电路 20/30/40/100 作为完全干线的 HIGH V_{CC} 目的地信号 114c。类似地，信号路径电路 160 经由驱动器电路 200b

将 V_{SS} 源信号 112b 驱动为沿着互连导体 50/60/70/80/90 的增加的 LOW V_{SSP} 路由信号 113c, 而接收器电路 300c 将增加的 LOW V_{SSP} 路由信号 113c 传递到源目的地电路 20/30/40/100 作为完全干线的 LOW V_{SS} 目的地信号 114c。因此, 沿着互连导体 50/60/70/80/90 驱动的路由信号 113c 5 的电压摆动不等于信号路径电路 160 的电源电压 (即, V_{CC} 到 V_{SS}), 而是被限于 V_{CCN} 到 V_{SSP} 的范围内。

图 7 的接收器电路 300c 的另一优点在于, 减少了关于跨逻辑器件内的工艺角落进行路由的功能性问题。例如, 当图 5 的传统信号路径电路 140 在类似于图 4 的说明性信令装置 130 的信令装置中所使用时, 路由驱动器电路 200a 耦合于大量接收器电路, 并因此驱动器电路 200a 经由大量 NMOS 传递门而耦合于同样数量的半锁存器。需要了解, 驱动器电路 200a 的 NMOS 下拉晶体管 216a 必须克服在信令装置中使用的每个接收器电路 300a 的 PMOS 反馈晶体管 317a。如果过多的耦合于驱动器电路 200a 的 PMOS 反馈晶体管 317a 被转为导通, 或 15 如果由于逻辑器件的处理变化而使 NMOS 下拉晶体管 216a 过于脆弱, 那么图 5 的传统信令电路将无法从 V_{CC} 到 V_{SS} 进行转变。不过, 在图 7 的减小电压摆动的信号路径电路 160 的接收器电路 300c 中不存在反馈。因此, 可以使用最大数目的能够被耦合于驱动器电路 200b 的接收器电路 300c, 而无需模拟跨所有工艺角落的功能性。

被构建具有以上所述的任意的减小电压摆动的信号路径电路的可编程逻辑器件 10 可被用于作为图 8 中示出的数据处理系统 500 的一部分。数据处理系统 500 可包括一个或多个以下部件: 处理器 501、存储器 502; I/O 电路 503; 以及外围设备 504。这些部件通过系统总线 505 耦合在一起, 并居于电路板 506 上, 所述电路板被包含于终端 25 用户系统 507 中。

系统 500 可被用于多种应用中, 诸如计算机连网、数据连网、仪表、视频处理、数字信号处理或其他任何应用, 其中使用掩模可编程逻辑的优点是所希望的。可编程逻辑器件 10 可被配置成执行各种不同的逻辑功能。例如, 逻辑器件 10 可被配置为与处理器 501 协同工作的

处理器或控制器。逻辑器件 10 还可被用作用于对访问系统 500 中的共享资源进行判优的判优器。在再一示例中，逻辑器件 10 可被配置为处理器 501 和系统 500 中的其他部件中的一个部件之间的接口。应该注意，系统 500 仅是示例性的，并且本发明的真正范围和精神应该由
5 以下权利要求所指明的。

各种集成电路处理技术可被用于实现以上所描述的根据本发明的逻辑器件 10。此外，诸如低电压差动信令（LVDS）的其他已知信令技术可以替换所详细讨论的单个导体信令，而且仍可实现了本发明的原理。

10 因此，应当理解，前述内容仅说明了本发明原理，并且本领域技术人员可做出各种修改而不会背离本发明的范围和精神，并且本发明仅由以下权利要求所限定。

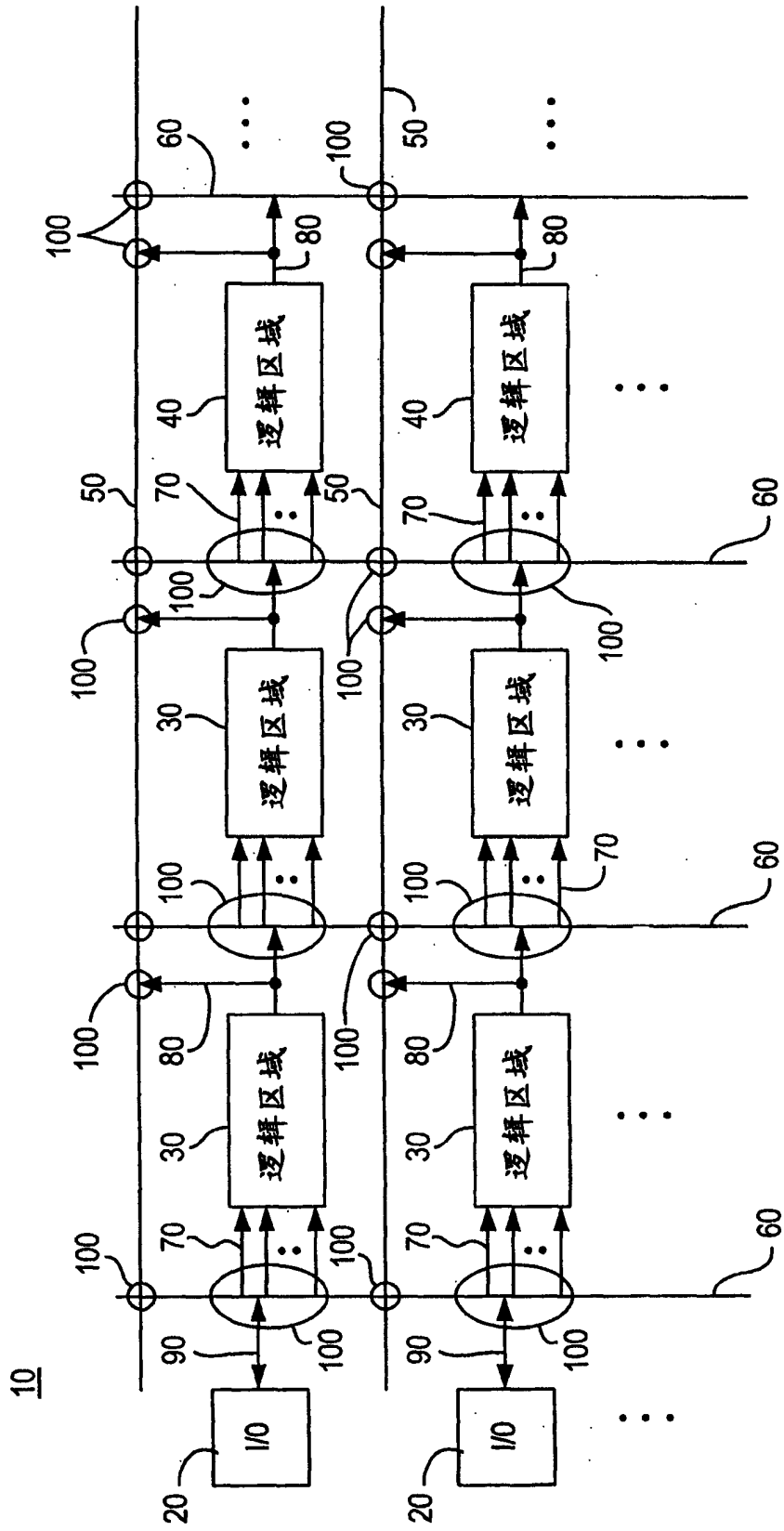


图1

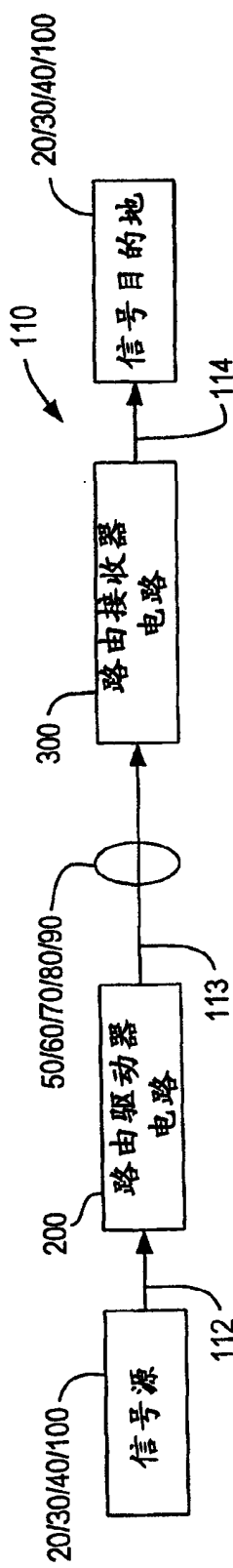


图 2

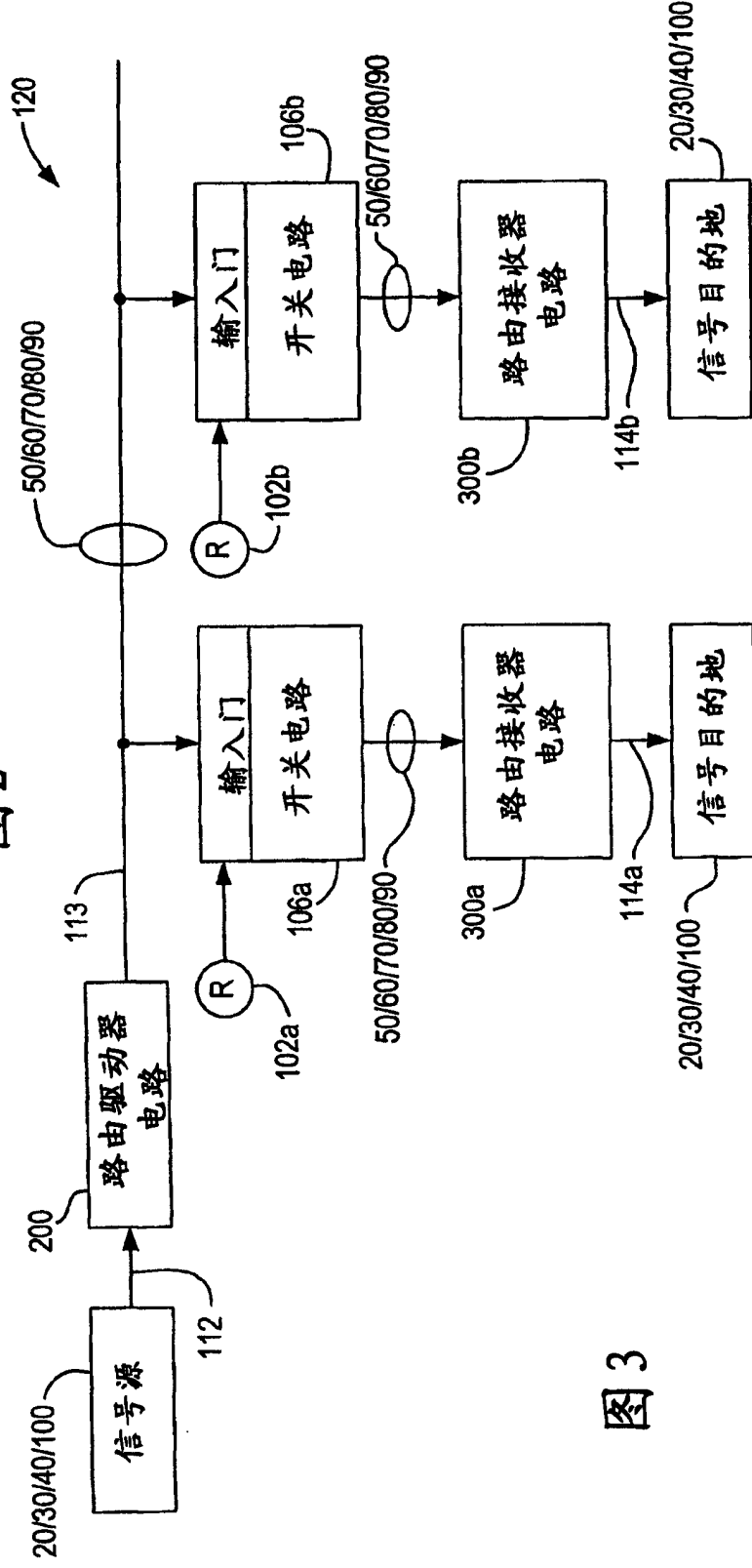


图 3

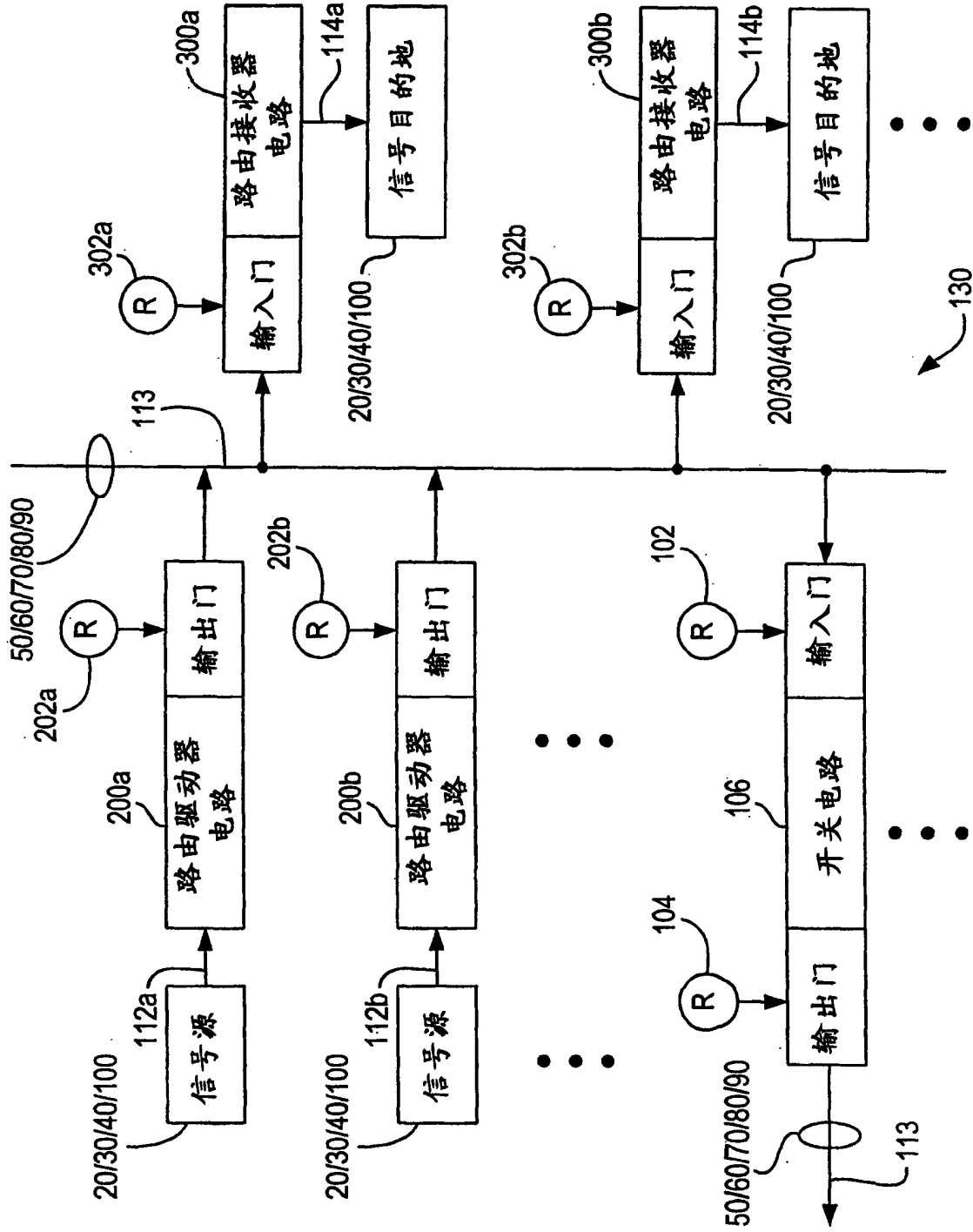


图4

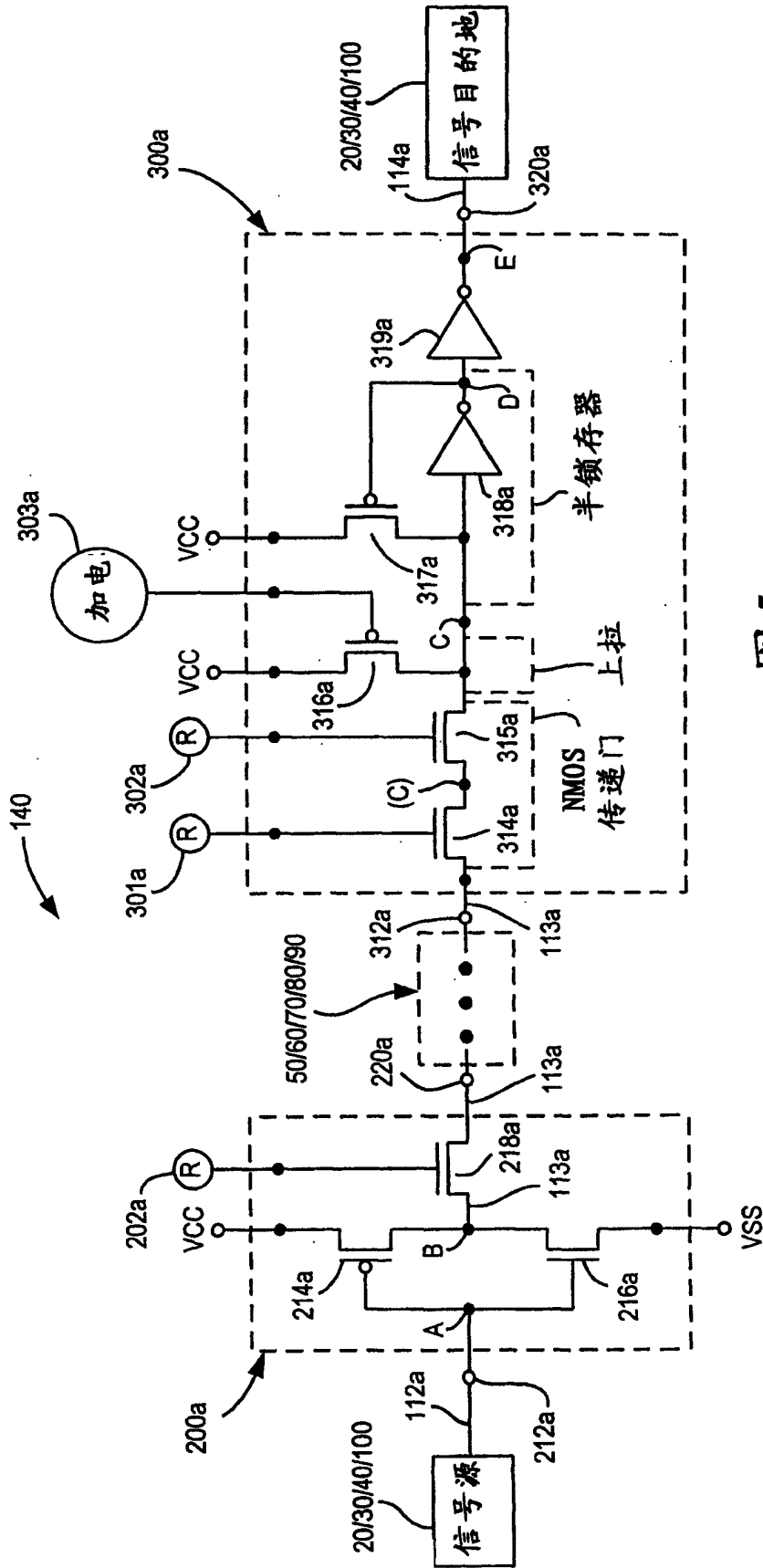


图5
(现有技术)

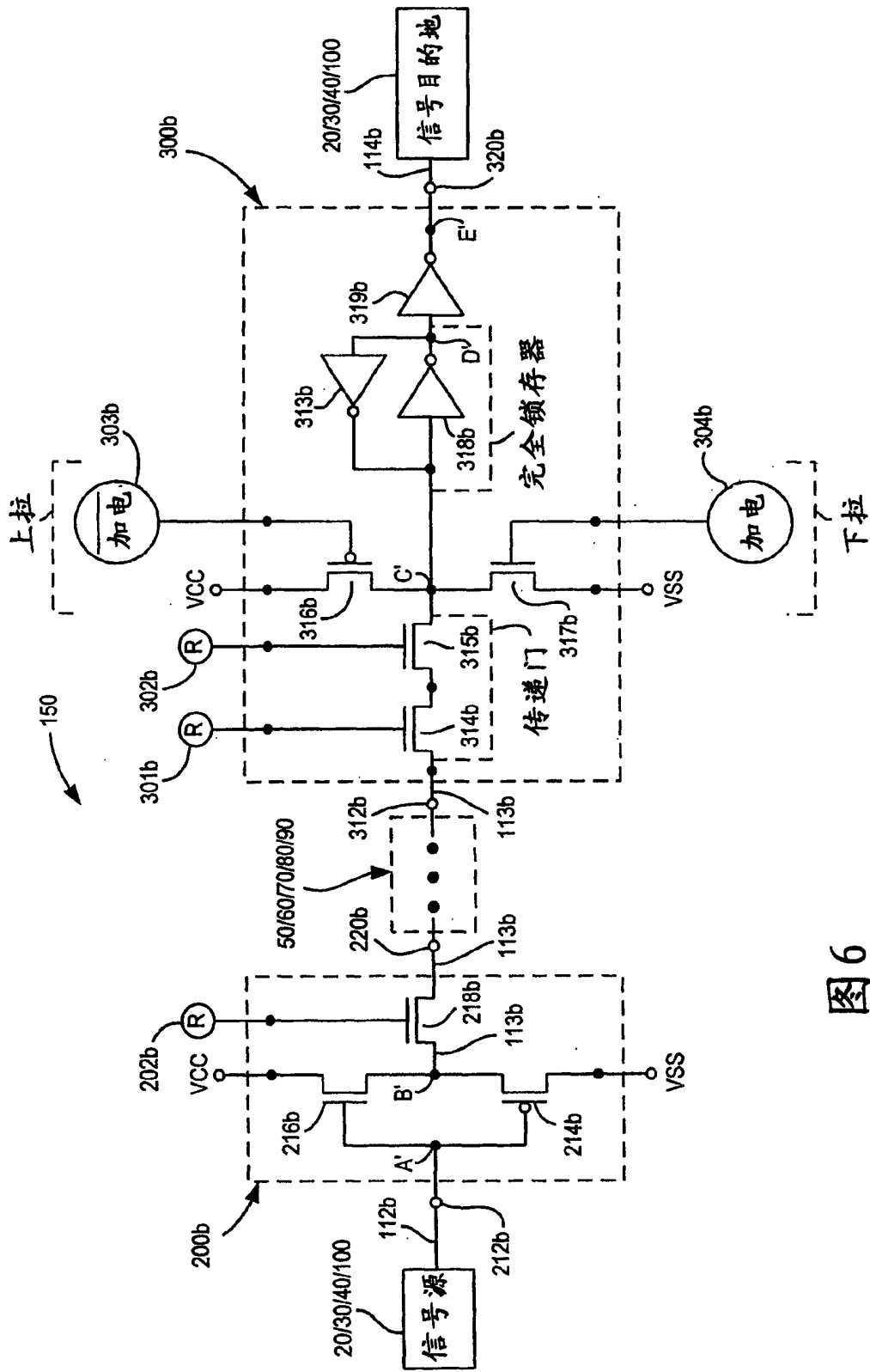
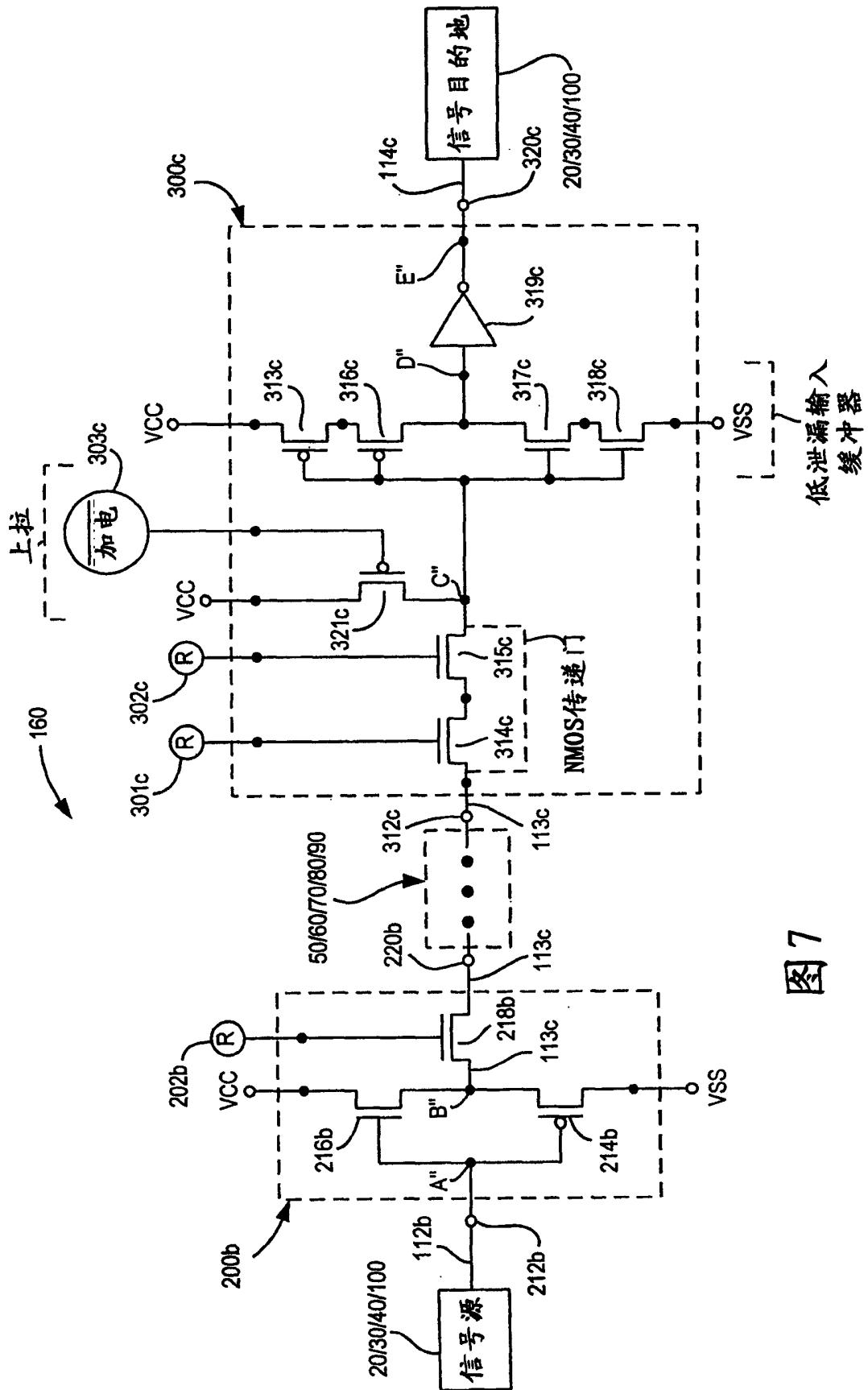


图6



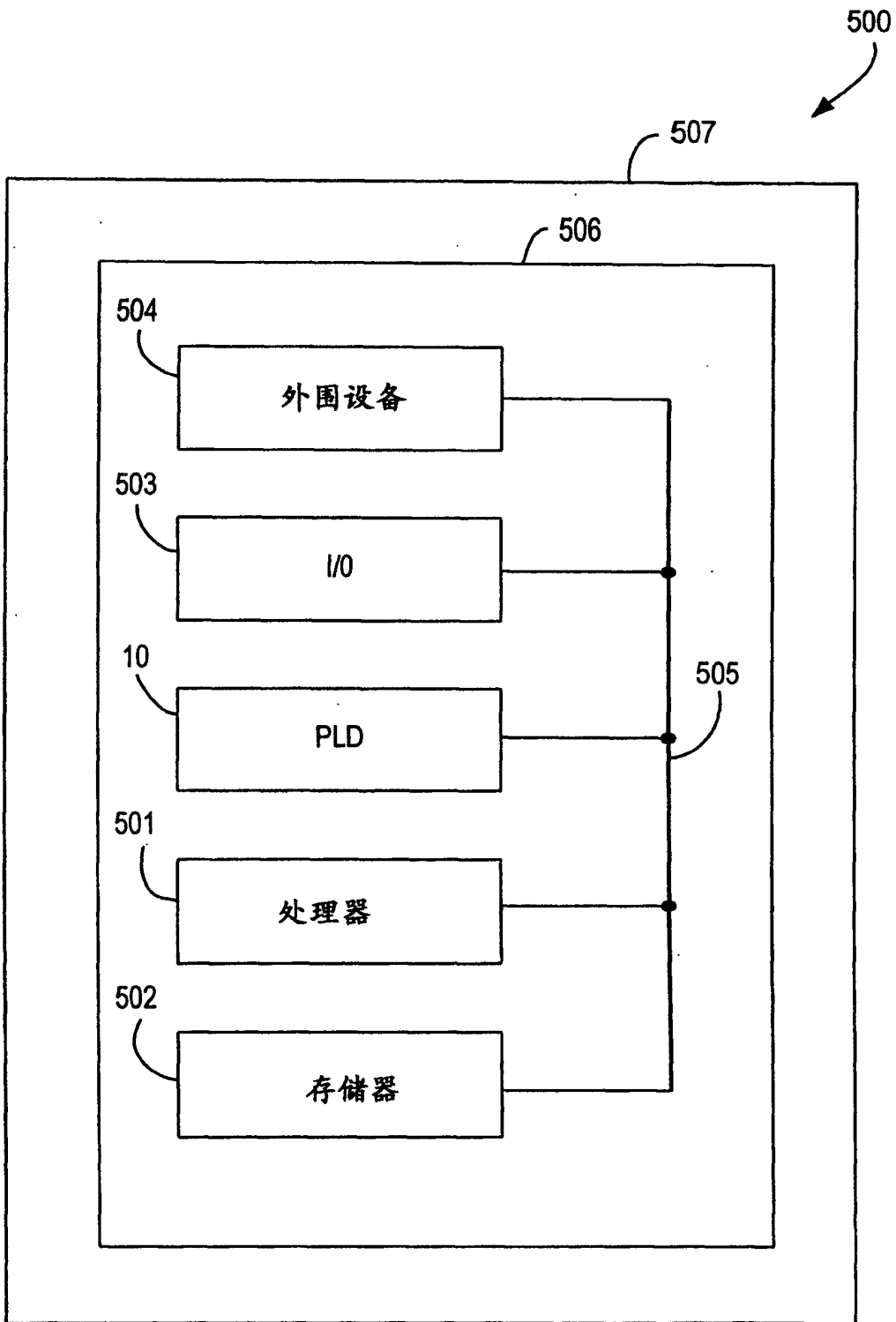


图 8