

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7225112号

(P7225112)

(45)発行日 令和5年2月20日(2023.2.20)

(24)登録日 令和5年2月10日(2023.2.10)

(51)国際特許分類

F I

G 0 9 G 3/3233(2016.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/3233

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 8 0 H

G 0 9 G 3/20 6 6 0 K

G 0 9 G 3/20 6 2 1 M

請求項の数 7 (全41頁) 最終頁に続く

(21)出願番号 特願2019-551772(P2019-551772)

(86)(22)出願日 平成30年10月30日(2018.10.30)

(86)国際出願番号 PCT/IB2018/058462

(87)国際公開番号 WO2019/092549

(87)国際公開日 令和1年5月16日(2019.5.16)

審査請求日 令和3年10月28日(2021.10.28)

(31)優先権主張番号 特願2017-216322(P2017-216322)

(32)優先日 平成29年11月9日(2017.11.9)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2017-230410(P2017-230410)

(32)優先日 平成29年11月30日(2017.11.30)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2018-29712(P2018-29712)

最終頁に続く

(73)特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 川島 進

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 楠 紘慈

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 高橋 圭

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】 表示装置、電子機器

(57)【特許請求の範囲】

【請求項1】

第1のメモリ回路と、第2のメモリ回路と、第1のトランジスタと、表示素子と、を有する画素を有し、

前記画素は、第1の配線、第2の配線、および第3の配線と電気的に接続され、

前記第1の配線は、第5の信号を前記画素に与える機能を有し、

前記第2の配線は、第1の信号および第2の信号を前記画素に与える機能を有し、

前記第3の配線は、第3の信号および第4の信号を前記画素に与える機能を有し、

前記第1のメモリ回路は、第1の信号を保持する機能を有し、

前記第2のメモリ回路は、第3の信号を保持する機能を有し、

前記第1のメモリ回路は、第2のトランジスタ、第3のトランジスタ、および第1の容量素子を有し、

前記第2のメモリ回路は、前記第2のトランジスタ、第4のトランジスタ、および第2の容量素子を有し、

前記第2のトランジスタ乃至前記第4のトランジスタは、チャネル形成領域に金属酸化物を有し、前記金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有し、

前記第1の容量素子の一方の電極は、前記第1のトランジスタのゲートと電気的に接続され、

前記第1の容量素子の一方の電極は、前記第2のトランジスタを介して前記第1の配線と

10

20

電氣的に接続され、

前記第 1 の容量素子の他方の電極は、前記第 3 のトランジスタを介して前記第 2 の配線と電氣的に接続され、

前記第 2 の容量素子の一方の電極は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 2 の容量素子の一方の電極は、前記第 2 のトランジスタを介して前記第 1 の配線と電氣的に接続され、

前記第 2 の容量素子の他方の電極は、前記第 4 のトランジスタを介して前記第 3 の配線と電氣的に接続され、

第 1 の期間において、

前記第 2 のトランジスタをオンにし、前記第 1 の配線に前記第 5 の信号を与えることにより、前記第 1 の容量素子の一方の電極、前記第 2 の容量素子の一方の電極および前記第 1 のトランジスタのゲートに前記第 5 の信号を与え、

前記第 3 のトランジスタをオンにし、前記第 2 の配線に前記第 1 の信号を与えることにより、前記第 1 の容量素子の他方の電極に前記第 1 の信号を与え、

前記第 4 のトランジスタをオンにし、前記第 3 の配線に前記第 3 の信号を与えることにより、前記第 2 の容量素子の他方の電極に前記第 3 の信号を与え、

前記第 2 のトランジスタ、前記第 3 のトランジスタおよび前記第 4 のトランジスタをオフにすることにより、前記第 1 の信号を前記第 1 の容量素子に保持し、かつ前記第 3 の信号を前記第 2 の容量素子に保持し、

第 2 の期間において、

前記第 2 のトランジスタをオフにし、前記第 3 のトランジスタをオンにし、前記第 4 のトランジスタをオンにし、

前記第 2 の配線に前記第 3 の信号を与えて前記第 1 の容量素子の他方の電極に前記第 3 の信号を与え、かつ前記第 3 の配線に前記第 4 の信号を与えて前記第 2 の容量素子の他方の電極に前記第 4 の信号を与えることにより、前記第 1 の容量素子の一方の電極、前記第 2 の容量素子の一方の電極および前記第 1 のトランジスタのゲートに前記第 1 の信号乃至前記第 5 の信号を足し合わせた電圧を与え、前記表示素子に流れる電流を制御する機能を有する表示装置。

【請求項 2】

請求項 1 において、

前記画素は、第 3 の容量素子を有し、

前記第 3 の容量素子の一方の電極は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 の容量素子の他方の電極は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続される表示装置。

【請求項 3】

請求項 2 において、

前記画素は、前記表示素子に電流を流すための第 4 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 4 の配線と電氣的に接続される表示装置。

【請求項 4】

請求項 1 または 2 において、

前記画素は、定電位を与える機能を有する第 5 の配線に電氣的に接続され、

前記画素は、第 5 のトランジスタを有し、

前記第 5 のトランジスタのソースまたはドレインの一方は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソースまたはドレインの他方は、前記第 5 の配線と電氣的に接続される表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、
前記画素は、第 6 のトランジスタを有し、
前記第 6 のトランジスタのソースまたはドレインの一方は、前記第 1 のトランジスタの
ソース又はドレインの一方と電氣的に接続され、
前記第 6 のトランジスタのソースまたはドレインの他方は、前記表示素子の一方の電極
と電氣的に接続される表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、
前記表示素子は、E L 素子である表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の表示装置と、カメラと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、表示装置、表示装置の駆動方法、および電子機器に関する。

【背景技術】

【0002】

画素内に記憶回路、演算処理回路、表示処理回路を内蔵し、複数の画像データの合成を
行うことが可能な表示装置が知られている（例えば、特許文献 1 を参照）。

【0003】

表示装置は、高い画質であることが望まれる。高い画質を得るためには、表示する画像
の階調数を増加させることが有効である。例えば特許文献 2 では、複数ビットから成る階
調コードと各ビット数の重みに応じた駆動間隔とを用いて画素を駆動する駆動部を備える
ことで、画素の輝度が滑らかに変化するように補正することが可能な表示装置について
開示している。

【先行技術文献】

【特許文献】

【0004】

【文献】米国特許出願公開第 2003 / 0098875 号明細書
米国特許出願公開第 2013 / 0076801 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

画素内の演算処理回路で画像の合成等を行う構成では、画像データの増大に伴い、演算
処理量が膨大になるといった問題がある。加えて、画素に入力可能な信号の電圧振幅に上
限があるため、高いダイナミックレンジでの表示を行うことが難しいといった問題がある。

【0006】

また階調コードのような信号と駆動間隔とを組み合わせる構成では、表示装置の駆動が
複雑になる。一方で、画素で表示可能な階調数はソースドライバが出力可能なビット数で
決まる。そのため、ソースドライバが出力可能な信号を用いて、ソースドライバが出力可
能なビット数以上の階調数での表示を画素で行うことが難しかった。

【0007】

本発明の一態様では、ソースドライバが出力可能なビット数以上の階調数での表示を行
うことができる表示装置を提供することを課題の一つとする。または本発明の一態様では
、演算処理量を膨大にすることなく、画素内での画像の合成を行うことができる表示装置
を提供することを課題の一つとする。または本発明の一態様は、画素に入力可能な信号の
電圧振幅を超えて画像の表示を可能にすることで高いダイナミックレンジでの表示を行う
ことができる表示装置を提供することを課題の一つとする。

【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の

10

20

30

40

50

一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0009】

本発明の一態様は、第1のメモリ回路と、第2のメモリ回路と、第1のトランジスタと、表示素子と、を有する画素を有し、画素は、第1の配線、第2の配線、および第3の配線と電気的に接続され、第1の配線は、第1の信号及び第2の信号を画素に与える機能を有し、第2の配線は、第3の信号および第4の信号を画素に与える機能を有し、第3の配線は、第5の信号を画素に与える機能を有し、第1のメモリ回路は、第1の信号を保持する機能を有し、第2のメモリ回路は、第3の信号を保持する機能を有し、第1のトランジスタは、第1の信号乃至第4の信号を足し合わせた電圧がゲートに印加され、表示素子に流れる電流を制御する機能を有する表示装置である。

10

【0010】

本発明の一態様において、第1のメモリ回路は、第2のトランジスタ、第3のトランジスタ、および第1の容量素子を有し、第2のメモリ回路は、第2のトランジスタ、第4のトランジスタ、および第2の容量素子を有し、第2のトランジスタ乃至第4のトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、 I_n と、 Z_n と、 M (M は Al 、 Ti 、 Ga 、 Sn 、 Y 、 Zr 、 La 、 Ce 、 Nd または Hf)と、を有する表示装置が好ましい。

20

【0011】

本発明の一態様において、第1の容量素子の一方の電極は、第2のトランジスタを介して第1の配線と電気的に接続され、第1の容量素子の他方の電極は、第3のトランジスタを介して第2の配線と電気的に接続され、第2の容量素子の一方の電極は、第2のトランジスタを介して第1の配線と電気的に接続され、第2の容量素子の他方の電極は、第4のトランジスタを介して第3の配線と電気的に接続される表示装置が好ましい。

【0012】

本発明の一態様において、画素は、第3の容量素子を有し、第3の容量素子の一方の電極は、第1のトランジスタのゲートと電気的に接続され、第3の容量素子の他方の電極は、第1のトランジスタのソース又はドレインの一方と電気的に接続される表示装置が好ましい。

30

【0013】

本発明の一態様において、画素は、発光素子に電流を流すための第4の配線と電気的に接続され、第1のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続される表示装置が好ましい。

【0014】

本発明の一態様において、画素は、定電位を与える機能を有する第5の配線に電気的に接続され、画素は、第5のトランジスタを有し、第5のトランジスタのソースまたはドレインの一方は、第1のトランジスタのソース又はドレインの一方と電気的に接続され、第5のトランジスタのソースまたはドレインの他方は、第5の配線と電気的に接続される表示装置が好ましい。

40

【0015】

本発明の一態様において、画素は、第6のトランジスタを有し、第6のトランジスタのソースまたはドレインの一方は、第1のトランジスタのソース又はドレインの一方と電気的に接続され、第6のトランジスタのソースまたはドレインの他方は、表示素子の一方の電極と電気的に接続される表示装置が好ましい。

【0016】

本発明の一態様において、表示素子は、EL素子である表示装置が好ましい。

【0017】

本発明の一態様は、上記記載の表示装置と、カメラと、を有する電子機器である。

50

【 0 0 1 8 】

本発明の一態様は、表示素子と、第 1 のメモリ回路と、第 2 のメモリ回路と、第 1 のトランジスタと、が設けられた画素を有する表示装置の駆動方法であって、第 1 のメモリ回路に、第 1 の画像に応じた第 1 の信号を保持させ、第 2 のメモリ回路に、第 2 の画像に応じた第 2 の信号を保持させ、第 1 の信号が保持された第 1 のメモリ回路に、第 3 の画像に応じた第 3 の信号を供給することにより、第 1 の信号に第 3 の信号を付加し、第 2 の信号が保持された第 2 のメモリ回路に、第 4 の画像に応じた第 4 の信号を供給することにより、第 2 の信号に第 4 の信号を付加し、表示素子により、第 1 の信号乃至第 4 の信号に対応する第 1 の画像乃至第 4 の画像を重ね合わせた画像を表示する表示装置の駆動方法である。

【 0 0 1 9 】

本発明の一態様は、第 1 のメモリ回路と、第 2 のメモリ回路と、第 1 のトランジスタと、表示素子と、を有する画素を有し、画素は、第 1 の信号または第 2 の信号を与える第 1 の配線と電氣的に接続され、画素は、参照電圧または第 3 の信号を与える第 3 の配線と電氣的に接続され、画素は、参照電圧または第 4 の信号を与える第 4 の配線と電氣的に接続され、第 1 のメモリ回路は、第 1 の信号を記憶する機能を有し、第 2 のメモリ回路は、第 2 の信号を記憶する機能を有し、第 1 のトランジスタは、第 1 乃至第 4 の信号を足し合わせた電圧がゲートに印加され、表示素子に流れる電流を制御する機能を有する表示装置である。

【 0 0 2 0 】

本発明の一態様は、表示素子と、第 1 のメモリ回路と、第 2 のメモリ回路と、第 1 のトランジスタと、が設けられた画素を有する表示装置の駆動方法であって、第 1 のメモリ回路に、第 1 の信号を保持させ、第 2 のメモリ回路に、第 2 の信号を保持させ、第 1 の信号が保持された第 1 のメモリ回路に第 3 の信号を供給すること、第 2 の信号が保持された第 2 のメモリ回路に第 4 の信号を供給すること、および第 1 のメモリ回路および第 2 のメモリ回路のそれぞれが有するスイッチのオンまたはオフを制御することで、第 1 の信号、第 1 の信号および第 2 の信号を足し合わせた信号、第 1 の信号乃至第 3 の信号を足し合わせた信号、第 1 の信号乃至第 4 の信号を足し合わせた信号を組み合わせて画像を表示することを特徴とする表示装置の駆動方法である。

【 0 0 2 1 】

なおその他の本発明の態様については、以下で述べる実施の形態における説明、および図面に記載されている。

【発明の効果】

【 0 0 2 2 】

本発明の一態様では、ソースドライバが出力可能なビット数以上の階調数での表示を行うことができる表示装置を提供することができる。または本発明の一態様は、演算処理量を膨大にすることなく、画素内での画像の合成を行うことができる表示装置を提供することができる。または本発明の一態様は、画素に入力可能な信号の電圧振幅を超えて画像の表示を可能にすることで高いダイナミックレンジでの表示を行うことができる表示装置を提供することを目的の一つとする。

【 0 0 2 3 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】表示装置の構成例を説明するブロック図、回路図。

【図 2】表示装置の構成例を説明するタイミングチャート。

【図 3】表示装置の構成例を説明する回路図。

【図 4】表示装置の動作例を説明する図。

10

20

30

40

50

【図 5】表示装置の動作例を説明する図。
【図 6】表示装置の動作例を説明する図。
【図 7】表示装置の構成例を説明する回路図。
【図 8】表示装置の構成例を説明する回路図。
【図 9】表示装置の構成例を説明するブロック図。
【図 10】表示装置の構成例を説明する回路図。
【図 11】表示装置の構成例を説明するタイミングチャート。
【図 12】表示装置の構成例を説明する回路図。
【図 13】表示装置の動作例を説明する図。
【図 14】表示装置の構成例を説明する図。
【図 15】表示装置の構成例を説明する図。
【図 16】タッチパネルの構成例を説明する図。
【図 17】表示装置の構成例を説明する図。
【図 18】トランジスタの構成例を説明する図。
【図 19】トランジスタの構成例を説明する図。
【図 20】D O S R A M の構成例を示す断面図。
【図 21】電子機器の一例を説明する図。
【図 22】表示装置の動作例を説明する図。
【発明を実施するための形態】

【 0 0 2 5 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 6 】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【 0 0 2 7 】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【 0 0 2 8 】

(実施の形態 1)

本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

【 0 0 2 9 】

図 1 (A) には、表示装置 1 0 0 のブロック図を示す。表示装置 1 0 0 は、複数の画素 1 1 1 を有する表示部 1 1 0、ゲートドライバ 1 3 0、およびデータドライバ 1 4 0 を有する。

【 0 0 3 0 】

画素 1 1 1 は、メモリ回路 1 1 2 およびメモリ回路 1 1 3 を有する。図 1 (A) では図示を省略しているが、画素 1 1 1 は、表示素子および表示素子を駆動するためのトランジスタ等を有する。また画素 1 1 1 は、ゲートドライバ 1 3 0 から複数の配線 G L を介して信号が与えられ、駆動が制御される。また、画素 1 1 1 は、データドライバ 1 4 0 から複数の配線 D L を介して信号が与えられ、駆動が制御される。

【 0 0 3 1 】

複数の配線 G L は、走査線としての機能を有する。配線 G L が伝える信号は、走査信号としての機能を有する。走査信号は、制御信号ともいう。走査信号は、画素 1 1 1 内のスイッチとして機能するトランジスタの導通状態または非導通状態（オンまたはオフ）を制御するための信号である。配線 G L が伝える信号は、ゲートドライバ 1 3 0 から出力される。

【 0 0 3 2 】

複数の配線 D L は、データ線としての機能を有する。配線 D L が伝える信号は、データ信号としての機能を有する。データ信号は、画像データあるいは画像信号ともいう。データ信号は、画像の表示を行うための信号である。データ信号は、メモリ回路 1 1 2 およびメモリ回路 1 1 3 で保持される信号の他、メモリ回路 1 1 2 およびメモリ回路 1 1 3 に信号が保持された状態で、後から与える信号がある。また配線 D L は、画素 1 1 1 の駆動に必要な電圧、例えば参照電圧を与えるための配線としての機能を有する。配線 D L が伝える信号は、データドライバ 1 4 0 から出力される。

10

【 0 0 3 3 】

メモリ回路 1 1 2 およびメモリ回路 1 1 3 は、容量素子およびトランジスタを有する。メモリ回路 1 1 2 およびメモリ回路 1 1 3 は、配線 D L を介して与えられる信号を電荷（電位）として容量素子に保持する機能を有する。またメモリ回路 1 1 2 およびメモリ回路 1 1 3 は、配線 D L を介して別の信号を与えることで、保持している電位に対して後から書き込んだ信号による電位を足し合わせた電圧を保持する機能を有する。具体的には、容量素子における容量結合を利用して信号の足し合わせを行うことができる。なおメモリ回路 1 1 2 およびメモリ回路 1 1 3 が配線 D L を介して与えられる信号を電荷として容量素子に保持することを、信号を保持するともいう。

20

【 0 0 3 4 】

なお本明細書において画素とは、例えば、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、R の画素と G の画素と B の画素との三画素から構成されるものとする。この場合、R G B のそれぞれの画素は副画素（サブ画素）と呼び、R G B の画素を併せて画素と呼ぶ。

【 0 0 3 5 】

30

次いで図 1（B）には、画素 1 1 1 の構成例について図示する。画素 1 1 1 は、トランジスタ 1 1 4、トランジスタ 1 1 7、トランジスタ 1 1 8、トランジスタ 1 2 0、トランジスタ 1 2 1、トランジスタ 1 2 2、容量素子 1 1 5、容量素子 1 1 6、容量素子 1 1 9、および発光素子 1 2 3 を有する。また図 1（B）では、トランジスタ 1 2 0 のゲートが接続されるノードを、ノード NM として図示している。なお図 1（B）に図示するトランジスタは、いずれも n チャネル型のトランジスタを図示しているが、p チャネル型を用いることもできる。

【 0 0 3 6 】

トランジスタ 1 2 0 は、発光素子 1 2 3 に流す電流量を制御する機能を有する。トランジスタ 1 2 0 以外のトランジスタは、スイッチとしての機能を有する。メモリ回路 1 1 2 は容量素子 1 1 5、トランジスタ 1 1 4、およびトランジスタ 1 1 7 を有する。メモリ回路 1 1 3 は容量素子 1 1 6、トランジスタ 1 1 4、およびトランジスタ 1 1 8 を有する。なおメモリ回路 1 1 2 およびメモリ回路 1 1 3 は、容量素子の一方の電極に電荷を保持して信号の足しあわせを行うため、トランジスタ 1 1 7 およびトランジスタ 1 1 8 はメモリ回路 1 1 2 およびメモリ回路 1 1 3 に含めない場合もある。

40

【 0 0 3 7 】

また図 1（B）では、図 1（A）で図示した配線 G L として、配線 G L __ 1、配線 G L __ 2、および配線 G L __ 3 を図示している。配線 G L __ 1、配線 G L __ 2、および配線 G L __ 3 は、スイッチとして機能するトランジスタのオンまたはオフを制御するための信号を画素 1 1 1 に伝える機能を有する。

50

【 0 0 3 8 】

また図 1 (B) では、図 1 (A) で図示した配線 D L として、配線 D L _ 1、配線 D L _ 2、および配線 D L _ R を図示している。配線 D L _ 1、配線 D L _ 2 は、画像の表示を行うための信号を画素 1 1 1 に伝える機能を有する。配線 D L _ R は、画素 1 1 1 の駆動に必要な参照電圧を与えるための配線としての機能を有する。

【 0 0 3 9 】

容量素子 1 1 5 または容量素子 1 1 6 は、メモリ回路 1 1 2 またはメモリ回路 1 1 3 に書き込まれる信号を電荷として保持する機能を有する。容量素子 1 1 5 または容量素子 1 1 6 の一方の電極または他方の電極に電氣的に接続されるトランジスタ 1 1 4、トランジスタ 1 1 7、およびトランジスタ 1 1 8 は、オンとすることで、容量素子 1 1 5 または容量素子 1 1 6 の電極に信号に応じた電荷を保持する機能を有する。またトランジスタ 1 1 4、トランジスタ 1 1 7、およびトランジスタ 1 1 8 は、オフとすることで、容量素子 1 1 5 または容量素子 1 1 6 の電極に電荷を保持する機能を有する。またトランジスタ 1 1 4、トランジスタ 1 1 7、およびトランジスタ 1 1 8 は、オフとすることで、容量素子 1 1 5 または容量素子 1 1 6 の一方の電極のノードを電氣的に浮遊状態 (フローティング) にする機能を有する。

【 0 0 4 0 】

図 1 (B) に図示するように、容量素子 1 1 5 の一方の電極は、トランジスタ 1 1 4 を介して配線 D L _ R と接続される。容量素子 1 1 5 の他方の電極は、トランジスタ 1 1 7 を介して配線 D L _ 1 と接続される。容量素子 1 1 6 の一方の電極は、トランジスタ 1 1 4 を介して配線 D L _ R と接続される。容量素子 1 1 6 の他方の電極は、トランジスタ 1 1 8 を介して配線 D L _ 2 と接続される。

【 0 0 4 1 】

トランジスタ 1 1 4、トランジスタ 1 1 7、およびトランジスタ 1 1 8 は、オフ時に流れる電流 (オフ電流) が低いことが好適である。極めてオフ電流の低いトランジスタを用いることで、ノード N M の電位を長時間保持することができる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ (以下、 O S トランジスタ) を用いることができる。金属酸化物としては、 I n と、 Z n と、 M (M は A l、T i、G a、S n、Y、Z r、L a、C e、N d または H f) と、を有する構成とする。 O S トランジスタについては、後の実施の形態で詳述する。

【 0 0 4 2 】

容量素子 1 1 9 は、トランジスタ 1 2 0 のゲートとソースとの間の電圧を保持する機能を有する。容量素子 1 1 9 の一方の電極は、トランジスタ 1 2 0 のゲートと接続される。容量素子 1 1 9 の他方の電極は、トランジスタ 1 2 0 のソース又はドレインの一方の電極 (ソース側) と接続される。トランジスタ 1 2 0 のソースまたはドレインの他方 (ドレイン側) は、配線 A L に接続される。配線 A L は、発光素子 1 2 3 に電流を流すための電圧が与えられる。配線 A L は、電流供給線、あるいはアノード線としての機能を有する。

【 0 0 4 3 】

トランジスタ 1 2 1 は、配線 V L と、トランジスタ 1 2 0 のソースまたはドレインの一方 (ソース側) との間の導通状態を制御するスイッチとしての機能を有する。トランジスタ 1 2 1 のソースまたはドレインの一方は、トランジスタ 1 2 0 のソース又はドレインの一方と接続される。トランジスタ 1 2 1 のソースまたはドレインの他方は、配線 V L と接続される。配線 V L は、定電位 (V 0) を与えるための配線である。また配線 V L は、トランジスタ 1 2 0 に流れる電流を外部に出力するための機能を有する構成としてもよい。当該構成とすることで、定期的にトランジスタ 1 2 0 に流れる電流をモニターすることができるため、トランジスタ 1 2 0 のばらつきに応じた補正を行うことができる。

【 0 0 4 4 】

トランジスタ 1 2 2 は、トランジスタ 1 2 0 のソースまたはドレインの一方 (ソース側) と、発光素子 1 2 3 の一方の電極と、の間の導通状態を制御するスイッチとしての機能を有する。トランジスタ 1 2 2 のソースまたはドレインの一方は、トランジスタ 1 2 0 の

ソース又はドレインの一方と接続される。トランジスタ 122 のソースまたはドレインの他方は、発光素子 123 の一方の電極と接続される。発光素子 123 の他方の電極は、配線 124 に接続される。配線 124 は、カソード線としての機能を有する。トランジスタ 122 は、ノード NM の電位がトランジスタ 120 のしきい値電圧 (V_{th}) 以上である場合に意図しない電流が流れるといった不具合がないようするための素子である。具体的にはトランジスタ 122 は、発光素子 123 に電流を流す期間 (発光期間) 以外の期間で電流が流れないようにするためのスイッチとして機能する。本発明の一態様に構成では、トランジスタ 120 のゲートに電荷を保持して信号の重ねあわせをする動作を行うため、ノード NM の電位が上昇しやすい。そのため、発光素子 123 が発光しないようにする構成が有効である。なお発光素子 123 は、流れる電流量に応じて輝度の制御が可能な表示素子であり、例えば有機 EL 素子を適用することができる。

10

【0045】

本発明の一態様は、画像を表示するための信号を画素に供給して複数のメモリ回路にそれぞれ保持しておき、別の画像を表示するための複数の信号を画素に供給する。図 1 (B) では、2 つのメモリ回路に画像を表示するための信号をそれぞれ保持しておき、配線 DL_1 および配線 DL_2 から別の画像を表示するための複数の信号を画素に供給する構成とする。

【0046】

当該構成とすることで、予め 2 つの信号が保持されたメモリ回路に、別の 2 つの信号が付加され、4 つの画像に基づく信号に応じた信号に基づいて、発光素子に流れる電流を制御する構成とすることができる。したがって、当該画素を備えた表示部では、4 つの信号に基づく画像を重ね合わせて表示することができる。これにより、画素内に演算処理回路を設ける構成と比べて簡易な構成で、演算処理量を膨大にすることなく、画素内での画像の合成を行うことができる。加えて、ソースドライバ等が生成可能な電位より高い電位の画像信号に対応する画像を表示装置で表示することができるため、表示装置のダイナミックレンジを高めることができる。

20

【0047】

図 2 (A)、(B) に示すタイミングチャートおよび図 3 (A) 乃至 (C) に示す回路図を用いて、画素 111 の駆動方法の一例を説明する。図 2 (A) では、メモリ回路 112 およびメモリ回路 113 に保持させる信号の書き込み動作について、図 2 (B) では、メモリ回路 112 およびメモリ回路 113 に保持された信号に、別の信号を付加して画像の重ねあわせを行う際の動作について図示している。なお図 2 (A)、(B) に示すタイミングチャートでは、配線 GL_1 乃至 GL_3、DL_1、DL_2 および DL_R に与える信号波形を図示している。

30

【0048】

なお、配線 DL_1 に供給される信号を W_1 とし、信号によってメモリ回路 112 に保持される電圧を V_{w1} とする。なお、配線 DL_2 に供給される信号を W_2 とし、信号によってメモリ回路 113 に保持される電圧を V_{w2} とする。また、メモリ回路 112 に電圧 V_{w1} を保持した状態で配線 DL_1 を介して画素 111 に書き込まれる信号を $data_1$ とし、信号によってメモリ回路 112 に付加される電圧を V_{data1} とする。また、メモリ回路 113 に電圧 V_{w2} を保持した状態で配線 DL_2 を介して画素 111 に書き込まれる信号を $data_2$ とし、信号によってメモリ回路 113 に付加される電圧を V_{data2} とする。

40

【0049】

まず、図 2 (A) を用いてメモリ回路 112 およびメモリ回路 113 に保持させる信号 W_1 、 W_2 の書き込み動作を説明する。また図 2 (A)、(B) の動作の説明については、説明を簡略化するため、図 3 (A) 乃至 (C) の回路図を参照して説明する。図 3 (A) 乃至 (C) は、図 1 (B) の回路図の主要部について抜き出して示したものであり、スイッチとして機能するトランジスタをスイッチ SW1 乃至 SW4、容量素子 115、116、119 の容量 (キャパシタンス) を C_1 、 C_2 、 C_3 として図示している。スイッチ

50

SW1乃至SW4は、図1(B)におけるトランジスタ117、トランジスタ118、トランジスタ114、トランジスタ121に相当する。

【0050】

メモリ回路112およびメモリ回路113に信号 W_1 、 W_2 に基づく電圧 V_{w1} 、 V_{w2} を書き込む場合、配線DL__1を電圧 V_{w1} とし、配線DL__2を電圧 V_{w2} とし、配線DL__Rを V_{ref} (参照電圧)とし、配線VLを電圧 V_0 とした状態とする。なお配線DL__Rに与える V_{ref} は、 $V_{ref} - V_{w1}$ が正の値となるように値を決めておくことが好ましい。また電圧 V_{w1} は画像データの場合、反転したデータを与えておくことで画像の反転を抑制することができる。各配線の電位を予定の電圧に設定した状態で、配線GL__1、配線GL__2に与える信号をHレベルとする。つまり図3(B)に図示するようにスイッチSW1乃至SW4をオンにする。すると、容量素子115の両端の電極には電圧 V_{ref} 、 V_{w1} が印加される。このとき容量素子115のノードNM側の電極に蓄積される電荷量を Q_1 とすると式(1)のようになる。

10

【0051】

$$Q_1 = C_1 (V_{ref} - V_{w1}) \quad (1)$$

【0052】

同様にしてこのとき容量素子115、容量素子119のノードNM側の電極に蓄積される電荷量を Q_2 、 Q_3 とすると式(2)、(3)のようになる。

【0053】

$$Q_2 = C_2 (V_{ref} - V_{w2}) \quad (2)$$

20

【0054】

$$Q_3 = C_3 (V_{ref} - V_0) \quad (3)$$

【0055】

次いで図2(B)を用いてメモリ回路112およびメモリ回路113に信号 W_1 、 W_2 に基づく電圧 V_{w1} 、電圧 V_{w2} を保持した状態で配線DL__1、DL__2を介して画素111に信号をdata__1、data__2を付加する動作を説明する。

【0056】

メモリ回路112およびメモリ回路113に信号data__1、data__2を書き込む場合、配線DL__1を V_{data1} とし、配線DL__2を V_{data2} とし、配線DL__RをVSS等のLレベルとし、配線VLを電圧 V_0 とした状態で、配線GL__1に与える信号をHレベル、配線GL__2に与える信号をLレベルとする。またメモリ回路112およびメモリ回路113に電圧 V_{data1} 、 V_{data2} を書き込み期間では、配線GL__3に与える信号をLレベルとする。つまり図3(C)に図示するようにスイッチSW1、SW2、SW4をオンにし、スイッチSW3をオフにする。すると、容量素子115は、一方の電極が電氣的に浮遊状態となり、他方の電極の電圧が V_{w1} から v_{data1} に変化する。容量素子115のノードNMの電圧を V_g とし、このときのノードNM側の電極に蓄積される電荷量を Q_1' とすると、式(4)のようになる。 V_g は容量結合によって変化する電圧である。

30

【0057】

$$Q_1' = C_1 (V_g - V_{data1}) \quad (4)$$

40

【0058】

同様にしてこのとき容量素子116、容量素子119のノードNM側の電極に蓄積される電荷量を Q_2' 、 Q_3' とすると式(5)、(6)のようになる。

【0059】

$$Q_2' = C_2 (V_g - V_{data2}) \quad (5)$$

【0060】

$$Q_3' = C_3 (V_g - V_0) \quad (6)$$

【0061】

図2(A)と図2(B)の動作の間でノードNMでは、スイッチSW1乃至SW3のオフ電流が極めて低いため、電荷保存則が成り立つ。つまり式(7)が成り立つ。

50

【 0 0 6 2 】

$$Q 1 + Q 2 + Q 3 = Q 1 ' + Q 2 ' + Q 3 ' (7)$$

【 0 0 6 3 】

式 (7) を V_g について解くと、式 (8) が成り立つ。

【 0 0 6 4 】

[数 1]

【 0 0 6 5 】

式 (8) から電圧 V_g は、電圧 - V_{w1} 、電圧 - V_{w2} 、電圧 V_{data1} 、電圧 V_{data2} を合算した値で得られるため、メモリ回路に保持した信号と、後から信号とを用いて画像の重ねあわせを行うことができる。

10

【 0 0 6 6 】

本発明の一態様の表示装置は、メモリ回路に保持させた信号 W_1 、 W_2 と、その後に書き込む信号 $data_1$ 、 $data_2$ を用いることで、最大 4 枚の画像を重ねあわせて表示することができる。

【 0 0 6 7 】

具体的には、図 4 に図示するように信号 W_1 を画素に保持した後、その他の信号を書き込まない構成では、信号 W_1 を可変 (= variable) とし、その他の信号を固定あるいは書き込まない (= 0) にすることで、信号 W_1 に基づく画像を表示することができる。あるいは、信号 W_1 、 W_2 を可変 (= variable) とし、その他の信号を固定あるいは書き込まない (= 0) にすることで、信号 W_1 、 W_2 に基づく画像、つまり 2 つの画像を重ねあわせた表示をすることができる。あるいは、信号 W_1 、 W_2 、 $data_1$ を可変 (= variable) とし、その他の信号を固定あるいは書き込まない (= 0) にすることで、信号 W_1 、 W_2 、 $data_1$ に基づく画像、つまり 3 つの画像を重ねあわせた表示をすることができる。あるいは、信号 W_1 、 W_2 、 $data_1$ 、 $data_2$ を可変 (= variable) とすることで、信号 W_1 、 W_2 、 $data_1$ 、 $data_2$ に基づく画像、つまり 4 つの画像を重ねあわせた表示をすることができる。なお信号 W_1 、 W_2 はメモリ回路 112 およびメモリ回路 113 に保持される信号のため、更新頻度の小さい画像データに基づく信号であることが好ましい。

20

【 0 0 6 8 】

より具体的な構成例について図 5、図 6 を参照して説明する。図 5、図 6 では、画像データによって表示装置に表示される画像、および画像内で表示される表示物を用いて本発明の一態様の表示装置について説明する。図 5、図 6 では、上記説明における信号の重ねあわせを、画像の重ねあわせとして説明する。

30

【 0 0 6 9 】

図 5 (A) には、画像 160 を図示している。画像 160 には、表示物 161、表示物 162、表示物 163、および表示物 164 を図示している。また、図 5 (B) 乃至 (E) には、画像 160 A 乃至 160 D を図示している。画像 160 A 乃至 160 D は、図示するように、図 5 (A) で図示した表示物 161 乃至 164 が別々に表示された画像である。本発明の一態様の表示装置は、メモリ回路に保持させた信号 W_1 、 W_2 と、その後に書き込む信号 $data_1$ 、 $data_2$ を用いることで、最大 4 枚の画像を重ねあわせて表示することができる。例えば、図 5 (B)、(C) に図示する画像 160 A および 160 B をメモリ回路 112 およびメモリ回路 113 に保持する信号 W_1 および W_2 によって予め保持しておき、信号 $data_1$ および信号 $data_2$ として図 5 (D)、(E) に図示する画像 160 C および 160 D を書き込むことで所望の画像である図 5 (A) の画像 160 を重ねあわせて表示することができる。

40

【 0 0 7 0 】

また別の画像として、図 5 (F) には画像 170 を図示している。画像 170 には、表示物 161、表示物 162、表示物 171、および表示物 172 を図示している。また、図 5 (G) および (H) には、画像 170 A および 170 B を図示している。画像 170 A および 170 B は、図示するように、図 5 (F) で図示した表示物 171 および 172

50

が別々に表示された画像である。本発明の一態様の表示装置は、メモリ回路に保持させた信号 W_1 、 W_2 と、その後書き込む信号 $data_1$ 、 $data_2$ を用いることで、最大4枚の画像を重ねあわせて表示することができる。例えば、図5(B)、(C)に図示する画像160Aおよび160Bをメモリ回路112およびメモリ回路113に保持する信号 W_1 および W_2 によって予め保持しておき、信号 $data_1$ および信号 $data_2$ として図5(G)、(H)に図示する画像170Aおよび170Bを書き込むことで所望の画像である図5(F)の画像170を重ねあわせて表示することができる。メモリ回路112およびメモリ回路113に保持する信号 W_1 および W_2 を用いることで、繰り返しの画像の書き込みを減らせるため、消費電力の低減に有効である。

【0071】

10

なお図5(A)乃至(H)で説明した例では、異なる表示物を重ねあわせて一枚の画像を表示させる構成について説明したが、本発明の一態様は他の構成においても有効である。例えば図6に図示するようにメモリ回路に保持する信号 W として画像160Cの表示物163のように輝度が高い画像(例えば太陽の画像)の信号を保持する構成が有効である。そして後から書き込む信号 $data$ として画像160のように表示物161乃至164を含む信号を書き込み、重ねあわせた表示($data + W$)を行うことで、得られる画像160HDの表示物163の輝度を高める(太線で輝度の向上を図示)ことができる。このように本発明の一態様は、ハイダイナミックレンジ(High-Dynamic Range: HDR)処理のような画像処理も簡便な構成で実現することができる。また重ねあわせた表示にテキストなどの情報を含めることも可能である。

20

【0072】

次に、画素111の変形例について説明する。画素111は、図7(A)に示す画素111Aの構成とすることもできる。画素111Aは、画素111からトランジスタ122を省いた構成である。

【0073】

前述したように、トランジスタ122はノードNMに書き込む信号がトランジスタ120のしきい値電圧(V_{th})以上である場合に起こる不具合を解消するために設けられる。ただし、ノードNMに書き込まれる信号が V_{th} より低い値に限定されていればトランジスタ122を省くことができる。

【0074】

30

また、画素111は、図7(B)に示す画素111Bの構成とすることもできる。画素111Bは、それぞれのトランジスタにバックゲートを設けた構成を有する。当該バックゲートはフロントゲートと電気的に接続されており、オン電流を高める効果を有する。また、バックゲートにフロントゲートと異なる定電位を供給できる構成としてもよい。当該構成とすることで、トランジスタのしきい値電圧を制御することができる。なお、図7(B)においては、全てのトランジスタにバックゲートを設けた構成を図示しているが、バックゲートが設けられないトランジスタを有していてもよい。また、トランジスタがバックゲートを有する構成は、本実施の形態における他の画素回路にも有効である。

【0075】

40

また、画素111は、図8(A)に示す画素111Cの構成とすることもできる。画素111Cの回路は、メモリ回路として機能するトランジスタ125および容量素子126を追加した構成である。画素111に追加した当該メモリ回路には、配線DL_3を介して信号が与えられる。図8(A)のようにメモリ回路を追加することで、3つ以上のメモリ回路を備えた画素を有する表示装置とすることができる。

【0076】

また、画素111は、図8(B)に示す画素111Dの構成とすることもできる。画素111Dでは、配線GL_1の機能を配線GL_1Aおよび配線GL_1Bに分け、トランジスタ117およびトランジスタ118、トランジスタ121および追加したトランジスタ127を別々の信号で制御する構成を有する。当該構成とすることで、複数のメモリ回路に保持された信号を選択して画像の重ねあわせに用いることが可能になる。

50

【 0 0 7 7 】

図 9 (A) には、図 1 (A) で図示したブロック図の構成に加えて、信号変換回路 1 5 0 およびメモリ回路 1 5 1 を図示している。

【 0 0 7 8 】

表示装置 1 0 0 で複数の画像を重ねあわせた表示する場合、画素 1 1 1 内のメモリ回路 1 1 2、1 1 3 に保持するための信号 W_1 、 W_2 は、信号変換回路 1 5 0 でメモリ回路 1 5 1 を参照して変換し、表示装置 1 0 0 に出力する構成が好ましい。

【 0 0 7 9 】

また上記説明では、画素 1 1 1 について説明したが、カラー表示を行う場合、画素 1 1 1 は図 9 (B) に図示するように R G B (赤、緑、青) の 3 原色の副画素 1 1 1 R、1 1 1 G、1 1 1 B のそれぞれに相当し、複数の副画素を組み合わせ、ひとつの画素を構成する。なお副画素の数は、図 9 (B) に図示する R G B の 3 つに限らず、図 9 (C) に図示するように R G B W (赤、緑、青、白) の副画素 1 1 1 R、1 1 1 G、1 1 1 B、1 1 1 W を組み合わせ、ひとつの画素を構成することも有効である。

【 0 0 8 0 】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせて実施することが可能である。

【 0 0 8 1 】

(実施の形態 2)

本実施の形態では、上記実施の形態 1 で説明した構成とは異なる表示装置の構成例について図面を参照して説明する。本実施の形態では、上記実施の形態 1 と異なる点について詳細に説明し、重複する記載については説明を省略する場合がある。

【 0 0 8 2 】

図 1 0 には、図 1 (A) の画素 1 1 1 に適用可能な画素 1 1 1 E の構成例について図示する。画素 1 1 1 E は、トランジスタ M 1、トランジスタ M 2、トランジスタ M 4、トランジスタ M 5、容量素子 C 1、容量素子 C 2、容量素子 C 3、および発光素子 O L E D を有する。また図 1 0 では、トランジスタ M 2 のゲートが接続されるノードを、ノード N M として図示している。なお図 1 0 に図示するトランジスタは、いずれも n チャネル型のトランジスタを図示しているが、p チャネル型を用いることもできる。

【 0 0 8 3 】

トランジスタ M 2 は、発光素子 O L E D に流す電流量を制御する機能を有する。トランジスタ M 2 以外のトランジスタは、スイッチとしての機能を有する。メモリ回路 M E M 1 は容量素子 C 1、トランジスタ M 1、およびトランジスタ M 4 を有する。メモリ回路 M E M 2 は容量素子 C 2、トランジスタ M 4、およびトランジスタ M 5 を有する。

【 0 0 8 4 】

また図 1 0 では、図 1 (A) で図示した配線 G L として、配線 G L __ 1、配線 G L __ 2、および配線 G L __ 3 を図示している。配線 G L __ 1、配線 G L __ 2、および配線 G L __ 3 は、スイッチとして機能するトランジスタのオンまたはオフを制御するための信号を画素 1 1 1 E に伝える機能を有する。

【 0 0 8 5 】

また図 1 0 では、図 1 (A) で図示した配線 D L として、配線 D L __ 1、配線 D L __ 2、および配線 D L __ W を図示している。配線 D L __ 1、配線 D L __ 2 は、画像の表示を行うための信号および参照電圧を画素 1 1 1 E に伝える機能を有する。配線 D L __ W は、画像の表示を行うための信号を画素 1 1 1 E に伝える機能を有する。

【 0 0 8 6 】

容量素子 C 1 または容量素子 C 2 は、メモリ回路 M E M 1 またはメモリ回路 M E M 2 に書き込まれる信号を電荷として保持する機能を有する。容量素子 C 1 または容量素子 C 2 の一方の電極または他方の電極に電氣的に接続されるトランジスタ M 1、トランジスタ M 4、およびトランジスタ M 5 は、オンとすることで、容量素子 C 1 または容量素子 C 2 の電極に信号に応じた電荷を与える機能を有する。またトランジスタ M 1、トランジスタ M

10

20

30

40

50

4、およびトランジスタM5は、オフとすることで、容量素子C1または容量素子C2の電極に電荷を保持する機能を有する。またトランジスタM1、トランジスタM4、およびトランジスタM5は、オフとすることで、容量素子C1または容量素子C2の一方の電極のノードを電氣的に浮遊状態（フローティング）にする機能を有する。

【0087】

図10に図示するように、容量素子C1の一方の電極は、トランジスタM1を介して配線DL__1と接続される。容量素子C1の他方の電極は、トランジスタM4を介して配線DL__Wと接続される。容量素子C2の一方の電極は、トランジスタM5を介して配線DL__2と接続される。容量素子C2の他方の電極は、トランジスタM4を介して配線DL__Wと接続される。

10

【0088】

トランジスタM1、トランジスタM4、およびトランジスタM5は、オフ時に流れる電流（オフ電流）が低いことが好適である。極めてオフ電流の低いトランジスタを用いることで、ノードNMの電位を長時間保持することができる。当該トランジスタには、例えば、OSトランジスタを用いることができる。

【0089】

容量素子C3は、トランジスタM2のゲートとソースとの間の電圧を保持する機能を有する。容量素子C3の一方の電極は、トランジスタM2のゲートと接続される。容量素子C3の他方の電極は、トランジスタM2のソース又はドレインの一方の電極（ソース側）と接続される。トランジスタM2のソースまたはドレインの他方（ドレイン側）は、配線ANOに接続される。配線ANOは、発光素子OLEDに電流を流すための電圧が与えられる。配線ANOは、電流供給線、あるいはアノード線としての機能を有する。なおトランジスタM2のソース又はドレインの一方は、固定電位が与えられた配線との間でスイッチとして機能するトランジスタが設けられることが好適である。当該構成とすることで、信号の書き込み期間において、トランジスタM2のソース又はドレインの一方における電位の変動を抑制することができる。

20

【0090】

発光素子OLEDの一方の電極は、トランジスタM2のソースまたはドレインの一方（ソース側）に接続される。発光素子OLEDの他方の電極は、配線CATに接続される。配線CATは、共通電位線、あるいはカソード線としての機能を有する。なお発光素子OLEDは、流れる電流量に応じて輝度の制御が可能な表示素子であり、例えば有機EL素子を適用することができる。なおトランジスタM2のソースまたはドレインの一方と、発光素子OLEDの一方の電極の間には、非発光期間以外に発光素子OLEDに電流が流れて発光してしまうのを防ぐためにスイッチとして機能するトランジスタが設けられることが好適である。なお有機EL素子等の発光素子以外の表示素子としては、液晶素子を用いることも可能である。

30

【0091】

本発明の一態様は、ソースドライバ140から出力される階調表示を行うための信号を画素に供給して複数のメモリ回路にそれぞれ保持しておき、複数のメモリ回路に保持した信号とは別の階調表示を行うための信号をソースドライバ140から画素に供給する。図10では、2つのメモリ回路にソースドライバ140から出力される階調表示を行うための信号をそれぞれ保持しておき、階調表示を行うための信号をソースドライバ140から配線DL__1および配線DL__2を介して画素に供給する構成とする。

40

【0092】

当該構成とすることで、予め2つの信号が保持されたメモリ回路に、別の2つの信号が付加された4つの信号に基づいて、発光素子に流れる電流を制御する構成とすることができる。したがって、当該画素を備えた表示部では、4つの信号に基づく表示を行うことができる。これにより画素内の2つのメモリ回路にそれぞれ、ソースドライバが出力可能なビット数（例えば8bit：256階調）の信号を保持させることができるのに加えて、後から画素に書き込む2つの信号のそれぞれをソースドライバが出力可能なビット数（例

50

例えば 8 b i t : 2 5 6 階調) の信号を画素に書き込む構成を実現することができる。そのため、4つの信号の階調数の合計である $256 + 256 + 256 + 256 = 1024$ 相当の階調数 (1 0 b i t) の信号、つまりソースドライバが出力可能なビット数以上の階調数の書き込みによる表示を行う構成とすることができる。当該構成では、ソースドライバ等が生成可能な電位より高い電位の画像信号に対応する画像を表示装置で表示することができるため、表示装置のダイナミックレンジを高めることができる。

【 0 0 9 3 】

図 1 1 (A)、(B) に示すタイミングチャートおよび図 1 2 (A) 乃至 (D) に示す回路図を用いて、画素 1 1 1 E の駆動方法の一例を説明する。図 1 1 (A) では、メモリ回路 M E M 1 およびメモリ回路 M E M 2 に保持させる信号の書き込み動作について、図 1 1 (B) では、メモリ回路 M E M 1 およびメモリ回路 M E M 2 に保持された信号に、別の信号を付加して表示を行う際の動作について図示している。なお図 1 1 (A)、(B) に示すタイミングチャートでは、配線 G L _ 1 乃至 G L _ 3、D L _ 1、D L _ 2 および D L _ W に与える信号波形を図示している。

10

【 0 0 9 4 】

なお、配線 D L _ W に供給される信号を W 1、W 2 とし、信号によってメモリ回路 M E M 1 に保持される電圧を V w 1、信号によってメモリ回路 M E M 2 に保持される電圧を V w 2 とする。また、メモリ回路 M E M 1 に電圧 V w 1 を保持した状態で配線 D L _ 1 を介して画素 1 1 1 E に書き込まれる信号を d a t a 1 とし、信号によってメモリ回路 M E M 1 に付加される電圧を V d a t a 1 とする。また、メモリ回路 M E M 2 に電圧 V w 2 を保持した状態で配線 D L _ 2 を介して画素 1 1 1 E に書き込まれる信号を d a t a 2 とし、信号によってメモリ回路 M E M 2 に付加される電圧を V d a t a 2 とする。

20

【 0 0 9 5 】

まず、図 1 1 (A) を用いてメモリ回路 M E M 1 およびメモリ回路 M E M 2 に保持させる信号 W 1、W 2 の書き込み動作を説明する。また図 1 1 (A)、(B) の動作の説明については、説明を簡略化するため、図 1 2 (A) 乃至 (D) の回路図を参照して説明する。図 1 2 (A) 乃至 (D) は、図 1 0 の回路図の主要部について抜き出して示したものである。図 1 2 (A) では、図 1 0 に対応する構成としてスイッチとして機能するトランジスタをスイッチ S W 1 乃至 S W 4、容量素子 C 1、C 2、C 3 を図示している。なお容量素子 C 1、C 2、C 3 の容量 (キャパシタンス) は C 1、C 2、C 3 として図示する。スイッチ S W 1 乃至 S W 3 は、図 1 0 におけるトランジスタ M 1、トランジスタ M 4、トランジスタ M 5 に相当する。スイッチ S W 4 は、信号書き込み時に、トランジスタ M 2 のソース又はドレインの一方における電位の変動を抑制するためのスイッチである。スイッチ S W 4 は、信号書き込み時にオンとするスイッチである。スイッチ S W 4 に接続される配線 L E L は、固定電位 V e l を与える配線である。

30

【 0 0 9 6 】

メモリ回路 M E M 1 およびメモリ回路 M E M 2 に信号 W 1、W 2 に基づく電圧 V w 1、V w 2 を書き込む場合、まずは配線 D L _ W を電圧 V w 1 とし、配線 D L _ 1 を V r e f (参照電圧) とした状態とする。配線 D L _ 2 の電位は特に設定されない。なお配線 D L _ 1 に与える V r e f は、V w 1 - V r e f が正の値となるように値を決めておくことが好ましい。各配線の電位を所定の電圧に設定した状態で、図 1 1 (A) の時刻 T 1 のように、配線 G L _ 1、配線 G L _ 3 に与える信号を H レベルとする。つまり図 1 2 (B) に図示するようにスイッチ S W 1、S W 3、S W 4 をオンにする。すると、容量素子 C 1 の両端の電極には電圧 V r e f、V w 1 が印加される。このとき容量素子 C 1 のノード N M 側の電極に蓄積される電荷量を Q 1 とすると式 (9) のようになる。

40

【 0 0 9 7 】

$$Q_1 = C_1 (V_{w1} - V_{ref}) \quad (9)$$

【 0 0 9 8 】

次いで配線 D L _ W を電圧 V w 2 とし、配線 D L _ 2 を V r e f とした状態とする。配線 D L _ 1 の電位は特に設定されない。なお配線 D L _ 2 に与える V r e f は、V w 2 -

50

V_{ref} が正の値となるように値を決めておくことが好ましい。各配線の電位を所定の電圧に設定した状態で、図 11 (A) の時刻 T_2 のように、配線 GL_2 、配線 GL_3 に与える信号を H レベルとする。つまり図 12 (C) に図示するようにスイッチ SW_2 、 SW_3 、 SW_4 をオンにする。すると、容量素子 C_2 の両端の電極には電圧 V_{ref} 、 V_{w2} が印加される。このとき容量素子 C_2 のノード NM 側の電極に蓄積される電荷量を Q_2 とすると式 (10) のようになる。

【0099】

$$Q_2 = C_2 (V_{w2} - V_{ref}) \quad (10)$$

【0100】

時刻 T_2 、つまり図 12 (C) の状態では、スイッチ SW_1 はオフである。そのため、容量素子 C_1 の一方の電極のノード (図 12 (C) のノード N_{r1}) は、電氣的に浮遊状態であり、電荷保存則が成り立つ。そのため、時刻 T_2 、つまり図 12 (C) の状態では、容量素子 C_2 の両端の電極に保持される電荷量 Q_1 は、式 (9) と同様に保持され続ける。

10

【0101】

なお図 11 (A) に図示する時刻 T_1 、 T_2 における信号 W_1 、 W_2 の書き込みは、フレーム期間毎に分けて書き込んでもよいし、1 水平走査期間内に 1 値ずつ書き込む動作としてもよい。

【0102】

次いで図 11 (B) を用いてメモリ回路 MEM_1 およびメモリ回路 MEM_2 に信号 W_1 、 W_2 に基づく電圧 V_{w1} 、電圧 V_{w2} を保持した状態で配線 DL_1 、 DL_2 を介して画素 111E に信号 $data_1$ 、 $data_2$ を付加する動作を説明する。

20

【0103】

メモリ回路 MEM_1 およびメモリ回路 MEM_2 に信号 $data_1$ 、 $data_2$ を書き込む場合、配線 DL_1 を V_{data1} とし、配線 DL_2 を V_{data2} とし、配線 DL_W を V_{SS} 等の L レベルとした状態で、配線 GL_1 、 GL_2 に与える信号を H レベル、配線 GL_3 に与える信号を L レベルとする。つまり図 12 (D) に図示するようにスイッチ SW_1 、 SW_2 、 SW_4 をオンにし、スイッチ SW_3 をオフにする。すると、容量素子 C_1 、 C_2 、 C_3 の一方の電極が電氣的に浮遊状態となり、容量素子 C_1 、 C_2 の他方の電極の電圧が V_{w1} 、 V_{w2} から V_{data1} 、 V_{data2} にそれぞれ変化する。ノード NM の電圧を V_g とし、容量素子 C_1 でのノード NM 側の電極に蓄積される電荷量を Q_1' とすると、式 (11) のようになる。 V_g は容量結合によって変化する電圧である。

30

【0104】

$$Q_1' = C_1 (V_{data1} - V_g) \quad (11)$$

【0105】

同様にしてこのとき容量素子 C_2 、容量素子 C_3 のノード NM 側の電極に蓄積される電荷量を Q_2' 、 Q_3' とすると式 (12)、(13) のようになる。

【0106】

$$Q_2' = C_2 (V_{data2} - V_g) \quad (12)$$

40

【0107】

$$Q_3' = C_3 (V_g - V_{el}) \quad (13)$$

【0108】

図 11 (A) と図 11 (B) の動作の間でノード NM では、スイッチ SW_1 乃至 SW_4 のオフ電流が極めて低いので、電荷保存側が成り立つ。つまり式 (7) が成り立つ。

【0109】

$$Q_1 + Q_2 + Q_3 = Q_1' + Q_2' + Q_3' \quad (7)$$

【0110】

式 (7) を V_g について解くと、式 (14) が成り立つ。なお式 (14) では簡略化のため、電圧 V_{w1} 、 V_{w2} 、 V_{data1} 、 V_{data2} に対し、参照電圧 V_{ref} およ

50

び V_{e1} を 0 V とし、容量 C_1 と C_2 とが等しいとし、容量 C_3 が容量 C_1 および C_2 に対して十分小さいものとしている。

【0111】

[数2]

【0112】

式(14)から電圧 V_g は、電圧 V_{w1} 、電圧 V_{w2} 、電圧 V_{data1} 、電圧 V_{data2} を合算した値で得られるため、メモリ回路に保持した信号と、後から書き込む信号と、の足しあわせ(足し算)を行うことができる。なお電圧 V_{w1} 、電圧 V_{w2} 、電圧 V_{data1} 、電圧 V_{data2} は、負の値となるよう信号を書き込むことで、信号の足しあわせに加えて、信号の引き算を行うことも可能である。

10

【0113】

本発明の一態様の表示装置は、メモリ回路に保持させた信号 W_1 、 W_2 と、その後書き込む信号 $data1$ 、 $data2$ を用いることで、最大4つの信号に基づいて、発光素子に流れる電流を制御する構成とすることができる。したがって、当該画素を備えた表示部では、4つの信号に基づく表示を行うことができる。これにより画素内の2つのメモリ回路にそれぞれ、ソースドライバが出力可能なビット数(例えば8bit:256階調)の信号を保持させることができるのに加えて、後から画素に書き込む2つの信号のそれぞれをソースドライバが出力可能なビット数(例えば8bit:256階調)の信号を画素に書き込む構成を実現することができる。そのため、4つの信号の階調数の合計である $256 + 256 + 256 + 256 = 1024$ 相当の階調数(10bit)の信号、つまりソ

20

【0114】

上記説明した本発明の一態様の表示装置による効果について、図13に図示するグラフを用いて説明する。図13に示すグラフは、横軸が階調数、縦軸が出力、具体的には発光素子の輝度を表している。

【0115】

上述したように本発明の一態様の構成では、最大4つの信号に基づいて、発光素子に流れる電流を制御する構成とすることができる。例えば信号 W_1 がソースドライバの出力可能なビット数である8ビットで書き込まれた場合、当該信号 W_1 だけでは256値の階調数しか表現できないが、信号 W_2 、 $data1$ 、 $data2$ といったソースドライバの出力可能なビット数である8ビットの信号と組み合わせて表現可能な階調数を増やすことにより、最大1024階調、つまり10bit相当のビット数で表示することが可能となる。

30

【0116】

次に、画素111Eの変形例について説明する。画素111Eは、図14(A)に示す画素111Fの構成とすることもできる。画素111Fは、画素111Eにトランジスタ M_3 および M_6 を追加した構成である。

【0117】

トランジスタ M_3 および M_6 は、配線 V_L と、トランジスタ M_2 のソースまたはドレインの一方(ソース側)との間の導通状態を制御するスイッチとしての機能を有する。トランジスタ M_3 のゲートは、配線 GL_1 と接続される。トランジスタ M_3 のソースまたはドレインの一方は、トランジスタ M_2 のソース又はドレインの一方と接続される。トランジスタ M_3 のソースまたはドレインの他方は、配線 V_L と接続される。トランジスタ M_6 のゲートは、配線 GL_2 と接続される。トランジスタ M_6 のソースまたはドレインの一方は、トランジスタ M_2 のソース又はドレインの一方と接続される。トランジスタ M_6 のソースまたはドレインの他方は、配線 V_L と接続される。なお配線 V_L は、定電位、例えば上述した電圧 V_{e1} を与えるための配線である。また配線 V_L は、トランジスタ M_2 に流れる電流を外部に出力するための機能を有する構成としてもよい。当該構成とすること

40

50

で、定期的にトランジスタM2に流れる電流をモニターすることができるため、トランジスタM2のばらつきに応じた補正を行うことができる。

【0118】

また、図14(A)に図示する画素111Fは、図14(B)に示す画素111Gの構成とすることもできる。画素111Gは、図14(A)に図示する画素111Fのそれぞれのトランジスタにバックゲートを設けた構成を有する。当該バックゲートはフロントゲートと電氣的に接続されており、オン電流を高める効果を有する。また、バックゲートにフロントゲートと異なる定電位を供給できる構成としてもよい。当該構成とすることで、トランジスタのしきい値電圧を制御することができる。なお、図14(B)においては、全てのトランジスタにバックゲートを設けた構成を図示しているが、バックゲートが設けられないトランジスタを有していてもよい。

10

【0119】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせる実施することが可能である。

【0120】

(実施の形態3)

本実施の形態では、実施の形態1および2で説明したOSトランジスタの詳細について説明する。

【0121】

OSトランジスタに用いる半導体材料としては、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体等であり、例えば、後述するCAAC-OS又はCAC-OS等を用いることができる。CAAC-OSは結晶を構成する原子が安定であり、信頼性を重視するトランジスタ等に適する。また、CAC-OSは、高移動度特性を示すため、高速駆動を行うトランジスタ等に適する。

20

【0122】

OSトランジスタはエネルギーギャップが大きいため、極めて低いオフ電流特性を示す。また、OSトランジスタは、インパクトイオン化、アバランシェ降伏、及び短チャネル効果等が生じない等Siトランジスタとは異なる特徴を有し、信頼性の高い回路を形成することができる。

30

【0123】

OSトランジスタが有する半導体層は、例えばインジウム、亜鉛及びM(アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジム又はハフニウム等の金属)を含むIn-M-Zn系酸化物で表記される膜とすることができる。

【0124】

半導体層を構成する酸化物半導体がIn-M-Zn系酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In M、Zn Mを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

40

【0125】

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性又は実質的

50

に高純度真性な酸化物半導体と呼ぶ。これにより不純物濃度が低く、欠陥準位密度が低い
ため、安定な特性を有する酸化物半導体であるといえる。

【0126】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0127】

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

【0128】

また、アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属又はアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0129】

20

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0130】

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c軸に配向した結晶を有するCAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、又は非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

30

【0131】

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。又は、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【0132】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、又は積層構造を有する場合がある。

40

【0133】

以下では、非単結晶の半導体層の一態様であるCAC(Cloud-Aligned Composite)-OSの構成について説明する。

【0134】

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

50

【 0 1 3 5 】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種が含まれていてもよい。

【 0 1 3 6 】

例えば、 In-Ga-Zn 酸化物における CAC-OS (CAC-OS の中でも In-Ga-Zn 酸化物を、特に CAC-IGZO と呼称してもよい。)とは、インジウム酸化物 (以下、 InO_{x1} ($x1$ は0よりも大きい実数)とする。)、又はインジウム亜鉛酸化物 (以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、及び $z2$ は0よりも大きい実数)とする。))と、ガリウム酸化物 (以下、 GaO_{x3} ($x3$ は0よりも大きい実数)とする。))、又はガリウム亜鉛酸化物 (以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、及び $z4$ は0よりも大きい実数)とする。))等と、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、又は $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。)である。

【 0 1 3 7 】

つまり、 CAC-OS は、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、又は InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

【 0 1 3 8 】

なお、 IGZO は通称であり、In、Ga、Zn、及びOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、又は $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数)で表される結晶性の化合物が挙げられる。

【 0 1 3 9 】

上記結晶性の化合物は、単結晶構造、多結晶構造、又は CAAC 構造を有する。なお、 CAAC 構造とは、複数の IGZO のナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

【 0 1 4 0 】

一方、 CAC-OS は、酸化物半導体の材料構成に関する。 CAC-OS とは、In、Ga、Zn、及びOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、 CAC-OS において、結晶構造は副次的な要素である。

【 0 1 4 1 】

なお、 CAC-OS は、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

【 0 1 4 2 】

なお、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、又は InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

【 0 1 4 3 】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種が含まれている場合、 CAC-OS は、一部に該

10

20

30

40

50

金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

【0144】

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つ又は複数をを用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

【0145】

CAC-OSは、X線回折(XRD: X-ray diffraction)測定法の一つであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折から、測定領域のa-b面方向、及びc軸方向の配向は見られないことが分かる。

【0146】

また、CAC-OSは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、及び断面方向において、配向性を有さないnc(nano-crystal)構造を有することがわかる。

【0147】

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、GaOx₃が主成分である領域と、In_x2Zn_y2O_z2、又はInOx₁が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

【0148】

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、GaOx₃等が主成分である領域と、In_x2Zn_y2O_z2、又はInOx₁が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

【0149】

ここで、In_x2Zn_y2O_z2、又はInOx₁が主成分である領域は、GaOx₃等が主成分である領域と比較して、導電性が高い領域である。つまり、In_x2Zn_y2O_z2、又はInOx₁が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、In_x2Zn_y2O_z2、又はInOx₁が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度(μ)が実現できる。

【0150】

一方、GaOx₃等が主成分である領域は、In_x2Zn_y2O_z2、又はInOx₁が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaOx₃等が主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

【0151】

したがって、CAC-OSを半導体素子に用いた場合、GaOx₃等に起因する絶縁性と、In_x2Zn_y2O_z2、又はInOx₁に起因する導電性とが、相補的に作用することにより、高いオン電流(I_{on})、及び高い電界効果移動度(μ)を実現することができる。

【0152】

また、CAC-OSを用いた半導体素子は、信頼性が高い。したがって、CAC-OS

10

20

30

40

50

は、様々な半導体装置の構成材料として適している。

【0153】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

【0154】

(実施の形態4)

本実施の形態では、EL素子を用いた表示装置の構成例について説明する。

【0155】

図15(A)において、第1の基板4001上に設けられた表示部215を囲むようにして、シール材4005が設けられ、表示部215がシール材4005及び第2の基板4006によって封止されている。

10

【0156】

表示部215には、実施の形態1に示した画素を有する画素アレイが設けられる。

【0157】

なお画素アレイに設けられる画素数は、画素数を3840×2160、7680×4320といったウルトラハイビジョン(「4K解像度」、「4K2K」、「4K」)、スーパーハイビジョン(「8K解像度」、「8K4K」、「8K」)の画像を表示可能な画素数とすることが好適である。当該構成とすることで、大型の表示装置において、高解像度の画像を視聴可能な構成とすることができる。

【0158】

20

8K4Kあるいは4K2Kといった画像を表示する構成とする場合は、駆動回路を画素アレイの両辺に配置し、走査線や信号線等の配線の数を増やす構成が好適である。当該構成とすることで画素数の増加に伴う配線抵抗の増加に伴う信号遅延や、電圧降下といった不具合を低減することが可能である。

【0159】

図15(A)では、走査線駆動回路221a、信号線駆動回路231a、信号線駆動回路232a、及び共通線駆動回路241aは、それぞれがプリント基板4041上に設けられた集積回路4042を複数有する。集積回路4042は、単結晶半導体又は多結晶半導体で形成されている。信号線駆動回路231a及び信号線駆動回路232aは、ソースドライバの機能を有する。走査線駆動回路221aは、上記実施の形態に示したゲートドライバの機能を有する。共通線駆動回路241aは、共通配線に規定の電位を供給する機能を有する。

30

【0160】

走査線駆動回路221a、共通線駆動回路241a、信号線駆動回路231a、及び信号線駆動回路232aに与えられる各種信号及び電位は、FPC(FPC:Flexible printed circuit)4018を介して供給される。

【0161】

走査線駆動回路221a及び共通線駆動回路241aが有する集積回路4042は、表示部215に選択信号を供給する機能を有する。信号線駆動回路231a及び信号線駆動回路232aが有する集積回路4042は、表示部215に画像信号を供給する機能を有する。集積回路4042は、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に実装されている。

40

【0162】

なお、集積回路4042の接続方法は、特に限定されるものではなく、ワイヤボンディング法、COG(Chip On Glass)法、TCP(Tape Carrier Package)法、COF(Chip On Film)法等を用いることができる。

【0163】

図15(B)は、信号線駆動回路231a及び信号線駆動回路232aに含まれる集積回路4042をCOG法により実装する例を示している。また、駆動回路の一部又は全体を表示部215と同じ基板上に一体形成して、システムオンパネルを形成することができ

50

る。

【 0 1 6 4 】

図 1 5 (B) では、走査線駆動回路 2 2 1 a 及び共通線駆動回路 2 4 1 a を、表示部 2 1 5 と同じ基板上に形成する例を示している。駆動回路を表示部 2 1 5 内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

【 0 1 6 5 】

また、図 1 5 (B) では、第 1 の基板 4 0 0 1 上に設けられた表示部 2 1 5 と、走査線駆動回路 2 2 1 a 及び共通線駆動回路 2 4 1 a と、を囲むようにして、シール材 4 0 0 5 が設けられている。また表示部 2 1 5、走査線駆動回路 2 2 1 a、及び共通線駆動回路 2 4 1 a の上に第 2 の基板 4 0 0 6 が設けられている。よって、表示部 2 1 5、走査線駆動回路 2 2 1 a、及び共通線駆動回路 2 4 1 a は、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、表示素子と共に封止されている。

10

【 0 1 6 6 】

また、図 1 5 (B) では、信号線駆動回路 2 3 1 a 及び信号線駆動回路 2 3 2 a を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部又は走査線駆動回路の一部を別途形成して実装しても良い。

【 0 1 6 7 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む場合がある。

20

【 0 1 6 8 】

また第 1 の基板上に設けられた表示部及び走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、上記実施の形態で示したトランジスタを適用することができる。

【 0 1 6 9 】

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なってもよい。周辺駆動回路が有するトランジスタは、全て同じ構造であってもよく、2 種類以上の構造が組み合わせて用いられていてもよい。同様に、画素回路が有するトランジスタは、全て同じ構造であってもよく、2 種類以上の構造が組み合わせて用いられていてもよい。

30

【 0 1 7 0 】

また、図 1 6 に示すように、第 2 の基板 4 0 0 6 上には入力装置 4 2 0 0 を設けることができる。図 1 5 (A)、(B) に示す表示装置に入力装置 4 2 0 0 を設けた構成はタッチパネルとして機能させることができる。

【 0 1 7 1 】

本発明の一態様のタッチパネルが有する検知素子（センサ素子ともいう）に限定は無い。指やスタイラス等の被検知体の近接又は接触を検知することのできる様々なセンサを、検知素子として適用することができる。

【 0 1 7 2 】

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式等様々な方式を用いることができる。

40

【 0 1 7 3 】

本実施の形態では、静電容量方式の検知素子を有するタッチパネルを例に挙げて説明する。

【 0 1 7 4 】

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

【 0 1 7 5 】

50

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知素子とを貼り合わせる構成、表示素子を支持する基板及び対向基板の一方又は双方に検知素子を構成する電極等を設ける構成等、様々な構成を適用することができる。

【0176】

図16(A)、(B)に、タッチパネルの一例を示す。図16(A)は、タッチパネル4210の斜視図である。図16(B)は、入力装置4200の斜視概略図である。なお、明瞭化のため、代表的な構成要素のみを示している。

【0177】

タッチパネル4210は、別々に作製された表示装置と検知素子とを貼り合わせた構成である。

【0178】

タッチパネル4210は、入力装置4200と、表示装置とを有し、これらが重ねて設けられている。

【0179】

入力装置4200は、基板4263、電極4227、電極4228、複数の配線4237、複数の配線4238及び複数の配線4239を有する。例えば、電極4227は配線4237又は配線4239と電気的に接続することができる。また、電極4228は配線4239と電気的に接続することができる。FPC4272bは、複数の配線4237及び複数の配線4238の各々と電気的に接続する。FPC4272bにはIC4273bを設けることができる。

【0180】

又は、表示装置の第1の基板4001と第2の基板4006との間にタッチセンサを設けてもよい。第1の基板4001と第2の基板4006との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。

【0181】

図17は、図15(B)中でN1-N2の鎖線で示した部位の断面図である。図17に示す表示装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電気的に接続されている。また、図17では、電極4015は、絶縁層4112、絶縁層4111、及び絶縁層4110に形成された開口において配線4014と電気的に接続されている。

【0182】

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、及びトランジスタ4011のソース電極及びドレイン電極と同じ導電層で形成されている。

【0183】

また、第1の基板4001上に設けられた表示部215と走査線駆動回路221aは、トランジスタを複数有しており、図17では、表示部215に含まれるトランジスタ4010、及び走査線駆動回路221aに含まれるトランジスタ4011を例示している。なお、図17では、トランジスタ4010及びトランジスタ4011としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。

【0184】

図17では、トランジスタ4010及びトランジスタ4011上に絶縁層4112が設けられている。また、絶縁層4112上に隔壁4510が形成されている。

【0185】

また、トランジスタ4010及びトランジスタ4011は、絶縁層4102上に設けられている。また、トランジスタ4010及びトランジスタ4011は、絶縁層4111上に形成された電極4017を有する。電極4017はバックゲート電極として機能することができる。

【0186】

10

20

30

40

50

また、図 17 に示す表示装置は、容量素子 4020 を有する。容量素子 4020 は、トランジスタ 4010 のゲート電極と同じ工程で形成された電極 4021 と、ソース電極及びドレイン電極と同じ工程で形成された電極と、を有する。容量素子 4020 のそれぞれの電極は、絶縁層 4103 を介して重なっている。

【0187】

一般に、表示装置の画素部に設けられる容量素子の容量は、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間電荷を保持できるように設定される。容量素子の容量は、トランジスタのオフ電流等を考慮して設定すればよい。

【0188】

表示部 215 に設けられたトランジスタ 4010 は表示素子と電気的に接続する。

10

【0189】

また、図 17 に示す表示装置は、絶縁層 4111 と絶縁層 4104 を有する。絶縁層 4111 と絶縁層 4104 として、不純物元素を透過しにくい絶縁層を用いる。絶縁層 4111 と絶縁層 4104 でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

【0190】

表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子（EL 素子）を適用することができる。EL 素子は、一对の電極の間に発光性の化合物を含む層（「EL 層」ともいう。）を有する。一对の電極間に、EL 素子の閾値電圧よりも大きい電位差を生じさせると、EL 層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔は EL 層において再結合し、EL 層に含まれる発光物質が発光する。

20

【0191】

また、EL 素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0192】

有機 EL 素子は、電圧を印加することにより、一方の電極から電子、他方の電極から正孔がそれぞれ EL 層に注入される。そして、それらキャリア（電子及び正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

30

【0193】

なお、EL 層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、又はバイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）等を有していてもよい。

【0194】

EL 層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

【0195】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

40

【0196】

発光素子は発光を取り出すために少なくとも一对の電極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出

50

(ボトムエミッション)構造や、両面から発光を取り出す両面射出(デュアルエミッション)構造の発光素子があり、どの射出構造の発光素子も適用することができる。

【0197】

図17は、表示素子として発光素子を用いた発光表示装置(「EL表示装置」ともいう。)の一例である。表示素子である発光素子4513は、表示部215に設けられたトランジスタ4010と電氣的に接続している。なお発光素子4513の構成は、第1の電極層4030、発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光素子4513から取り出す光の方向等に合わせて、発光素子4513の構成は適宜変えることができる。

【0198】

隔壁4510は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0199】

発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0200】

発光素子4513の発光色は、発光層4511を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、又は黄などとする事ができる。

【0201】

カラー表示を実現する方法としては、発光色が白色の発光素子4513と着色層を組み合わせで行う方法と、画素毎に発光色の異なる発光素子4513を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層4511を作り分ける必要があるため、前者の方法よりも生産性が劣る。ただし、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光素子4513にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

【0202】

なお、発光層4511は、量子ドット等の無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

【0203】

発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031及び隔壁4510上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC(Diamond Like Carbon)等を形成することができる。また、第1の基板4001、第2の基板4006、及びシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

【0204】

充填材4514としては窒素やアルゴン等の不活性な気体の他に、紫外線硬化樹脂又は熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコン系樹脂、PVB(ポリビニルブチラル)又はEVA(エチレンビニルアセテート)等を用いることができる。また、充填材4514に乾燥剤が含まれていてもよい。

【0205】

シール材4005には、ガラスフリット等のガラス材料や、二液混合型の樹脂等の常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂等の樹脂材料を用いることができる。また、シール材4005に乾燥剤が含まれていてもよい。

【0206】

10

20

30

40

50

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタ等の光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0207】

また、発光素子をマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

【0208】

表示素子に電圧を印加する第1の電極層及び第2の電極層（画素電極層、共通電極層、対向電極層等ともいう）においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

10

【0209】

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の透光性を有する導電性材料を用いることができる。

【0210】

また、第1の電極層4030、第2の電極層4031はタングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一種以上を用いて形成することができる。

20

【0211】

また、第1の電極層4030、第2の電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又は、アニリン、ピロール及びチオフェンの2種以上からなる共重合体若しくはその誘導体等があげられる。

30

【0212】

また、トランジスタは静電気等により破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0213】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせて実施することが可能である。

【0214】

（実施の形態5）

本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。

40

【0215】

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタ等の様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

【0216】

〔ボトムゲート型トランジスタ〕

図18（A1）は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ810の断面図である。図18（A1）において、トランジスタ810は基板7

50

7 1 上に形成されている。また、トランジスタ 8 1 0 は、基板 7 7 1 上に絶縁層 7 7 2 を介して電極 7 4 6 を有する。また、電極 7 4 6 上に絶縁層 7 2 6 を介して半導体層 7 4 2 を有する。電極 7 4 6 はゲート電極として機能できる。絶縁層 7 2 6 はゲート絶縁層として機能できる。

【0 2 1 7】

また、半導体層 7 4 2 のチャネル形成領域上に絶縁層 7 4 1 を有する。また、半導体層 7 4 2 の一部と接して、絶縁層 7 2 6 上に電極 7 4 4 a 及び電極 7 4 4 b を有する。電極 7 4 4 a は、ソース電極又はドレイン電極の一方として機能できる。電極 7 4 4 b は、ソース電極又はドレイン電極の他方として機能できる。電極 7 4 4 a の一部、及び電極 7 4 4 b の一部は、絶縁層 7 4 1 上に形成される。

10

【0 2 1 8】

絶縁層 7 4 1 は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層 7 4 1 を設けることで、電極 7 4 4 a 及び電極 7 4 4 b の形成時に生じる半導体層 7 4 2 の露出を防ぐことができる。よって、電極 7 4 4 a 及び電極 7 4 4 b の形成時に、半導体層 7 4 2 のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

【0 2 1 9】

また、トランジスタ 8 1 0 は、電極 7 4 4 a、電極 7 4 4 b 及び絶縁層 7 4 1 上に絶縁層 7 2 8 を有し、絶縁層 7 2 8 の上に絶縁層 7 2 9 を有する。

【0 2 2 0】

20

半導体層 7 4 2 に酸化物半導体を用いる場合、電極 7 4 4 a 及び電極 7 4 4 b の、少なくとも半導体層 7 4 2 と接する部分に、半導体層 7 4 2 の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層 7 4 2 中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域は n 型化し、n 型領域 (n⁺層) となる。したがって、当該領域はソース領域又はドレイン領域として機能することができる。半導体層 7 4 2 に酸化物半導体を用いる場合、半導体層 7 4 2 から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

【0 2 2 1】

半導体層 7 4 2 にソース領域及びドレイン領域が形成されることにより、電極 7 4 4 a 及び電極 7 4 4 b と半導体層 7 4 2 の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧等の、トランジスタの電気特性を良好なものとすることができる。

30

【0 2 2 2】

半導体層 7 4 2 にシリコン等の半導体を用いる場合は、半導体層 7 4 2 と電極 7 4 4 a の間、及び半導体層 7 4 2 と電極 7 4 4 b の間に、n 型半導体又は p 型半導体として機能する層を設けることが好ましい。n 型半導体又は p 型半導体として機能する層は、トランジスタのソース領域又はドレイン領域として機能することができる。

【0 2 2 3】

絶縁層 7 2 9 は、外部からのトランジスタへの不純物の拡散を防ぐ、又は低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層 7 2 9 を省略することもできる。

40

【0 2 2 4】

図 1 8 (A 2) に示すトランジスタ 8 1 1 は、絶縁層 7 2 9 上にバックゲート電極として機能できる電極 7 2 3 を有する点が、トランジスタ 8 1 0 と異なる。電極 7 2 3 は、電極 7 4 6 と同様の材料及び方法で形成することができる。

【0 2 2 5】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位 (GND 電位) や、任意の電位としてもよい。また、バックゲ

50

ート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0226】

電極746及び電極723は、どちらもゲート電極として機能することができる。よって、絶縁層726、絶縁層728、及び絶縁層729は、それぞれがゲート絶縁層として機能することができる。なお、電極723は、絶縁層728と絶縁層729の間に設けてもよい。

【0227】

なお、電極746又は電極723の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ811において、電極723を「ゲート電極」という場合、電極746を「バックゲート電極」という。また、電極723を「ゲート電極」として用いる場合は、トランジスタ811をトップゲート型のトランジスタの一種と考えることができる。また、電極746及び電極723のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。

【0228】

半導体層742を挟んで電極746及び電極723を設けることで、更には、電極746及び電極723を同電位とすることで、半導体層742においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ811のオン電流が大きくなると共に、電界効果移動度が高くなる。

【0229】

したがって、トランジスタ811は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ811の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さい表示装置とすることができる。

【0230】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気等に対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

【0231】

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトする等の電気特性の劣化を防ぐことができる。

【0232】

本発明の一態様によれば、信頼性の良好なトランジスタを備えた表示装置が実現できる。

【0233】

図18(B1)に、ボトムゲート型のトランジスタの1つであるチャンネル保護型のトランジスタ820の断面図を示す。トランジスタ820は、トランジスタ810とほぼ同様の構造を有しているが、絶縁層741が半導体層742の端部を覆っている点が異なる。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した開口部において、半導体層742と電極744aが電氣的に接続している。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した他の開口部において、半導体層742と電極744bが電氣的に接続している。絶縁層741の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

【0234】

図18(B2)に示すトランジスタ821は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ820と異なる。

【0235】

絶縁層741を設けることで、電極744a及び電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744a及び電極744bの形成時に

10

20

30

40

50

半導体層 742 の薄膜化を防ぐことができる。

【0236】

また、トランジスタ 820 及びトランジスタ 821 は、トランジスタ 810 及びトランジスタ 811 よりも、電極 744a と電極 746 の間の距離と、電極 744b と電極 746 の間の距離が長くなる。よって、電極 744a と電極 746 の間に生じる寄生容量を小さくすることができる。また、電極 744b と電極 746 の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

【0237】

図 18 (C1) に示すトランジスタ 825 は、ボトムゲート型のトランジスタの 1 つであるチャンネルエッチング型のトランジスタである。トランジスタ 825 は、絶縁層 741 を用いずに電極 744a 及び電極 744b を形成する。このため、電極 744a 及び電極 744b の形成時に露出する半導体層 742 の一部がエッチングされる場合がある。一方、絶縁層 741 を設けないため、トランジスタの生産性を高めることができる。

10

【0238】

図 18 (C2) に示すトランジスタ 826 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 825 と異なる。

【0239】

〔トップゲート型トランジスタ〕

図 19 (A1) に例示するトランジスタ 842 は、トップゲート型のトランジスタの 1 つである。電極 744a 及び電極 744b は、絶縁層 728 及び絶縁層 729 に形成した開口部において半導体層 742 と電氣的に接続する。

20

【0240】

また、電極 746 と重ならない絶縁層 726 の一部を除去し、電極 746 と残りの絶縁層 726 をマスクとして用いて不純物 755 を半導体層 742 に導入することで、半導体層 742 中に自己整合 (セルフアライメント) 的に不純物領域を形成することができる。トランジスタ 842 は、絶縁層 726 が電極 746 の端部を越えて延伸する領域を有する。不純物 755 を半導体層 742 に導入する際に、半導体層 742 の絶縁層 726 を介して不純物 755 が導入された領域の不純物濃度は、絶縁層 726 を介さずに不純物 755 が導入された領域よりも小さくなる。よって、半導体層 742 は、電極 746 と重ならない領域に LDD (Lightly Doped Drain) 領域が形成される。

30

【0241】

図 19 (A2) に示すトランジスタ 843 は、電極 723 を有する点がトランジスタ 842 と異なる。トランジスタ 843 は、基板 771 の上に形成された電極 723 を有する。電極 723 は、絶縁層 772 を介して半導体層 742 と重なる領域を有する。電極 723 は、バックゲート電極として機能することができる。

【0242】

また、図 19 (B1) に示すトランジスタ 844 及び図 19 (B2) に示すトランジスタ 845 のように、電極 746 と重ならない領域の絶縁層 726 を全て除去してもよい。また、図 19 (C1) に示すトランジスタ 846 及び図 19 (C2) に示すトランジスタ 847 のように、絶縁層 726 を残してもよい。

40

【0243】

トランジスタ 843 乃至トランジスタ 847 も、電極 746 を形成した後に、電極 746 をマスクとして用いて不純物 755 を半導体層 742 に導入することで、半導体層 742 中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、集積度の高く、かつ電気特性の良好なトランジスタを備えた表示装置が実現できる。

【0244】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

【0245】

50

(実施の形態6)

本実施の形態では、上記実施の形態で例示した表示装置に適用可能な半導体装置について説明する。以下で例示する半導体装置は、記憶装置として機能することができる。

【0246】

本実施の形態では、酸化物半導体を用いた記憶装置の一例として、D O S R A M (登録商標)について説明する。なお、「D O S R A M」の名称は、D y n a m i c O x i d e S e m i c o n d u c t o r R a n d o m A c c e s s M e m o r y に由来する。D O S R A Mとは、メモリセルが、1 T 1 C (1トランジスタ1容量)型セルであり、かつ書込みトランジスタが、酸化物半導体が適用されたトランジスタである記憶装置のことである。

10

【0247】

図20を用いて、D O S R A M 1 0 0 0 の積層構造例について説明する。D O S R A M 1 0 0 0 は、データの読み出しを行うセンスアンプ部1002と、データを格納するセルアレイ部1003とが積層されている。

【0248】

図20に示すように、センスアンプ部1002には、ビット線B L、S i トランジスタT a 1 0、T a 1 1 が設けられている。S i トランジスタT a 1 0、T a 1 1 は、単結晶シリコンウエハに半導体層をもつ。S i トランジスタT a 1 0、T a 1 1 は、センスアンプを構成し、ビット線B L に電氣的に接続されている。

【0249】

セルアレイ部1003は複数のメモリセル1001を有する。メモリセル1001は、トランジスタT w 1 及び容量素子C 1 を有する。セルアレイ部1003において、2個のトランジスタT w 1 は半導体層を共有する。半導体層とビット線B L とは図示しない導電体により電氣的に接続されている。

20

【0250】

図20に示すような積層構造は、トランジスタ群を有する回路を複数積層して構成される様々な半導体装置に適用できる。

【0251】

図20中の金属酸化物、絶縁体、導電体等は、単層でも積層でもよい。これらの作製には、スパッタリング法、分子線エピタキシー法(M B E 法)、パルスレーザアブレーション法(P L A 法)、C V D 法、原子層堆積法(A L D 法)などの各種の成膜方法を用いることができる。なお、C V D 法には、プラズマC V D 法、熱C V D 法、有機金属C V D 法などがある。

30

【0252】

ここでは、トランジスタT w 1 の半導体層は、金属酸化物(酸化物半導体)で構成されている。ここでは、半導体層が3層の金属酸化物層で構成されている例を示している。半導体層は、I n、G a、およびZ nを含む金属酸化物で構成されることが好ましい。

【0253】

ここで、金属酸化物は、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで、キャリア密度が増大し、低抵抗化する場合がある。例えば、金属酸化物を用いた半導体層を選択的に低抵抗化することで、半導体層にソース領域またはドレイン領域を設けることができる。

40

【0254】

なお、金属酸化物を低抵抗化する元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法(S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y)などを用いて測定することができる。

【0255】

特に、ホウ素、及びリンは、アモルファスシリコン、または低温ポリシリコンの製造ラ

50

インの装置を使用することができるため、好ましい。既存の設備を転用することができ、設備投資を抑制することができる。

【 0 2 5 6 】

選択的に低抵抗化した半導体層を有するトランジスタは、例えば、ダミーゲートを用いることで形成することができる。具体的には、半導体層上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、上記半導体層を低抵抗化する元素を添加するとよい。つまり、半導体層が、ダミーゲートと重畳していない領域に、当該元素が添加され、低抵抗化した領域が形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

10

【 0 2 5 7 】

導電体に用いられる導電材料には、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイド、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、または上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

20

【 0 2 5 8 】

絶縁体に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことをいう。

【 0 2 5 9 】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせて実施することが可能である。

30

【 0 2 6 0 】

（実施の形態 7）

本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置又は画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機等が挙げられる。これら電子機器の具体例を図 2 1 に示す。

40

【 0 2 6 1 】

図 2 1（Ａ）はテレビを示す図であり、筐体 9 7 1、表示部 9 7 3、操作キー 9 7 4、スピーカ 9 7 5、通信用接続端子 9 7 6、光センサ 9 7 7 等を示す。表示部 9 7 3 にはタッチセンサが設けられ、入力操作を行うこともできる。表示部 9 7 3 に本発明の一態様の表示装置を用いることで、表示部 9 7 3 で画像を重ねあわせて表示を行う際に演算処理量の低減を図ることができる。あるいは、表示部 9 7 3 に本発明の一態様の表示装置を用いることで、ソースドライバが出力可能なビット数以上の階調数での表示を行うことができる。

【 0 2 6 2 】

図 2 1（Ｂ）は情報処理端末を示す図であり、筐体 9 0 1、表示部 9 0 2、表示部 9 0

50

3、センサ904等を示す。表示部902及び表示部903は一つの表示パネルから成り、可撓性を有する。また、筐体901も可撓性を有し、図示するように折り曲げて使用することができるほか、タブレット端末のように平板状にして使用することもできる。センサ904は筐体901の形状を感知することができ、例えば、筐体が曲げられたときに表示部902及び表示部903の表示を切り替えることができる。表示部902及び表示部903に本発明の一態様の表示装置を用いることで、表示部902及び表示部903で画像を重ねあわせて表示を行う際に演算処理量の低減を図ることができる。あるいは、表示部902及び表示部903に本発明の一態様の表示装置を用いることで、ソースドライバが出力可能なビット数以上の階調数での表示を行うことができる。

【0263】

10

図21(C)はデジタルカメラを示す図であり、筐体961、シャッターボタン962、マイク963、スピーカ967、表示部965、操作キー966、ズームレバー968、レンズ969等を示す。表示部965に本発明の一態様の表示装置を用いることで、表示部965で画像を重ねあわせて表示を行う際に演算処理量の低減を図ることができる。

【0264】

図21(D)はデジタルサイネージを示す図であり、柱921の側面に大型の表示部922が取り付けられた構成を示す。表示部922に本発明の一態様の表示装置を用いることで、表示部922で画像を重ねあわせて表示を行う際に演算処理量の低減を図ることができる。あるいは、表示部922に本発明の一態様の表示装置を用いることで、ソースドライバが出力可能なビット数以上の階調数での表示を行うことができる。

20

【0265】

図21(E)は携帯電話機の一例を示す図であり、筐体951、表示部952、操作ボタン953、外部接続ポート954、スピーカ955、マイク956、カメラ957等を示す。当該携帯電話機は、表示部952にタッチセンサを備える。電話を掛ける、或いは文字を入力する等のあらゆる操作は、指やスタイラス等で表示部952に触れることで行うことができる。また、筐体951及び表示部952は可撓性を有し、図示するように折り曲げて使用することができる。表示部952に本発明の一態様の表示装置を用いることで、表示部952で画像を重ねあわせて表示を行う際に演算処理量の低減を図ることができる。あるいは、表示部952に本発明の一態様の表示装置を用いることで、ソースドライバが出力可能なビット数以上の階調数での表示を行うことができる。

30

【0266】

図21(F)は携帯データ端末を示す図であり、筐体911、表示部912、スピーカ913、カメラ919等を示す。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。表示部912に本発明の一態様の表示装置を用いることで、表示部912で画像を重ねあわせて表示を行う際に演算処理量の低減を図ることができる。あるいは、表示部912に本発明の一態様の表示装置を用いることで、ソースドライバが出力可能なビット数以上の階調数での表示を行うことができる。

【0267】

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

40

【実施例】

【0268】

本実施例では、回路シミュレーションを用いて、図10に示す画素回路の構成での、信号W1、W2、信号data1、およびdata2の足し合わせによって得られる出力が所望の階調となるかについて確認した。

【0269】

回路シミュレーションに用いたパラメータは以下の通りであり、トランジスタサイズはトランジスタM2を L (チャンネル長)/ W (チャンネル幅) $=9\mu\text{m}/6\mu\text{m}$ とし、トランジスタM2以外のトランジスタを $L/W=4\mu\text{m}/4\mu\text{m}$ とした。また容量素子C1、C2の容量を 100fF とし、容量素子C3の容量を 30fF とした。発光素子OLEDは

50

F Nダイオードモデル、配線A N Oはアノード電位として+ 1 0 V、参照電圧V r e fとして0 V、配線C A Tはカソード電位として- 9 V乃至- 5 Vで1 Vずつ変化させた。信号W 1、信号W 2、信号d a t a 1、および信号d a t a 2の最小値は0 V、最大値は+ 5 Vとした。なお、回路シミュレーション用のソフトウェアにはS P I C Eを用いた。

【0 2 7 0】

図2 2 (A) は、信号W 1、信号W 2、信号d a t a 1、および信号d a t a 2をそれぞれ変化させて複数の信号の足し合わせによって表現可能な階調(1 0 b i t 相当。0 から1 0 2 4 まで。) に対して、一画素あたりの発光素子に流れる電流量がどのように変化するかを見積もったグラフである。また図2 2 (A) では、配線C A Tの電圧を- 9 V乃至- 5 Vで1 Vずつ変化させて、信号W 1、信号W 2、信号d a t a 1、および信号d a t a 2を変化させた際の一画素あたりの発光素子に流れる電流量(I o l e d) を見積もった。

10

【0 2 7 1】

同様に図2 2 (B) は、信号W 1、信号W 2、信号d a t a 1、および信号d a t a 2をそれぞれ変化させて複数の信号の足し合わせによって表現可能な階調(1 0 b i t 相当。0 から1 0 2 4 まで。) に対して、書き込んだ複数の信号の足し合わせによって変化するトランジスタM 2のゲート- ソース間電圧(V g s) がどのように変化するかを見積もったグラフである。また図2 2 (B) では、図2 2 (A) と同様に、配線C A Tの電圧を- 9 V乃至- 5 Vで1 Vずつ変化させて、信号W 1、信号W 2、信号d a t a 1、および信号d a t a 2を変化させた際のトランジスタM 2のゲート- ソース間に印加される電圧を見積もった。

20

【0 2 7 2】

以上の図2 2 (A)、(B) に示すグラフから、図1 0に図示する画素が図1 1および図1 2で説明した駆動方法で動作させることで、良好に階調表示ができることが確認できた。

【符号の説明】

【0 2 7 3】

1 0 0 : 表示装置、1 1 0 : 表示部、1 1 1 : 画素、1 1 2 : メモリ回路、1 1 3 : メモリ回路、1 1 4 : トランジスタ、1 1 5 : 容量素子、1 1 6 : 容量素子、1 1 7 : トランジスタ、1 1 8 : トランジスタ、1 1 9 : 容量素子、1 2 0 : トランジスタ、1 2 1 : トランジスタ、1 2 2 : トランジスタ、1 2 3 : 発光素子、1 2 4 : 配線、1 3 0 : ゲートドライバ、1 4 0 : データドライバ

30

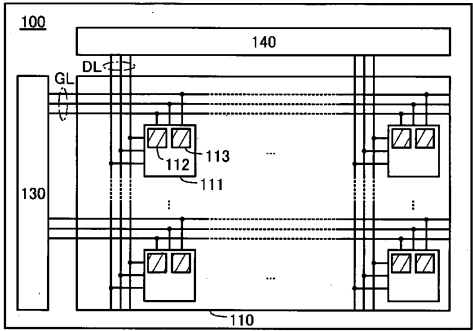
40

50

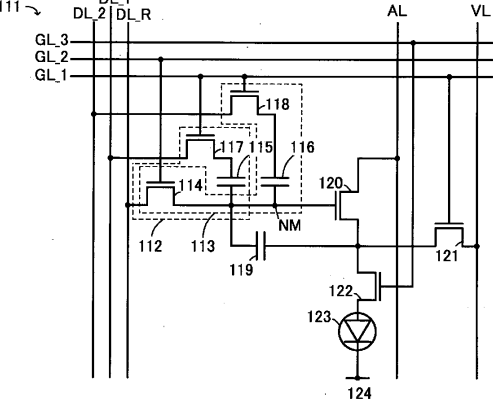
【図面】

【図 1】

(A)

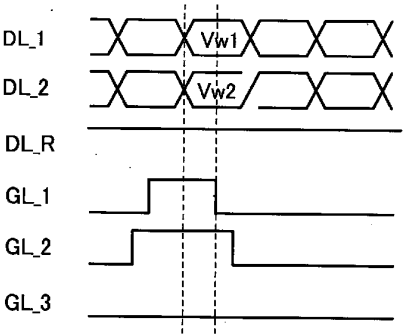


(B)

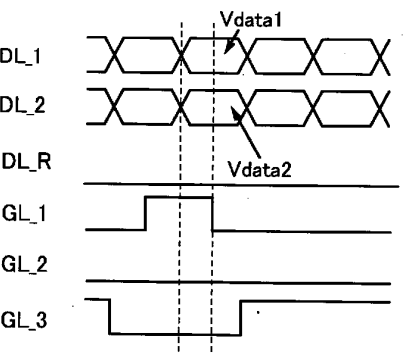


【図 2】

(A)

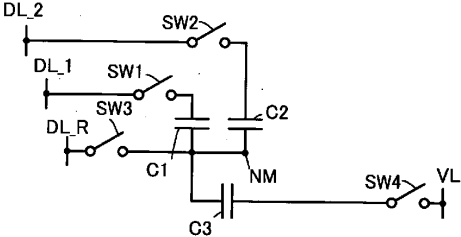


(B)

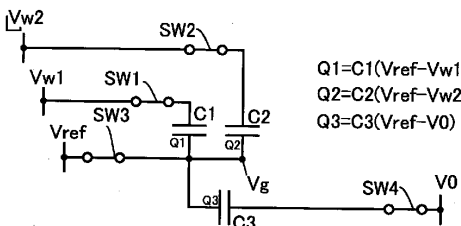


【図 3】

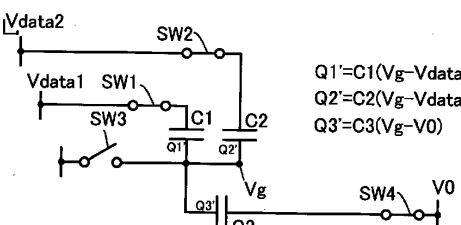
(A)



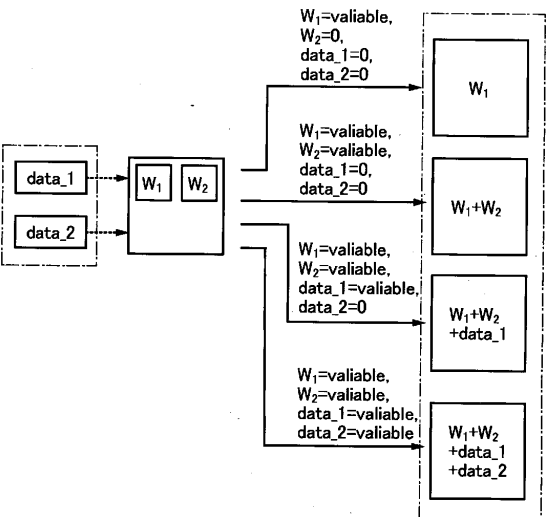
(B)



(C)



【図 4】



10

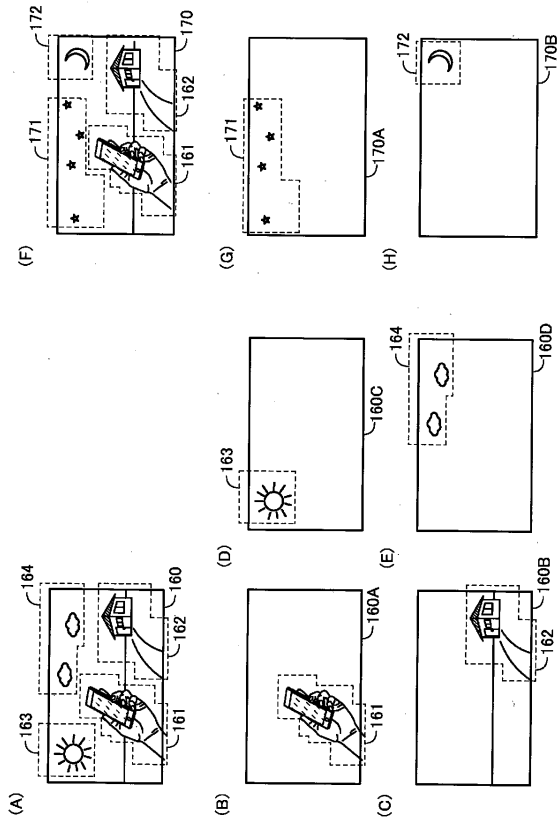
20

30

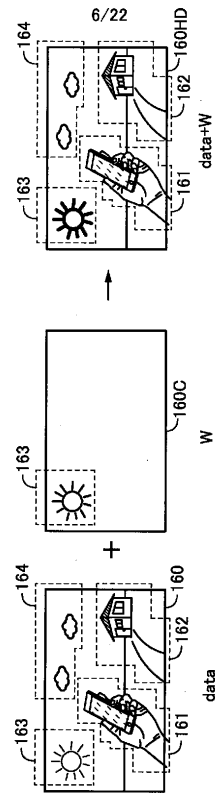
40

50

【図 5】



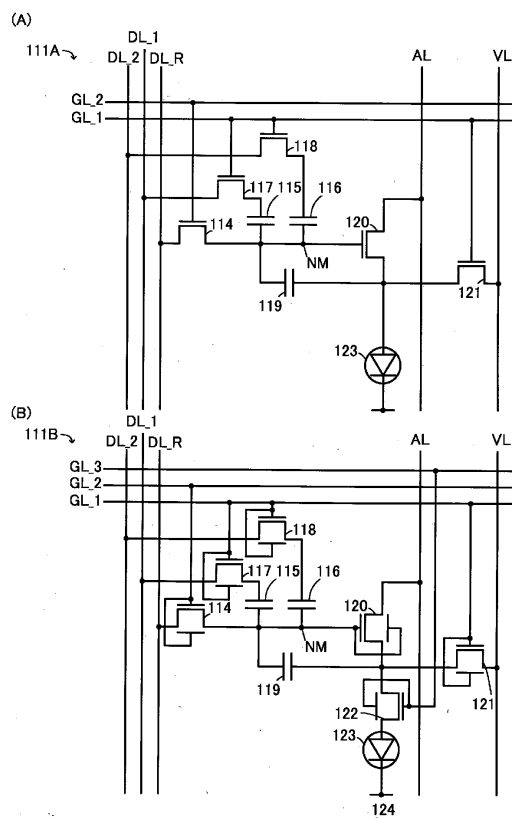
【図 6】



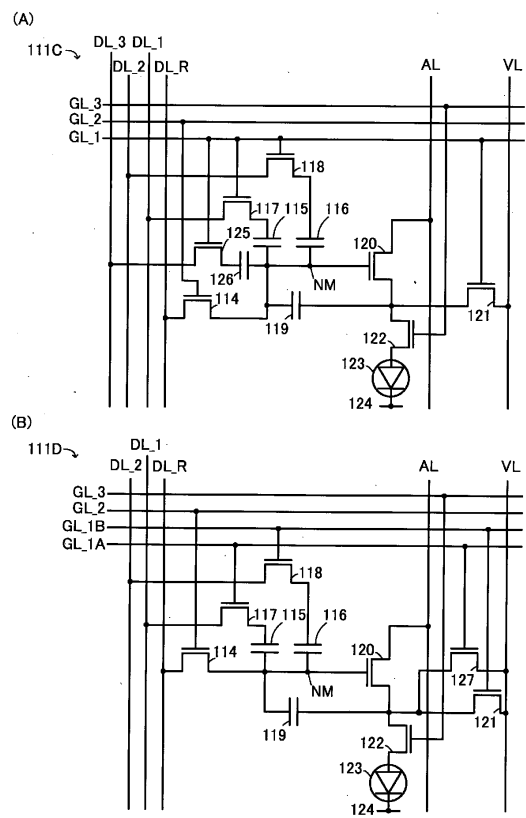
10

20

【図 7】



【図 8】

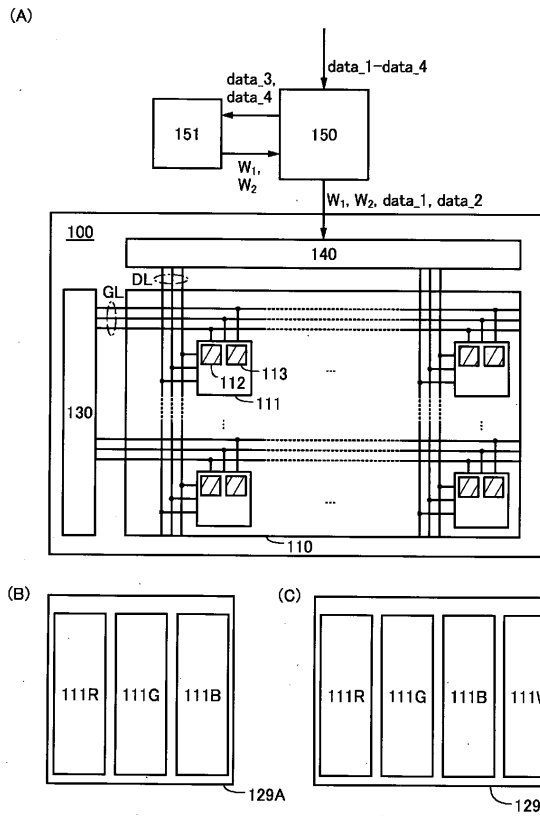


30

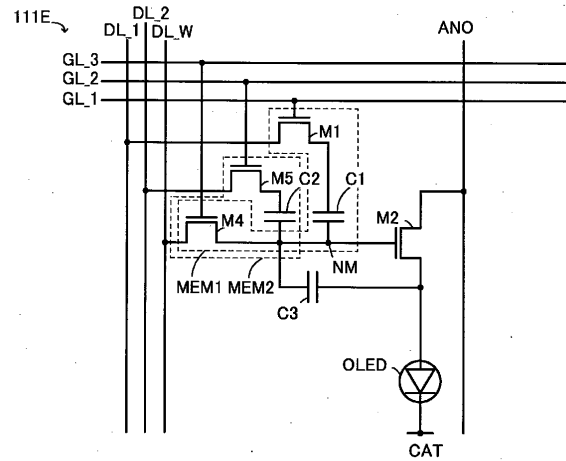
40

50

【図 9】



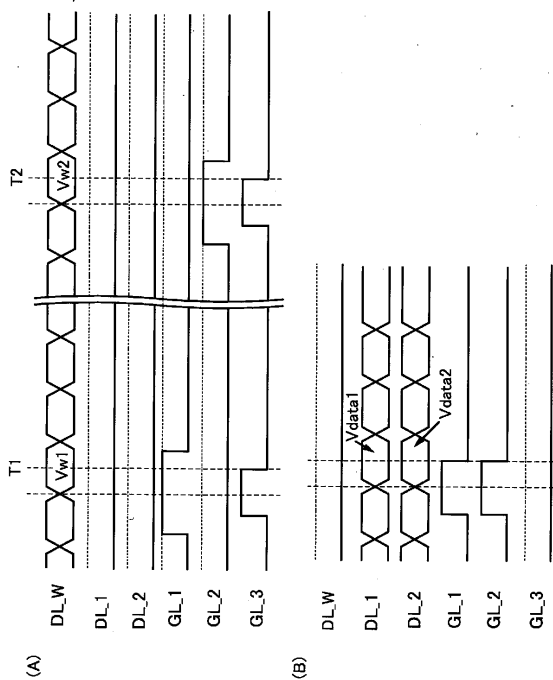
【図 10】



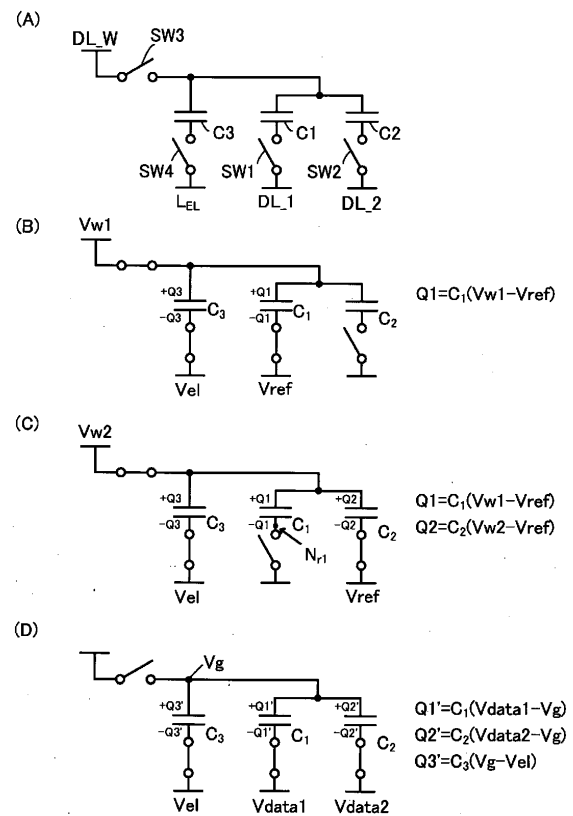
10

20

【図 11】



【図 12】

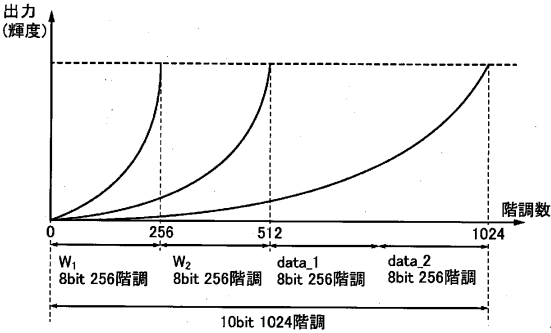


30

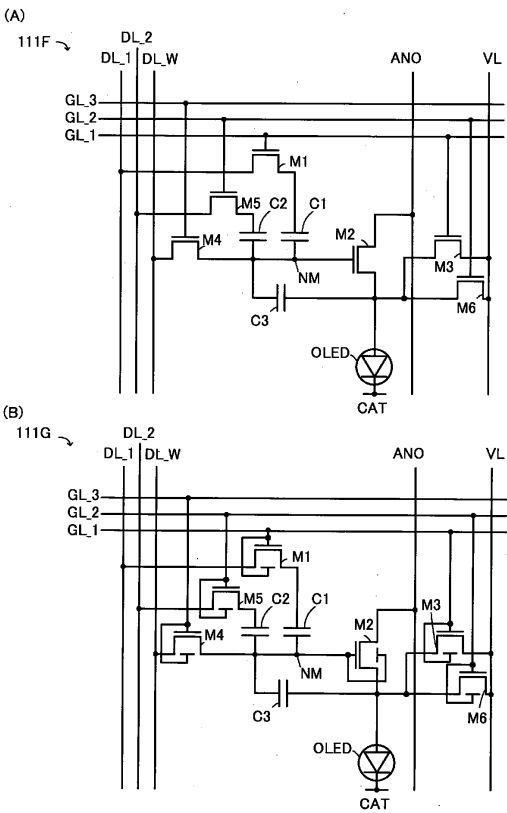
40

50

【図 1 3】



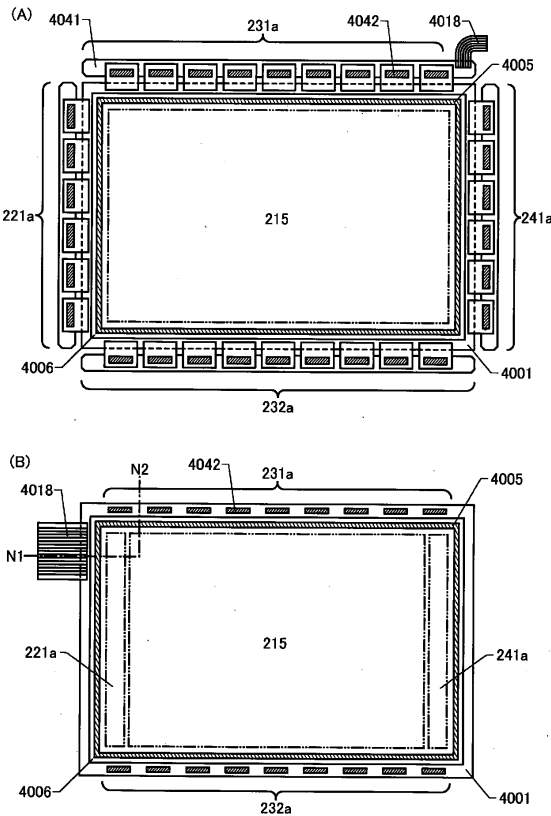
【図 1 4】



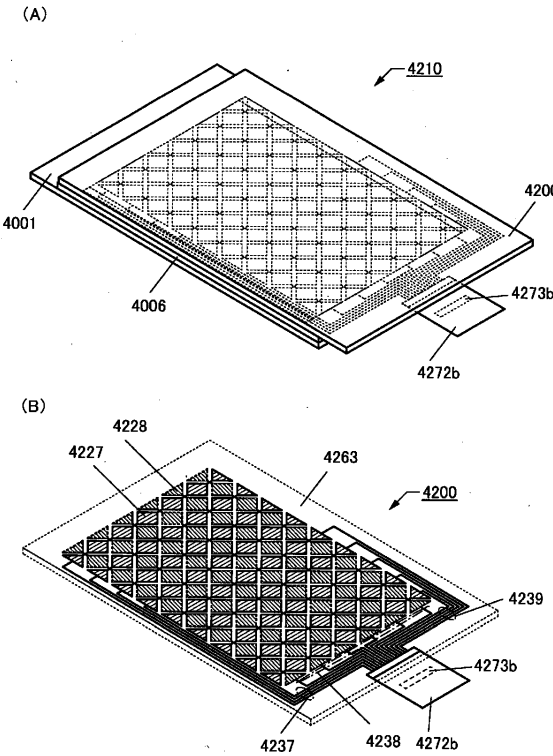
10

20

【図 1 5】



【図 1 6】

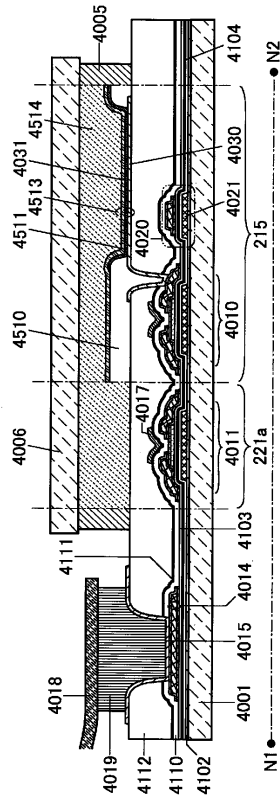


30

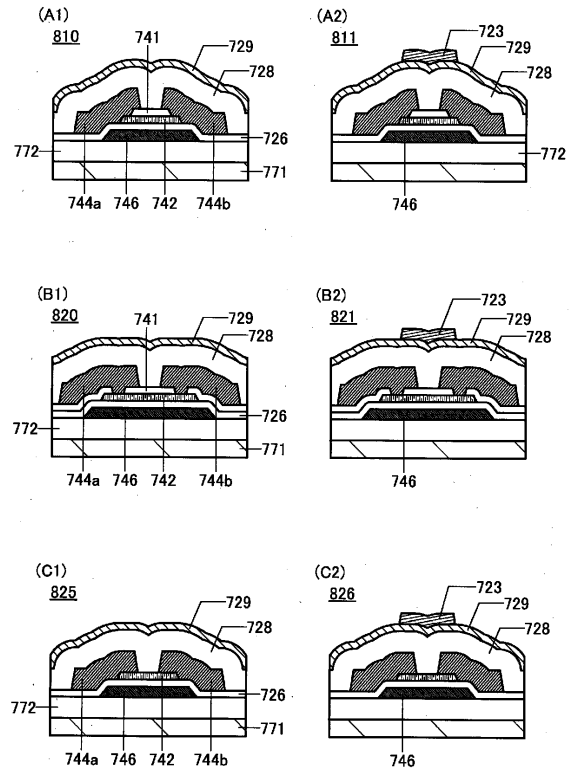
40

50

【図 17】



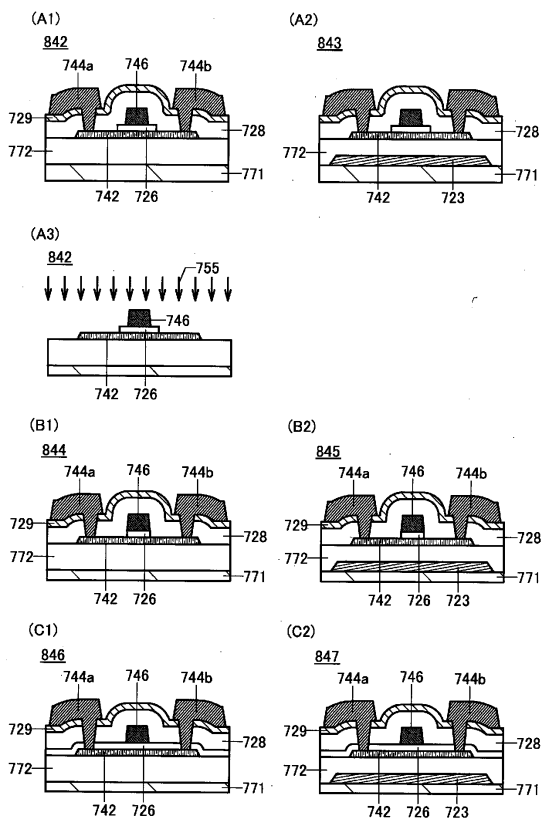
【図 18】



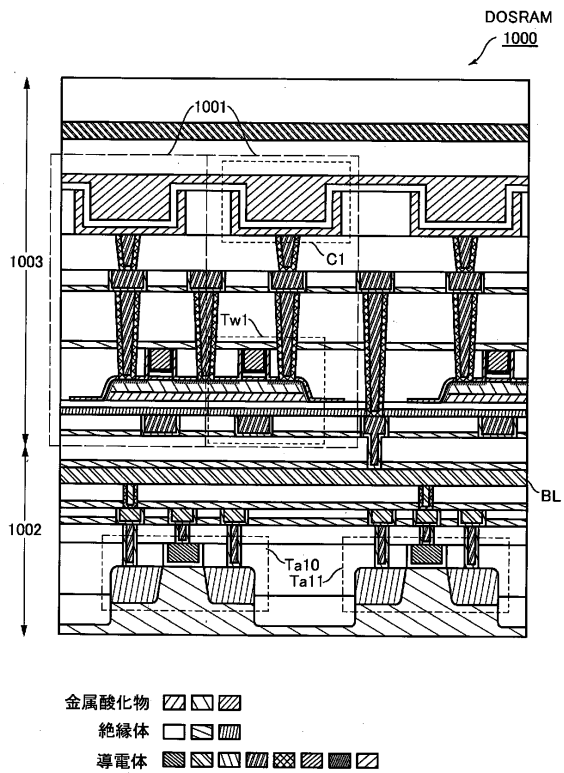
10

20

【図 19】



【図 20】

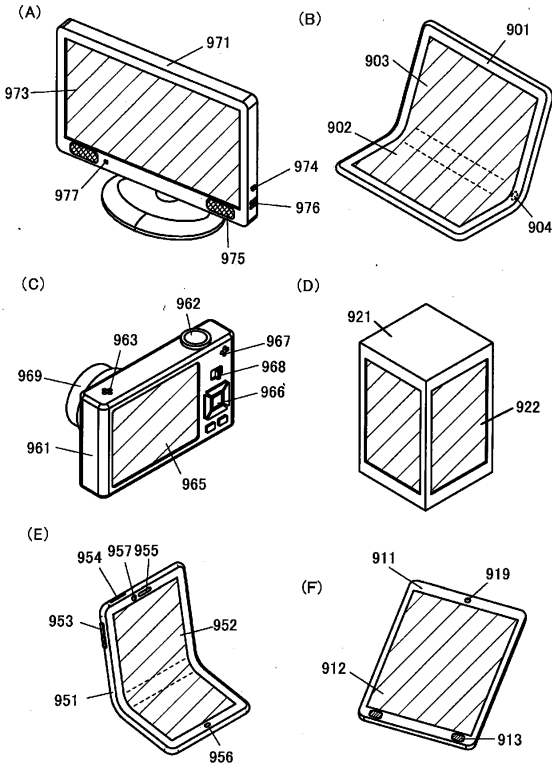


30

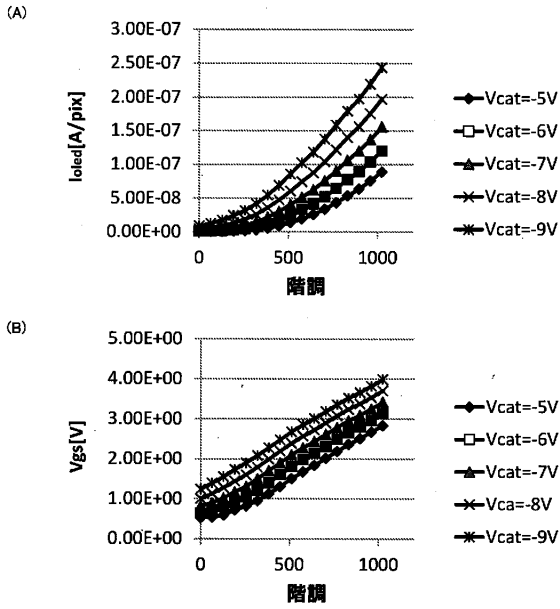
40

50

【図 2 1】



【図 2 2】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
G 0 9 G 3/20 6 2 2 Q
G 0 9 G 3/20 6 2 3 Y
G 0 9 G 3/20 6 9 1 G

(32)優先日 平成30年2月22日(2018.2.22)

(33)優先権主張国・地域又は機関
日本国(JP)

(31)優先権主張番号 特願2018-29714(P2018-29714)

(32)優先日 平成30年2月22日(2018.2.22)

(33)優先権主張国・地域又は機関
日本国(JP)

(31)優先権主張番号 特願2018-108252(P2018-108252)

(32)優先日 平成30年6月6日(2018.6.6)

(33)優先権主張国・地域又は機関
日本国(JP)

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 3 - 3 1 6 3 1 8 (J P , A)
特開 2 0 0 2 - 1 4 0 0 3 4 (J P , A)
国際公開第 2 0 1 3 / 1 7 1 9 3 8 (W O , A 1)
特開 2 0 0 2 - 1 2 3 2 1 8 (J P , A)
特表 2 0 0 6 - 5 2 4 8 3 5 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8