

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年10月23日(2008.10.23)

【公開番号】特開2007-103629(P2007-103629A)

【公開日】平成19年4月19日(2007.4.19)

【年通号数】公開・登録公報2007-015

【出願番号】特願2005-290889(P2005-290889)

【国際特許分類】

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

G 1 1 C 11/412 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

G 1 1 C 11/40 3 0 1

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 7 N

【手続補正書】

【提出日】平成20年9月9日(2008.9.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データを記憶するラッチ部と、前記データを転送する転送部とを具備してなるスタティック型のメモリセルを有し、

前記ラッチ部および前記転送部は、チャネル部分が絶縁膜から成るBOX層によって基板部分と絶縁されたSOI層を有するトランジスタを含み、

前記メモリセルからのデータ読み出し動作時において前記BOX層下に設けられたウェル層に供給される電圧は、前記メモリセルへの書き込み時において前記ウェル層に供給される電圧と異なることを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 において、

前記ラッチ部は、接地電位線にそのソース電極が接続された第 1 の導電型チャネルを有する駆動トランジスタ対と、前記接地線の電位よりも高い電位となる第 1 の電源線にそのソース電極が接続された第 2 の導電型チャネルを有する負荷トランジスタ対とを含んで構成され、

前記転送部は、前記メモリセルにアクセスするためのビット線と情報を保持する記憶ノードとの間に接続された第 1 の導電型チャネルを有する転送トランジスタ対を含んで構成されていることを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 において、

前記メモリを構成するトランジスタの少なくとも一つは、SOI層が完全に空乏化したFD-SOI構造を有することを特徴とする半導体記憶装置。

【請求項 4】

請求項 2 において、
前記ラッチ部を構成するトランジスタのしきい値電圧を変化させることを特徴とする半導体記憶装置。

【請求項 5】

請求項 2 において、
前記転送部を構成するトランジスタ対のしきい値電圧を変化させることを特徴とする半導体記憶装置。

【請求項 6】

請求項 2 において、
前記メモリセルのデータの書き込み動作時とデータの読み出し動作時に前記BOX層下に設けられた導電層からなるウエル層に適宜電圧を印加するための第 2 の電源線を有し、
前記第 2 の電源線が前記ビット線に並行する方向に設けられていることを特徴とする半導体記憶装置。

【請求項 7】

請求項 2 において、
前記メモリセルのデータの書き込み動作時とデータの読み出し動作時に前記BOX層下に設けられた導電層からなるウエル層に適宜電圧を印加するための第 2 の電源線を有し、
前記第 2 の電源線が前記ビット線に交わる方向に設けられていることを特徴とする半導体記憶装置。

【請求項 8】

請求項 2 において、
前記メモリセルは、書き込み時における前記負荷トランジスタのしきい値電圧が読み出し時のしきい値電圧よりも高い値に制御されることを特徴とする半導体記憶装置。

【請求項 9】

請求項 2 において、
前記メモリセルは、書き込み時における前記転送トランジスタのしきい値電圧が読み出し時のしきい値電圧よりも高い値に制御されることを特徴とする半導体記憶装置。

【請求項 10】

請求項 2 において、
前記メモリセルは、書き込み時における前記駆動トランジスタのしきい値電圧が読み出し時のしきい値電圧よりも低い値に制御されることを特徴とする半導体記憶装置。

【請求項 11】

請求項 6 において、
前記メモリセルは、書き込み時の負荷トランジスタのウエル電位が、読み出し時の前記負荷トランジスタのウエル電位よりも高い電圧に制御されることを特徴とする半導体記憶装置。

【請求項 12】

請求項 6 において、
前記メモリセルは、書き込み時の転送トランジスタのウエル電位が、読み出し時の前記転送トランジスタのウエル電位よりも低い電圧に制御されることを特徴とする半導体記憶装置。

【請求項 13】

請求項 6 において、
前記メモリセルは、書き込み時の駆動トランジスタのウエル電位が、読み出し時の前記駆動トランジスタのウエル電位よりも低い電圧に制御されることを特徴とする半導体記憶装置。

【請求項 14】

請求項 6 において、
データ保持状態にあるメモリセルへのアクセスがないスタンバイ状態で、

前記負荷トランジスタのウエル電位は、前記第 1 の電源線の電位よりも高い電位に制御されることを特徴とする半導体記憶装置。

【請求項 15】

請求項 6 において、

データ保持状態にあるメモリセルへのアクセスがないスタンバイ状態で、

前記駆動及び転送トランジスタのウエル電位は、接地線の電位よりも低い負の電位に制御されることを特徴とする半導体記憶装置。

【請求項 16】

半導体基板に形成された導電層からなるウエル層と、前記ウエル層上に形成された絶縁膜からなるBOX層と、前記BOX層上に形成されたソース層、ドレイン層および前記ソース層とドレイン層に挟まれて形成されたチャネル層と、前記チャネル層上にゲート絶縁膜を介して形成されたゲート電極とを有するSOI型トランジスタを複数備えてなり、スタティック型メモリセルとして機能する半導体記憶装置であって、

接地電位線にそのソース電極が接続され、前記SOI型トランジスタからなる第 1 の導電型チャネルを有する駆動トランジスタ対と、前記接地線の電位よりも高い電位となる第 1 の電源線にそのソース電極が接続され、ドレイン電極を介して前記駆動トランジスタと接続された前記SOI型トランジスタからなる第 2 の導電型チャネルを有する負荷トランジスタ対と、

前記メモリセルにアクセスするためのビット線と情報を保持する記憶ノードとの間に接続され、前記SOI型トランジスタからなる第 1 の導電型チャネルを有する転送トランジスタ対とを有し、

前記駆動トランジスタ対の一方が形成されているウエル層と、前記転送トランジスタ対の一方が形成されているウエル層とが、共通の第 1 ウエル層上に設けられ、前記負荷トランジスタ対の一方と、前記負荷トランジスタ対の他方とが共通の第 2 ウエル層上に設けられ、

前記第 1 ウエル層と前記第 2 ウエル層とが互いに電氣的に分離されていることを特徴とする半導体記憶装置。

【請求項 17】

請求項 16 において、

前記負荷トランジスタ対の一方と、前記負荷トランジスタ対の他方とが、異なるウエル層内に形成されていることを特徴とする半導体記憶装置。

【請求項 18】

複数のトランジスタを含んでなるスタティック型メモリセルが列方向および行方向に配列されてなり、メモリセルアレイとして機能する半導体記憶装置であって、

前記メモリセルにアクセスするためのビット線を複数有し、

前記複数のビット線の一つに接続された複数のメモリセルを構成する同一の列内に形成された各々のトランジスタが共通して設けられている第 1 ウエル層と、

前記複数のビット線の他の線に接続された複数のメモリセルを構成する同一の列内に形成された各々のトランジスタが共通して設けられた第 2 ウエル層とを有し、前記第 1 ウエル層の電位が前記第 2 ウエル層の電位と異なる電位に制御されることを特徴とする半導体記憶装置。

【請求項 19】

請求項 18 において、

データを書き込むためにアクセスされたメモリセルが存在する列に接続されたメモリセル内に形成された第 2 の導電型チャネルを有するトランジスタのウエル電位は、アクセスされるメモリセルが存在しない列に接続されたメモリセル内に形成された第 2 の導電型チャネルを有するトランジスタのウエル電位よりも低い電位に制御されることを特徴とする半導体記憶装置。

【請求項 20】

請求項 18 において、

データを書き込むためにアクセスされたメモリセルが存在する列に接続されたメモリセル内に形成された第１の導電型チャネルを有するトランジスタのウエル電位は、アクセスされるメモリセルが存在しない列に接続されたメモリセル内に形成された第１の導電型チャネルを有するトランジスタのウエル電位よりも低い電位に制御されることを特徴とする半導体記憶装置。