



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G02F 1/136 (2006.01)

(45) 공고일자

2007년03월09일

(11) 등록번호

10-0690409

(24) 등록일자

2007년02월27일

(21) 출원번호 10-1999-0043000
 (22) 출원일자 1999년10월06일
 심사청구일자 2004년10월06일

(65) 공개번호 10-2000-0028864
 (43) 공개일자 2000년05월25일

(30) 우선권주장 10-285206 1998년10월07일 일본(JP)

(73) 특허권자 가부시키가이샤 아드반스트 디스프레이
 일본국 쿠마모토켄 코우시시 미요시 997

(72) 발명자 나카무라노부히로
 일본국구마모토켄기쿠치군니시고오시마찌미요시997반지가부시키가이
 샤아드반스트디스프레이이나이

야부시타코우지
 일본국구마모토켄기쿠치군니시고오시마찌미요시997반지가부시키가이
 샤아드반스트디스프레이이나이

이토오사무
 일본국구마모토켄기쿠치군니시고오시마찌미요시997반지가부시키가이
 샤아드반스트디스프레이이나이

(74) 대리인 권태복
 이화의

심사관 : 박남현

전체 청구항 수 : 총 12 항

(54) 전기광학소자 및 전기광학소자의 제조방법

(57) 요약

A1 또는 A1합금 등의 부식되기 쉬운 금속을 저장 용량 배선에 사용한 전기광학소자의 제조방법에 있어서, 후속 화소 에칭 공정에서의 저장 용량 배선의 부식단선을 방지한다. 절연기관 상에 제 1 금속으로 게이트 배선(1), 저장 용량 전극(2), 저장 용량 배선군(3)을 형성할 때, 각 저장 용량 배선은 서로 분리된 상태에서 형성된다. 이어서 제 1 절연막, 반도체능동막, 오믹막을 성막, 반도체능동막, 오믹막을 패터닝하고, 이어서 도전막을 성막, 패터닝하여 화소전극을 형성한다. 이때 저장 용량 배선을 분리하여 형성한 것에서, 상기 절연막에 막 결손이 있는 경우라도, 저장 용량 배선의 부식단선을 방지할 수 있다. 그 후, 저장 용량 배선의 양단에 콘택홀(7a, 7b)를 형성하고, 이어서 제 2 금속으로 소스배선, 드레인 전극, 접합 인출 배선(10a, 10b)을 형성하며, 그 후 TFT 채널부의 오믹막을 제거하여, 제 2 절연막을 성막하고, 이어서 게이트 단자, 소스 단자 IC 접속부의 절연막을 제거한다.

대표도

도 1

특허청구의 범위**청구항 1.**

대향 배치된 한 쌍의 기판 사이에 전기광학재료가 삽입되어 있고,

상기 기판의 하나 상에 형성된 게이트 배선과, 상기 게이트 배선과 동일층 상에 형성되고, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성을 중 어느 하나를 사용한 다층 금속막으로 형성된 저장 용량 배선군과, 상기 게이트 배선 및 상기 저장 용량 배선군을 덮도록 상기 기판 상에 형성된 게이트 절연층과, 상기 게이트 절연층 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 접속된 화소전극과, 상기 게이트 배선과 교차하여 적어도 상기 게이트 절연층을 통해 상기 기판 상에 형성된 소스배선과, 상기 게이트 절연층에 설치된 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두를 서로 전기적으로 접속하기 위해서 상기 게이트 절연층 상에 형성된 집합 인출 배선을 구비한 것을 특징으로 하는 전기광학소자.

청구항 2.

대향 배치된 한 쌍의 기판 사이에 전기광학재료가 삽입되어 있고,

상기 기판의 하나 상에 형성된 게이트 배선과, 상기 게이트 배선과 동일층 상에 형성되고, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성을 중 어느 하나를 사용한 다층 금속막으로 형성된 저장 용량 배선군 및 집합 인출 배선과, 상기 게이트 배선, 상기 저장 용량 배선군 및 상기 집합 인출 배선을 덮도록 상기 기판 상에 형성된 게이트 절연층과, 상기 게이트 절연층 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 접속된 화소전극과, 상기 게이트 배선과 교차하여 적어도 상기 게이트 절연층을 통해 상기 기판 상에 형성된 소스배선과, 상기 게이트 절연층에 설치된 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두와 상기 집합 인출 배선을 서로 전기적으로 접속하기 위해서 상기 게이트 절연층 상에 형성된 금속패턴을 구비한 것을 특징으로 하는 전기광학소자.

청구항 3.

제 1 항에 있어서,

상기 저장 용량 배선군이 Al, Al 합금 또는 적어도 그들을 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자.

청구항 4.

제 2 항에 있어서,

상기 저장 용량 배선군 및 상기 집합 인출 배선이 Al, Al 합금 또는 적어도 그들을 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자.

청구항 5.

제 2 항에 있어서,

상기 저장 용량 배선군과 상기 집합 인출 배선 패턴 사이에 돌기형으로 대치한 패턴을 가진 구조인 것을 특징으로 하는 전기광학소자.

청구항 6.

대향 배치된 한 쌍의 기판 사이에 전기광학재료가 삽입되어 있고,

상기 기판의 하나 상에 형성된 게이트 배선과, 상기 게이트 배선과 동일층 상에 형성되고, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성들 중 어느 하나를 사용한 다층 금속막으로 형성된 저장 용량 배선군과, 상기 게이트 배선 및 상기 저장 용량 배선을 덮도록 상기 기판 상에 형성된 게이트 절연층과, 상기 게이트 절연층 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 접속된 화소전극과, 상기 게이트 배선과 교차하여 적어도 상기 게이트 절연층을 통해 상기 기판 상에 형성된 소스배선과, 상기 박막 트랜지스터를 덮도록 형성된 보호 절연층과, 상기 게이트 절연층 및 상기 보호 절연층에 설치된 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두를 서로 전기적으로 접속하기 위해서 상기 보호 절연층 상에 형성된 집합 인출 배선을 구비하고, 또한 상기 집합 인출 배선이 상기 기판에서 대향기판으로 대향기판 전위를 공급하기 위해서 상기 기판과 대향기판 사이에 삽입된 부분에 형성되는 트랜스퍼 전극과 동일 재료로 형성된 것을 특징으로 하는 전기광학소자.

청구항 7.

기판 상에 게이트 배선을 배치하는 단계와, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성들 중 어느 하나를 사용한 다층 금속막의 저장 용량 배선군을 배치하는 단계와, 상기 게이트 배선 및 상기 저장 용량 배선군을 덮도록 상기 기판 상에 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층 상에 투명 도전층을 형성하는 단계와, 상기 투명 도전층의 웨트 에칭을 실시한 후, 상기 절연층에 콘택홀을 설치하는 단계와, 상기 게이트 배선과 교차하도록 적어도 상기 게이트 절연층을 통해 상기 기판 상에 소스배선을 배치하는 단계와, 상기 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두를 서로 전기적으로 접속하는 집합 인출 배선을 배치하는 단계를 포함한 것을 특징으로 하는 전기광학소자의 제조방법.

청구항 8.

기판 상에 게이트 배선을 배치하는 단계와, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성들 중 어느 하나를 사용한 다층 금속막의 저장 용량 배선군 및 집합 인출 배선을 배치하는 단계와, 상기 게이트 배선, 상기 저장 용량 배선군 및 상기 집합 인출 배선을 덮도록 상기 기판 상에 게이트 배선층을 형성하는 단계와, 상기 게이트 절연층 상에 투명 도전층을 형성하는 단계와, 상기 투명 도전층의 웨트에칭을 실시한 후, 상기 절연층에 콘택홀을 설치하는 단계와, 상기 게이트 배선과 교차하도록 적어도 상기 게이트 절연층을 통해 상기 기판 상에 소스배선을 배치하는 단계와, 상기 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두와 상기 집합 인출 배선을 서로 전기적으로 접속하는 금속패턴을 배치하는 단계를 포함한 것을 특징으로 하는 전기광학소자의 제조방법.

청구항 9.

제 7 항에 있어서,

상기 저장 용량 배선군이 Al, Al 합금 또는 적어도 그것들 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자의 제조방법.

청구항 10.

제 8 항에 있어서,

상기 저장 용량 배선군 및 집합 인출 배선이 AI, AI 합금 또는 적어도 그들을 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자의 제조방법.

청구항 11.

제 8 항에 있어서,

상기 저장 용량 배선의 하나의 종단부에 돌기형의 패턴을 설치하는 단계와, 상기 집합 인출 배선의 상기 저장 용량 배선에 설치한 돌기형 패턴과 대치한 개소에 돌기형 패턴을 배치하는 단계를 더 포함한 것을 특징으로 하는 전기광학소자의 제조방법.

청구항 12.

기판 상에 게이트 배선을 배치하는 단계와, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성들 중 어느 하나를 사용한 다층 금속막의 저장 용량 배선군을 배치하는 단계와, 상기 게이트 배선 및 상기 저장 용량 배선군을 덮도록 상기 기판 상에 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층 상에 투명 도전층을 형성하는 단계와, 상기 투명 도전층의 웨트 에칭을 실시한 후 상기 절연층에 콘택홀을 설치하는 단계와, 상기 게이트 배선과 교차하도록 적어도 상기 게이트 절연층을 통해 상기 기판 상에 소스배선을 배치하는 단계와, 상기 소스배선을 덮도록 보호 절연층을 형성하는 단계와, 상기 게이트 절연층 및 보호 절연막에 콘택홀을 형성하는 단계와, 상기 기판에서 대향기판으로 대향기판 전위를 공급하기 위해서 상기 기판 상에 형성된 트랜스퍼 전극과 동일 재료로 상기 집합 인출 배선 모두와 상기 콘택홀을 통해 전기적으로 접속하는 집합 인출 배선을 형성하는 단계를 포함한 것을 특징으로 하는 전기광학소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(TFT)를 스위칭 소자에 사용한 액티브 매트릭스형 액정표시장치(TFT-LCD)의 제조방법에 관한 것이다. 특히, 저장 용량(storage capacitance) 배선군 또는 집합 인출 배선에 부식성이 높은 금속재료를 적용한 경우에 있어서, 후속 투명 도전층 에칭공정에서의 저장 용량 배선군의 부식을 방지하기 위한 것이다.

액정을 사용한 전기광학소자는 디스플레이로의 응용이 활발히 이루어지고 있다. 액정을 사용한 전기광학소자는 일반적으로, 상하에 전극을 구비한 2장의 기판 사이에 액정을 삽입한 구성의 것에, 더 상하에 편광판을 설치한構성을 취하고, 투과형의 전기광학소자에서는 배면에 백라이트가 설치된다. 상하의 전극기판의 표면은 소위 배향처리가 행해지고, 액정분자의 평균적인 방향인 디렉터(director)는 소망의 초기 상태로 제어된다. 액정에는 복굴절성이 있기 때문에, 백라이트로부터 편광판을 통해서 입사된 빛은 복굴절에 의해 타원 편광으로 변화되어, 반대측의 편광판에 입사된다. 이 상태에서, 상하의 전극 사이에 전압을 인가하면, 디렉터의 배열상태가 변화함으로써, 액정층의 복굴절율이 변화하고, 반대측의 편광판에 입사되는 타원 편광 상태가 변화하며, 더 나아가서 전기광학소자를 투과하는 광강도 및 스펙트럼이 변화한다. 이 전기광학효과는 사용될 액정층의 종류, 초기 배향상태, 편광판의 편광축의 방향, 액정층의 두께 또는 빛이 투과하는 도중에 배치되는 칼라필터나 각종 간섭필름에 의해서 변화되지만, 이것들은 공지의 문헌 등에 의해서 상세히 보고되어 있다. 일반적으로는 네마티ック(nematic) 액정층을 사용하여 TN, STN라고 불리는 구성의 것이 사용된다.

액정을 사용한 디스플레이용 전기광학소자에는, 단순 매트릭스형의 것과, TFT를 스위칭소자로서 사용하는 TFT-LCD가 있다. 휴대성, 표시품위의 관점에서, CRT나 단순 매트릭스형 액정표시장치보다 뛰어난 특징을 가진 TFT-LCD가 노트북 컴퓨터 등에 널리 실용화되어 있다. TFT-LCD에서는, 일반적으로 TFT를 어레이형으로 형성한 TFT 어레이기판과 공통 전극이 형성된 칼라 필터 부착의 대향 기판과의 사이에 액정을 삽입한 구성의 상하에 편광판이 설치되고, 더 나아가서 배후에 백라이트를 설치한 구성을 취한다. 이러한 구성에 의해서 양호한 칼라 표시를 얻을 수 있는 특징을 가진다.

TFT-LCD에서는 액정에 전압을 인가하기 위해서, 게이트 라인의 선택시간 내에 TFT를 온상태로 하고, 소스배선으로부터 화소전극에 전하를 유입하며, 화소전위를 소스배선과 동전위로 한다. 그 후 게이트가 비선택상태로 되면, TFT는 오프상태로 되어 화소의 전하가 유지되지만, 실제로는 TFT이나 액정 내의 리이크 전류에 의해 화소의 전하량이 감소하여, 결과적으로는 화소의 전위가 감소한다. 이것들의 화소전위의 변동을 막기 위해서, 통상은 저장 용량을 제공하여 단위 전하량의 변화에 대한 화소전위의 변화량이 작아지도록 한다. 저장 용량은 크게 나누면, 전단 게이트와 화소전극으로 형성하는 경우(부가 용량형)와, 전용의 배선과 화소전극으로 형성하는 경우(저장 용량 배선형)가 있다. 부가 용량형에서는 저장 용량 배선형과 같은 전용배선이 불필요하기 때문에 개구율이 커질 수 있는 반면, 게이트 배선이 저장 용량 배선을 겹하기 때문에 전류부하가 커진다. 이 때문에 대형 패널에서는, 배선저항 및 저장 용량의 총계가 커지기 때문에, 게이트 배선 부하감소를 위해, 저장 용량 배선을 사용하는 경우가 일반적이다. 저장 용량 배선을 사용한 TFT 어레이 기판의 개념도를 도10에 나타낸다. 여기에 1은 게이트 배선, 8은 소스 배선, 3은 저장 용량 배선, 10a 및 10b는 저장 용량 배선에 전압을 인가하기 위한 집합 인출 배선이다. 한편 배선저항을 감소하기 위해서, 저저항 배선재료를 적용하는 시도가 이루어지고 있다. 역스태거형 TFT의 게이트 배선 및 저장 용량 배선에 Al, 또는 AlSiCu, AlCu등의 Al 합금을 적용하는 경우, 배선패턴 상에 절연막을 성막했을 때 힐록(hillock)을 발생하거나, 후속 공정에서, 화소 패턴에 칭시에 사용하는 강산에 의해서 부식되는 등의 문제가 발생한다. 이것들의 문제를 회피하기 위해서, 종래기술에서는 Al 또는 상기 Al 합금배선을 Cr 또는 Mo 등의 고용점 금속 패턴으로 피복하여 힐록을 방지하거나, Al 또는 Al 합금을 양극 산화하여 힐록 및 강산에 의한 부식을 방지하는 시도가 이루어지고 있다. 이 경우에는 사진 제판 공정수나 양극 산화 공정이 증가하기 때문에 생산성이 저하한다. 다른 한편 힐록을 방지하기 위해서 AlZr나 AlTa 등의 AI 합금을 사용하는 시도가 이루어지고 있지만, 이것들의 경우에는 비저항이 증가해 버려, Cr 등의 고용점 금속과 같은 정도의 저항으로 되어 버린다. 또한 최근에 와서 특허번호 제2733006호 공보에 개시된 바와 같이 AlNd에서는 상기 AlZr과 같이 비저항의 증가를 따르지 않고서 힐록을 방지할 수 있는 배선재료가 개발되고 있다. 이하에 도 8 및 도 9는, 게이트 배선 및 저장 용량 배선에 AlNd를 사용한 종래의 방법으로 제조된 TFT 어레이기판의 제조방법을 나타낸다.

유리기판 상에 AlNd를 스파터로 200nm 성막한 후, 인산·아세트산·초산의 혼합액으로 웨트 에칭하여, 게이트 배선(1), 저장 용량 전극(2), 저장 용량 배선(3)을 형성한다. 이때 저장 용량 배선은 게이트 단자 반대측의 집합 인출 배선 3a에 접속되어 있다. 이어서 게이트 절연막(4)으로서 SiN을 400nm, 반도체층 a-Si 150nm, P 도우프한 a-Si 불순물층 30nm을 플라즈마 CVD로 연속 성막한 후, 상기 불순물층 및 반도체층을 패터닝하여 게이트 배선 상에 반도체 패턴(5)을 형성한다. 그 후, 화소 전극막 100nm을 성막하여, 염산·초산 등의 혼합 산으로 패터닝하여, 화소전극(6)을 형성한다. 이어서 게이트 단자측의 저장 용량 배선단의 게이트 절연막에 콘택홀(7a)를 형성한다. 그 후 소스배선(8), 드레인 전극(9)용에 Cr 400nm을 연속 성막한 후, 패터닝한다. 그 후, 채널부의 상기 불순물층을 드라이 에칭으로 제거한다. 최후에 SiN 400nm을 보호막(11)으로서 성막하고, 단자부의 SiN을 제거한다.

게이트 절연막(4)에 막 결손이 있는 경우에는, 화소전극 에칭시, 강산에 의해, 부식 단선된다. 최근, 성막장치의 개량 등에 의해, 먼지가 줄어, 결과적으로 게이트 절연막의 큰 막 결손은 거의 발생하지 않은 상태에 있지만, 다른 한편 미소한 게이트 절연막 결손이나 게이트 배선 단자를 게이트 절연막으로 피복하는 경우, 게이트 단자부에서의 게이트 절연막의 커버리지(coverage)가 나쁜 개소이면, 그것들이 원인이 되어, 배선이 부식되는 경우가 있다. 이와 같이 저저항에서 힐록의 발생이 없는 배선재료가 개발되고 있고, 그것을 공통 저장 용량 배선에 사용하는 경우에, 상술한 바와 같이 부식에 의한 배선단선이 문제로 되고 있다.

특히, 공통 저장 용량 배선의 단선에 관해서는, 저장 용량 배선 신호가 배선 양단으로부터 입력되어 있어, 전기적으로 단선이 검출되지 않고서 패널 점등시에 해당 게이트 라인의 화소가 휘선 결함을 나타내기 때문에, 극력 단선을 적게 할 필요가 있다. 저장 용량 배선 및 집합 인출 배선패턴에 관해서는 특개평 3-72321호 공보에, 저장 용량 배선의 신호지연을 개선하기 위해서, 도 10에 나타낸 바와 같이, 저장 용량 배선이 패널양단에 설치된 집합 인출 배선으로부터 공급되는 예가 개시되어 있지만, 저장 용량 배선에 Al 등의 부식되기 쉬운 금속을 사용하였을 때에 문제로 되는 투명 도전층의 웨트 에칭시의 저장 용량 배선의 부식에 관해서는 언급되어 있지 않다. 또한, 특개평 7-36061호 공보에는, 투명 도전층의 패터닝을 포함시킨 저장 용량 배선 및 집합 인출 배선의 패턴층이 개시되어 있지만, 저장 용량 배선에 Al 등의 부식되기 쉬운 금속을 사용하였을 때에 문제로 되는 투명 도전막의 웨트 에칭시의 저장 용량 배선의 부식에 관해서는 언급되어 있지 않다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기에 설명한 바와 같이, 저장 용량 배선에 Al 등의 부식되기 쉬운 금속을 사용하였을 때, 투명 도전층의 웨트 에칭시에 발생하는 저장 용량 배선의 부식 및 단선을 방지하는 것을 목적으로 한다.

발명의 구성

해당 과제를 해결하기 위한 청구항 1에 기재되어 있는 본 발명에 관한 전기광학소자는 대향 배치된 한 쌍의 기판 사이에 전기광학재료가 삽입되어 있고, 상기 기판의 하나 상에 형성된 게이트 배선과, 상기 게이트 배선과 동일층 상에 형성되고, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성을 중 어느 하나를 사용한 다층 금속막으로 형성된 저장 용량 배선군과, 상기 게이트 배선 및 상기 저장 용량 배선군을 덮도록 상기 기판 상에 형성된 게이트 절연층과, 상기 게이트 절연층 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 접속된 화소전극과, 상기 게이트 배선과 교차하여 적어도 상기 게이트 절연층을 통해서 상기 기판 상에 형성된 소스 배선과, 상기 게이트 절연층에 설치된 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두를 서로 전기적으로 접속하기 위해서 상기 게이트 절연층 상에 형성된 집합 인출 배선을 구비한 전기광학소자이다. 여기서 본 명세서 중에 사용되는 「분리한다」란, 복수개의 저장 용량 배선군의 배선 모두를 전기적으로도 기계적으로도 분리시키는 것이 좋고, 바람직하게는, 개개의 배선을 $3\mu\text{m}$ 이상의 간격을 유지하여 배치시키는 것을 말한다. 본 명세서 중에 사용되는 「부식 방지 처리」란, 아래와 같다. 각 배선이 서로 분리되어 있지 않은 경우에서는, 투명 도전층의 웨트 에칭시, 배선 전체의 용량이 큰 것에 의해, 배선 전위가 변동하기 어렵기 때문에, 그 결과, 게이트 절연막의 미소 결손부에 스며든 에칭액과 배선 금속과의 전위차가 커져, 배선 금속 표면의 산화막 및 배선 금속 자신이 부식되지만, 배선을 분리함으로써, 배선 금속의 용량이 작아지기 때문에, 그 결과 게이트 절연막의 미소 결손부에 스며든 에칭액과 배선 금속과의 전위차를 작게 억제하는 것이 가능해지고, 가령 게이트 절연막에 직경 $5\mu\text{m}$ 이하의 막 결손이 있는 경우라도, 배선에 부식이 발생하지 않은 상황을 말한다.

해당 과제를 해결하기 위한 청구항 2항에 기재되어 있는 본 발명에 관한 전기광학소자는, 대향 배치된 한 쌍의 기판 사이에 전기광학재료가 삽입되어 있고, 한편의 기판 상에 형성된 게이트 배선과, 상기 게이트 배선과 동일층 상에 형성되고, 서로 분리함으로써 부식 방지 처리가 시행된 부식성 금속 또는 적어도 그것들 중 어느 하나를 사용한 다층 금속막으로 형성된 저장 용량 배선군 및 집합 인출 배선과, 상기 게이트 배선, 상기 저장 용량 배선군 및 상기 집합 인출 배선을 덮도록 상기 기판 상에 형성된 게이트 절연층과, 상기 게이트 절연층 상에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 전기적으로 접속된 화소전극과, 상기 게이트 배선과 교차하여 적어도 상기 게이트 절연층을 통해 상기 기판 상에 형성된 소스배선과, 상기 게이트 절연층에 설치된 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두와 상기 집합 인출 배선을 서로 전기적으로 접속하기 위해서 상기 게이트 절연층 상에 형성된 금속패턴을 구비한 전기광학소자이다.

해당 과제를 해결하기 위한 청구항 3항에 기재되어 있는 본 발명에 관한 전기광학소자는 청구항 1에 있어서 상기 저장 용량 배선군이 A1, A1 합금 또는 적어도 그것들 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자이다.

해당 과제를 해결하기 위한 청구항 4항에 기재되어 있는 본 발명에 관한 전기광학소자는 청구항 2에 있어서 상기 저장 용량 배선군 및 상기 집합 인출 배선이 A1, A1 합금 또는 적어도 그것들 중 어느 하나를 사용한 다층금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자이다.

해당 과제를 해결하기 위한 청구항 5항에 기재되어 있는 본 발명에 관한 전기광학소자는 청구항 2에 있어서 상기 저장 용량 배선군과 상기 집합 인출 배선패턴 사이에 돌기형으로 대치한 패턴을 가진 구조인 것을 특징으로 하는 전기광학소자이다.

해당 과제를 해결하기 위한 청구항 6항에 기재되어 있는 본 발명에 관한 전기광학소자는 대향 배치된 한 쌍의 기판 사이에 전기광학재료가 삽입되어 있고, 상기 기판의 하나 상에 형성된 게이트 배선과, 상기 게이트 배선과 동일층 상에 형성되고, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성을 중 어느 하나를 사용한 다층 금속막으로 형성된 저장 용량 배선군과, 상기 게이트 배선 및 상기 저장 용량 배선을 덮도록 상기 기판 상에 형성된 게이트 절연층과, 상기 게이트 절연층 상에 형성된 박막 트랜지스터를 덮도록 형성된 보호 절연층과, 상기 게이트 절연층 및 상기 보호 절연층에 설치된 콘택홀에 의해서 상기 저장 용량 배선 모두를 서로 전기적으로 접속하기 위해서 상기 보호 절연층 상에 형성된 집합 인출 배선을 구비하고, 또한 상기 집합 인출 배선이 상기 기판에서 대향 기판으로 대향 기판전위를 공급하기 위해서 상기 기판과 대향 기판에 삽입된 부분에 형성되는 트랜스퍼 전극과 동일 재료로 형성된 전기광학소자이다.

해당 과제를 해결하기 위한 청구항 7항에 기재되어 있는 본 발명에 관한 전기광학소자의 제조방법은 기판 상에 게이트 배선을 배치하는 동시에, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성을 중 어느 하나를 사용한 다층 금속막의 저장 용량 배선군을 배치하고, 상기 게이트 배선 및 상기 저장 용량 배선군을 덮도록 상기 기판 상에 게이트 절연층을 형성 하며, 상기 게이트 절연층에 투명 도전층을 형성하고, 상기 투명 도전층의 웨트 에칭을 실시한 후, 상기 절연층에 콘택홀을 설치하는 동시에, 상기 게이트 배선과 교차하도록 적어도 상기 게이트 절연층에 콘택홀을 설치하는 동시에 상기 게이트 배

선과 교차하도록 적어도 상기 게이트 절연층을 통해 상기 기판 상에 소스배선을 배치하며, 동시에 상기 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두를 서로 전기적으로 접속하는 집합 인출 배선을 배치하는 것을 특징으로 하는 전기광학소자의 제조방법이다.

해당 과제를 해결하기 위한 청구항 8항에 기재되어 있는 본 발명에 관한 전기광학소자의 제조방법은 기판 상에 게이트 배선을 배치하는 동시에, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성들 중 어느 하나를 사용한 다층 금속막의 상기 저장 용량 배선군 및 집합 인출 배선을 배치하고, 상기 게이트 배선, 상기 저장 용량 배선군 및 상기 집합 인출 배선을 덮도록 상기 기판 상에 게이트 절연층을 형성하며, 상기 게이트 절연층 상에 투명 도전층을 형성하고, 상기 투명 도전층의 웨트 에칭을 실시한 후, 상기 절연층에 콘택홀을 설치하는 동시에, 상기 게이트 배선과 교차하도록 적어도 상기 게이트 절연층을 통해 상기 기판 상에 소스배선을 배치하며, 동시에 상기 콘택홀에 의해서 상기 저장 용량 배선군의 배선 모두와 상기 집합 인출 배선을 서로 전기적으로 접속하는 금속 패턴을 배치하는 것을 특징으로 하는 전기광학소자의 제조방법이다.

해당 과제를 해결하기 위한 청구항 9항에 기재되어 있는 본 발명에 관한 전기광학소자의 제조방법은 청구항 7에 있어서 상기 저장 용량 배선군이 Al, Al 합금 또는 적어도 그것들 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자의 제조방법이다.

해당 과제를 해결하기 위한 청구항 10항에 기재되어 있는 본 발명에 관한 전기광학소자의 제조방법은 청구항 8에 있어서 상기 저장 용량 배선군 및 집합 인출 배선이 Al, Al 합금 또는 적어도 그것들 중 어느 하나를 사용한 다층 금속으로 형성되어 있는 것을 특징으로 하는 전기광학소자의 제조방법이다.

해당 과제를 해결하기 위한 청구항 11항에 기재되어 있는 본 발명에 관한 전기광학소자의 제조방법은 청구항 8에 있어서 상기 저장 용량 배선군의 하나의 종단부에 돌기형의 패턴을 설치하고, 또한 상기 집합 인출 배선의 상기 저장 용량 배선군에 설치한 돌기형 패턴과 대치한 개소에 돌기형 패턴을 배치하는 것을 특징으로 하는 청구항 8에 기재된 전기광학소자의 제조방법이다.

해당 과제를 해결하기 위한 청구항 12항에 기재되어 있는 본 발명에 관한 전기광학소자의 제조방법은 기판 상에 게이트 배선을 배치하는 동시에, 각각을 서로 분리한 복수의 부식성 금속 또는 상기 부식성들 중 어느 하나를 사용한 다층 금속막의 상기 저장 용량 배선군을 배치하고, 상기 게이트 배선 및 상기 저장 용량 배선군을 덮도록 상기 기판 상에 게이트 절연층을 형성하며, 상기 게이트 절연층 상에 투명 도전층을 형성하고, 상기 투명 도전층의 웨트 에칭을 실시한 후, 상기 절연층에 콘택홀을 설치하는 동시에, 상기 게이트 배선과 교차하도록 적어도 상기 게이트 절연층을 통해 상기 기판 상에 소스배선을 배치하며, 상기 소스 배선을 덮도록 보호 절연층을 형성하고, 상기 게이트 절연층 및 보호 절연막에 콘택홀을 형성하며, 상기 기판에서 대향기판으로 대향기판 전위를 공급하기 위해서 상기 기판 상에 형성된 트랜스퍼 전극과 동일재료로 상기 집합 인출 배선 모두와 상기 콘택홀을 통해 전기적으로 접속하는 집합 인출 배선을 형성하는 것을 특징으로 하는 전기광학소자의 제조방법이다.

(실시예)

실시예 1

실시예 1의 집합 인출 배선, 저장 용량 배선군 및 화소영역의 평면도를 도 1에, 도 1 중 A-A에서의 단면도를 도 2에 나타낸다. 이하에 청구항 제 1 항의 실시예의 제조방법에 관해서 상세히 서술한다. 우선, 절연성 기판으로서 0.7mm 두께의 유리기판을 세정하여 표면을 청정화한다. 절연성 기판에는 전기광학소자를 투과형으로 구성하는 경우에는, 유리기판 등의 투명한 절연성 기판을 사용한다. 또한, 전기광학소자를 반사형으로 구성하는 경우에는, 유리기판 정도의 절연성을 가진 절연성 기판을 사용할 수 있다. 또한, 절연성 기판의 두께는 임의로 선택되는 것이 바람직하지만, 전기광학소자의 두께를 얇게 하기 위해서는, 0.7mm 두께 또는 1.1mm 두께 정도의 것이 바람직하다. 절연성 기판이 지나치게 얇은 경우에는 각종의 성막이나 프로세스의 열이력(thermal hysteresis)에 의해서 기판의 왜곡이 생겨 패터닝 정밀도가 나빠지는 등의 결점을 발생하기 때문에, 절연성 기판의 두께는 사용하는 프로세스를 고려하여 선택해야 한다. 또한, 절연성 기판이 유리 등의 부서지기 쉬운 파괴재료로 이루어져 있는 경우, 기판의 단면은 모서리 깎기(chamfering)를 실시해 두는 것이, 단면으로부터의 치핑(chipping)에 의한 이물질의 혼입을 방지하는 데에 있어서 바람직하다. 또한, 절연성 기판의 일부에 노치(notch)를 제공하여 기판의 방향이 특정할 수 있도록 하는 것이, 각 프로세스에서의 기판처리의 방향이 특정할 수 있는 것에서 프로세스 관리를 쉽게 하는 것보다 바람직하다.

다음에, 스파터 등의 방법으로 제 1 금속 박막을 성막한다. 제 1 금속 박막으로서는, 예를 들면 Mo 또는 AlZr, AlNd 등의 Al 합금으로 100nm에서 300nm 정도의 막두께의 박막을 사용할 수 있다. 예를 들면 AlNd의 경우, Nd의 농도는 배선저항

을 낮게 하고, 또한 힐록 발생을 방지하기 위해서 1~3중량%정도가 바람직하다. 또한, 제 1 금속 박막으로서, Cr/Al 또는 Cr/A1 SiCu 등의 이종 금속 박막을 적층한 금속박막이나 막두께 방향으로 조성이 다른 금속 박막을 사용하는 것도 가능하다.

다음에, 제 1 사진제판·패턴공정에서 제 1 금속박막을 패터닝하여 게이트 전극 및 배선(1), 저장 용량 전극(2) 및 저장 용량 배선군(3)을 형성한다. 이때 각 저장 용량 배선군은 서로 분리된 상태에서 형성한다. 사진제판공정은 TFT 어레이 기판을 세정한 후, 감광성 레지스트를 도포·건조한 후에, 소정의 패턴이 형성된 마스크패턴을 통해서 노광하여, 현상함으로써 사진제판적으로 TFT 어레이 기판 상에 마스터 패턴을 전사한 레지스트를 형성하고, 감광성 레지스트를 가열 경화시킨 후에 에칭을 행하여, 감광성 레지스트의 박리를 행한다. 제 1 금속막의 에칭은, 예를 들면 Mo, AlNd, AlZr의 경우이면, 인산, 아세트산, 초산의 수용액에 의한 웨트에칭으로 행하고, 또한 Mo의 경우는 CF_4 과 산소가스를 사용한 드라이 에칭으로, AlNd, AlZr의 경우는 염소가스와 산소가스를 사용한 드라이 에칭도 적용가능하다.

다음에, 플라즈마 CVD에 의해 제 1 절연막(4), 반도체능동막, 오믹 콘택막을 연속으로 성막한다. 게이트 절연막으로 되는 제 1 절연막(4)으로서는 SiN_x 막, SiO_x 막, SiO_xNy 막이나 이것들의 적층막이 사용된다. 제 1 절연막의 막두께는 300nm에서 600nm 정도로 한다. 막두께가 얇은 경우에는 게이트 배선과 소스배선의 교차부에서 단락이 발생하기 쉬워, 제 1 금속 박막의 두께정도 이상으로 하는 것이 바람직하다. 막두께가 두꺼운 경우에는 TFT의 ON 전류가 작아져서 표시특성이 악화되기 때문에, 막 두께를 얇게 하는 것이 바람직하다. 반도체능동막은 비결정질 실리콘(a-Si)막, 폴리 실리콘(p-Si)막이 사용된다. 반도체능동막의 막두께는 100nm에서 300nm정도로 한다. 막두께가 얇은 경우에는 후술하는 오믹 콘택막의 드라이 에칭시의 깊이의 제어성과 필요한 TFT의 ON 전류에 근거하여 막두께를 선택한다. 반도체능동막으로서 a-Si 막을 사용하는 경우에는 게이트 절연막의 a-Si막과의 계면은 SiN_x 막 또는 SiO_xNy 막으로 하는 것이 TFT의 V_{th} 의 제어성 및 신뢰성상 바람직하다. 반도체능동막으로서 p-Si막을 사용하는 경우에는 게이트 절연막과의 계면 부근을 성막 레이트가 작은 조건에서 성막하고, 상충부를 성막 레이트가 큰 조건에서 성막하는 것이, 얇은 성막시간에서 이동도가 큰 TFT 특성을 얻을 수 있는 것과, TFT의 오프시의 리이크 전류를 작게 할 수 있는 것보다 바람직하다. 오믹 콘택막으로서는, a-Si나 p-Si에 인을 미량으로 도핑한 n^+ a-Si막, n^+ p-Si막이 사용된다. 오믹 콘택막의 막두께는 20nm에서 70nm정도로 할 수 있다. 이것들의 SiN_x 막, SiO_x 막, SiO_xNy 막, a-Si막, p-Si막, n^+ a-Si막, n^+ p-Si막은 공지의 가스를 사용하여 성막하는 것이 가능하다.

다음에, 제 2 사진제판·에칭공정에서 반도체능동막 및 오믹 콘택막을 패터닝하여 TFT부의 반도체 패턴(5)을 형성한다. 반도체능동막 및 오믹 콘택막의 에칭은 예를 들면 SF_6 과 산소 가스로 드라이에칭에 의해 행한다. 다음에, 스패터 등의 방법으로 도전성 박막을 성막한다. 도전성 박막으로서는, 전기광학소자를 투과형으로 구성하는 경우에는 투명 도전막인 ITO, SnO_2 등을 사용할 수 있고, 특히 화학적 안정성 때문에 ITO가 바람직하다. 도전성 박막의 막두께는 50nm에서 200nm정도로 한다. 다음에 제 3 사진제판·에칭공정에서 투명 도전막을 패터닝하여, 화소전극(6)을 형성한다. 투명 도전막의 에칭은 염산과 초산의 혼합 산 등을 통상 사용하지만, 염화 제 2 철 수용액 등을 사용하는 것도 가능하다. 다음에 제 4 사진제판·에칭공정에서 게이트 절연막(4)을 에칭하고, 저장 용량 배선군의 게이트 단자측의 집합 인출 배선의 접속부(7a), 게이트 단자 반대측의 집합 인출 배선 접속부(7b), 게이트 배선 단자 접속부, 소스 배선 단자 접속부에 콘택홀을 형성한다. 콘택홀을 형성하기 위해서는 CF_4 과 산소의 혼합가스 또는 SF_6 과 산소의 혼합가스를 사용한 드라이 에칭이 행해진다. 다음에 Cr를 400nm 성막하고, 제 5 사진제판·에칭공정에서 소스배선(8), 드레인 전극(9), 게이트 단자측 집합 인출 배선(10a) 및 게이트 단자 반대측의 집합 인출 배선(10b)을 패터닝한다. 에칭에는 과염소산과 제 2 초산 셀륨 암모늄의 혼합 산을 사용한다. 이들을 패터닝한 후에 TFT 채널부에 있는 n^+ a-Si막 또는 n^+ p-Si막을 제거한다. 이어서 패시베이션막(11)을 성막한 후에, 제 6 사진제판·에칭공정에서, 게이트 단자, 소스단자의 구동 IC 접속부를 CF_4 과 산소가스를 사용한 드라이 에칭으로 노출시킨다. 이상의 공정에서 종래기술과 같이, 저장 용량 배선군이 집합배선에 접속되어 있는 경우, 화소전극 에칭시, 게이트 절연막에 국소적으로 결손이 있으면 거기에서 상기 에칭액이 저장 용량 배선군을 부식하여, 저장 용량 배선군의 단선을 발생시킨다. 청구항 제 1 항에 도시한 바와 같이 저장 용량 배선군과 집합배선을 서로 분리하여 형성해 두면, 게이트 절연막에 미소 결손이 있더라도 부식을 방지할 수 있다.

또한 특히 저장 용량 배선군은 Al, Al 합금 또는 적어도 그것들을 사용한 다층 금속으로 형성되어 있는 경우에는, 화소전극의 에칭시에 특히 부식되기 쉽기 때문에, 본 제조방법은 특히 유효하다.

실시예 2

실시예 2의 집합 인출 배선, 저장 용량 배선군 및 화소영역의 평면도를 도 3에, 도 3 중 B-B에서의 단면도를 도 4에 나타낸다. 이하에 청구항 제 2 항의 실시예의 제조방법에 관해서 상세히 서술한다. 또, 각 성막, 사진제판, 에칭에서 실시예 1과 중복하는 것은 생략하여 기록한다. 스파터 등의 방법으로 제 1 금속 박막을 성막한다. 제 1 금속 박막으로서는, 예를 들면 Mo 또는 AlZr, AlNd 등의 Al 합금으로 100nm에서 300nm 정도의 막두께의 박막을 사용할 수 있다. 예를 들면 AlNd의 경우, Nd의 농도는 배선저항을 낮게 하고, 또한 힐록발생을 방지하기 위해서 1~3중량%정도가 바람직하다. 또한, 제 1 금속 박막으로서, Cr/Al 혹은 Cr/Al SiCu 등의 이종 금속 박막을 적층한 금속박막이나 막두께방향으로 조성이 다른 금속 박막을 사용하는 것도 가능하다. 제 1 사진제판·에칭공정에서 제 1 금속박막을 패터닝하여 게이트 전극 및 배선(1), 저장 용량 전극(2) 및 저장 용량 배선군(3), 및 게이트 배선 단자 반대측의 집합 인출 배선(10b)을 형성한다. 이 때 각 저장 용량 배선 군(3) 및 게이트 반대 단자측 집합 인출 배선(10b)은 각각 서로 분리된다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에, 플라즈마 CVD에 의해 제 1 절연막(4), 반도체능동막, 오믹 콘택막을 연속으로 성막하고, 제 2 사진제판·에칭공정에서 반도체능동막 및 오믹 콘택막을 표시화소에 패터닝하여 TFT부의 반도체 패턴(5)을 형성한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다.

다음에, 스파터 등의 방법으로 도전성 박막을 성막하고, 제 3 사진제판·에칭공정에서 투명 도전막을 패터닝하여, 화소전극(6)을 형성한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에 제 4 사진제판·에칭공정에서 게이트 절연막(4)을 에칭하고, 저장 용량 배선군의 게이트 단자측의 집합 인출 배선 접속부(7a), 저장 용량 배선군의 게이트 단자 반대측 단부(7b), 게이트 단자 반대측의 집합 인출 배선 상부(7c), 게이트 배선 단자 접속부, 소스 배선 단자 접속부 상에 콘택홀을 형성한다. 이때의 사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에 Cr를 400nm 성막하고, 제 5 사진제판·에칭공정에서 소스배선(8), 드레인 전극(9), 게이트 단자측의 집합 인출 배선(10a) 및, 게이트 단자 반대측의 집합 인출 배선(10b)과 저장 용량 배선군(3)을 접속하는 패턴(10c)을 패터닝한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 이어서 패시베이션막(11)을 성막한 후에, 제 6 사진제판·에칭공정에서 게이트단자, 소스단자의 구동 IC 접속부를 노출시킨다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 이상의 공정에서 종래기술과 같이, 저장 용량 배선군이 집합배선에 접속되어 있는 경우, 화소전극 에칭시, 게이트 절연막에 국소적으로 결손이 있으면 거기에서 상기 에칭액이 저장 용량 배선군을 부식하여, 저장 용량 배선군의 단선을 발생시킨다. 청구항 제 2 항에 도시한 바와 같이 저장 용량 배선군과 집합배선을 서로 분리하여 형성해 두면, 게이트 절연막에 미소 결손이 있더라도 부식을 방지 할 수 있다. 또한 실시예 2에 있어서 저장 용량 배선군 형성시에 게이트 단자 반대측에 집합 인출 배선을 동시에 형성하기 때문에, 상기 전기광학소자 제조시에 발생하는 정전기에 대하여, 집합 인출 배선(10b)이 정전쉴드의 역할을 하여, 제조공정 중의 정전 파괴에 의한 소자파괴를 방지할 수 있다.

실시예 3

실시예 3의 집합 인출 배선, 저장 용량 배선 및 화소영역의 평면도를 도 5에 나타낸다. 본 실시예 3의 제조방법을 이하에 상세히 서술한다.

유리기판 상에 스파터 등의 방법으로 제 1 금속 박막을 성막한다. 제 1 금속 박막으로서는, 예를 들면 Mo 또는 AlZr, AlNd 등의 Al 합금으로 100nm에서 500nm 정도의 막두께의 박막을 사용할 수 있다. 예를 들면 AlNd의 경우 Nd의 농도는 배선 저항을 낮게 하고, 또한 힐록발생을 방지하기 위해서 1~3중량%정도가 바람직하다. 또한, 제 1 금속박막으로서, Cr/Al 또는 Cr/Al SiCu 등의 이종 금속 박막을 적층한 금속박막이나 막두께 방향으로 조성이 다른 금속 박막을 사용하는 것도 가능하다.

다음에, 제 1 사진제판·에칭공정에서 제 1 금속 박막을 게이트 전극 및 배선(1), 저장 용량 전극(2) 및 저장 용량 배선군(3), 게이트 단자 반대측의 집합 인출 배선(10b) 상에 패터닝하고, 저장 용량 배선군(3)과 게이트 단자 반대측의 집합 인출 배선(10b)의 대치한 부분에 돌기형 패턴(14)을 패터닝한다. 이 때 각 저장 용량 배선군 및 게이트 단자 반대측의 집합 인출 배선(10b)은 각각 서로 분리되고, 돌기형 패턴(14)은 사진제판에 의해 패턴 분리가능한 치수로 되도록 형성되며 그리고 서로 근접하도록 배치된다. 양산의 관점에서, 그 간극은 $3\mu m \sim 4\mu m$ 이 바람직하다. 다음에, 플라즈마 CVD에 의해 제 1 절연막(4), 반도체능동막, 오믹 콘택막을 연속으로 성막하고, 제 2 사진제판·에칭공정에서 반도체능동막 및 오믹 콘택막을 표시화소에 패터닝하여 TFT부의 반도체 패턴(5)을 형성한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에, 스파터 등의 방법으로 도전성 박막을 성막하고, 제 3 사진제판·에칭공정에서 투명 도전막을 패터닝하여 화소전극(6)을 형성한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에 제 4 사진제판·에칭공정에서 게이트 절연막(4)을 에칭하고, 저장 용량 배선군의 게이트 단자측의 집합 인출 배선 접속부(7a), 저장 용량 배선군의 게이트 단자 반대측 단부(7b), 게이트 단자 반대측의 집합 인출 배선 상부(7c), 게이트 배선 단자 접속부 및 소스 배선 단자 접속부 상에 콘택홀을 형성한다. 이때의 사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에 Cr를 400nm 성막하고, 제 5 사진제판·에칭공정에서 소스배선(8), 드레인 전극(9), 게이트 단자측의 집합 인출 배선(10a) 및, 게이트 단자 반대측의 집합 인출

배선(10b)과 저장 용량 배선군(3)을 접속하는 패턴(10c)을 패터닝한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 이어서 패시베이션막(11)을 성막하고, 제 6 사진제판·에칭공정에서 게이트 단자, 소스단자의 구동 IC 접속부를 노출시킨다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지이다.

이상의 공정에서 종래기술과 같이, 저장 용량 배선군이 집합배선에 접속되어 있는 경우, 화소전극 예칭시, 게이트 절연막에 국소적으로 결손이 있으면 거기에서 상기 예칭액이 저장 용량 배선군을 부식하여, 저장 용량 배선군의 단선을 발생시킨다. 청구항 제 2 항에 도시한 바와 같이 저장 용량 배선군과 집합배선을 서로 분리하여 형성해 두면, 게이트 절연막에 미소 결손이 있더라도 부식을 방지할 수 있다. 또한 실시예 2에 있어서 저장 용량 배선군 형성시에 게이트 단자 반대측에 집합인출 배선을 동시에 형성하기 때문에, 상기 전기광학소자 제조시에 발생하는 정전기에 대하여, 집합 인출 배선(10b)이 정전쉴드의 역할을 하여, 제조공정중의 정전 파괴에 의한 소자 파괴를 방지할 수 있다.

특히 실시예 3에서는, 외부에서 게이트 단자 반대측의 집합 인출 배선에 정전기가 들어간 경우라도, 돌기패턴(14) 사이에서 방전하는 것에 의해, 정전기의 에너지를 소비할 수 있기 때문에, 게이트 단자 반대측의 집합 인출 배선(10b) 및 저장 용량 배선군(3)에 손상이 생기는 것을 방지할 수 있다.

실시예 4

실시예 4의 집합 인출 배선, 저장 용량 배선군 및 화소영역의 평면도를 도 6에, 도 6 중 C-C에서의 단면도를 도 7에 나타낸다. 유리기판 상에 스파터 등의 방법으로 제 1 금속 박막을 성막한다. 제 1 금속 박막으로서는, 예를 들면 Mo 또는 AlZr, AlNd 등의 Al 합금으로 100nm에서 500nm 정도의 막두께의 박막을 사용할 수 있다. 예를 들면 AlNd의 경우, Nd의 농도는 배선저항을 낮게 하고, 또한 힐록발생을 방지하기 위해서 1~3중량%정도가 바람직하다. 또한, 제 1 금속박막으로서, Cr/Al 또는 Cr/Al SiCu 등의 이종 금속 박막을 적층한 금속박막이나 막두께 방향으로 조성이 다른 금속박막을 사용하는 것도 가능하다. 다음에, 제 1 사진제판·에칭공정에서 제 1 금속박막을 패터닝하여 게이트 전극 및 배선(1), 저장 용량 전극(2) 및 저장 용량 배선군(3)을 형성한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에, 플라즈마 CVD에 의해 제 1 절연막(4), 반도체능동막, 오믹 콘택막을 연속으로 성막하고, 제 2 사진제판·에칭공정에서 반도체능동막 및 오믹 콘택막을 표시화소에 패터닝하여 TFT부의 반도체 패턴(5)을 형성한다. 이 때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다.

다음에, 스파터 등의 방법으로 도전성 박막을 성막하고, 제 3 사진제판·에칭공정에서 투명 도전막을 패터닝하여 화소전극(6)을 형성한다. 이때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에 제 4 사진제판·에칭공정에서 게이트 절연막(4)을 예칭하고, 게이트 배선 접속부, 소스 배선 단자 접속부 상에 콘택홀을 형성한다. 이 때의 사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 다음에 Cr를 400nm 성막하고, 제 5 사진제판·에칭공정에서 소스배선(8), 드레인 전극(9)을 패터닝한다. 이 때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 이어서 패시베이션막(11)을 성막하고, 제 6 사진제판·에칭공정에서 게이트 단자측 저장 용량 배선군(12a), 게이트 단자 반대측의 저장 용량 배선군(12b)에 콘택홀을 형성하여, 게이트 단자, 소스단자의 구동 IC 접속부를 노출시킨다. 이 때의 성막·사진제판·에칭 프로세스는 실시예 1과 마찬가지다. 그 후 상기 TFT 어레이 기판 및 대향 기판에 전사한 후, TFT기판 상에 대향 기판 전위를 공급하기 위한 트랜스퍼재를 타점하여 트랜스퍼 전극을 형성하면서 동시에 저장 용량 배선군 상에 형성된 콘택홀(12a, 12b)를 덮도록 트랜스퍼재를 직선으로 형성하여, 게이트 단자측의 집합 인출 배선(13a) 및 게이트 단자 반대측의 집합 인출 배선(13b)을 형성한다. 트랜스퍼재는 통상 은입자를 애폭시계 접착제에 혼합한 것이다. 그 후 대향기판에 밀봉재를 형성하고, TFT 기판과 대향기판을 중첩, 밀봉재를 열경화함으로써 양 기판을 접착한다. 이에 따라 화소전극 예칭시의 저장 용량 배선군의 부식을 방지할 수 있으면서 동시에, TFT 어레이가 완성된 시점에서 저장 용량 배선군이 서로 분리되어 있기 때문에, 또 종래의 전기적 결합 검사에서는 검출할 수 없던 저장 용량 배선군이 서로 분리되어 있기 때문에, 종래의 전기적 결합 검사에서는 검출할 수 없던 저장 용량 배선군과 게이트선의 셀트 및 저장 용량 배선군과 소스선의 셀트의 위치검출이 가능해지고, 나아가서는 상기 결합부를 레이저를 사용하여 절단하여 셀트를 수복하는 것도 가능해진다.

발명의 효과

이상 상술한 바와 같이 청구항 1로부터 12에 기재한 발명에 의하면, Al 등의 부식되기 쉬운 재료를 저장 용량 배선군에 적용하여, 저장 용량 배선군 상에 성막된 절연막에 커버리지 불량 등의 막 결함이 존재하더라도, 화소전극 예칭시에 배선을 부식 및 단선하는 일없이, TFT 어레이 기판을 제조하는 것이 가능하게 된다. Al 배선 등의 표면에는 자연 산화막이 형성되어 있지만, 화소전극 예칭시에 예칭액과 일정 이상의 전위차가 발생하면 자연 산화막이 용해되고, 나아가서는 금속자체가 부식된다. 저장 용량 배선군을 서로 분리하여 형성한 경우에는, 배선 금속의 양이 작기 때문에, 배선의 전위가 예칭액에 의

해 끌려 가서 결과적으로 에칭액과 배선금속과의 전위차가 작아져서 어떠한 부식도 발생하지 않는다고 생각된다. 한편 저장 용량 배선군을 집합 인출 배선에 접속한 상태에서는 화소전극을 에칭한 경우, 배선 전체의 양을 분리해 놓은 경우의 수백배~천배정도가 되기 때문에, 에칭액과 배선금속 사이에 전위차가 생겨, 자연산화 및 배선이 부식된다고 추정된다.

도면의 간단한 설명

도 1은 본 발명의 실시예 1의 저장 용량 배선과 집합 인출 배선의 접속부 평면도,

도 2는 본 발명의 실시예 1의 도 1에 있어서의 A-A선 단면도,

도 3은 본 발명의 실시예 2의 저장 용량 배선과 집합 인출 배선의 접속부 평면도,

도 4는 본 발명의 실시예 2의 도 3에 있어서의 B-B선 단면도,

도 5는 본 발명의 실시예 3의 저장 용량 배선과 집합 인출 배선의 접속부 평면도,

도 6은 본 발명의 실시예 4의 저장 용량 배선과 집합 인출 배선의 접속부 평면도,

도 7은 본 발명의 실시예 4의 도 6에 있어서의 C-C선 단면도,

도 8은 종래기술에서의 저장 용량 배선과 집합 인출 배선의 접속부 평면도,

도 9는 종래기술에서의 도 8에 있어서의 D-D선 단면도,

도 10은 저장 용량 배선을 구비한 TFT 기판의 개념도.

도면의 주요부분에 대한 부호의 설명

1 : 게이트 배선 2 : 저장 용량 전극

3 : 저장 용량 배선군 3a,10a,10b,13a,13b : 집합 인출배선

4 : 게이트 절연막 5 : 반도체 패턴

6 : 화소전극 7a,7b,7c,12a,12b : 콘택홀

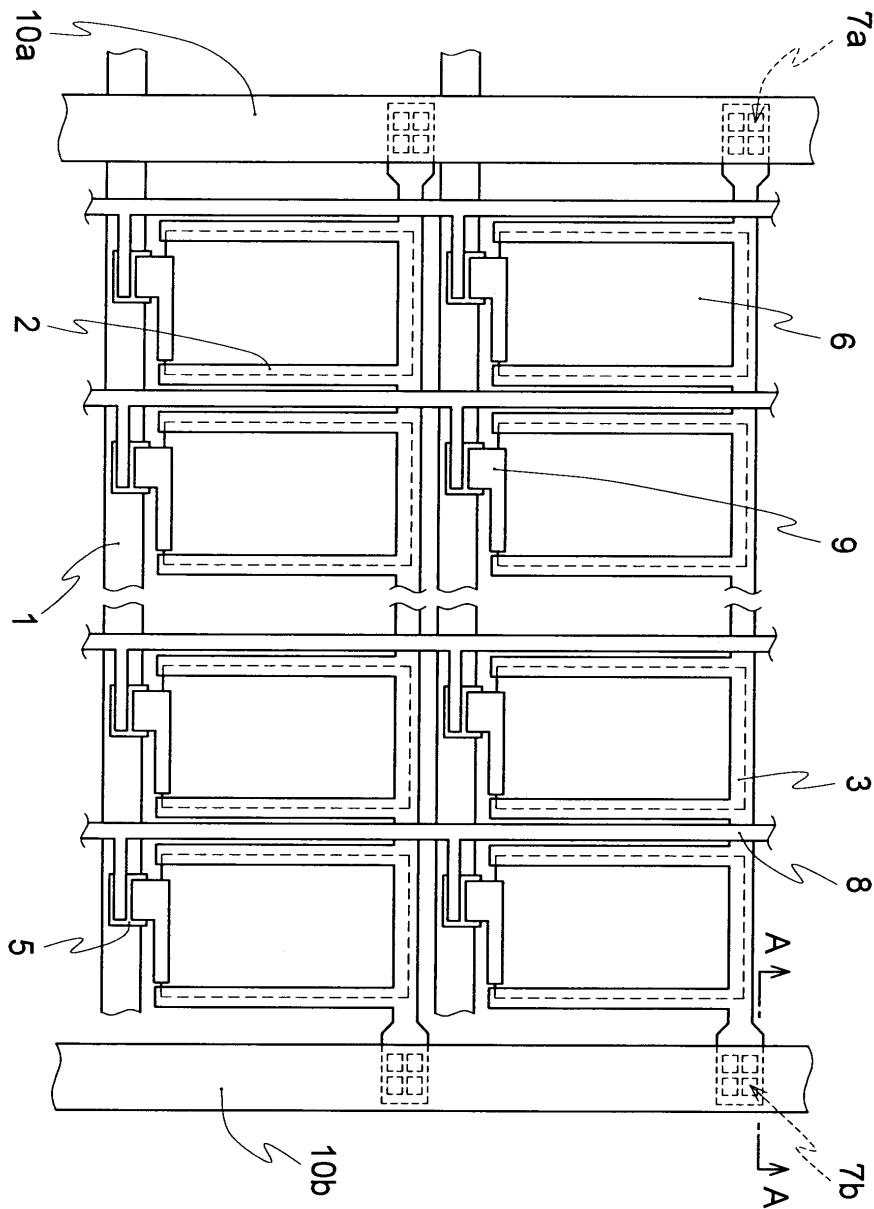
8 : 소스배선 9 : 드레인 전극

11 : 보호절연막 10c,14 : 패턴

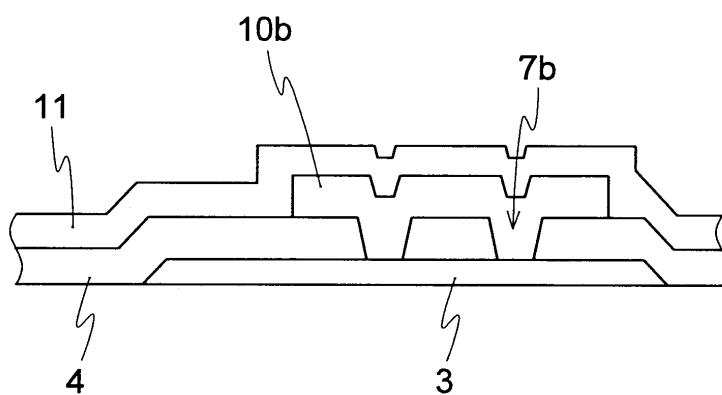
15 : 대향기판 도전막 16 : 대향기판

도면

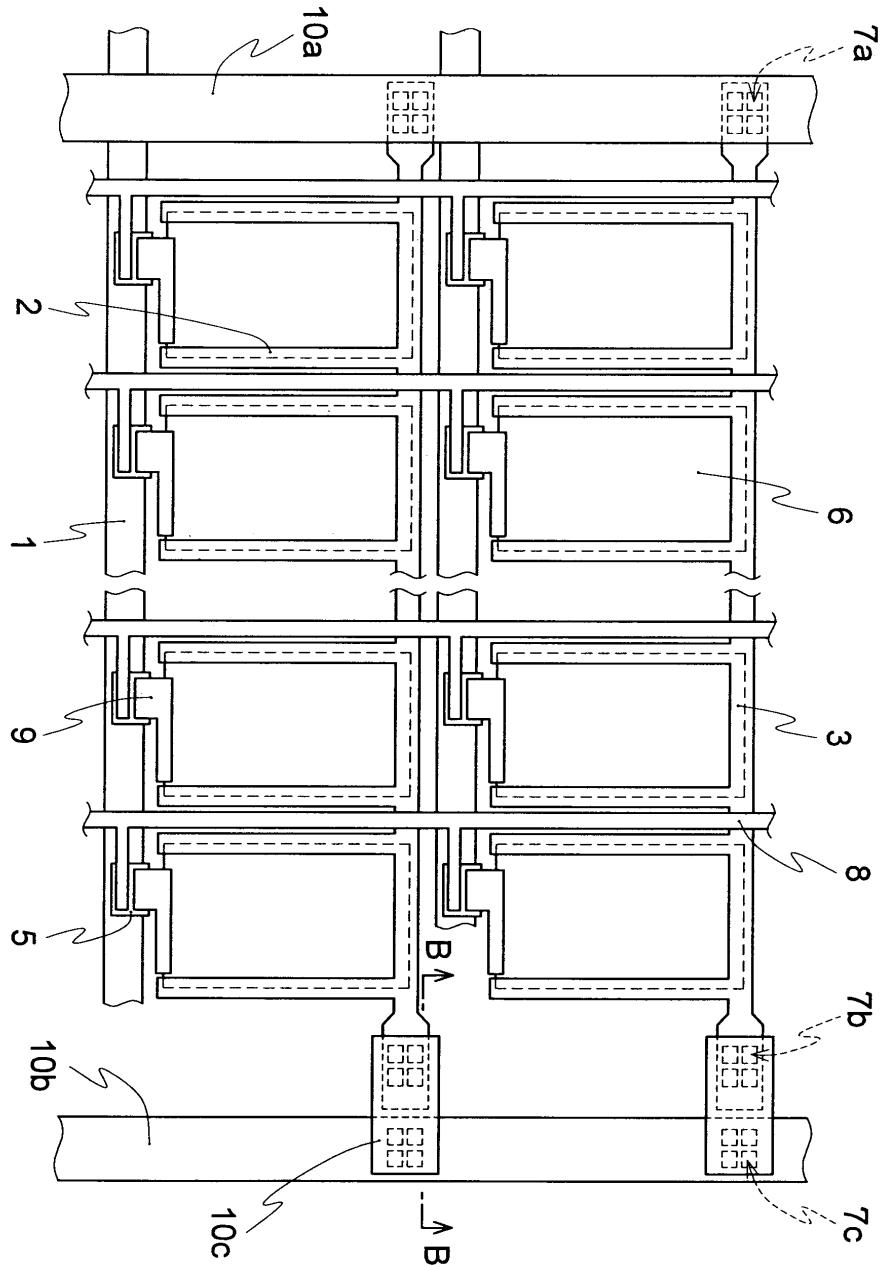
도면1



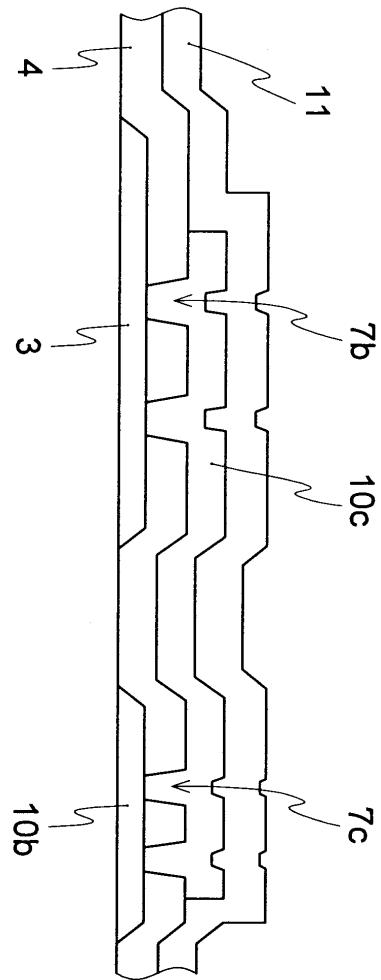
도면2



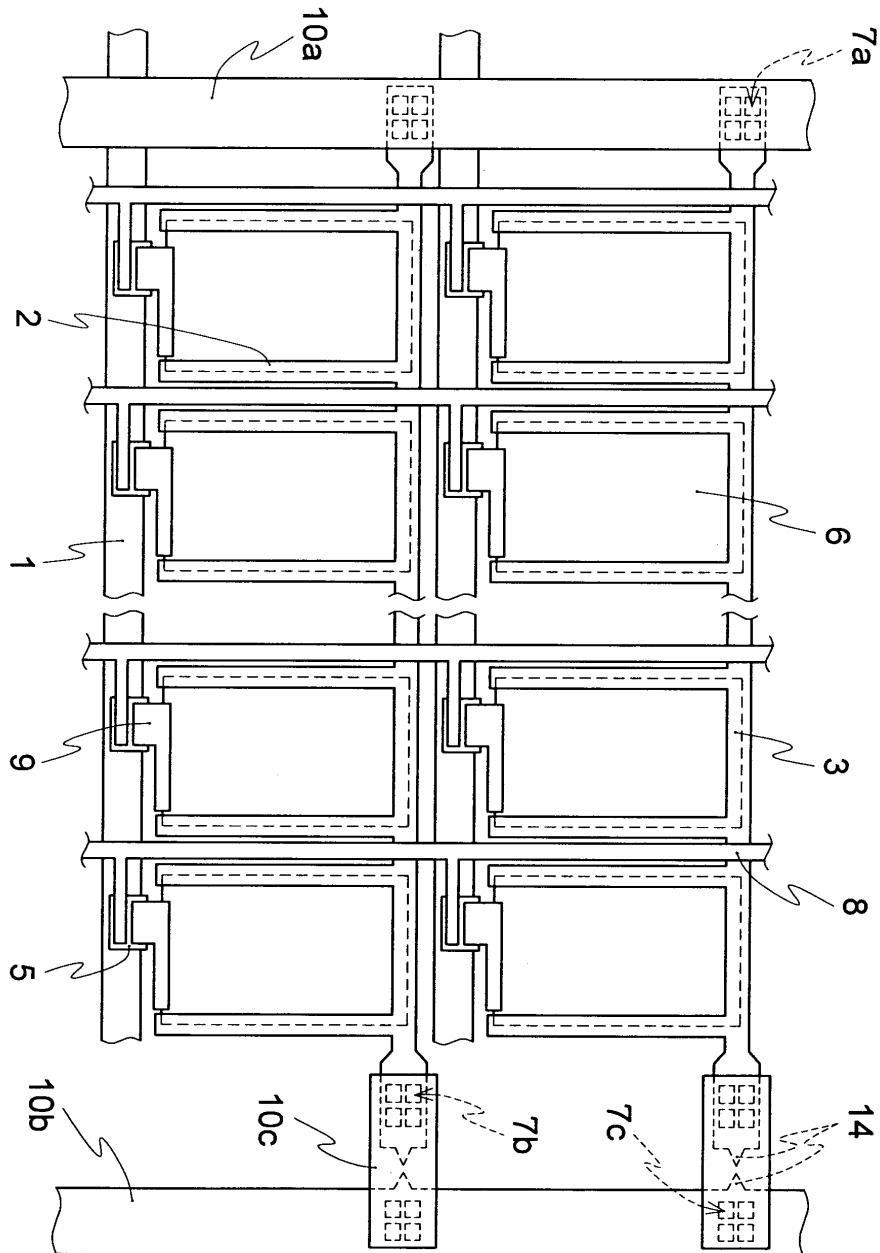
도면3



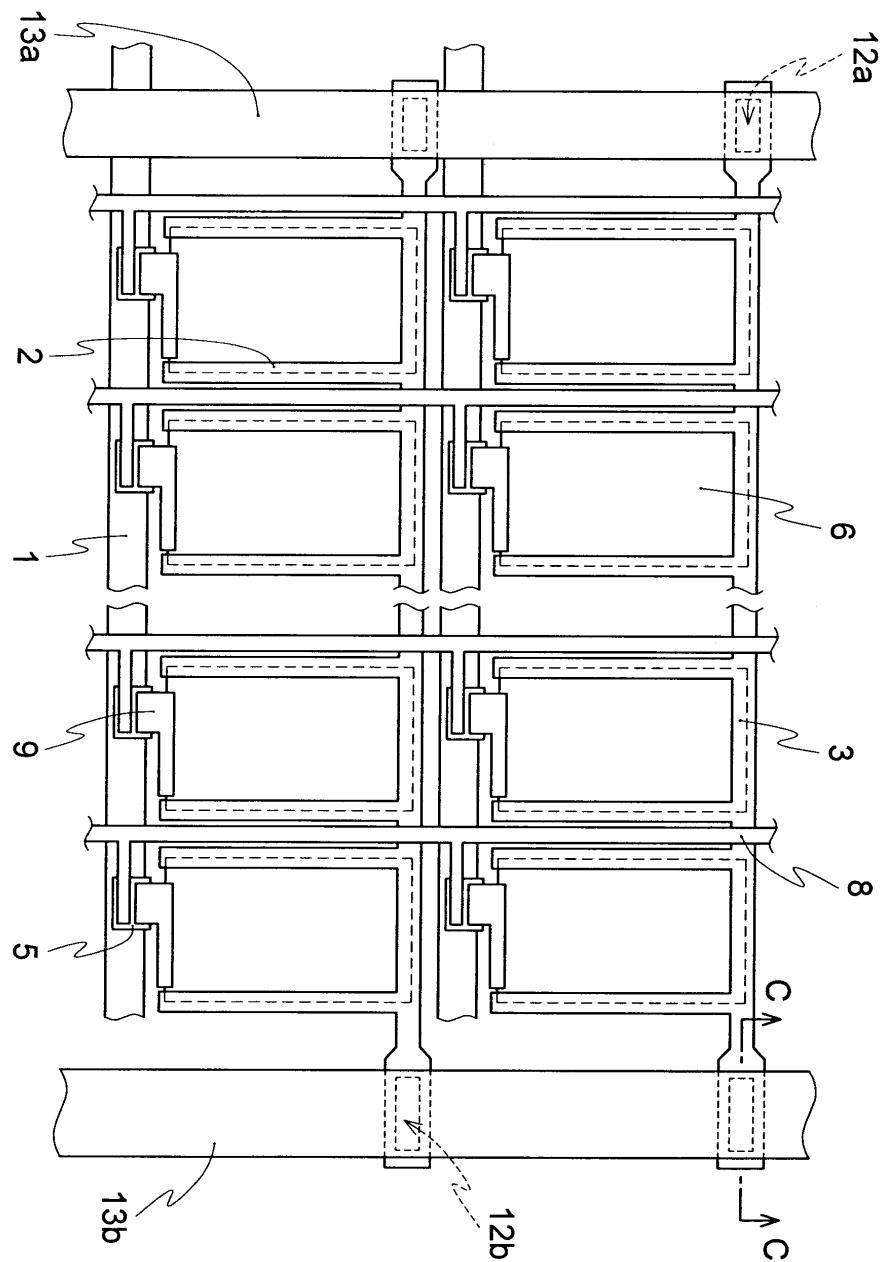
도면4



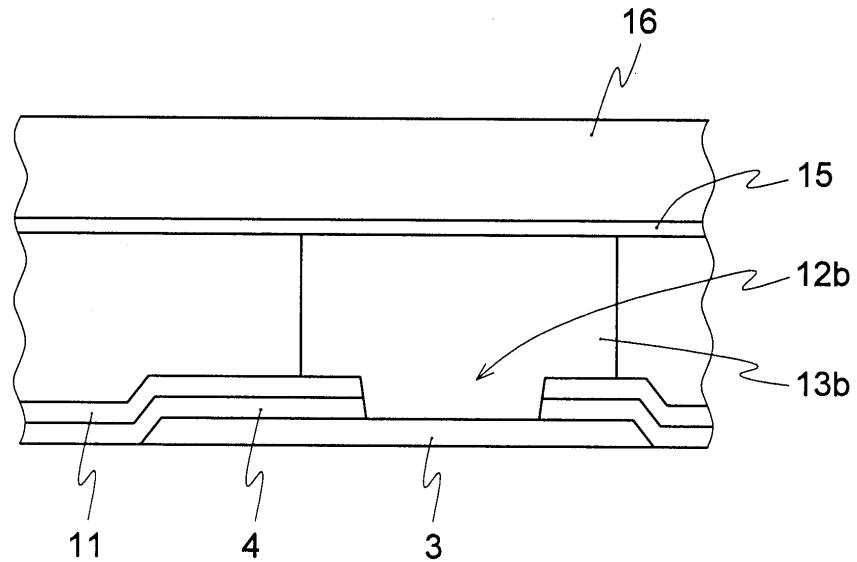
도면5



도면6



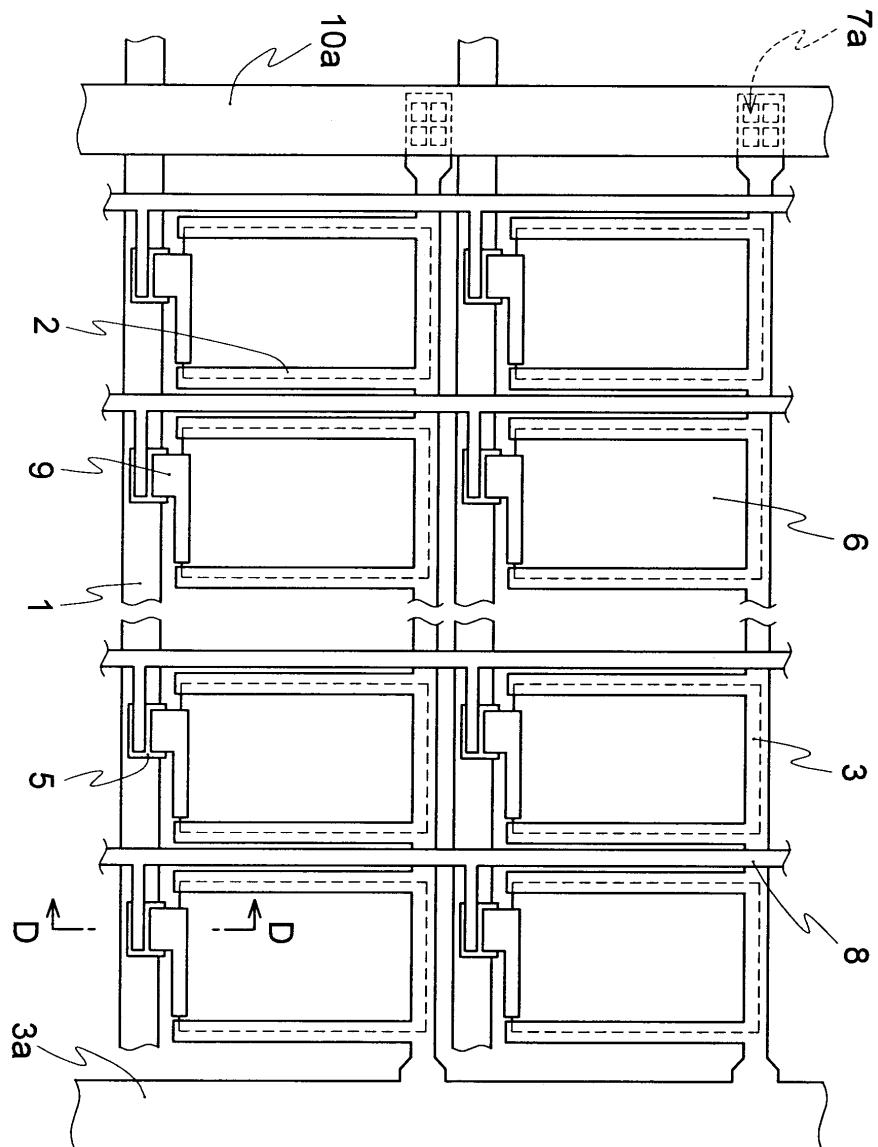
도면7



도면9

삭제

도면8



도면10

