

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11B 15/52

G11B 20/10



[12] 发明专利说明书

[21] ZL 专利号 98800872.6

[45] 授权公告日 2004 年 4 月 14 日

[11] 授权公告号 CN 1145946C

[22] 申请日 1998.3.16 [21] 申请号 98800872.6

[30] 优先权

[32] 1997.4.28 [33] EP [31] 97201273.6

[86] 国际申请 PCT/IB1998/000365 1998.3.16

[87] 国际公布 WO98/49683 英 1998.11.5

[85] 进入国家阶段日期 1999.2.24

[71] 专利权人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 G·J·范德恩登

审查员 曹文才

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 邹光新 陈景峻

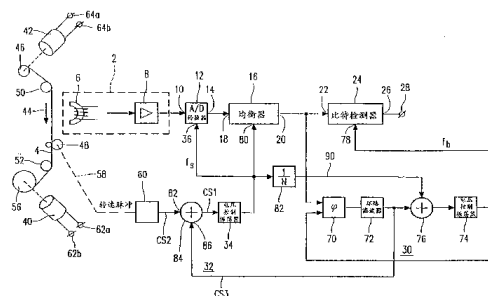
权利要求书 3 页 说明书 7 页 附图 3 页

[54] 发明名称 用于再现记录载体中信息信号的装置

[57] 摘要

本发明涉及用于从记录载体中再现信息信号的一种装置。这种装置包括用于从记录载体(4)上的磁道中读出信息信号的读出单元(6、8)。该读出单元包括至少一个用于从所说磁道中读出信息信号的读出磁头(6)。此外,还包括一个用于响应一个第一控制信号(cs1)以特定时钟频率(f_s)对从记录载体中读出的信息信号进行 A/D 转换的 A/D 转换器(12、34)。该装置包括一个比特检测器单元(24),所说比特检测器单元具有与 A/D 转换器单元相连的一个输入端,该比特检测器单元用于从以特定比特频率(f_b)输入其输入端的信息中检索比特序列。该装置还包括用于获得所说第一控制信号的一个发生器单元,以及用于获得所说特定比特频率的一个发生器。用于获得所说第一控制信号的发生器单元包括用于获得一个粗略控制信号的粗略

控制信号发生器(48、60)以产生这样的特定时钟频率(f^*),使得 A/D 转换器单元(12、34)输出每比特大约 N 个采样值,而与所说至少一个读出磁头相对于所说磁道的相对速度无关,还包括用于获得精细控制信号(cs3)的一个精细控制信号发生器(30、70、72)以校正特定时钟频率与每比特 N 个采样值的偏差,其中 N 是一个正的常数值,所说偏差用每比特的采样值数目表示。



1、用于从记录载体中再现信息信号的装置，它包括：

- 用于从记录载体（4）上的磁道中读出信息信号的读出单元
- 5 （2），所说读出单元包括至少一个用于从所说磁道中读出信息信号的读出磁头（6），
- 用于以特定的时钟频率（ f_s ）将从记录载体中读出的信息信号进行A/D转换的A/D转换器单元（12），
- 用于响应于一个第一控制信号（cs1）来产生该特定时钟频率
- 10 （ f_s ）的发生器单元（34），
- 比特检测器单元（24），其具有与所说A/D转换器相连的一个输入端，所说比特检测器单元用于从以特定的比特频率（ f_b ）输入其输入端的信号中检索比特序列，
- 用于传输所说比特序列的输出单元（28），
- 15 - 用于获得所说第一控制信号的单元，
- 用于获得所说特定比特频率的单元（30），

其特征在于所说用于获得所说第一控制信号的单元包括用于获得一个第二控制信号（cs2）的单元（60）、具有一个连接到该A/D转换器单元的输入端的用于由提供给它输入端的信号来获得一个第三

20 控制信号（cs3）的单元（30）和用于从所说第二控制信号和第三控制信号中获得所说第一控制信号的单元（84），所说第二控制信号是所说至少一个读出磁头相对于所说磁道的相对速度的一种量度。

2、如权利要求1所述的装置，其特征在于所说装置还包括用于响应所说第一控制信号（cs1）产生所说特定时钟频率的电压控制振

25 荡器单元（34）。

3、如权利要求1或2所述的装置，其特征在于还包括一个数字均衡器滤波器单元（16）用于以所说特定时钟频率对从记录载体中读出的数字化信息信号执行均衡步骤以获得均衡的信息信号，

4、如权利要求3所述的装置，其特征在于所说用于获得所说特定

30 比特频率的单元（30）是数字结构的，用于从所说均衡信息信号中获得所说特定比特频率。

5、用于从记录载体中再现信息信号的装置，它包括：

- 用于从记录载体（4）上的磁道中读出信息信号的读出单元（2），所说读出单元包括至少一个用于从所说磁道中读出信息信号的读出磁头（6），

5 - 用于以特定的时钟频率（ f_s ）将从记录载体中读出的信息信号进行 A/D 转换的 A/D 转换器单元（12），

- 用于响应于一个第一控制信号（cs1）来产生该特定时钟频率（ f_s ）的发生器单元（34），

10 - 比特检测器单元（24），其具有与所说 A/D 转换器相连的一个输入端，所说比特检测器单元用于从以特定的比特频率（ f_b ）输入其输入端的信号中检索比特序列，

- 用于传输所说比特序列的输出单元（28），

- 用于获得所说第一控制信号的单元，

- 用于获得所说特定比特频率的单元（30），

15 其特征在于用于获得所说第一控制信号的单元可以产生这样的第一控制信号，使得所说特定时钟频率与所说比特频率之间的比值基本为固定值 N，而与所说至少一个读出磁头相对于所说磁道的相对速度无关，其中 N 是一个正的常数值。

6、用于从记录载体中再现信息信号的装置，它包括：

20 - 用于从记录载体（4）上的磁道中读出信息信号的读出单元（2），所说读出单元包括至少一个用于从所说磁道中读出信息信号的读出磁头（6），

- 以特定的时钟频率（ f_s ）将从记录载体中读出的信息信号进行 A/D 转换的 A/D 转换器单元（12），

25 - 用于响应于一个第一控制信号（cs1）来产生该特定时钟频率（ f_s ）的发生器单元（34），

- 比特检测器单元（24），其具有与所说 A/D 转换器相连的一个输入端，所说比特检测器单元用于从以特定的比特频率（ f_b ）输入其输入端的信号中检索比特序列，

30 - 用于传输所说比特序列的输出单元（28），

- 用于获得所说第一控制信号的单元，

- 用于获得所说特定比特频率的单元（30），

- 其特征在于用于获得所说第一控制信号的单元包括用于获得一个粗略控制信号的粗略控制信号发生器单元(60)以产生这样的特定时钟频率(f_s),使得所说A/D转换器单元(12)输出每比特约N个采样值,而与所说至少一个读出磁头相对于所说磁道的相对速度无关,
- 5 还包括用于获得精细控制信号(cs3)的精细控制信号发生器单元(30)以校正所说特定时钟频率与每比特N个采样值的偏差,其中N是一个正的常数值,所说偏差用每比特的采样值数目表示。

用于再现记录载体中信息信号的装置

5 本发明涉及用于从记录载体中再现信息信号的一种装置。这种装置在本领域是众所周知的。关于这种装置可以参见在本说明书末尾所列的相关文献 D1, 即美国专利说明书 US-5569912。

上述装置可以是 SDAT 型或 DCC 型, 或者可以是螺旋扫描型。在所有这些装置中, 都有至少一个读出磁头在以特定速度相对于记录载体磁道移动的同时, 从记录载体的磁道中读出信息信号。在再现过程
10 中以正常速度传送记录载体, 从而可以以基本恒定的位速率从记录载体中再现信息信号。

本发明的目的在于提供一种再现装置, 这种再现装置用途更加广泛, 能够以各种速度从记录载体中读出信息信号。

根据本发明, 用于从记录载体中再现信息信号的装置包括:

15 用于从记录载体 (4) 上的磁道中读出信息信号的读出单元 (6、8), 所说读出单元包括至少一个用于从所说磁道中读出信息信号的读出磁头 (6),

用于响应一个第一控制信号 ($cs1$) 以特定的时钟频率 (f_s) 将从记录载体中读出的信息信号进行 A/D 转换的 A/D 转换器 (12, 34),
20 比特检测器 (24), 其具有与所说 A/D 转换器相连的一个输入端, 所说比特检测器用于从以特定的比特频率 (f_b) 输入其输入端的信号中检索比特序列,

用于传输所说比特序列的输出单元 (28),

用于获得所说第一控制信号的单元,

25 用于获得所说特定比特频率的单元 (30),

其中所说用于获得所说第一控制信号的单元包括用于获得一个第二控制信号 ($cs2$) 的单元 (48、60)、用于获得一个第三控制信号 ($cs3$) 的单元 (30、70、72) 和用于从所说第二控制信号和第三控制信号中获得所说第一控制信号的单元 (84), 所说第二控制信号是
30 所说至少一个读出磁头相对于所说磁道的相对速度的一种量度, 所说第三控制信号与所说比特频率具有一定关系。

本发明基于以下认识，即提供一种包括 A/D 转换器和其它数字化器件，例如均衡器和比特检测器单元，其中所说特定时钟频率与所说比特频率之间的比值为一个固定值 N 。这是利用两个控制回路，一个粗略控制回路和一个精细控制回路实现的。所说粗略控制回路产生所说第二控制信号，并控制所说特定时钟频率，使得所说 A/D 转换器对于每个检测到的比特，输出基本固定数量的 N 个采样值，而与读出磁头相对于磁道的相对速度无关。所说精细控制回路产生所说第三控制信号，并控制所说特定时钟频率以校正所说特定时钟频率与所说每比特 N 个采样值的偏差，所说偏差用每比特采样值数目表示。

10 结果，尽管用于获得所说特定比特频率的单元可能具有较小的捕捉范围，但是这种再现装置能够非常快地控制趋向每比特 N 个采样值的状态。

从以下参照附图对实施例所作的描述和解释中可以更加清楚地了解本发明的这些方面以及其它方面，在所说附图中：

15 图 1 表示再现装置的一个实施例，

图 2 表示在图 1 所示的再现装置中增加一个输出缓存器，

图 3 表示图 1 所示再现装置中 A/D 转换器的另一个实施例，

图 4 表示图 1 所示再现装置中的均衡器的一个实施例，

20 图 5 表示对于再现过程中两种不同速度的记录载体，作为从记录载体中读出的信息信号频率函数的幅值特性，，

图 6 表示对于同样两种不同速度的记录载体，作为频率函数的均衡器单元中的滤波器特性曲线，和

图 7 表示图 1 所示再现装置中锁相环的捕捉范围。

25 图 1 表示根据本发明构成的再现装置的一个实施例。该装置包括用于从记录载体 4 中读出信息的一个读出单元 2。所说读出单元包括至少一个读出磁头 6，通常还包括一个前置放大器 8。所说读出单元 2 的输出端与一个 A/D 转换器 12 的输入端 10 相连，所说 A/D 转换器 12 具有一个输出端 14。所说 A/D 转换器 12 以特定的时钟频率（或采样速率） f ，对从记录载体 4 上的一个磁道读出的信息进行采样，并以所说特定时钟频率在其输出端 14 将所说信息信号采样值输出。

这种装置通常包括一个均衡器 16。但是，所说均衡器单元 16 对于本发明来说并不是必需的，故而可以省去。均衡器单元 16 的一个

输入端 18 与所说 A/D 转换器 12 的输出端 14 相连, 而均衡器单元 16 的输出端与一个比特检测器单元 24 的输入端 22 相连。所说比特检测器单元 24 的输出端 26 与输出端子 28 相连。

比特检测器单元 24 用于从以特定比特频率 f_b 输入其输入端 22 的信号中检索比特序列。

所说再现装置还包括用于产生比特频率 f_b 的一个发生器电路 30 和用于产生时钟频率 f_s 的一个发生器电路 32。发生器电路 32 是一个锁相环, 包括一个相位比较器 70、环路滤波器 72 和电压控制振荡器 74。所说相位比较器 70 的一个第一输入端与所说均衡器单元 16 的输出端相连, 所说相位比较器 70 的一个第二输入端与所说振荡器 74 的输出端相连。所说相位比较器 70 的一个输出端与所说环路滤波器 72 的一个输入端相连, 所说环路滤波器的输出端经由一个信号复合单元 76 与所说振荡器 74 的一个输入端相连。所说振荡器 74 的输出端还与比特检测器 24 的一个时钟输入端相连。

应当指出, 发生器电路 30 和 32 的作用是这样的, 它们分别产生频率 f_b 和 f_s , 使得 $f_s/f_b = N$, 其中 N 是一个常数, 不需要是一个整数常数, 并且与磁头 6 相对于记录载体上正在读取的磁道的相对速度无关。

数值 N 代表每比特的采样值数目, 所说采样值由所说比特检测器单元 24 检测, 并由所说 A/D 转换器 12 产生。

所说 A/D 转换器 12 响应一个第一控制信号 $cs1$ 以所说的特定时钟频率 f_s 对从记录载体读出的信息信号进行转换。在本实施例中, 这个时钟信号是由一个电压控制振荡器 34 产生的, 所说振荡器 34 是电路 32 的一部分, 并将时钟频率 f_s 传输到 A/D 转换器 12 的一个时钟输入端 36。时钟频率 f_s 还传输到均衡器单元 16 的一个时钟输入端 80 和一个转换器 82。所说转换器 82 是分频器结构的, 其将从其输入端输入的频率 f_s 进行 N 分频, 并将分频频率 f_s/N 传送到它的输出端。这个输出端与信号复合单元 76 的另一个输入端相连。

驱动电机 40 和 42 用于沿箭头 44 指示的方向或者沿相反方向传送记录载体 4。当沿箭头 44 指示的方向驱动时, 记录载体从一个供带卷轴 46, 经由一个滚轮 50, 通过所说读出磁头 6 和一个摩擦滚轮 48, 再经由一个滚轮 52 传送到一个卷带盘 56 上。所说摩擦滚轮 48 带有

一个转速信号发生器,该发生器通过线路 58 向一个转换器 60 传输转速脉冲。用以驱动电机 40 和 42 的驱动信号分别通过它们的端子 62a、62b 和 64a、64b 传送。

转换器 60 响应由与所说摩擦滚轮 48 耦合的转速信号发生器产生的转速脉冲产生一个第二控制信号 cs2。所说第二控制信号 cs2 是读出磁头 6 相对于其从中读取信息信号的磁道的相对速度的一种量度。所说第二控制信号 cs2 传送到一个信号复合单元 84 的一个输入端 82。通过所说复合单元 84 的一个第二输入端 86,输入一个第三控制信号 cs3。这个第三控制信号 cs3 是锁相环路 30 中的环路滤波器 72 的输出信号。

现在更加详细地介绍本发明再现装置的工作。假定以特定速度 v_1 驱动记录载体。结果,转速脉冲传输到转换器 60,转换器 60 响应该转速脉冲产生一个第二控制信号 cs2。所说第二控制信号 cs2 传送到振荡器 34,导致产生时钟频率 f_s ,并将该时钟频率传输到所说 A/D 转换器 12。所说 A/D 转换器 12 响应该时钟频率对从记录载体中读出的信息信号进行采样,使得对于每个检测到的比特产生大约 N 个采样值。当记录载体速度改变时,即增大或减小时,所产生的转速脉冲频率也增大或减小。结果,所说时钟频率 f_s 增大或减小。但是,在增大(或减小)的记录载体速度下,信息信号是以增大(减小)的速度读取的,并且以增大(减小)的时钟频率 f_s 对这些信息信号进行采样,最后所说 A/D 转换器 12 对于所检测的比特仍然产生大约每个比特 N 个采样值,而与所说记录载体速度无关。

于是由单元 48、60、34 组成的控制环路构成一个粗略控制环路,使得在所说 A/D 转换器 12 的输出端,对于每个检测的比特产生基本固定数目(N)的采样值。例如可以选择 N 等于 3。

所说均衡器单元 16 还接收时钟频率 f_s 。图 4 表示均衡器单元 16 的一个实施例,图 5 表示以特定速度 v_1 从记录载体中读出的信息信号的作为频率函数的幅值特性 M_1 ,图 6 用曲线 H_1 表示所说均衡器单元 16 在所说特定记录载体速度 v_1 时的频率特性。幅值特性 M_1 在比特频率 f_b 具有某一幅值 $M_1(f_b)$ 。

图 4 所示均衡器单元中标记为 T 的延迟器件由所说时钟频率 f_s 控制, 用于实现等于 $1/f_s$ 的延迟 T。由于这个延迟, 图 4 所示的均衡器单元 16 实现了图 6 所示的频率特性 H_1 。

当改变记录载体速度时, 例如将所说速度降低到 $1/2$ 时, 从记录载体读出的信号的幅值特性按比例减小到 $1/2$, 从而变为图 5 所示的特性 M_2 。在新的比特频率 f_b' 幅值 $M_2(f_b')$ 等于 $M_1(f_b)$ 。因为由单元 48、60 和 34 组成的控制环路的作用, 时钟频率 f_s 也按照相同的比例改变 (减小) 到 $1/2$ 。结果, 图 4 所示均衡器单元中的延迟也改变, 意思就是增加相同的倍数 2。这样就形成了图 6 所示的频率特性 H_2 。因此, 这个特性 H_2 与从记录载体读出的信息信号的幅值特性 M_2 减小相同的比例。

因此均衡器 16 的作用是在由振荡器 34 产生的时钟频率 f_s 的控制下对从记录载体读出的信号进行正确的均衡, 但是也与记录载体的速度无关。

转换器单元 82 在其输出端产生一个控制信号, 该控制信号经由所说复合单元 76 传送到所说振荡器 74, 以使振荡器单元 74 的振荡频率为 f_s/N 。

应当指出锁相环路 30 控制振荡器 74 的频率趋向 f_b 。但是, 锁相环路 30 具有小于或大于 f_b 例如 10% 的一个较小的捕捉范围, 参见图 7。利用通过线路 90 和信号复合单元 76 传输到压控振荡器 74 的这个控制信号, 这个压控振荡器 74 快速进入 f_b 附近, 如图 7 中直线 92 所示。在不进行精细控制的情况下, 利用下文中详述的控制信号 $cs3$, 压控振荡器 74 将保持频率值 f_b'' , 而由例如记录载体速度的变化所引起的扰动会使频率漂移出环路 30 的捕捉范围, 如图 7 中曲线 92 所示, 从而锁相环路 30 失锁。

但是, 所说相位比较器 70 和环路滤波器 72 还产生一个控制信号, 即控制信号 $cs3$, 这个信号是压控振荡器 74 频率与所需比特频率 f_b 的偏差的一种量度。应当指出, 所需比特频率 f_b 不是一个固定频率值, 但是随变化的记录载体速度而变化。

控制信号 $cs3$ 被传送到所说信号复合单元 84 的第二输入端 86。这个控制信号 $cs3$ 是一个精细控制信号, 并控制压控振荡器 74 的频率趋向所需比特频率 f_b 。这种特性由图 7 中直线 94 表示。由例如记录载

体速度改变所引起的扰动使得压控振荡器 74 的频率发生变化。但是这种变化保持在环路 30 的捕捉范围内, 如图 7 中曲线 94 所示, 从而使锁相环路 30 保持在锁相状态。

图 2 表示可与图 1 所示装置的输出端子 28 相连的一个缓冲存储器 100。该缓冲存储器 100 用作一个 FIFO (先入先出) 存储器。由比特检测器 24 检测到的比特序列可以以特定频率 f_{in} 存储在缓冲存储器中, 所说特定频率 f_{in} 可以等于频率 f_b , 由振荡器 74 产生。

利用一个读出时钟频率 f_{out} 可以从缓冲存储器 100 中检索检测的比特。这个频率 f_{out} 可以小于或大于 f_{in} 。在前一种情况下, 缓冲存储器 100 将逐渐被信息填满, 最后导致溢出。在后一种情况下, 缓冲存储器将逐渐变空, 直到再也得不到比特用以按照所需速率 f_{out} 传送为止。为了解决这些问题, 所说缓冲存储器 100 具有一个输出端 102, 在该输出端 102 可以获得一个信号, 该信号是缓冲存储器 100 的填充度的指示。这个信号在转换器 104 中被转换成一个控制信号, 并传送到一个电机控制单元 106。所说电机控制单元 106 将驱动信号分别传送到电机 40 和 42 的输入端 62a、62b 和 64a、64b。

如果 f_{out} 大于 f_{in} , 填充度下降。结果, 产生一个控制信号, 使得记录载体 4 的传送速度提高。如果 f_{out} 小于 f_{in} , 填充度增大。结果, 产生一个控制信号使得记录载体 4 的传送速度降低。如上所述, 由单元 60、82 和 34 组成的粗略控制环路, 和由单元 70、72、82 和 34 组成的精细控制环路 30 本身自动地适应记录载体变化的传送速度。

图 3 表示图 1 所示 A/D 转换器单元 12 的另一个实施例。图 3 所示的 A/D 转换器单元包括一个 A/D 转换器 110, 其通过一个时钟信号输入端 114 接收由振荡器 112 产生的采样频率。由所说振荡器 112 产生的采样频率可以大于 f_s 。由转换器 110 产生的采样值传送到一个向下采样器, 该向下采样器响应施加到控制信号输入端 120 的所说第一控制信号 $cs1$ 将传输到其输入端 118 的信号进行向下采样。在其输出端 14, 可以获得以频率 f_s 采样的信息信号。

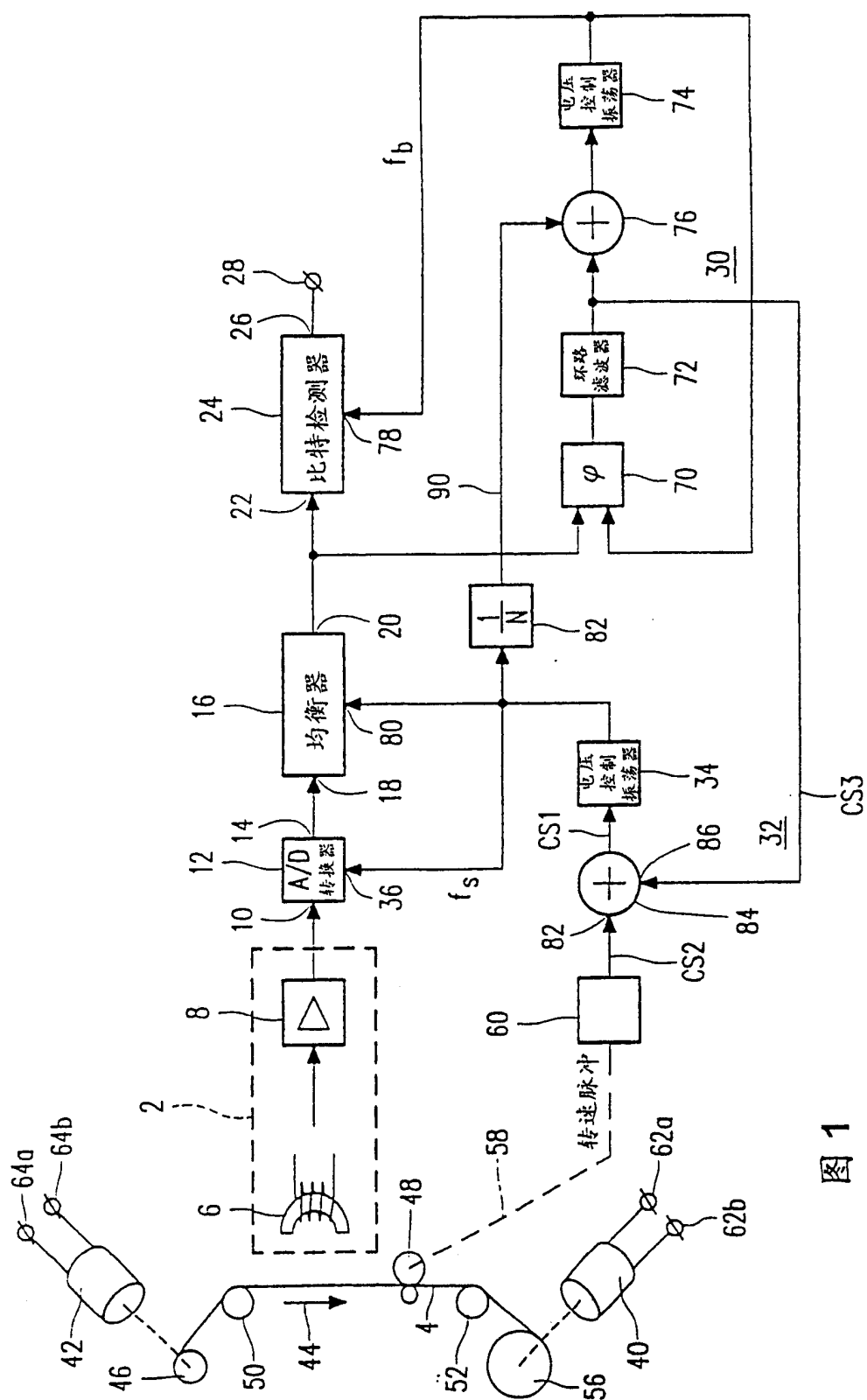
应当指出, 所说向下采样器 116 不仅能够对从其输入端 118 输入的采样值数组进行向下采样, 而且能够执行插值运算, 以获得其输出信号。

虽然已经参照其优选实施例描述了本发明，但是应当理解这些实施例不是限定性实施例。因此，在不脱离由权利要求书所限定的本发明的范围前提下，本领域技术人员显然可以作出各种改进。例如，控制信号 cs2 不需要从由与摩擦滚轮 48 耦合的一个转速信号发生器产生的转速脉冲获得。第二控制信号可以用不同的方式获得，例如，从记录在沿记录载体 4 延伸（例如纵向延伸）的磁道中的信号（例如一个控制脉冲信号）获得。此外，在另一个实施例中，第三控制信号 cs3 可以按照与上述方式不同的方式产生，就是说，从缓冲存储器 100 的输出端 102 获得。在这个替换实施例中，例如 f_{out} 是从单元 82 获得的，参见图 1，等于 f_s/N 。在缓冲存储器 100 的输出端 102 产生的控制信号是 $f_b - f_s/N$ 的积分的一种量度，所以也是控制信号 cs3 的积分的一种量度。此外，所说记录载体可以是一种纵向延展的记录载体，或是一种盘形记录载体，磁性的或光学性的。

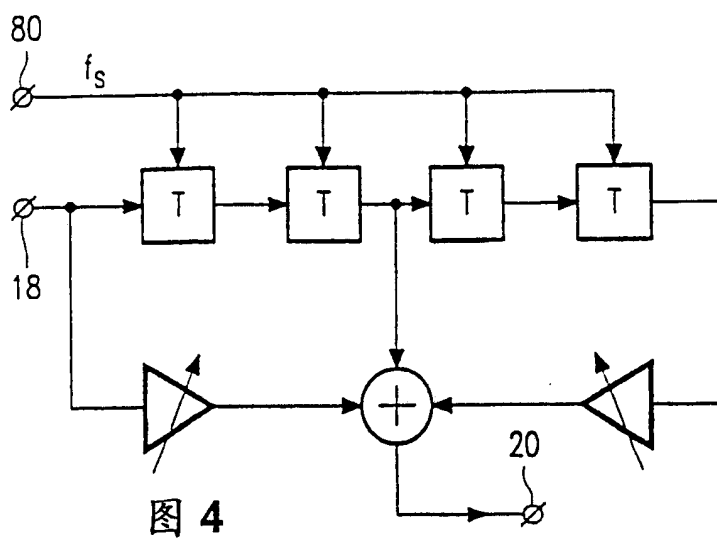
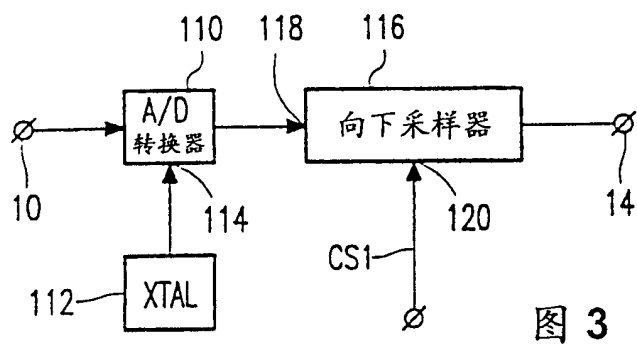
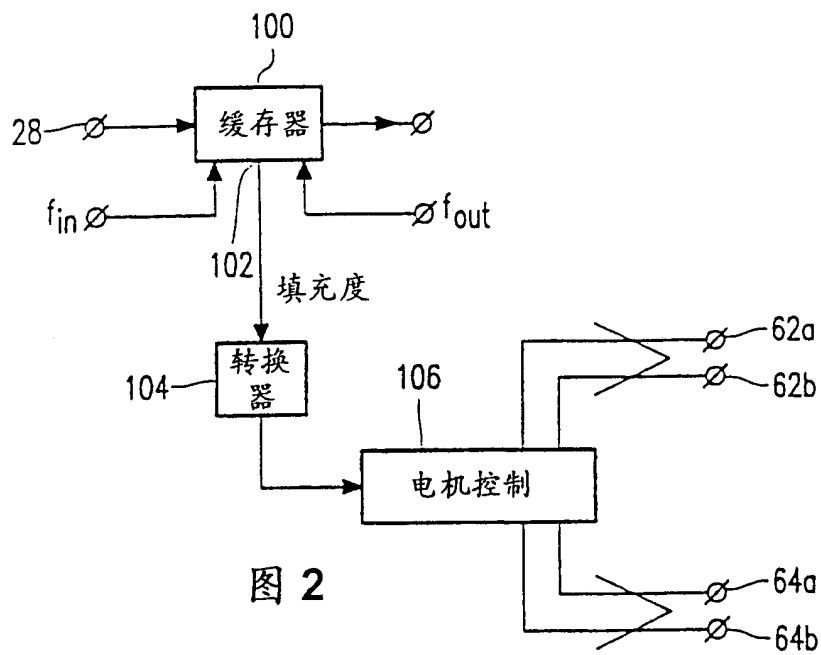
另外，本发明在于每个特征或这些特征的组合。

15 相关文献

(D1) USP 5, 569, 912 (PHN14. 875)



一
四



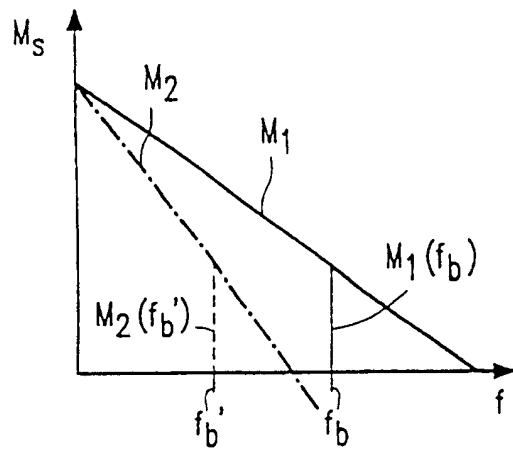


图 5

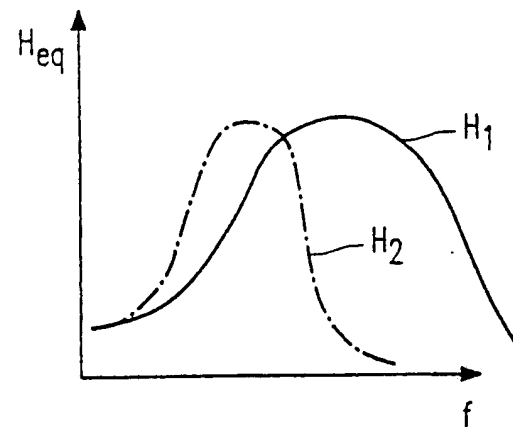


图 6

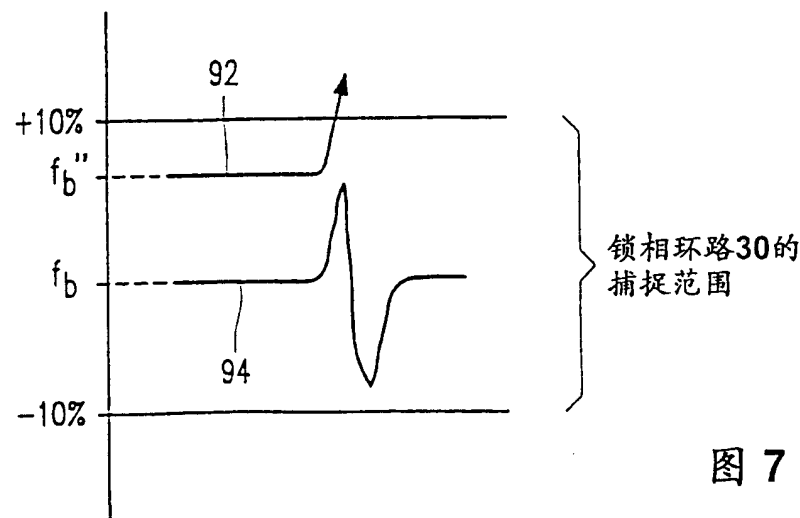


图 7