公告本

申請日期	89.4.17
案號	89107154
類別	H01L 27/10 ; 611C 11/34

A4
C4

（以上各欄由本局填註）

461080

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶單元
	英文	"SEMICONDUCTOR MEMORY CELL"
二、發明 ~~創作~~ 人	姓名	1.向井 幹雄 2.小林 敏夫 3.林 豊
	國籍	均日本
	住、居所	1.日本東京都品川區北品川六丁目七番35號 2.日本東京都品川區北品川六丁目七番35號 3.日本東京都品川區北品川六丁目七番35號
三、申請人	姓名（名稱）	日商新力股份有限公司
	國籍	日本
	住、居所（事務所）	日本東京都品川區北品川六丁目七番35號
	代表人姓名	田中 啓介

經濟部智慧財產局員工消費合作社印製

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

461080

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1999年04月26日	特願平11-118326	☑有　□無主張優先權
日本	1999年05月12日	特願平11-131542	☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明背景及前案說明

本發明有關於半導體記憶單元具有至少兩個電晶體合併爲一單元，或至少兩個電晶體及一二極體合併爲一單元，而且本發明有關於半導體記憶單元具有兩個電晶體及接面場效電晶體合併爲一單元或至少兩個電晶體，一接面場效電晶體及一二極體合併爲一單元。

在習用的高密度半導體記憶單元中，使用定其半導體記憶單元(稱爲單晶半導體記憶單元)包括一電晶體及一電容(圖67A)，在上述半導體記憶單元中，電容中儲存的電荷必須夠大以便在位元線上產生夠大的電壓變化，惟在半導體記憶單元平面尺寸增加之下，平行平面中形成的電容其大小會減少，而導致以下問題。當讀取資訊(其以電荷形式儲存在半導體記憶單元的電容中)時，讀出的資訊有雜訊，或是因爲半導體記憶單元中位元線的雜散電容於產生時會增加，所以位元線中僅有小的電壓變化。爲了解決上述問題而提議用定其半導體記憶單元具有渠溝電容單元結構(圖67B)或是堆疊電容單元結構。惟因爲製造技術在渠溝(或槽)深或堆疊高度上有其限制，所以電容的電容也有限制。因此具有上述結構的定其半導體記憶單元遇到上述限制，除非在考慮電容大小及深次微米規則(低次微米規則)之下，電容中仍採用昂貴的新材料。

在小於深次微米規則(低次微米規則)的平面尺寸的平面中，組成半導體記憶單元的電晶體也有一些問題，如汲極崩潰電壓的劣化及汲極區穿入源極區，因此即使半導體記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（2 ）

憶單元的電壓仍在預設範圍中，仍極可能發生漏電。因此當半導體記憶單元較小時，很難正常的操作具有習用電晶體結構的半導體記憶單元。

爲了克服電容的上述限制問題，本發明揭示一種半導體記憶單元包括兩個電晶體或兩個實體合併爲一單元，可參考日本專利申請案246264/1993 (JP-A-7-99251)對應於美國專利號5,428,238，以下將參考日本專利申請案246264/1993 (JP-A-7-99251)作說明。上述日本專利申請案在圖15A及圖15B顯示一半導體記憶單元，包括：形成在半導體基材的表面區或絕緣基材上的第一傳導型的第一半傳導區SC_1，形成在第一半傳導區SC_1的表面區的第一傳導區SC_2，以便與第一半傳導區SC_1共同形成整流器接面，形成在第一半傳導區SC_1表面區中的第二傳導型的第二半傳導區SC_3，且與第一傳導區SC_2相隔，形成在第二半傳導區SC_3表面區的第二傳導區SC_4，以便與第二傳導區SC_3共同形成整流器接面，及形成在障壁層的傳導閘極G，以連接第一半傳導區SC_1與第二傳導區SC_4，及連接第一傳導區SC_2與第二半傳導區區SC_3，傳導閘極G與第一記憶單元選擇線連接，第一傳導區SC_2與寫入資訊設定線連接，而第二傳導區SC_4與第二記憶單元選擇線連接。

第一半傳導區SC_1(作爲通道形成區Ch_2)，第一傳導區SC_2及第二半傳導區SC_3(作爲源極/汲極區)及傳導閘極G組成一切換電晶體TR_2。換言之第二半傳導區SC_3(作爲通道形成區Ch_1)，第一半傳導區SC_1及第二傳導區SC_4(作爲源極/汲

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（3 ）

極區)及傳導閘極G組成一資訊系統電晶體TR_1。

當資訊寫入上述半導體記憶單元時，切換電晶體TR_2變成導通狀態，結果資訊儲存在資訊儲存電晶體TR_1的通道形成區Ch_1作爲電壓或電荷，當讀取資訊時，傳導閘極G看到的資訊儲存電晶體TR_1的門檻電壓即改變，這是依資訊儲存電晶體TR_1的通道形成區Ch_1中儲存的電壓或電荷而定。因此當讀取資訊時，可藉由施加正確選擇的電壓到傳導閘極G而從通道電流(包括0)大小看出資訊儲存電晶體TR_1的儲存狀態，偵測資訊電晶體TR_1的操作狀態即可讀取資訊。

亦即當讀取資訊時，資訊儲存電晶體TR_1即變成導通或截止狀態，這是依儲存在其中資訊而定。因爲第二傳導區SC_4接到第二線，所以依儲存資訊(0或1)而決定大小的電流即流入資訊儲存電晶體TR_1，依此，儲存在半導體記憶單元中的資訊可經由資訊儲存電晶體TR_1而讀取。

此外本發明人在日本專利申請案251646/1997 (JP-A-10-154757)中揭示一種半導體記憶單元包括3個電晶體如讀取電晶體TR_1，切換電晶體TR_2及用於電流控制的接面型電晶體TR_3。

惟在上述公開專利申請案揭示的半導體記憶單元中，區域的佈局及結構相對於傳導閘極是不對稱的，所以產生一問題，即它在半導體記憶單元的設計及製造期間必須時常提示傳導閘極的方向。

發明目的及總結

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（4）

本發明的第一目的是提供一種半導體記憶單元，或一邏輯之半導體記憶單元，其允許設計或製造期間之高度自由，以得到電晶體之穩定性能，與習用DRAM不同的是其不需要大的電容，即可確保資訊的可靠寫入及讀取以使尺寸減到極小，及一半導體記憶單元其中至少兩個電晶體，或至少兩個電晶體及一二極體合併爲一單元。

本發明的第二目的是提供一種半導體記憶單元，或一邏輯之半導體記憶單元，其允許設計或製造期間之高度自由，以得到電晶體之穩定性能，與習用DRAM不同的是其不需要大的電容，即可確保資訊的可靠寫入及讀取以使尺寸減到極小，及一半導體記憶單元其中至少兩個電晶體及一接面場效電晶體，或至少兩個電晶體，一接面場效電晶體及一二極體合併爲一單元。

根據本發明之第一特點用以達成上述第一目的，而揭示一種半導體記憶單元包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，及

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，

半導體記憶單元具有：

(a)一半傳導第一區具有一第二傳導型，

(b)一半傳導第二區其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區其形成在第二區之表面區且與第二區接觸俾

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(5)

與第二區共同形成一整流器接面，

(d)一半傳導第四區其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一電晶體與第二電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C)閘極區接到一第一線用於記憶單元選擇，

(D)第三區接到寫入資訊設定線，

(E)第四區接到一第二線，及

(F)第五區接到第一區，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(6)

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

本發明的假想垂直面是指與第一區表面垂直之假想平面，此外所謂幾乎對稱包括一概念，即對稱是依形成各區之方法而變，其包括兩個區係對稱之例子，以下所謂幾乎對稱也是指此意。

根據本發明之第二特點用以達成上述第一目的，而揭示一種半導體記憶單元包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一第三電流控制用電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有第二傳導型，

半導體記憶單元具有：

(a)一半傳導第一區具有一第二傳導型，

(b)一半傳導第二區其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區其形成在第一區之表面區且與第二區

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（7 ）

相隔，且具有第一傳導型，

(e)一第五區其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一，第二，與第三電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由該第一區之表面區形成第三電晶體之源極/汲極區，

(C-2)由第五區形成第三電晶體之另一源極/汲極區，

(C-3)由該第四區之表面區形成第三電晶體之通道形成區，

(D)閘極區接到一第一線用於記憶單元選擇，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8　）

(E)第三區接到一寫入資訊設定線，及

(F)第四區接到第二線，

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

此外在根據本發明第一或第二特點之半導體記憶單元中，較佳的，當以上述第一假想垂直面切割半導體記憶單元時，閘極區附近之第二區及第四區幾乎與上述第二假想垂直面對稱。

此外在根據本發明第一或第二特點之半導體記憶單元中，較佳的使用一結構其中第二區接到一第三線，第二線作爲一位元線且施加一預設電位至第三線，或一結構其中第二區接到一第三線，第三線作爲一位元線且施加一預設電位至第二線。

或者在根據本發明第一或第二特點之半導體記憶單元中，爲了簡化一布線結構，較佳的使用一結構其中由第二區及第三區形成一二極體，而第二區經由第三區而接到寫入資訊設定線。在此例中，較佳的使用一結構其中第二線作爲一位元線或一結構，其中寫入資訊設定線作爲一位元線且施加一預設電位至第二線。

根據本發明之第三特點用以達成上述第一目的，而揭示一種半導體記憶單元包括：

（請先閱讀背面之注意事項再填寫本頁）

裝　訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9 ）

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一第三電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

半導體記憶單元具有：

(a)一半傳導第一區具有一第二傳導型，

(b)一半傳導第二區其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一及第二電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由第五區及部分第一區形成接面場效電晶體之閘極部分，該部分第一區與第五區相對，

(C-2)由部分第四區形成接面場效電晶體之通道區，該部分置於第五區與該部分第一區之間，

(C-3)由該第四區之表面區形成接面場效電晶體之源極/汲極區，該表面區從接面場效電晶體之通道區之一端延伸且形成第一電晶體之另一源極/汲極區，

(C-4)由部分第四區形成接面場效電晶體之另一源極/汲極區，該部分從接面場效電晶體之通道區之另一端延伸，

(D)閘極區接到一第一線用於記憶單元選擇，

(E)第三區接到一寫入資訊設定線，

(F)第四區接到一第二線，及

(G)第五區接到一第三線，

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

直面與閘極區之延伸方向平行且通過閘極區中心。

在根據本發明第三特點之半導體記憶單元中，使用一結構其中第五區接到寫入資訊設定線以代替接到第三線，或一結構其中第五區接到第一區以代替接到第三線。

在根據本發明第三特點之半導體記憶單元中，使用一結構其中半導體記憶單元更包括一第二電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

由第三部分及部分第一區形成第二接面場效電晶體之閘極部分，該部分第一區與第三區相對，由部分第二區形成第二接面場效電晶體之通道區，該部分置於第三區與該部分第一區之間，

由該第二區之表面區形成第二接面場效電晶體之源極/汲極區，該表面區從第二接面場效電晶體之通道區之一端延伸且形成第一電晶體之源極/汲極區，

第二接面場效電晶體的源極/汲極區係由該第二區域的表面區域形成，該表面區域自第二接面場效電晶體的通道區之一端延伸並形成第一電晶體的源極/汲極區域，以及

由部分第二區形成第二接面場效電晶體之另一源極/汲極區，該部分從第二接面場效電晶體之通道區之另一端延伸。

在上述例子中，使用一結構其中第五區接到第一區以代替接到第三線。

根據本發明之第四特點用以達成上述第二目的更具有一第三電流控制用電晶體，及在此點它與本發明第三特點之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

半導體記憶單元不同，亦即根據本發明第四特點之半導體記憶單元，包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，

(3)一第三電流控制用電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有第二傳導型，及

(4)一電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

半導體記憶單元具有：

(a)一半傳導第一區具有一第二傳導型，

(b)一半傳導第二區其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一，第二及第三電晶體共用，

其中：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（13）

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由該第五區之表面區形成第三電晶體之源極/汲極區，

(C-2)由第五區形成第三電晶體之另一源極/汲極區，

(C-3)由該第四區之表面區形成第三電晶體之通道形成區，

(D-1)由第五區及部分第一區形成接面場效電晶體之閘極部分，該部分第一區與第五區相對，

(D-2)由部分第四區形成接面場效電晶體之通道區，該部分置於第五區與該部分第一區之間，

(D-3)由該第四區之表面區形成接面場效電晶體之源極/汲極區，該表面區從接面場效電晶體之通道區之一端延伸，形成第一電晶體之另一源極/汲極區及形成第三電晶體之通道形成區，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

(D-4)由部分第四區形成接面場效電晶體之另源極/汲極區，該部分從接面場效電晶體之通道區之另一端延伸，

(E)閘極區接到一第一線用於記憶單元選擇，

(F)第三區接到一寫入資訊設定線，及

(G)第四區接到一第二線，及

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

在根據本發明第四特點之半導體記憶單元中，使用一結構其中半導體記憶單元包括一第二電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

第二接面場效電晶體之閘極部分由第三區及部分第一區形成，該部分第一區與第三區相對，

第二接面場效電晶體之通道區由部分第二區形成，該部分置於第三區與該部分第一區之間，

由該第二區之表面區形成第二接面場效電晶體之源極/汲極區，該表面區從第二接面場效電晶體之通道區之一端延伸且形成第一電晶體之源極/汲極區，及

由部分第二區形成第二接面場效電晶體之另一源極/汲極區，該部分從第二接面場效電晶體之通道區之另一端延伸。

根據本發明之第五特點用以達成上述第二目的之半導體

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（15）

記憶單元，其與根據本發明第三特點之半導體記憶單元不同處在於形成接面場效電晶體之位置，亦即根據本發明第五特點之半導體記憶單元，包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

半導體記憶單元具有：

(a)一半傳導第一區具有一第二傳導型，

(b)一半傳導第二區其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一及第二電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（16 ）

區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由該第三區與部分第一區形成接面場效電晶體之閘極部分，該部分第一區與第三區相對，

(C-2)由部分第二區形成接面場效電晶體之通道區，該部分第二區置於第三區與該部分第一區之間，

(C-3)由該第二區之表面區形成接面場效電晶體之源極/汲極區，該表面區從接面場效電晶體之通道區之一端延伸且形成第一電晶體之源極/汲極區，

(C-4)由部分第二區形成接面場效電晶體之另一源極/汲極區，該部分第二區從接面場效電晶體之通道區之另一端延伸，

(D)閘極區接到一第一線用於記憶單元選擇，

(E)第三區接到一寫入資訊設定線，

(F)第四區接到一第二線，及

(G)第五區接到第一區，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（17）

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

與根據本發明第三特點之半導體不同的是，第五區未參與接面場效電晶體之結構，惟，因爲第五區及第一區互相連接，可增加要儲存資訊之一區，且可增加半導體記憶單元儲存資訊之時間長度。

在根據本發明第三至第五特點之半導體記憶單元中之接面場效電晶體(JFET)或第二接面場效電晶體，可藉由以下而形成

(i)使各接面場效電晶體(通道區厚度)之相對閘極部分間之距離最佳，及

(ii)使各接面場效電晶體之相對閘極部分之雜質濃度及各接面場效電晶體之通道區之雜質濃度最佳。

當閘極部分間之距離(通道區厚度)及各閘極部分之雜質濃度及通道區未最佳時，一空乏層不會加寬，且不能得到各接面場效電晶體之導通截止操作，上述最佳必須藉由電腦模擬或實驗而得到。

此外在根據本發明第三，第四，或第五特點的半導體記憶單元中，較佳的，當以上述第一假想垂直面切割半導體記憶單元時，閘極區附近之第三區及第五區幾乎與上述第二假想垂直面對稱。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（18）

此外在根據本發明第三特點之半導體記憶單元中，較佳的使用一結構其中第二區接到一第四線，第二線作爲一位元線且施加一預設電位至第四線，或一結構其中第二區接到一第四線，第四線作爲一位元線且施加一預設電位至第二線。

在根據本發明第四或第五特點之半導體記憶單元中，較佳的使用一結構其中第二區接到一第三線，第二線作爲一位元線且施加一預設電位至第三線，或一結構其中第二區接到一第三線，第三線作爲一位元線且施加一預設電位至第二線。

或者在根據本發明第三，第四，或第五特點之半導體記憶單元中，包括以下變化，爲了簡化佈線結構，較佳的使用一結構其中由第二區及第三區形成一二極體，而第二區經由第三區而接到寫入資訊設定線。在此例中，較佳的使用一結構其中第二線作爲一位元線，或一結構其中寫入資訊設定線作爲一位元線且施加一預設電位至第二線。

當由具有與第二區相反傳導型之傳導型形成第三區時，二極體係一pn接面二極體，且藉由將形成pn接面二極體之這些區之雜質濃度至正確值即可形成pn接面二極體。當形成pn接面二極體之區中之電位未正確設定時，或是當這些區中雜質濃度之關係設計不正確時，從上述pn接面二極體射入之載子會鎖住半導體記憶單元。

爲了避免上述失效，較佳的是使用一結構其中二極體組成區形成在與第二區接觸之第二區表面區中，俾與第二區

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

共同形成一整流器接面，由二極體組成區及第二區形成主要載子二極體，而第二區經由二極體組成區而接到寫入資訊設定線。二極體組成區最好由形成蕭基接面或ISO型異接面之材料製造，其中此一二極體根據第二區中主要載子而操作，而且即使當施加一順向偏壓至接面部分仍不會射入主要載子。亦即，整流器接面最好是主要載子接面如一蕭基接面或一絕緣。名詞「ISO型異接面」是指兩個半傳導區之間形成的異接面，其具有相同傳導型但是類型不同。絕緣的詳細內容可參考「半導體裝置物理」S.M. Sze，第二版，122頁(John Wiley & Sons出版)。在上述蕭基接面或ISO型異接面中，順向電壓低於pn接面中的順向電壓。具有上述特性的主要載子二極體可避免鎖住現像。當二極體組成區由金屬如鋁，鉬或鈦或矽化物如$TiSi_2$或WSi_2製造時，即可形成蕭基接面，當二極體組成區由半傳導材料製造時即可形成絕緣，該材料與組成第二區的材料不同，其具有與第二區的傳導型相同的傳導型。二極體組成區可由一材料製造，其與用以組成寫入資訊設定線的材料(如矽化鈦或TiN作爲障壁層或黏合層使用)相同，亦即可使用一結構其中二極體組成區形成在第二區的表面區中，而如此形成的二極體組成區作爲寫入資訊設定線的一部分。上述結構其中「作爲寫入資訊設定線一部分的二極體組成區」也包括一狀態其中二極體組成區是由一化合物製造，其由佈線材料及矽半導體基材的矽之間的反應而形成。

在根據本發明第二特點的半導體記憶單元中，較佳的具

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（20）

有第二傳導型之含雜質層形成在第四區之表面區之中，該第四區形成第三電晶體之通道形成區。在此例中，當儲存資訊及第一線之電位設定爲0伏時，第三電晶體即變成導通狀態，而第五區及第一區變成導通狀態。較佳的，調整含雜質層之雜質成分，俾於讀取資訊時施加一電位至第一線而將第三電晶體變成截止狀態。

本發明的半導體記憶單元可形成在半導體基材之表面區，在一半導體基材中形成之絕緣層上，在半導體基材或一絕緣體中形成之井結構中。爲了處理α粒子或中子導致的軟錯誤，較佳的半導體記憶單元形成在井結構或一絕緣體(絕緣層)之中，或者它具有所謂的SOI結構或TFT結構。不僅可以半導體記憶單元一半導體基材上形成絕緣體或絕緣層，而且可以在玻璃基材或石英基材上形成。

在本發明的半導體記憶單元中，較佳的在第一區之下形成具有一第一傳導型之高雜質濃度層，因爲在此例中，可增加第一電晶體之通道形成區中儲存之電位或電荷。

可根據習用方法而從矽，GaAs等製造通道形成區，第一電晶體或第二電晶體之閘極區可根據習用方法從金屬，一含矽雜質，一含非晶矽雜質，一含聚矽雜質，矽化物，或含高雜質濃度之GaAs中製造。絕緣層可根據習用方法而從SiO_2，Si_3N_4，Al_2O_3或GaAlAs中製造。依所需特性及其結構各區可根據習用方法，而從一含矽雜質，一含非矽雜質，一含聚矽雜質，矽化物，含高雜質濃度之矽鍺(Si-Ge)或GaAs中製造。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

月說明（21）

在本發明的半導體記憶單元中，依所需特性而從矽化物，一金屬或一金屬化合物中製造第三區。惟第三區最好由半導體製造，此外第五區可以從半導體製造，或者從矽化物，一金屬或一金屬化合物製造。

在本發明中，當以第一假想垂直面切割半導體記憶單元時，閘極區附近之第二區及第四區幾乎與第二假想垂直面對稱，而此外在某些結構中，閘極區附近之第三區及第五區幾乎與第二假想垂直面對稱，因此可增加半導體記憶單元設計或製造時之自由度。

在本發明的半導體記憶單元中，此外閘極區是第一電晶體及第二電晶體共用，且接到第一線用於記憶單元選擇，所以一線足以供第一線用於記憶單元選擇，以減少一晶片面積。

在本發明的半導體記憶單元中，藉由在第一線用於記憶單元選擇中選擇一正確電位，即可控制第一電晶體及第二電晶體之導通截止狀態。亦即當寫入資訊時，第一線用於記憶單元選擇之電位即設定在一位準，以充分導通第二電晶體。因此，第二電晶體變成導通，而且依寫入資訊設定線之電位將電荷儲存在通道形成區與第二電晶體之源極/汲極區間形成之電容中。結果，資訊以第二電晶體之通道形成區與第一電晶體之通道形成區間之電位差或電荷形式，儲存在第一電晶體之通道形成區中。讀取資訊時，第一電晶體之源極/汲極區電位即成爲一讀取電位，而在第一電晶體中，儲存在通道形成區之電位或電荷(資訊)轉成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（22）

通道形成區與另一源極/汲極區間之電位差或一電荷，而從閘極區看去第一電晶體之門檻值是依上述電荷(資訊)而變。讀取資訊時，一正確選擇電位即施加到閘極區，因此可控制第一電晶體之導通截止操作。偵測第一電晶體之操作狀態，因此可讀取資訊。

此外使用二極體即可去除第三線其接到第一電晶體之源極/汲極區(第二區)。在本發明的上述半導體記憶單元中，當電位在組成二極體之區不正確設定時，或是當這些區中雜質濃度之關係設計不正確時，若施加至寫入資訊設定線之電壓不是在一低位準(如當接面是pn接面時，其小於或等於0.4伏)，在寫入資訊期間會發生鎖住現象，此時無大順向電流流入第三區與第二區之接面部分。爲了避免鎖住現象，而於以上揭示一種方法，其中一二極體組成區形成在第二區之表面區中，而二極體組成區是由矽化物，一金屬或一金屬化合物製造，以形成一蕭基接面或一ISO型異接面作爲二極體組成區與第二區之接面，所以主要載子主要組成一順向電流。

在根據本發明第三至第五特點中之任一者的半導體記憶單元中，除了一第一傳導型之第一電晶體及一第二傳導型之第二電晶體以外也揭示接面場效電晶體，當讀取資訊時即可控制接面場效電晶體之導通截止操作，以便能大幅加寬第一電晶體之源極/汲極區間流動之電流量。結果，可接到如第二線的半導體記憶單元數目幾乎無限制。此外當揭示第三電流控制用電晶體時，在讀取資訊期間即可控制

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（23）

導通截止操作，以便能大幅加寬第一電晶體之源極/汲極區間流動之電流量。結果，可接到如第二線的半導體記憶單元數目限制即大幅減少。

本發明的半導體記憶單元以電位，電位差或電荷的形式儲存資訊，同時用導引電流如接面漏電來衰減而且需要使其恢復的操作，因此半導體記憶單元的操作類似DRAM。

附圖簡單說明

將根據附圖所示的例子來說明本發明，以下說明中的示意部分剖視圖，除非另有說明，否則是以第一假想垂直面切割半導體記憶單元而得到，該垂直面與閘極區之延伸方向垂直且通過閘極區中心。

圖1是根據本發明第一特點的半導體記憶單元的主圖。

圖2A，2B是根據本發明第一特點的半導體記憶單元的其他實例的主圖。

圖3是根據本發明第二特點的半導體記憶單元的主圖。

圖4A，4B是根據本發明第二特點的半導體記憶單元的其他實例的主圖。

圖5A，5B是範例1半導體記憶單元的示意部分剖視圖。

圖6是範例1半導體記憶單元的其他實例的示意部分剖視圖。

圖7是範例1半導體記憶單元的其他實例的示意部分剖視圖。

圖8是範例1半導體記憶單元的其他實例的示意部分剖視圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

圖9是範例1半導體記憶單元的其他實例的示意部分剖視圖。

圖10是範例1半導體記憶單元的其他實例的示意部分剖視圖。

圖11是圖10其他實例的示意部分剖視圖，其藉由將它切過其他平面而產生。

圖12A，12B是範例2半導體記憶單元的其他實例的示意部分剖視圖。

圖13是範例2半導體記憶單元的其他實例的示意部分剖視圖。

圖14是範例2半導體記憶單元的其他實例的示意部分剖視圖。

圖15是範例2半導體記憶單元的其他實例的示意部分剖視圖。

圖16是範例2半導體記憶單元的其他實例的示意部分剖視圖。

圖17是根據本發明第三特點的半導體記憶單元的主圖。

圖18A，18B是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖19是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖20A，20B是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖21是根據本發明第三特點的半導體記憶單元的其他實

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

例的主圖。

圖22A，22B是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖23是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖24A，24B是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖25是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖26A，26B是根據本發明第三特點的半導體記憶單元的其他實例的主圖。

圖27A，27B是範例3半導體記憶單元的示意部分剖視圖。

圖28是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖29是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖30是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖31是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖32是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖33是範例3半導體記憶單元的其他實例的示意部分剖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（26）

視圖。

圖34是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖35A，35B是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖36是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖37是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖38是範例3半導體記憶單元的其他實例的示意部分剖視圖。

圖39是圖38其他實例的示意部分剖視圖，其藉由將它切過其他平面而產生。

圖40是範例4半導體記憶單元的其他實例的示意部分剖視圖。

圖41是範例4半導體記憶單元的其他實例的示意部分剖視圖。

圖42是範例4半導體記憶單元的其他實例的示意部分剖視圖。

圖43是範例4半導體記憶單元的其他實例的示意部分剖視圖。

圖44是範例4半導體記憶單元的其他實例的示意部分剖視圖。

圖45是範例4半導體記憶單元的其他實例的示意部分剖

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（27）

視圖。

圖46是根據本發明第四特點的半導體記憶單元的其他實例的主圖。

圖47A，47B是根據本發明第四特點的半導體記憶單元的其他實例的主圖。

圖48是根據本發明第四特點的半導體記憶單元的其他實例的主圖。

圖49是根據本發明第四特點的半導體記憶單元的其他實例的主圖。

圖50是根據本發明第四特點的半導體記憶單元的其他實例的主圖。

圖51A，51B是範例5半導體記憶單元的示意部分剖視圖。

圖52是範例5半導體記憶單元的其他實例的示意部分剖視圖。

圖53是範例5半導體記憶單元的其他實例的示意部分剖視圖。

圖54是範例5半導體記憶單元的其他實例的示意部分剖視圖。

圖55是範例5半導體記憶單元的其他實例的示意部分剖視圖。

圖56是範例6半導體記憶單元的示意部分剖視圖。

圖57是範例6半導體記憶單元的其他實例的示意部分剖視圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（28 ）

圖58是範例6半導體記憶單元的其他實例的示意部分剖視圖。

圖59是根據本發明第五特點的半導體記憶單元的主圖。

圖60A，60B是根據本發明第五特點的半導體記憶單元的其他實例的主圖。

圖61A，61B是範例7半導體記憶單元的其他實例的示意部分剖視圖。

圖62是範例7半導體記憶單元的其他實例的示意部分剖視圖。

圖63是範例7半導體記憶單元的其他實例的示意部分剖視圖。

圖64是範例7半導體記憶單元的其他實例的示意部分剖視圖。

圖65是範例7半導體記憶單元的其他實例的示意部分剖視圖。

圖66A，66B，66C半導體基材等的示意部分剖視圖，以說明製造本發明範例1的半導體記憶單元的製程摘要。

圖67A，67B是習用一電晶體記憶單元的概念圖，及具有渠溝電容單元結構的習用記憶單元的概念剖視圖。

較佳實施例之說明

範例1

範例1有關於根據本發明第一特點的半導體記憶單元，圖1是範例1半導體記憶單元的主圖，而圖5A，5B是它的示意部分剖視圖。圖5A的部分剖視圖是以第一假想垂直面

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（29）

(如圖5B的虛線PL_1所示)切割半導體記憶單元得到，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，圖5B的部分剖視圖是以一假想垂直面切割半導體記憶單元(包括第五區SC_5)而得到，該垂直面與第二假想垂直面(如圖5A的虛線PL_2所示)平行，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。

範例1的半導體記憶單元包括：

(1)一第一讀取電晶體TR_1，具有：源極/汲極區，一通道形成區CH_1及一閘極區G且具有一第一傳導型如n型，及

(2)一第二切換電晶體TR_2，具有：源極/汲極區，一通道形成區CH_2及一閘極區G且具有一第二傳導型如p型，

而半導體記憶單元具有：

(a)一半傳導第一區SC_1具有一第二傳導型如p^+型，

(b)一半傳導第二區SC_2其形成在第一區SC_1之表面區且具有一第一傳導型如n^+型，

(c)一第三區SC_3其形成在第二區SC_2之表面區且與第二區SC_2接觸俾與第二區SC_2共同形成一整流器接面，第三區SC_3係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，

(d)一半傳導第四區SC_4其形成在第一區SC_1之表面區且與第二區SC_2相隔，且具有第一傳導型如n^+型，

(e)一第五區SC_5其形成在第四區SC_4之表面區且與第四區SC_4接觸俾與第四區SC_4共同形成一整流器接面，第五區SC_5係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（30）

而由矽化物，金屬或金屬化合物製造，及

(f)一閘極區G其形成在一絕緣層上俾連接第一區SC_1與第三區SC_3，及連接第二區SC_2與第四區SC_4，且由第一電晶體TR_1與第二電晶體TR_2共用，

在第一電晶體TR_1之中：

(A-1)由第二閘極SC_2之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極SC_4之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區SC_1之表面區形成通道形成區CH_1，表面區置於該第二區SC_2之表面區與該第四區SC_4之表面區之間，

在第二電晶體TR_2之中：

(B-1)由該第一區SC_1之表面區形成一源極/汲極區，該表面區形成第一電晶體TR_1之通道形成區CH_1，

(B-2)由第三區SC_3形成另一源極/汲極區，及

(B-3)由該第二區SC_2之表面區形成通道形成區CH_2，該表面區形成第一電晶體TR_1之源極/汲極區，

此外，(C)閘極區G接到一第一線用於記憶單元選擇(如字線)，

(D)第三區SC_3接到寫入資訊設定線WISL，

(E)第四區SC_4接到一第二線，及

(F)第五區SC_5接到第一區SC_1。

當以第一假想垂直面(如圖5B的虛線PL_1)切割半導體記憶單元時，該垂直面與閘極區G之延伸方向垂直且通過閘極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（31）

區G中心，閘極區G附近之第二區SC_2及第四區SC_4幾乎與第二假想垂直面(圖5A的虛線PL_2)對稱，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。亦即第二區SC_2的表面區及第四區SC_4的表面區，在閘極區G下方，幾乎與第二假想垂直面PL_2對稱。此外第二區SC_2的深度(深度是從第一區SC_1的表面開始測量，以下所謂的名詞深度是指此意)與第四區SC_4的深度幾乎互相相等。如上所述對稱是依形成這些區的方法而定，本發明的名詞幾乎對稱也包括對稱改變的例子。此外上述區的深度是依形成它的方法而定，而本發明的名詞幾乎相等也包括深度改變的例子，以下使用這些名詞時都包括上述意思。

此外在範例1的半導體記憶單元中，當以第一假想垂直面PL_1切割半導體記憶單元時，閘極區G附近之第三區SC_3及第五區SC_5幾乎與第二假想垂直面PL_2對稱。亦即，第三區SC_3的表面區的邊緣部分在閘極區G的下面，而第五區SC_5的表面區的邊緣部分在閘極區G的下面，幾乎與第二假想垂直面PL_2對稱。此外第三區SC_3的深度與第五區SC_5的深度幾乎相等。

在範例1的半導體記憶單元中(圖5A，圖5B)，第二區SC_2接到第三線，較佳的使用一結構其中第二線作爲一位元線且施加一預設電位至第三線，或一結構其中第三線作爲一位元線且施加一預設電位至第二線。

半導體記憶單元(明確而言是第一區SC_1)形成在第二傳導型(如p型)井結構中，其又形成在n型半導體基材中，而且

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（32）

當具有第一傳導型(如n^{++}型)的高濃度雜質包含層SC_{10}形成在第一區SC_1之下時，即可增加電位或電荷其要儲存在第一讀取電晶體TR_1的通道形成區CH_1。圖中的"IR"是指裝置絕緣區而"IL"是指絕緣層。

第五區SC_5直接與第一區SC_1連接，當第五區SC_5與第一區SC_1連接時，即可增加儲存資訊的區域，而且可增加半導體記憶單元儲存資訊的時間長度，形成一結構即可使第一區SC_1與第五區SC_5互相連接，其中部分第一區SC_1向上延伸到半導體基材的表面附近，而第五區SC_5與第一區SC_1的延伸部分在第四區SC_4的外部互相接觸(圖5B)，當如此建構半導體記憶單元時，即可簡化半導體記憶單元的佈線結構。

圖6到11顯示圖5A，5B中半導體記憶單元的其他實例。

在圖6的半導體記憶單元中，高濃度雜質包含層SC_{11}(具有第一傳導型如n^{++}型且作爲第三線)形成在第一區SC_1之下，而高濃度雜質包含層SC_{11}接到第二區SC_2。此結構可簡化佈線結構。

在圖7的半導體記憶單元中，圖5A，5B所示的半導體記憶單元形成在半導體層SC_0(形成在支撐基材上的絕緣層IL_0)之中，如此建構的半導體記憶單元可用所謂基材接合方法製造，其中絕緣體(絕緣層)形成在半導體基材的整個表面上，絕緣體(絕緣層)及支撐基材互相連接，接著半導體基材接地且在其背面研磨。或者藉由用氫作離子植入矽半導體基材，且接著將基材作熱處理，即可根據SIMOX方法而

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（33）

形成絕緣體(絕緣層)，而半導體記憶單元可形成在絕緣體(絕緣層)上剩下的矽層中。亦即這些半導體記憶單元具有所謂SOI結構，或者如藉由CVD等方法而將非晶矽層或聚矽層形成在絕緣體(絕緣層)上，接著以習用的單晶方法而形成矽層，該方法如使用雷射光束或電子光束的區域熔化結晶法，或是側向固相成長法，其中經由絕緣體(絕緣層)中形成的開孔而執行晶體成長，而半導體記憶單元可形成在上述矽層中。或者如聚矽層或非晶矽層形成在支撐基材上的絕緣體(絕緣層)之中，而接著半導體記憶單元形成在上述非晶矽層或聚矽層相中，此一半導體記憶單元具有所謂TFT結構。

半導體記憶單元圖8的示意部分剖視圖及圖2A主圖的半導體記憶單元中，第一區TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代與第三線連接)。亦即，pn接面二極體D形成在第二區SC_2與第三區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3而接到寫入資訊設定線WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形成pn接面二極體D，可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖9示意部分剖視圖中的半導體記憶單元(參考圖2B的主圖)，更包括由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（34）

區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入資訊設定線WISL，以替代接到第三線。亦即，第一電晶體TR_1的源極/汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在圖9的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖10示意部分剖視圖中的半導體記憶單元是藉由結構上改良圖5A，5B示意部分剖視圖中所示半導體記憶單元的第三區SC_3及第五區SC_5而得到。亦即，具有第二傳導型如p^{++}型的雜質包含層SC_{3A}形成在第三區SC_3上，第三區SC_3經由雜質包含層SC_{3A}而接到寫入資訊設定線WISL，第三區SC_3藉由p型雜質的固相擴散而從雜質包含層SC_{3A}以自對齊方式形成，而它具有淺的pn接面。此外，雜質包含層SC_{3A}經由一絕緣材料層IF而位於閘極區G的一側以形成側壁。也可使用一結構其中雜質包含層SC_{3A}作爲寫入資訊設定線WISL。亦即，雜質包含層SC_{3A}作爲寫入資訊設定線WISL，亦即，雜質包含層SC_{3A}的延伸方向垂直於附圖的表面，而雜質包含層SC_{3A}的延伸部分是相鄰半導體記憶單元的雜質包含層SC_{3A}，且作爲寫入資訊設定線WISL。此結構可簡化佈線結構，及得到半導體記憶單元的較細結構的資訊。上述側壁是指一種形式，其藉由沈積一層而得到，用以在半導體基材的整個表面上形成雜質包含層，而

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

上面已形成閘極區G，且接著將上述層蝕刻回以留下該層的一部分(即雜質包含層)在閘極區G的側面。以下將以相同方式說明各半導體記憶單元中雜質包含層側壁的形成，以垂直於閘極區G延伸方向的平面切割雜質包含層而得到雜質包含層的剖視圖形式，包括：將圓分成四等分的形式，將橢圓分成四等分的形式，及將此一形式與一部分合併而得到的形式。此外，可以用矽，非晶矽或聚矽而製造，其包含或摻雜(第一傳導型，第二傳導型，或矽鍺Si-Ge)的雜質。

在第五區SC_5上形成具有第二傳導型(如p^{++}型)的雜質包含層SC_{5A}，第五區SC_5藉由p型雜質的固相擴散而從雜質包含層SC_{5A}以自對齊方式形成，而它具有淺的p接面。此外，雜質包含層SC_{5A}經由一絕緣材料層IF而位於閘極區G的另一側以形成側壁。圖11是半導體記憶單元的示意部分剖視圖圖，包括第五區SC_5，藉由以一假想垂直面切割包括第五區SC_5的半導體記憶單元而形成，該垂直面與第二假想垂直面PL_2平行，其與閘極區G之延伸方向平行且通過閘極區G。

圖6到9中各半導體記憶單元的第三區SC_3及第五區SC_5已用雜質包含層SC_{3A}，SC_{5A}的結構所替代，半導體記憶單元的第三區SC_3及第五區SC_5顯示在圖10。

範例2

範例2有關於根據本發明第二特點的半導體記憶單元，圖3是範例2半導體記憶單元的主圖，而圖12A，12B是它

經濟部智慧財產局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（36）

的示意部分剖視圖。圖12A的部分剖視圖是以第一假想垂直面(如圖12B的虛線PL_1所示)切割半導體記憶單元得到，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，圖12B的部分剖視圖是以一假想垂直面切割半導體記憶單元(包括第五區SC_5)而得到，該垂直面與第二假想垂直面(如圖12A的虛線PL_2所示)平行，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。

範例2的半導體記憶單元具有一第三電流控制用電晶體，而此時範例2的半導體記憶單元與範例1的半導體記憶單元不同，亦即，範例2的半導體記憶單元包括：

(1)一第一讀取電晶體TR_1，具有：源極/汲極區，一通道形成區CH_1及一閘極區G且具有一第一傳導型如n型，

(2)一第二切換電晶體TR_2，具有：源極/汲極區，一通道形成區CH_2及一閘極區G且具有一第二傳導型如p型，及

(3)一第三電流控制用電晶體TR_3，具有：源極/汲極區，一通道形成區CH_3及一閘極區G且具有第二傳導型如p型，

而半導體記憶單元具有：

(a)一半傳導第一區SC_1具有一第二傳導型(如p^+型)，

(b)一半傳導第二區SC_2其形成在第一區SC_1之表面區且具有一第一傳導型如n^+型，

(c)一第三區SC_3其形成在第二區SC_2之表面區且與第二區SC_2接觸俾與第二區SC_2共同形成一整流器接面，第三區SC_3係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (37)

(d)一半傳導第四區SC_4其形成在第一區SC_1之表面區且與第二區SC_2相隔，且具有第一傳導型如n^+型，

(e)一第五區SC_5其形成在第四區SC_4之表面區且與第四區SC_4接觸俾與第四區SC_4共同形成一整流器接面，第五區SC_5係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，及

(f)一閘極區G其形成在一絕緣層上俾連接第一區SC_1與第三區SC_3，及連接第二區SC_2與第四區SC_4，及連接第1區SC_1與第五區SC_5，且由第一電晶體TR_1，第二電晶體TR_2，與第三電晶體TR_3共用。

關於第一電晶體TR_1：

(A-1)由第二閘極SC_2之表面區形成之源極/汲極區，

(A-2)由第四閘極SC_4之表面區形成另一源極/汲極區，及

(A-3)由第一區SC_1之表面區形成通道形成區CH_1，表面區置於該第二區SC_2之表面區與該第四區SC_4之表面區之間，

關於第二電晶體TR_2，

(B-1)由該第一區SC_1之表面區形成源極/汲極區，該表面區形成第一電晶體TR_1之通道形成區CH_1，

(B-2)由第三區SC_3形成另一源極/汲極區，及

(B-3)由該第二區SC_2之表面區形成通道形成區CH_2，該表面區形成第一電晶體TR_1之源極/汲極區，

關於第三電晶體TR_3，

(C-1)由該第一區SC_1之表面區形成源極/汲極區，

(C-2)由第五區SC_5形成另一源極/汲極區，及

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（38）

(C-3)由該第四區SC_4之表面區形成通道形成區CH_3，

此外，(D)閘極區G接到一第一線用於記憶單元選擇如字線，

(E)第三區SC_3接到一寫入資訊設定線WISL，及

(F)第四區SC_4接到第二線。

當以第一假想垂直面(如圖12B的虛線PL_1)切割半導體記憶單元時，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，閘極區G附近之第二區SC_2及第四區SC_4幾乎與第二假想垂直面(圖12A的虛線PL_2)對稱，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。亦即第二區SC_2的表面區及第四區SC_4的表面區，在閘極區G下方，幾乎與第二假想垂直面PL_2對稱。此外第二區SC_2的深度與第四區SC_4的深度幾乎互相相等。

在範例2的半導體記憶單元中，當以第一假想垂直面PL_1切割半導體記憶單元時，閘極區G附近之第三區SC_3及第五區SC_5幾乎與第二假想垂直面PL_2對稱。亦即，第三區SC_3的表面區的邊緣部分在閘極區G的下面，而第五區SC_5的表面區的邊緣部分在閘極區G的下面，幾乎與第二假想垂直面PL_2對稱。此外第三區SC_3的深度與第五區SC_5的深度幾乎相等。

在範例2的半導體記憶單元中，較佳的，具有第二傳導型(如p^{++}型)的雜質包含層SC_{4A}形成在第四區SC_4的表面區，該表面區形成第三電晶體TR_3的通道形成區CH_3。在此

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（39）

例中，當儲存資訊及第一線之電位設定爲0伏時，第三電晶體TR_3即變成導通狀態，而第五區SC_3及第一區SC_1變成導通狀態。如上所述第五區SC_5及第一區SC_1經由第三電晶體TR_3而互相連接，因此可增加資訊儲存區域，及增加半導體記憶單元儲存資訊的時間長度。較佳的，可調整雜質包含層SC_{4A}的雜質內容，以便讀取資訊時藉由施加電位到第一線而使第三電晶體TR_3變成截止狀態。

在範例2的半導體記憶單元中(圖12A，12B)，第二區SC_2接到第三線，較佳的使用一結構其中第二線作爲一位元線且施加一預設電位至第三線，或一結構其中第三線作爲一位元線且施加一預設電位至第二線。

半導體記憶單元(明確而言是第一區SC_1)形成在第二傳導型(如p型)井結構中，其又形成在n型半導體基材中，而且當具有第一傳導型(如n^{++}型)的高濃度雜質包含層SC_{10}形成在第一區SC_1之下時，即可增加電位或電荷其要儲存在第一讀取電晶體TR_1的通道形成區CH_1。

圖13到16是圖12A，12B的半導體記憶單元的其他實例。

在圖13的半導體記憶單元中，高濃度雜質包含層SC_{11}(具有第一傳導型如n^{++}型且作爲第三線)形成在第一區SC_1之下，而高濃度雜質包含層SC_{11}接到第二區SC_2。此結構可簡化佈線結構。

在圖14的示意部分剖視圖及圖4A的主圖所示的半導體記憶單元中，第一電晶體TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代與第三

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（40）

線連接)。亦即，pn接面二極體D形成在第二區SC_2與第三區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3而接到寫入資訊設定線WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形成pn接面二極體D，可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖15示意部分剖視圖中的半導體記憶單元(參考圖4B的主圖)，更包括由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入資訊設定線WISL，以替代接到第三線。亦即，第一電晶體TR_1的源極/汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在圖15的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖16示意部分剖視圖中的半導體記憶單元是藉由結構上改良圖12A，12B示意部分剖視圖中所示半導體記憶單元的第三區SC_3及第五區SC_5而得到。亦即，具有第二傳導型如p^{++}型的雜質包含層SC_{3A}形成在第三區SC_3上，第三區SC_3經由雜質包含層SC_{3A}而接到寫入資訊設定線WISL，第三區SC_3藉由p型雜質的固相擴散而從雜質包含層SC_{3A}以自對齊

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（41）

方式形成，而它具有淺的pn接面。此外，雜質包含層SC_{3A}經由一絕緣材料層IF而位於閘極區G的一側以形成側壁。也可使用一結構其中雜質包含層SC_{3A}作爲寫入資訊設定線WISL。亦即，雜質包含層SC_{3A}作爲寫入資訊設定線WISL，亦即，雜質包含層SC_{3A}的延伸方向垂直於附圖的表面，而雜質包含層SC_{3A}的延伸部分是相鄰半導體記憶單元的雜質包含層SC_{3A}，且作爲寫入資訊設定線WISL。此結構可簡化佈線結構，及得到半導體記憶單元的較細結構的資訊。

在第五區SC_5上形成具有第二傳導型(如p^{++}型)的雜質包含層SC_{5A}，第五區SC_5藉由p型雜質的固相擴散而從雜質包含層SC_{5A}以自對齊方式形成，而它具有淺的p接面。此外，雜質包含層SC_{5A}經由一絕緣材料層IF而位於閘極區G的另一側以形成側壁。

圖12到15中各半導體記憶單元的第三區SC_3及第五區SC_5可以用雜質包含層SC_{3A}，SC_{5A}的結構替代，半導體記憶單元的第三區SC_3及第五區SC_5顯示在圖16。

範例3

範例3有關於根據本發明第三特點的半導體記憶單元，圖17是範例3半導體記憶單元的主圖，而圖27A，27B是它的示意部分剖視圖。圖27A的部分剖視圖是以第一假想垂直面(如圖27B的虛線PL_1所示)切割半導體記憶單元得到，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心；圖27B的部分剖視圖是以一假想垂直面切割半導體記

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (42)

憶單元(包括第五區SC_5)而得到，該垂直面與第二假想垂直面(如圖27A的虛線PL_2所示)平行，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。

範例3的半導體記憶單元包括：

(1)一第一讀取電晶體TR_1，具有：源極/汲極區，一通道形成區CH_1及一閘極區G且具有一第一傳導型如n型，

(2)一第二切換電晶體TR_2，具有：源極/汲極區，一通道形成區CH_2及一閘極區G且具有一第二傳導型如p型，及

(3)一接面場效電晶體JF_1具有：源極/汲極區，一通道區CH_{J1}及一閘極部分，

而半導體記憶單元具有：

(a)一半傳導第一區SC_1具有一第二傳導型(如p^+型)，

(b)一半傳導第二區SC_2其形成在第一區SC_1之表面區且具有一第一傳導型如n^+型，

(c)一第三區SC_3其形成在第二區SC_2之表面區且與第二區SC_2接觸俾與第二區SC_2共同形成一整流器接面，第三區SC_3係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，

(d)一半傳導第四區SC_4其形成在第一區SC_1之表面區且與第二區SC_2相隔，且具有第一傳導型如n^+型，

(e)一第五區SC_5其形成在第四區SC_4之表面區且與第四區SC_4接觸俾與第四區SC_4共同形成一整流器接面，第五區SC_5係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，及

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明 (43)

(f)一閘極區G其形成在一絕緣層上俾連接第一區SC_1與第三區SC_3，及連接第二區SC_2與第四區SC_4，且由第一電晶體TR_1與第二電晶體TR_2共用。

關於第一電晶體TR_1：

(A-1)由第二閘極SC_2之表面區形成之源極/汲極區，

(A-2)由第四閘極SC_4之表面區形成另一源極/汲極區，及

(A-3)由第一區SC_1之表面區形成通道形成區CH_1，表面區置於該第二區SC_2之表面區與該第四區SC_4之表面區之間，

關於第二電晶體TR_2，

(B-1)由該第一區SC_1之表面區形成源極/汲極區，該表面區形成第一電晶體TR_1之通道形成區CH_1，

(B-2)由第三區SC_3形成另一源極/汲極區，及

(B-3)由該第二區SC_2之表面區形成通道形成區CH_2，該表面區形成第一電晶體TR_1之源極/汲極區，

關於接面場效電晶體JF_1，更

(C-1)由第五區SC_5及部分第一區SC_1形成閘極部分，該部分第一區SC_1與第五區SC_5相對，

(C-2)由部分第四SC_4區形成通道區CH_{J1}，該部分置於第五區SC_5與該部分第一區SC_1之間，

(C-3)由該第四區SC_4之表面區形成源極/汲極區，該表面區從接面場效電晶體JF_1之通道區CH_{J1}之一端延伸且形成第一電晶體TR_1之另一源極/汲極區，及

(C-4)由部分第四區SC_4形成另一源極/汲極區，該部分從接面場效電晶體JF_1之通道區CH_{J1}之另一端延伸。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（44）

此外，(D)閘極區G接到一第一線用於記憶單元選擇如字線，

(E)第三區SC_3接到一寫入資訊設定線WISL，

(F)第四區SC_4接到第二線，及

(G)第五區SC_5接到第三線。

當以第一假想垂直面(如圖27B的虛線PL_1)切割半導體記憶單元時，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，閘極區G附近之第二區SC_2及第四區SC_4幾乎與第二假想垂直面(圖27A的虛線PL_2)對稱，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。亦即第二區SC_2的表面區及第四區SC_4的表面區，在閘極區G下方，幾乎與第二假想垂直面PL_2對稱。此外第二區SC_2的深度與第四區SC_4的深度幾乎互相相等。

在範例3的半導體記憶單元中，又當以第一假想垂直面PL_1切割半導體記憶單元時，閘極區G附近之第三區SC_3及第五區SC_5幾乎與第二假想垂直面PL_2對稱。亦即，第三區SC_3的表面區的邊緣部分在閘極區G的下面，而第五區SC_5的表面區的邊緣部分在閘極區G的下面，幾乎與第二假想垂直面PL_2對稱。此外第三區SC_3的深度與第五區SC_5的深度幾乎相等。

藉由(i)使相對閘極部分(第五區SC_5及部分第一區SC_1，該部分與第五區SC_5相對)之間的距離(通道區CH_{J1}的厚度)最佳，及(ii)使相對閘極部分(第五區SC_5及部分第一區SC_1，該部分與第五區SC_5相對)的雜質濃度及通道區CH_{J1}

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

五、發明說明（45）

的雜質濃度最佳即可形成接面場效電晶體JF_1。

在圖27A，27B的半導體記憶單元中，第二區SC_2接到第四線，較佳的使用一結構其中第二線作爲一位元線且施加一預設電位至第四線，或一結構其中第四線作爲一位元線且施加一預設電位至第二線。

半導體記憶單元(明確而言是第一區SC_1)形成在第二傳導型(如p型)井結構中，其又形成在n型半導體基材中。而且當具有第一傳導型(如n^{++}型)的高濃度雜質包含層SC_{10}形成在第一區SC_1之下時，即可增加電位或電荷其要儲存在第一讀取電晶體TR_1的通道形成區CH_1。

圖28到37是圖27A，27B的半導體記憶單元的其他實例。

在圖28的半導體記憶單元中，高濃度雜質包含層SC_{11}(具有第一傳導型如n^{++}型且作爲第四線)形成在第一區SC_1之下，而高濃度雜質包含層SC_{11}接到第二區SC_2。此結構可簡化佈線結構。

在圖29的半導體記憶單元中，如圖27A，27B所示建構的半導體記憶單元形成在半導體層SC_0(在支撐基材的絕緣層IL_0上)之中，該如此結構的半導體記憶單元是以與上述範例1相同的方法製造。

在圖32的示意部分剖視圖及圖19的主圖所示的半導體記憶單元中，第五區SC_5接到寫入資訊設定線WISL以替代接到第三線，此結構可簡化佈線結構。

在圖35A，35B的示意部分剖視圖及圖21的主圖所示的半導體記憶單元中，第五區SC_5接到第一區SC_1以替代接到第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（46）

三線，此結構也可簡化佈線結構。藉由形成一結構以連接第一區SC_1與第五區SC_5，其中部分第一區SC_1向上延伸到半導體基材的表面附近，而第五區SC_5與第一區SC_1的延伸部分在第四區SC_4的外部互相接觸(圖35B)。

在圖30，33，或36的示意部分剖視圖及圖18A，20A，或22A的主圖所示的半導體記憶單元中，第一電晶體TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代連接到第四線)。亦即，pn接面二極體D形成在第二區SC_2與第三區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3接到寫入資訊設定線WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形成pn接面二極體D。可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。圖30的半導體記憶單元的結構基本上與圖27的半導體記憶單元相同，圖33的半導體記憶單元的結構基本上與圖32的半導體記憶單元相同，圖36的半導體記憶單元的結構基本上與圖35的半導體記憶單元相同。

圖31，34，或37的示意部分剖視圖中的半導體記憶單元(分別參考圖18B，20B，或22B的主圖)，更包括由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入WISL，以替代接到第四線。亦即，第一電晶體TR_1的源極/

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（47 ）

汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在這些附圖中的任一圖所示的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。圖31的半導體記憶單元的結構基本上與圖27的半導體記憶單元相同；圖34的半導體記憶單元的結構基本上與圖32的半導體記憶單元相同，圖37的半導體記憶單元的結構基本上與圖35的半導體記憶單元相同。

圖38示意部分剖視圖中的半導體記憶單元是藉由結構上改良圖27A，27B示意部分剖視圖中所示半導體記憶單元的第三區SC_3及第五區SC_5而得到。亦即，具有第二傳導型如p^{++}型的雜質包含層SC_{3A}形成在第三區SC_3上，第三區SC_3經由雜質包含層SC_{3A}而接到寫入資訊設定線WISL，第三區SC_3藉由p型雜質的固相擴散而從雜質包含層SC_{3A}以自對齊方式形成，而它具有淺的pn接面。此外，雜質包含層SC_{3A}經由一絕緣材料層IF而位於閘極區G的一側以形成側壁。也可使用一結構其中雜質包含層SC_{3A}作爲寫入資訊設定線WISL。亦即，雜質包含層SC_{3A}作爲寫入資訊設定線WISL，亦即，雜質包含層SC_{3A}的延伸方向垂直於附圖的表面，而雜質包含層SC_{3A}的延伸部分是相鄰半導體記憶單元的雜質包含層SC_{3A}，且作爲寫入資訊設定線WISL。此結構可簡化佈線結構，及得到半導體記憶單元的較細結構

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（48）

的資訊。

在第五區SC_5上形成具有第二傳導型(如p^{++}型)的雜質包含層SC_{5A}，第五區SC_5藉由p型雜質的固相擴散而從雜質包含層SC_{5A}以自對齊方式形成，而它具有淺的p接面。此外，雜質包含層SC_{5A}經由一絕緣材料層IF而位於閘極區G的另一側以形成側壁。圖39是半導體記憶單元的示意部分剖視圖圖，藉由以一假想垂直面切割包括第五區SC_5的半導體記憶單元而形成，該垂直面與第二假想垂直面平行，其與閘極區G之延伸方向平行且通過閘極區G。也可使用一結構其中雜質包含層SC_{5A}作爲第三線，亦即，第二雜質包含層SC_{5A}的延伸方向垂直於附圖的表面，而雜質包含層SC_{5A}的延伸部分是相鄰半導體記憶單元的雜質包含層SC_{5A}，且作爲第三線，此結構可簡化佈線結構，及得到半導體記憶單元的較細結構的資訊。

圖28到37中各半導體記憶單元的第三區SC_3及第五區SC_5，以及稍後討論的圖40到45的半導體記憶單元，可以用雜質包含層SC_{3A}，SC_{5A}的結構替代，半導體記憶單元的第三區SC_3及第五區SC_5顯示在圖38。

範例4

範例4的半導體記憶單元是範例3半導體記憶單元的另一例，範例4的半導體記憶單元與範例3的半導體記憶單元不同的是，第二接面場效電晶體JF_2是由第一區SC_1，第二區SC_2及第三區SC_3形成。亦即，在圖20的主圖及圖40的示意部分剖視圖中，範例4的半導體記憶單元更具有：

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（49）

一第二電流控制用接面場效電晶體JF_2具有：源極/汲極區，一通道區CH_{J2}及閘極區，

其中；

第二接面場效電晶體JF_2的閘極部分是由第三區SC_3及部分第一區SC_1形成，該部分與第三區SC_3相對，

第二接面場效電晶體JF_2的通道區CH_{J2}是由部分第二區SC_2形成，該部分置於該第三區SC_3與該部分第一區SC_1之間，

第二接面場效電晶體JF_2的源極/汲極區是由第二區SC_2的表面區形成，該表面區從第二接面場效電晶體JF_2的通道區CH_{J2}的一端延伸，且形成第一電晶體TR_1的源極/汲極區，及

第二接面場效電晶體JF_2的另一源極/汲極區是第二區SC_2的一部分，該部分從第二接面場效電晶體JF_2的通道區CH_{J2}的另一端延伸。

範例4的半導體記憶單元大致與範例3的半導體記憶單元在圖27A，27B所示的其他結構中是相同的，所以省略其詳細說明。

藉由(iii)使相對閘極部分(第三區SC_3及部分第一區SC_1，該部分與第三區SC_3相對)之間的距離(通道區CH_{J2}的厚度)最佳，及(iv)使相對閘極部分(第三區SC_3及部分第一區SC_1，該部分與第三區SC_3相對)的雜質濃度及通道區CH_{J2}的雜質濃度最佳即可形成接面場效電晶體JF_2。

圖41到圖45是圖40半導體記憶單元的其他實例。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（50）

在圖43的示意部分剖視圖及圖25主圖中顯示的半導體記憶單元是圖40半導體記憶單元的另一實例，而第五區SC_5接到第一區SC_1以替代接到第三線。藉由形成一結構即可使第一區SC_1與第五區SC_5互相連接，其中部分第一區SC_1向上延伸到半導體基材的表面附近，而第五區SC_5與第一區SC_1的延伸部分在第四區SC_4的外部互相接觸(圖35B)。

在圖41或44的示意部分剖視圖及圖24A或26A的主圖所示的半導體記憶單元中，第一電晶體TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代與第四線連接)。亦即，pn接面二極體D形成在第二區SC_2與第三區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3而接到寫入資訊設定線WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形成pn接面二極體D，可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。圖41的半導體記憶單元的結構基本上與圖40的半導體記憶單元相同，圖44的半導體記憶單元的結構基本上與圖43的半導體記憶單元相同。

圖42或45的示意部分剖視圖中的半導體記憶單元(分別參考圖24B或26B的主圖)，更具有由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入WISL，以替代接到第四

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（51）

線。亦即，第一電晶體TR_1的源極/汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在上述這些附圖中的任一圖所示的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。圖42的半導體記憶單元的結構基本上與圖40的半導體記憶單元相同，圖45的半導體記憶單元的結構基本上與圖43的半導體記憶單元相同。

範例5

範例5有關於根據本發明第四特點的半導體記憶單元，範例5的半導體記憶單元具有一第三電流控制用電晶體TR_3，而關於此點，圖5的半導體記憶單元與範例3的半導體記憶單元不同。圖46是範例5半導體記憶單元的主圖，而圖51A，51B是它的示意部分剖視圖。圖51A的部分剖視圖是以第一假想垂直面(如圖51B的虛線PL_1所示)切割半導體記憶單元得到，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，圖51B的部分剖視圖是以一假想垂直面切割半導體記憶單元(包括第五區SC_5)而得到，該垂直面與第二假想垂直面(如圖51A的虛線PL_2所示)平行，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。

範例5的半導體記憶單元包括：

(1)一第一讀取電晶體TR_1，具有：源極/汲極區，一通道形成區CH_1及一閘極區G且具有一第一傳導型如n型，

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

五、發明說明（52）

(2)一第二切換電晶體TR_2，具有：源極/汲極區，一通道形成區CH_2及一閘極區G且具有一第二傳導型如p型，

(3)一第三電流控制用電晶體TR_3，具有：源極/汲極區，一通道形成區CH_3及一閘極區G且具有一第二傳導型如p型，及

(4)一電流控制用接面場效電晶體JF_1具有：源極/汲極區，一通道區CH_{J1}及閘極區，

而半導體記憶單元具有：

(a)一半傳導第一區SC_1具有一第二傳導型(如p^+型)，

(b)一半傳導第二區SC_2其形成在第一區SC_1之表面區且具有一第一傳導型如n^+型，

(c)一第三區SC_3其形成在第二區SC_2之表面區且與第二區SC_2接觸俾與第二區SC_2共同形成一整流器接面，第三區SC_3係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，

(d)一半傳導第四區SC_4其形成在第一區SC_1之表面區且與第二區SC_2相隔，且具有第一傳導型如n^+型，

(e)一第五區SC_5其形成在第四區SC_4之表面區且與第四區SC_4接觸俾與第四區SC_4共同形成一整流器接面，第五區SC_5係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，及

(f)一閘極區G其形成在一絕緣層上俾連接第一區SC_1與第三區SC_3，及連接第二區SC_2與第四區SC_4，及連接第一區SC_1與第五區SC_5且由第一電晶體TR_1，第二電晶體TR_2，與

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（53）

第三電晶體TR3共用。

關於第一電晶體TR_1：

(A-1)由第二閘極SC_2之表面區形成之源極/汲極區，

(A-2)由第四閘極SC_4之表面區形成另一源極/汲極區，及

(A-3)由第一區SC_1之表面區形成通道形成區CH_1，表面區置於該第二區SC_2之表面區與該第四區SC_4之表面區之間，

關於第二電晶體TR_2，

(B-1)由該第一區SC_1之表面區形成源極/汲極區，該表面區形成第一電晶體TR_1之通道形成區CH_1，

(B-2)由第三區SC_3形成另一源極/汲極區，及

(B-3)由該第二區SC_2之表面區形成通道形成區CH_2，該表面區形成第一電晶體TR_1之源極/汲極區，

關於第三電晶體TR_3，更

(C-1)由該第一區SC_1之表面部分形成一源極/汲極區，

(C-2)由第五區SC_5形成另一源極/汲極區，及

(C-3)由該第四區SC_4之表面區形成通道形成區CH_3。

關於接面場效電晶體JF_1，

(D-1)由第五區SC_5及部分第一區SC_1形成閘極部分，該部分第一區SC_1與第五區SC_5相對，

(D-2)由部分第四SC_4區形成通道區CH_{J1}，該部分置於第五區SC_5與該部分第一區SC_1之間，

(D-3)由該第四區SC_4之表面區形成源極/汲極區，該表面區從接面場效電晶體JF_1之通道區CH_{J1}之一端延伸且形成第一電晶體TR_1之另一源極/汲極區及形成第三電晶體TR_3之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（54）

通道形成區CH_3，及

(D-4)由部分第四區SC_4形成另一源極/汲極區，該部分從接面場效電晶體JF_1之通道區CH_{J1}之另一端延伸。

此外，(E)閘極區G接到一第一線用於記憶單元選擇如字線，

(F)第三區SC_3接到一寫入資訊設定線WISL，及

(G)第四區SC_4接到一第二線。

當以第一假想垂直面(如圖51B的虛線PL_1)切割半導體記憶單元時，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，閘極區G附近之第二區SC_2及第四區SC_4幾乎與第二假想垂直面(圖51A的虛線PL_2)對稱，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。亦即第二區SC_2的表面區及第四區SC_4的表面區，在閘極區G下方，幾乎與第二假想垂直面PL_2對稱。此外第二區SC_2的深度與第四區SC_4的深度幾乎互相相等。

在範例5的半導體記憶單元中，又當以第一假想垂直面PL_1切割半導體記憶單元時，閘極區G附近之第三區SC_3及第五區SC_5幾乎與第二假想垂直面PL_2對稱。亦即，第三區SC_3的表面區的邊緣部分在閘極區G的下面，而第五區SC_5的表面區的邊緣部分在閘極區G的下面，幾乎與第二假想垂直面PL_2對稱。此外第三區SC_3的深度與第五區SC_5的深度幾乎相等。

藉由(i)使相對閘極部分(第五區SC_5及部分第一區SC_1，該部分與第五區SC_5相對)之間的距離(通道區CH_{J1}的厚度)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(55)

最佳，及(ii)使相對閘極部分(第五區SC_5及部分第一區SC_1，該部分與第五區SC_5相對)的雜質濃度及通道區CH_{J1}的雜質濃度最佳即可形成接面場效電晶體JF_1。

在圖51A，51B的半導體記憶單元中，第二區SC_2接到第三線，較佳的使用一結構其中第二線作爲一位元線且施加一預設電位至第三線，或一結構其中第四線作爲一位元線且施加一預設電位至第二線。

半導體記憶單元(明確而言是第一區SC_1)形成在第二傳導型(如p型)井結構中，其又形成在n型半導體基材中。而且當具有第一傳導型(如n^{++}型)的高濃度雜質包含層SC_{10}形成在第一區SC_1之下時，即可增加電位或電荷其要儲存在第一讀取電晶體TR_1的通道形成區CH_1。

圖52到54是圖51A，51B的半導體記憶單元的其他實例。

在圖52的半導體記憶單元中，高濃度雜質包含層SC_{11}(具有第一傳導型如n^{++}型且作爲第三線)形成在第一區SC_1之下，而高濃度雜質包含層SC_{11}接到第二區SC_2。此結構可簡化佈線結構。

在圖53的示意部分剖視圖及圖47A的主圖所示的半導體記憶單元中，第一電晶體TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代與第三線連接)。亦即，pn接面二極體D形成在第二區SC_2與第三區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3而接到寫入WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（56）

成pn接面二極體D，可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖54的示意部分剖視圖中的半導體記憶單元(分別參考圖47B的主圖)，更具有由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入WISL，以替代接到第三線。亦即，第一電晶體TR_1的源極/汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在圖54的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖55示意部分剖視圖中的半導體記憶單元是藉由結構上改良圖51A，51B示意部分剖視圖中所示半導體記憶單元的第三區SC_3及第五區SC_5而得到。亦即，具有第二傳導型如p^{++}型的雜質包含層SC_{3A}形成在第三區SC_3上，第三區SC_3經由雜質包含層SC_{3A}而接到寫入資訊設定線WISL，第三區SC_3藉由p型雜質的固相擴散而從雜質包含層SC_{3A}以自對齊方式形成，而它具有淺的pn接面。此外，雜質包含層SC_{3A}經由一絕緣材料層IF而位於閘極區G的一側以形成側壁。也可使用一結構其中雜質包含層SC_{3A}作爲寫入資訊設定線WISL。亦即，雜質包含層SC_{3A}作爲寫入資訊設定線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（57）

WISL，亦即，雜質包含層SC_{3A}的延伸方向垂直於附圖的表面，而雜質包含層SC_{3A}的延伸部分是相鄰半導體記憶單元的雜質包含層SC_{3A}，且作爲寫入資訊設定線WISL。此結構可簡化佈線結構，及得到半導體記憶單元的較細結構的資訊。

在第五區SC_5上形成具有第二傳導型(如p^{++}型)的雜質包含層SC_{5A}，第五區SC_5藉由p型雜質的固相擴散而從雜質包含層SC_{5A}以自對齊方式形成，而它具有淺的p接面。此外，雜質包含層SC_{5A}經由一絕緣材料層IF而位於閘極區G的另一側以形成側壁。

圖51到54中各半導體記憶單元和圖56到58的半導體記憶單元的第三區SC_3及第五區SC_5可以用雜質包含層SC_{3A}，SC_{5A}的結構替代，半導體記憶單元的第三區SC_3及第五區SC_5顯示在圖55。

範例6

範例6有的半導體記憶單元是範例5半導體的另一例，範例6的半導體記憶單元與範例5的半導體記憶單元不同的是，第二接面場效電晶體JF_2是由第一區SC_1，第二區SC_2及第三區SC_3形成。亦即，在圖48的主圖及圖56的示意部分剖視圖中，範例6的半導體記憶單元更具有：

一第二電流控制用接面場效電晶體JF_2具有：源極/汲極區，一通道區CH_{J2}及閘極區，

其中；

第二接面場效電晶體JF_2的閘極部分是由第三區SC_3及部

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（58）

分第一區SC_1形成，該部分與第三區SC_3相對，

第二接面場效電晶體JF_2的通道區CH_{J2}是由部分第二區SC_2形成，該部分置於該第三區SC_3與該部分第一區SC_1之間，

第二接面場效電晶體JF_2的源極/汲極區是由第二區SC_2的表面區形成，該表面區從第二接面場效電晶體JF_2的通道區CH_{J2}的一端延伸，且形成第一電晶體TR_1的源極/汲極區，及

第二接面場效電晶體JF_2的另一源極/汲極區是第二區SC_2的一部分，該部分從第二接面場效電晶體JF_2的通道區CH_{J2}的另一端延伸。

範例6的半導體記憶單元大致與範例5的半導體記憶單元在圖51A，51B所示的其他結構中是相同的，所以省略其詳細說明。

藉由(iii)使相對閘極部分(第三區SC_3及部分第一區SC_1，該部分與第三區SC_3相對)之間的距離(通道區CH_{J2}的厚度)最佳，及(iv)使相對閘極部分(第三區SC_3及部分第一區SC_1，該部分與第三區SC_3相對)的雜質濃度及通道區CH_{J2}的雜質濃度最佳即可形成接面場效電晶體JF_2。

圖57到圖58是圖56半導體記憶單元的其他實例。

在圖57的示意部分剖視圖及圖49的主圖所示的半導體記憶單元中，第一電晶體TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代與第三線連接)。亦即，pn接面二極體D形成在第二區SC_2與第三

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（59）

區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3而接到寫入資訊設定線WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形成pn接面二極體D，可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖58的示意部分剖視圖中的半導體記憶單元(分別參考圖50的主圖)，更具有由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入資訊設定線WISL，以替代接到第三線。亦即，第一電晶體TR_1的源極/汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在圖58的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

範例7

範例7有關於根據本發明第五特點的半導體記憶單元，範例7的半導體記憶單元與範例3的半導體記憶單元不同之處在於形成接面場效電晶體JF_1。圖59是範例7半導體記憶單元的主圖，而圖61A，61B是它的示意部分剖視圖。圖61A的部分剖視圖是以第一假想垂直面(如圖61B的虛線PL_1所示)切割半導體記憶單元得到，該垂直面與閘極區G之延

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（60）

伸方向垂直且通過閘極區G中心，圖61B的部分剖視圖是以一假想垂直面切割半導體記憶單元(包括第五區SC_5)而得到，該垂直面與第二假想垂直面(如圖61A的虛線PL_2所示)平行，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。

範例7的半導體記憶單元包括：

(1)一第一讀取電晶體TR_1，具有：源極/汲極區，一通道形成區CH_1及一閘極區G且具有一第一傳導型如n型，

(2)一第二切換電晶體TR_2，具有：源極/汲極區，一通道形成區CH_2及一閘極區G且具有一第二傳導型如p型，及

(3)一接面場效電晶體JF_1，具有：源極/汲極區，一通道區CH_{J1}及閘極區，

而半導體記憶單元具有：

(a)一半傳導第一區SC_1具有一第二傳導型(如p^+型)，

(b)一半傳導第二區SC_2其形成在第一區SC_1之表面區且具有一第一傳導型如n^+型，

(c)一第三區SC_3其形成在第二區SC_2之表面區且與第二區SC_2接觸俾與第二區SC_2共同形成一整流器接面，第三區SC_3係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，

(d)一半傳導第四區SC_4其形成在第一區SC_1之表面區且與第二區SC_2相隔，且具有第一傳導型如n^+型，

(e)一第五區SC_5其形成在第四區SC_4之表面區且與第四區SC_4接觸俾與第四區SC_4共同形成一整流器接面，第五區

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（61）

SC_5係半傳導區且具有第二傳導型如p^{++}型，或它是傳導的而由矽化物，金屬或金屬化合物製造，及

(f)一閘極區G其形成在一絕緣層上俾連接第一區SC_1與第三區SC_3，及連接第二區SC_2與第四區SC_4，且由第一電晶體TR_1與第二電晶體TR_2共用。

關於第一電晶體TR_1：

(A-1)由第二閘極SC_2之表面區形成之源極/汲極區，

(A-2)由第四閘極SC_4之表面區形成另一源極/汲極區，及

(A-3)由第一區SC_1之表面區形成通道形成區CH_1，表面區置於該第二區SC_2之表面區與該第四區SC_4之表面區之間，

關於第二電晶體TR_2，

(B-1)由該第一區SC_1之表面區形成源極/汲極區，該表面區形成第一電晶體TR_1之通道形成區CH_1，

(B-2)由第三區SC_3形成另一源極/汲極區，及

(B-3)由該第二區SC_2之表面區形成通道形成區CH_2，該表面區形成第一電晶體TR_1之源極/汲極區，

關於接面場效電晶體JF_1，更

(C-1)由第三區SC_3及部分第一區SC_1形成閘極部分，該部分第一區SC_1與第三區SC_3相對，

(C-2)由部分第二SC_2區形成通道區CH_{J1}，該部分置於第三區SC_3與該部分第一區SC_1之間，

(C-3)由該第二區SC_2之表面區形成源極/汲極區，該表面區從接面場效電晶體JF_1之通道區CH_{J1}之一端延伸且形成第一電晶體TR_1之另一源極/汲極區，及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（62）

(C-4)由部分第二區SC_2形成另一源極/汲極區，該部分從接面場效電晶體JF_1之通道區CH_{J1}之另一端延伸。

此外，(D)閘極區G接到一第一線用於記憶單元選擇如字線，

(E)第三區SC_3接到一寫入資訊設定線WISL，

(F)第四區SC_4接到第二線，及

(G)第五區SC_5接到第一區SC_1。

當以第一假想垂直面(如圖61B的虛線PL_1)切割半導體記憶單元時，該垂直面與閘極區G之延伸方向垂直且通過閘極區G中心，閘極區G附近之第二區SC_2及第四區SC_4幾乎與第二假想垂直面(圖61A的虛線PL_2)對稱，該垂直面與閘極區G之延伸方向平行且通過閘極區G中心。亦即第二區SC_2的表面區及第四區SC_4的表面區，在閘極區G下方，幾乎與第二假想垂直面PL_2對稱。此外第二區SC_2的深度與第四區SC_4的深度幾乎互相相等。

在範例7的半導體記憶單元中，又當以第一假想垂直面PL_1切割半導體記憶單元時，閘極區G附近之第三區SC_3及第五區SC_5幾乎與第二假想垂直面PL_2對稱。亦即，第三區SC_3的表面區的邊緣部分在閘極區G的下面，而第五區SC_5的表面區的邊緣部分在閘極區G的下面，幾乎與第二假想垂直面PL_2對稱。此外第三區SC_3的深度與第五區SC_5的深度幾乎相等。

藉由形成一結構即可使第一區SC_1與第五區SC_5互相連接，其中部分第一區SC_1向上延伸到半導體基材的表面附

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（63）

近，而第五區SC_5與第一區SC_1的延伸部分在第四區SC_4的外部互相接觸(圖61B)。當半導體記憶單元如此建構時，即可增加儲存資訊的區域，而且可增加半導體記憶單元儲存資訊的時間長度。

藉由(i)使相對閘極部分(第三區SC_3及部分第一區SC_1，該部分與第三區SC_3相對)之間的距離(通道區CH_{J1}的厚度)最佳，及(ii)使相對閘極部分(第三區SC_3及部分第一區SC_1，該部分與第三區SC_3相對)的雜質濃度及通道區CH_{J1}的雜質濃度最佳即可形成接面場效電晶體JF_1。

在圖61A，61B的半導體記憶單元中，第二區SC_2接到第三線，較佳的使用一結構其中第二線作爲一位元線且施加一預設電位至第三線，或一結構其中第三線作爲一位元線且施加一預設電位至第二線。

半導體記憶單元(明確而言是第一區SC_1)形成在第二傳導型(如p型)井結構中，其又形成在n型半導體基材中。而且當具有第一傳導型(如n^{++}型)的高濃度雜質包含層SC_{10}形成在第一區SC_1之下時，即可增加電位或電荷其要儲存在第一讀取電晶體TR_1的通道形成區CH_1。

圖62到65是圖61A，61B的半導體記憶單元的其他實例。

在圖62的半導體記憶單元中，高濃度雜質包含層SC_{11}(具有第一傳導型如n^{++}型且作爲第三線)形成在第一區SC_1之下，而高濃度雜質包含層SC_{11}接到第二區SC_2。此結構可簡化佈線結構。

半導體記憶單元圖63的示意部分剖視圖及圖60A主圖的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（64）

半導體記憶單元中，第一電晶體TR_1的源極/汲極區(第二區SC_2)經由pn接面二極體D而接到寫入資訊設定線WISL(取代與第三線連接)。亦即，pn接面二極體D形成在第二區SC_2與第三區SC_3之間或是由其形成，而第二區SC_2經由第三區SC_3而接到寫入資訊設定線WISL。藉由使第二區SC_2及第三區SC_3的雜質濃度最佳，即可在第二區SC_2與第三區SC_3之間或是由其形成pn接面二極體D，可使用一結構，其中第二線作爲一位元，或一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖64示意部分剖視圖中的半導體記憶單元(參考圖60B的主圖)，更包括由第二區SC_2及二極體組成區SC_D形成的主要載子二極體DS，其與第二區SC_2的表面區接觸以便與第二區SC_2共同形成整流器接面。第二區SC_2經由二極體組成區SC_D而接到寫入資訊設定線WISL，以替代接到第三線。亦即，第一電晶體TR_1的源極/汲極區經由主要載子二極體DS而接到寫入資訊設定線WISL。在圖64的半導體記憶單元中，形成的二極體組成區SC_D與第三區SC_3相鄰，而其佈局不應該僅限於此佈局。可使用一結構，其中第二線作爲一位元線，或是一結構其中寫入資訊設定線WISL作爲一位元線且施加一預設電位至第二線。

圖65示意部分剖視圖中的半導體記憶單元是藉由結構上改良圖61A，61B示意部分剖視圖中所示半導體記憶單元的第三區SC_3及第五區SC_5而得到。亦即，具有第二傳導型如p^{++}型的雜質包含層SC_{3A}形成在第三區SC_3上，第三區SC_3經

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（65）

由雜質包含層SC_{3A}而接到寫入資訊設定線WISL，第三區SC_3藉由p型雜質的固相擴散而從雜質包含層SC_{3A}以自對齊方式形成，而它具有淺的p接面。此外，雜質包含層SC_{3A}經由一絕緣材料層IF而位於閘極區G的一側以形成側壁。也可使用一結構其中雜質包含層SC_{3A}作爲寫入資訊設定線WISL。亦即，雜質包含層SC_{3A}作爲寫入資訊設定線WISL，亦即，雜質包含層SC_{3A}的延伸方向垂直於附圖的表面，而第一雜質包含層SC_{3A}的延伸部分是相鄰半導體記憶單元的第一雜質包含層SC_{3A}，且作爲寫入資訊設定線WISL。此結構可簡化佈線結構，及得到半導體記憶單元的較細結構的資訊。

在第五區SC_5上形成具有第二傳導型(如p^{++}型)的雜質包含層SC_{5A}，第五區SC_5藉由p型雜質的固相擴散而從雜質包含層SC_{5A}以自對齊方式形成，而它具有淺的p接面。此外，雜質包含層SC_{5A}經由一絕緣材料層IF而位於閘極區G的另一側以形成側壁。

圖61到64中各半導體記憶單元的第三區SC_3及第五區SC_5已用雜質包含層SC_{3A}，SC_{5A}的結構所替代，半導體記憶單元的第三區SC_3及第五區SC_5顯示在圖65。

亦有一例子，其中第五區SC_5及第一區SC_1不必互相連接，在此例中，第五區SC_5毫無作用，只是形成在半導體記憶單元的製程中。

(製造半導體記憶單元的方法)

根據圖5A，5B所示範例1的半導體記憶單元，將參考圖

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（66）

66A到66C以摘要說明半導體記憶單元的製造方法。

(步驟10)

首先，根據習用方法而在p型矽半導體基材10中形成裝置絕緣區(未示)，第一傳導型井如n型井，n型半導體層11，第二傳導型井如p型井(未示)，第二傳導型(p^+型)的半傳導第一區SC_1，第一傳導型(如n^{++}型(未示))的高濃度雜質包含層SC_{10}，及對應絕緣層的閘極絕緣層12。接著形成由Si_3N_4製造的閘極區G及偏移絕緣層13的堆疊結構(圖66A)。例如由包含n型雜質的聚矽或具有多邊結構而製造閘極區G，n型半導體層11配置成具有$1.0\times10^{17}/cm^3$的雜質濃度，而p型第一區SC_1配置成具有$1.0\times10^{18}/cm^3$的雜質濃度，閘極區G具有0.3μm的閘極長度。

(步驟20)

用第一傳導型如n^+型的雜質作離子植入而形成具有第一傳導型如n^+型的半傳導第一區SC_2及具有第一傳導型如n^+型的半傳導第四區SC_4，半傳導第二區SC_2形成在第一區SC_1的表面，而第四區SC_4(與第二區SC_2相隔)則形成在第一區SC_1的表面區(參考圖66B)，第二區SC_2及第四區SC_4配置成各具有$1.0\times10^{19}/cm^3$的雜質濃度。

(步驟30)

由防蝕材料製造離子植入光罩14，接著第二傳導型如p型的雜質作離子植入以形成半傳導第三區SC_3及半傳導第五區SC_5。半傳導第三區SC_3形成在第二區SC_2的表面區且與第二區SC_2接觸，以便與第二區SC_2共同形成整流器接

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（67）

面，而第五區SC_5形成在第四區SC_4的表面區且與第四區SC_4接觸，以便與第四區SC_4共同形成整流器接面(參考圖66C)。第三區SC_3及第五區SC_5配置成各具有$1.0\times10^{20}/cm^3$的雜質濃度。

(步驟40)

根據習用方法而形成寫入資訊設定線，第二線，第三線等。

製造半導體記憶單元的步驟不應該僅限於上述步驟，可以在步驟30之後形成閘極區及裝置絕緣區，各區的雜質濃度只是例子，可依需要而修正。

當形成蕭基接面型的主要載子二極體DS時，即在第二區SC_2的表面區形成由矽化鈦製造的二極體組成區SC_D，用以下方法可形成矽化鈦層，亦即如在整個表面上形成絕緣層，而且從矽半導體基材10上的區(對應第二區SC_2)去除絕緣層，而該區是要形成矽化鈦的區域。接著用濺擊法在絕緣層(包括矽半導體基材10的曝露表面)形成鈦層。接著執行第一次回火處理以使鈦層與矽半導體基材互相反應，因而使矽化鈦層形成在矽半導體基材10的表面。接著用過氧化氫氨溶劑(包含NH_4OH，H_2O_2，H_2O的混合物)，接著執行第二次回火處理，因而得到穩定的矽化鈦層。主要載子二極體DS的材料不該僅限於矽化鈦，而是能從矽化鈷，矽化鎢等之中選擇。

形成主要載子二極體DS的方法，或是在各區的表面區中形成傳導區的方法不應該僅限於上述方法。例如當形成寫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（68）

入資訊設定線WISL時，即形成由矽化鈦TiN製造的障壁層或黏合層，以及在第二區SC_2表面上形成障壁層或黏合層。在此例中，可以在第二區SC_2表面上形成部分寫入資訊設定線WISL共用的二極體組成區SC_D(明確而言是部分的障壁層或黏合層)，類似的，也可在各區的表面區中形成傳導區。

因爲用大致與上述相同的方法也可製造其他例子的半導體記憶單元，所以其省略其詳細說明。當未形成第二接面場效電晶體時，即分別在步驟30執行第三區SC_3的離子植入及第五區SC_5的離子植入，以便第三區SC_3的雜質濃度與第五區SC_5的雜質濃度互相不同。

以下參考圖5A，5B範例1的半導體記憶單元以說明本發明半導體記憶單元的操作，而任何其他例子中半導體記憶單元的操作原理大致是相同的，當寫入資訊設定線也作爲第二線(如位元線)時，可大致上將寫入資訊設定線WISL讀取爲第二線(如位元線)。

在寫入操作中設定部分半導體記憶單元的電位(在下表1)，在讀取操作中設定部分半導體記憶單元的電位(在下表2)，當寫入資訊設定線與第四線分開設置時，即施加預設電位(包括0伏)到寫入資訊設定線。

表 1

用於記憶單元選擇的第一線	：V_w
寫入資訊設定線	
當寫入"0"時	：V_o

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（69）

當寫入"1"時　　：V_1

表 2

用於記憶單元選擇的第一線　　：V_R

第二線　　：V_2

由閘極區G看去第一電晶體TR_1的門檻電壓如下表3所示，當讀取資訊0時，第一電晶體TR_1的通道形成區CH_1的電位即與讀取資訊1時的不同。結果，由閘極區G看去的第一電晶體TR_1的門檻電壓會依儲存資訊是"0"或是"1"而改變。惟與習用DRAM不同的是，本發明的半導體記憶單元不需要具有大電容的電容(而習用DRAM需要)，當設置電流控制用的接面場效電晶體JF_1時，以及當電流控制用的接面場效電晶體JF_1的導通狀態電流與截止狀態電流之比很大時，即使$|V_R| \geq |V_{TH_11}|$仍可以在無錯誤之下讀取資訊。

表 3

當"0"　　：V_{TH_10}

當"1"　　：V_{TH_11}

$|V_{TH_11}|>|V_R|>|V_{TH_10}|$

[寫入資訊的操作]

在寫入"0"(寫入資訊設定線的電位：V_0)或寫入"1"(寫入資訊設定線的電位：V_1)操作中，用於記憶單元選擇的第一線的電位設定爲V_w (<0)，結果，第二電晶體TR_2的閘極區G的電位設定爲V_w (<0)，而第二電晶體TR_2變成導通狀態。因此當寫入資訊"0"時，第一電晶體TR_1的通道形成區

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（70）

CH_1的電位即是V_0，或是當寫入資訊"1"時，即是V_1(其中$|V_w|<|V_1+V_{TH2}|$時V_w-V_{Th2})。

已寫入資訊之後以及在讀取資訊之前的資訊維持狀態中，應該將部分第一電晶體TR_1及部分第二電晶體TR_2的電位設定爲使這些電晶體不會傳導的值，因此通常用於記憶單元選擇的第一線的電位設定爲0伏，而寫入資訊設定線的電位設定爲V_1。

當寫入資訊時，第一電晶體TR_1的閘極區G具有V_w (<0)的電位，因此第一電晶體TR_1是截止狀態，依此，當寫入日期"0"或"1"時，第一電晶體TR_1的通道形成區CH_1的電位爲V_0(以0爲例)，或是V_1或V_w-V_{TH2}(以1爲例)。此狀態維持在可容許的範圍直到讀取資訊，雖然因爲漏電(第一電晶體TR_1的通道形成區CH_1與半導體基材之間，及第二電晶體TR_2的截止電位電位電位)而使它隨著時間而變。在第一電晶體TR_1的通道形成區CH_1的電位因時間而變化的量大到在讀取操作時產生錯誤之前，即執行所謂的恢復操作。

[讀取資訊的操作]

在讀取資訊"0"或"1"的操作中，用於記憶單元選擇的第一線的電位設定爲V_R (>0)，因此第二電晶體TR_2的閘極區G電位也設定爲V_R (>0)，結果，第二電晶體TR_2變成截止狀態。

第一電晶體TR_1的閘極區G電位也設定爲V_R (>0)，由閘極區G看去第一電晶體TR_1的門檻電壓是V_{TH_10}或V_{TH_11}，第一電晶體TR_1的門檻電壓是依通道形成區CH_1的電位

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（71）

而定，電位與門檻電壓間的關係如以下所示：

$|V_{TH-11}|>|V_R|>|V_{TH_10}|$

因此當儲存資訊是"0"時，第一電晶體TR_1即變成導通狀態，換言之當儲存資訊是"1"時，第一電晶體TR_1即變成截止狀態，惟若接面場效電晶體JF_1的導通狀態電流與截止狀態電流之比很大時，即使$|V_R| \geq |V_{TH_11}|$仍可以在無錯誤之下讀取資訊。

此外當設置接面場效電晶體JF_1時，接面場效電晶體JF_1即根據各區(其組成接面場效電晶體JF_1的閘極部分)的偏壓情況而控制第一電晶體TR_1，亦即，當儲存資訊是"0"時，接面場效電晶體JF_1即變成導通狀態，換言之當儲存資訊是"1"時，接面場效電晶體JF_1即變成截止狀態。

在上述方式中，依儲存的資訊可以在高度可靠性之下將第一電晶體TR_1即變成導通狀態或截止狀態，因爲第四區SC_4接到第二線(如位元線)，所以儲存資訊是"0"時電位電位電位會流入第一電晶體TR_1，而當儲存資訊是"1"時電位不會流入第一電晶體TR_1，結果，第一電晶體TR_1可讀取儲存資訊。

表4總結上述第一電晶體TR_1及第二電晶體TR_2的操作狀態，當設置電流控制用的第三電晶體TR_3時，即可控制第三電晶體TR_3以便當寫入資訊時它是導通狀態，當維持資訊時它也是在導通狀態，而在讀取資訊時它是截止狀態，表4的電位值只是例子，只要可滿足上述情況電位可以是任何值。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（72）

表 4

單位：伏

寫入操作	寫入"0"		寫入"1"	
第一線電位	V_W	-3.0	V_W	-3.0
寫入資訊設定線電位	V_0	0	V_1	-2.0
閘極區電位	V_W	-3.0	V_W	-3.0
TR_2 狀態	ON		ON	
通道形成區 CH_1 電位	V_0	0	V_1	-2.0
TR_1 狀態	OFF		OFF	

讀取操作	讀取"0"		讀取"1"	
第一線電位	V_R	1.0	V_R	1.0
閘極區電位	V_R	1.0	V_R	1.0
TR_2 狀態	OFF		OFF	
通道形成區 CH_1 電位	V_0	0	V_1	-2.0
由閘極區看去的門檻電壓 TR_1	V_{TH-0}	0.5	V_{TH-1}	1.1
TR_1 狀態	ON		OFF	
第二線電位	V_2	0.5	V_2	0.5

已參考本發明的較佳實施例來說明本發明的半導體記憶單元，然而本發明不該僅限於此，上述例子中的半導體記憶單元的這些結構及這些電壓及電流值只是範例，可依需要而改變。此外在上述本發明半導體記憶單元的各例中，第一電晶體 TR_1，接面場效電晶體 JF_1 及第二接面場效電晶

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4 規格（210×297 公釐）

五、發明說明（73）

體JF_2可形成爲p型，而第二電晶體TR_2及第三電晶體TR_3可形成爲n型，電晶體中元件的佈局顯示在例子中，其可依需要而改變，此外圖7的SOI結構及TFT結構適用於半導體記憶單元的各半導體記憶單元，此外，不僅可用離子植入法而且可以用擴散法將雜質導入各區域之中，此外本發明不僅適用於由矽半導體製造的半導體記憶單元，而且適用於用化合物半導體GaAs半導體製造的半導體記憶單元，而且，本發明的半導體記憶單元可適用於具有MIS型FET結構的半導體記憶單元。

在本發明中，當以第一假想垂直面切割半導體記憶單元時，閘極區附近的第二區及第四區幾乎與第二假想垂直面對稱，此外在一些例子中，閘極區附近的第三區及第五區相對於第二假想垂直面是對稱的，因此可增加設計或製造半導體記憶單元時的自由度，此外因爲電晶體是一體成型的，所以可進一步減少半導體記憶單元的面積，因而可減少漏電。

根據本發明的第三到第五特點，設置電流控制用的接面場效電晶體，當讀取資訊時可控制接面場效電晶體在導通/截止狀態，所以能將流入第一電晶體TR_1的電流加大極大，結果，可以將接到位元線的半導體記憶單元數目減到極小。

本發明的半導體記憶單元製程與圖66A至66C所示的MOS邏輯電路形成製程相容，因此可以將半導體記憶單元製造成約一電晶體的大小，雖然這是依半導體記憶單元的結構

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（74）

而定，此外僅藉由增加一些步驟即可將DRAM功能併入MOS邏輯電路，此外可以在不必SOI技術，而是僅用習用半導體記憶單元製造技術之下，製造僅具有約一電晶體大小的半導體記憶單元。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：半導體記憶單元）

一種半導體記憶單元，包括：一第一讀取電晶體，一第二切換電晶體，及具有：一第一區，一第二區，形成在第一區之表面區，一第三區，形成在第二區之表面區，一第四區，形成在第一區之表面區且與第二區相隔，一第五區，形成在第四區之表面區，及一閘極區，其中以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

英文發明摘要（發明之名稱："SEMICONDUCTOR MEMORY CELL"）

A semiconductor memory cell comprising a first transistor for readout, a second transistor for switching, and having a first region, a second region formed in a surface region of the first region, a third region formed in a surface region of the second region, a fourth region formed in a surface region of the first region and spaced from the second region, a fifth region formed in a surface region of the fourth region, and a gate region, wherein when the semiconductor memory cell is cut with a first imaginary perpendicular plane which is perpendicular to the extending direction of the gate region and passes through the center of the gate region, the second region and the fourth region in the vicinity of the gate region are nearly symmetrical with respect to a second imaginary perpendicular plane which is in parallel with the extending direction of the gate region and passes through the center of the gate region.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體記憶單元，包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，及

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，

該半導體記憶單元具有：

(a)一半傳導第一區，具有一第二傳導型，

(b)一半傳導第二區，其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區，其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區，其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區，其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區，其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一電晶體與第二電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C)閘極區接到一第一線用於記憶單元選擇，

(D)第三區接到寫入資訊設定線，

(E)第四區接到一第二線，及

(F)第五區接到第一區，

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

2. 如申請專利範圍第1項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

3. 如申請專利範圍第1項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

而接到寫入資訊設定線。

4. 如申請專利範圍第1項之半導體記憶單元，其中當以第一假想垂直面切割半導體記憶單元時，閘極區附近之第三區及第五區幾乎與第二假想垂直面對稱。

5. 一種半導體記憶單元，包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一第三電流控制用電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有第二傳導型，

該半導體記憶單元具有：

(a)一半傳導第一區，具有一第二傳導型，

(b)一半傳導第二區，其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區，其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區，其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區，其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區，其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一，第二，與第三電晶體共用，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由該第一區之表面區形成第三電晶體之源極/汲極區，

(C-2)由第五區形成第三電晶體之另一源極/汲極區，

(C-3)由該第四區之表面區形成第三電晶體之通道形成區，

(D)閘極區接到一第一線用於記憶單元選擇，

(E)第三區接到一寫入資訊設定線，及

(F)第四區接到第二線，

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

6. 如申請專利範圍第5項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

7. 如申請專利範圍第5項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

8. 如申請專利範圍第5項之半導體記憶單元，其中當以第一假想垂直面切割半導體記憶單元時，閘極區附近之第三區及第五區幾乎與第二假想垂直面對稱。

9. 一種半導體記憶單元，包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一第三電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

半導體記憶單元具有：

(a)一半傳導第一區，具有一第二傳導型，

(b)一半傳導第二區，其形成在第一區之表面區且具有

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

一第一傳導型，

(c)一第三區，其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區，其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區，其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區，其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一及第二電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由第五區及部分第一區形成接面場效電晶體之閘

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

極部分，該部分第一區與第五區相對，

(C-2)由部分第四區形成接面場效電晶體之通道區，該部分置於第五區與該部分第一區之間，

(C-3)由該第四區之表面區形成接面場效電晶體之源極/汲極區，該表面區從接面場效電晶體之通道區之一端延伸且形成第一電晶體之另一源極/汲極區，

(C-4)由部分第四區形成接面場效電晶體之另一源極/汲極區，該部分從接面場效電晶體之通道區之另一端延伸，

(D)閘極區接到一第一線用於記憶單元選擇，

(E)第三區接到一寫入資訊設定線，

(F)第四區接到一第二線，及

(G)第五區接到一第三線，

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

10. 如申請專利範圍第9項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

11. 如申請專利範圍第9項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

12. 如申請專利範圍第9項之半導體記憶單元，其中第五區接到寫入資訊設定線以代替接到第三線。

13. 如申請專利範圍第12項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

14. 如申請專利範圍第12項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

15. 如申請專利範圍第9項之半導體記憶單元，其中第五區接到第一區以代替接到第三線。

16. 如申請專利範圍第15項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

17. 如申請專利範圍第15項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

18. 如申請專利範圍第9項之半導體記憶單元，其中半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

記憶單元更包括一第二電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

由第三部分及部分第一區形成第二接面場效電晶體之閘極部分，該部分第一區與第三區相對，

由部分第二區形成第二接面場效電晶體之通道區，該部分置於第三區與該部分第一區之間，

由該第二區之表面區形成第二接面場效電晶體之源極/汲極區，該表面區從第二接面場效電晶體之通道區之一端延伸且形成第一電晶體之源極/汲極區，及

由部分第二區形成第二接面場效電晶體之另一源極/汲極區，該部分從第二接面場效電晶體之通道區之另一端延伸。

19. 如申請專利範圍第18項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

20. 如申請專利範圍第18項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

21. 如申請專利範圍第18項之半導體記憶單元，其中第五區接到第一區以代替接到第三線。

22. 如申請專利範圍第21項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

寫入資訊設定線。

23. 如申請專利範圍第21項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

24. 一種半導體記憶單元，包括：

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一第三電流控制用電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有第二傳導型，及

(4)一電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

半導體記憶單元具有：

(a)一半傳導第一區，具有一第二傳導型，

(b)一半傳導第二區，其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區，其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區，其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區，其形成在第四區之表面區且與第四區接

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

觸俾與第四區共同形成一整流器接面，及

(f)一閘極區，其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一，第二及第三電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由該第五區之表面區形成第三電晶體之源極/汲極區，

(C-2)由第五區形成第三電晶體之另一源極/汲極區，

(C-3)由該第四區之表面區形成第三電晶體之通道形成區，

(D-1)由第五區及部分第一區形成接面場效電晶體之閘極部分，該部分第一區與第五區相對，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

(D-2)由部分第四區形成接面場效電晶體之通道區，該部分置於第五區與該部分第一區之間，

(D-3)由該第四區之表面區形成接面場效電晶體之源極/汲極區，該表面區從接面場效電晶體之通道區之一端延伸，形成第一電晶體之另一源極/汲極區及形成第三電晶體之通道形成區，

(D-4)由部分第四區形成接面場效電晶體之另一源極/汲極區，該部分從接面場效電晶體之通道區之另一端延伸，

(E)閘極區接到一第一線用於記憶單元選擇，

(F)第三區接到一寫入資訊設定線，及

(G)第四區接到一第二線，及

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

25. 如申請專利範圍第24項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

26. 如申請專利範圍第24項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

27. 如申請專利範圍第24項之半導體記憶單元，其中半導體記憶單元更包括一第二電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

第二接面場效電晶體之閘極部分由第三區及部分第一區形成，該部分第一區與第三區相對，

第二接面場效電晶體之通道區由部分第二區形成，該部分置於第三區與該部分第一區之間，

由該第二區之表面區形成第二接面場效電晶體之源極/汲極區，該表面區從第二接面場效電晶體之通道區之一端延伸且形成第一電晶體之源極/汲極區，及

由部分第二區形成第二接面場效電晶體之另一源極/汲極區，該部分從第二接面場效電晶體之通道區之另一端延伸。

28. 如申請專利範圍第27項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

29. 如申請專利範圍第27項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

30. 一種半導體記憶單元，包括：

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

(1)一第一讀取電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第一傳導型，

(2)一第二切換電晶體，具有：源極/汲極區，一通道形成區及一閘極區且具有一第二傳導型，及

(3)一電流控制用接面場效電晶體，具有：源極/汲極區，一通道區及閘極部分，

該半導體記憶單元具有：

(a)一半傳導第一區，具有一第二傳導型，

(b)一半傳導第二區，其形成在第一區之表面區且具有一第一傳導型，

(c)一第三區，其形成在第二區之表面區且與第二區接觸俾與第二區共同形成一整流器接面，

(d)一半傳導第四區，其形成在第一區之表面區且與第二區相隔，且具有第一傳導型，

(e)一第五區，其形成在第四區之表面區且與第四區接觸俾與第四區共同形成一整流器接面，及

(f)一閘極區，其形成在一絕緣層上俾連接第一區與第三區，及連接第二區與第四區，且由第一及第二電晶體共用，

其中：

(A-1)由第二閘極之表面區形成第一電晶體之源極/汲極區，

(A-2)由第四閘極之表面區形成第一電晶體之另一源極/汲極區，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

(A-3)由第一區之表面區形成第一電晶體之通道形成區，表面區置於該第二區之表面區與該第四區之表面區之間，

(B-1)由該第一區之表面區形成第二電晶體之源極/汲極區，該表面區形成第一電晶體之通道形成區，

(B-2)由第三區形成第二電晶體之另一源極/汲極區，

(B-3)由該第二區之表面區形成第二電晶體之通道形成區，該表面區形成第一電晶體之源極/汲極區，

(C-1)由該第三區與部分第一區形成接面場效電晶體之閘極部分，該部分第一區與第三區相對，

(C-2)由部分第二區形成接面場效電晶體之通道區，該部分第二區置於第三區與該部分第一區之間，

(C-3)由該第二區之表面區形成接面場效電晶體之源極/汲極區，該表面區從接面場效電晶體之通道區之一端延伸且形成第一電晶體之源極/汲極區，

(C-4)由部分第二區形成接面場效電晶體之另一源極/汲極區，該部分第二區從接面場效電晶體之通道區之另一端延伸，

(D)閘極區接到一第一線用於記憶單元選擇，

(E)第三區接到一寫入資訊設定線，

(F)第四區接到一第二線，及

(G)第五區接到第一區，

且其中又：

當以一第一假想垂直面切割半導體記憶單元時，該垂

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

直面與閘極區之延伸方向垂直且通過閘極區中心，閘極區附近之第二區及第四區幾乎與一第二假想垂直面對稱，該垂直面與閘極區之延伸方向平行且通過閘極區中心。

31. 如申請專利範圍第30項之半導體記憶單元，其中由第二區及第三區形成一二極體，及第二區經由第三區而接到寫入資訊設定線。

32. 如申請專利範圍第30項之半導體記憶單元，其中一二極體組成區形成在與第二區接觸之第二區之表面區，俾與第二區共同形成一整流器接面，由二極體組成區及第二區形成一主要載子二極體，及第二區經由二極體組成區而接到寫入資訊設定線。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

461080

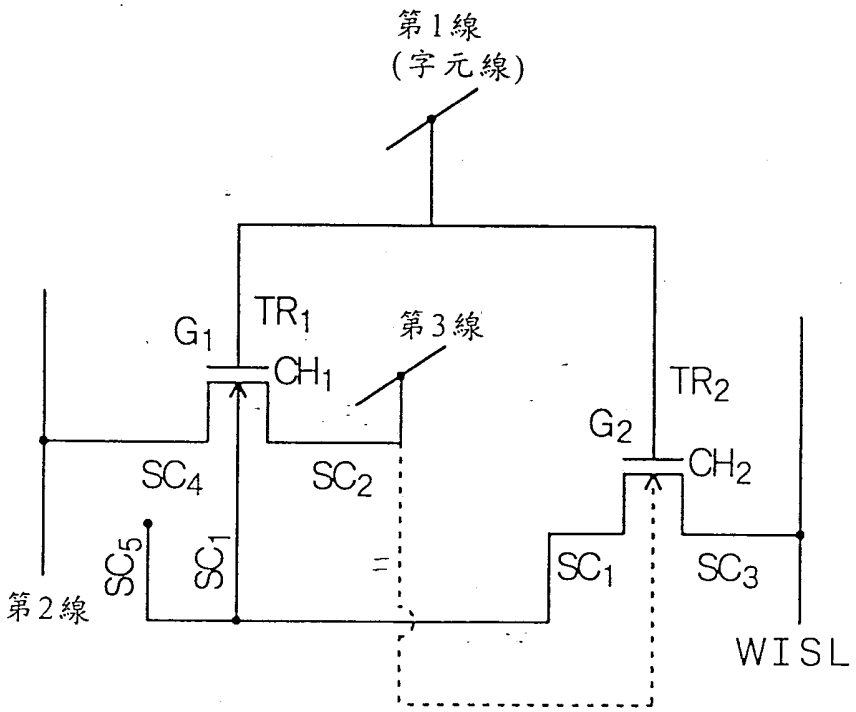

第1線
(字元線)
G1
TR1
CH1
第3線
TR2
G2
CH2
SC4
SC2
SC5
SC1
SC1
SC3
第2線
WISL

圖 1

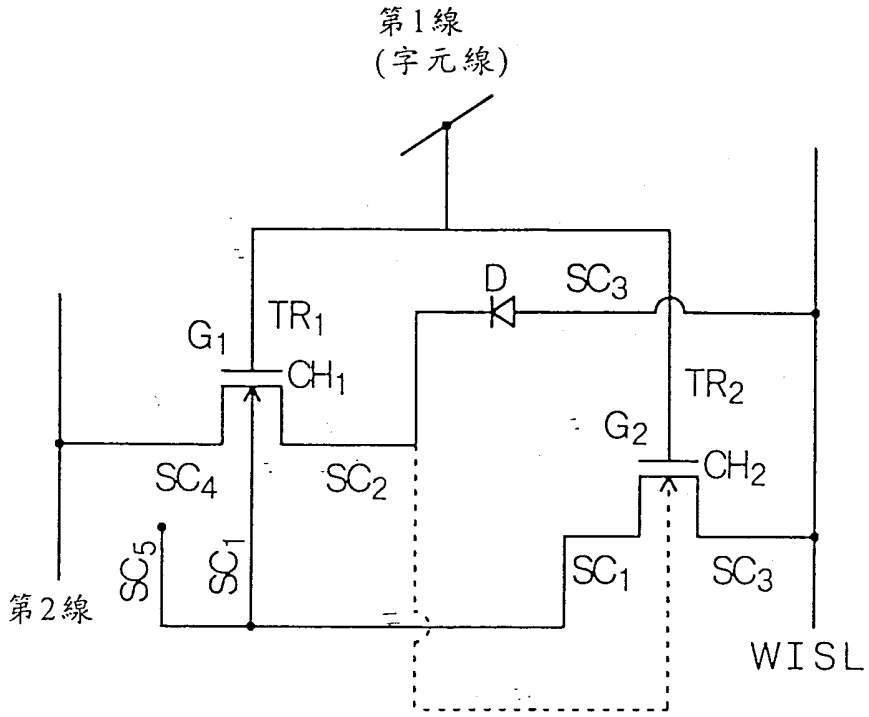

第1線
(字元線)
D
SC3
TR1
G1
CH1
TR2
G2
CH2
SC4
SC2
SC5
SC1
SC1
SC3
第2線
WISL

圖 2A

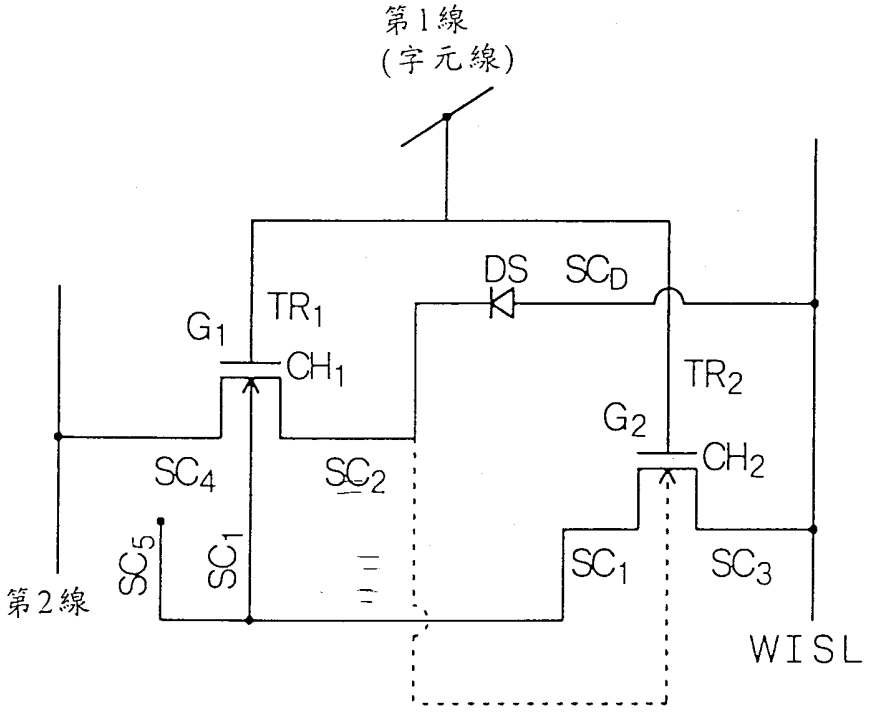

第1線
(字元線)
DS
SCD
TR1
G1
CH1
TR2
G2
CH2
SC4
SC2
SC5
SC1
SC1
SC3
第2線
WISL

圖 2B

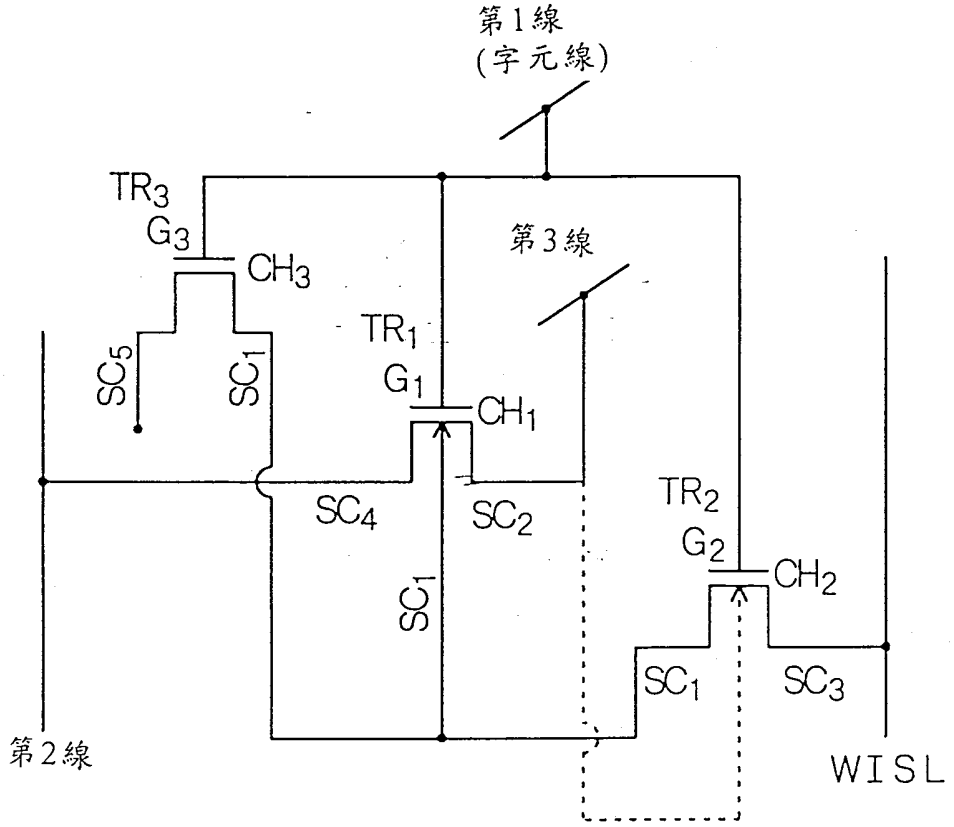

第1線
(字元線)
TR3
G3
CH3
第3線
TR1
G1
CH1
SC5
SC1
SC4
SC2
SC1
TR2
G2
CH2
SC1
SC3
第2線
WISL

圖 3

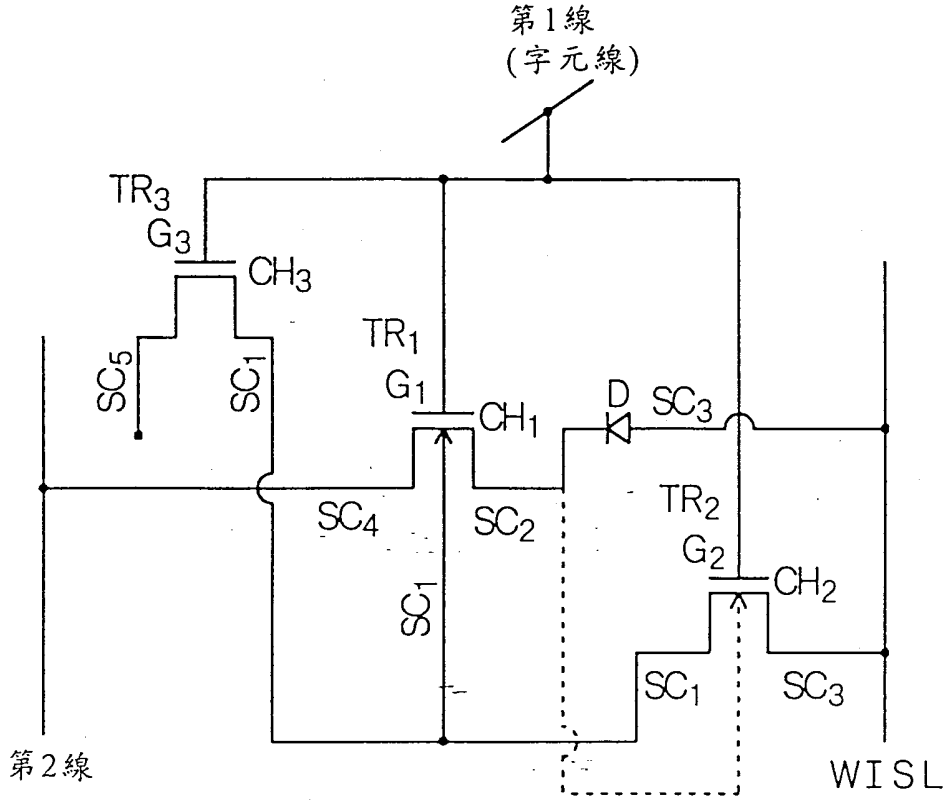

第1線
(字元線)
TR3
G3
CH3
SC5
SC1
TR1
G1
CH1
D
SC3
SC4
SC2
TR2
G2
CH2
SC1
SC1
SC3
第2線
WISL

圖 4A

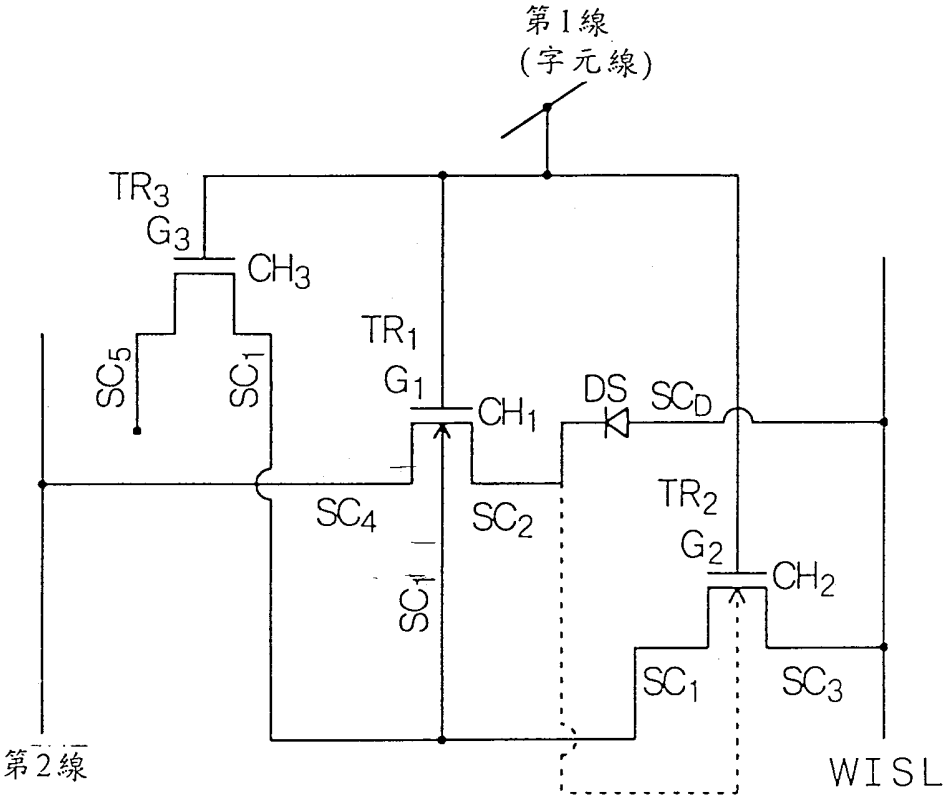

第1線
(字元線)
TR3
G3
CH3
SC5
SC1
TR1
G1
CH1
DS
SCD
SC4
SC2
TR2
G2
CH2
SC1
SC1
SC3
第2線
WISL

圖 4B

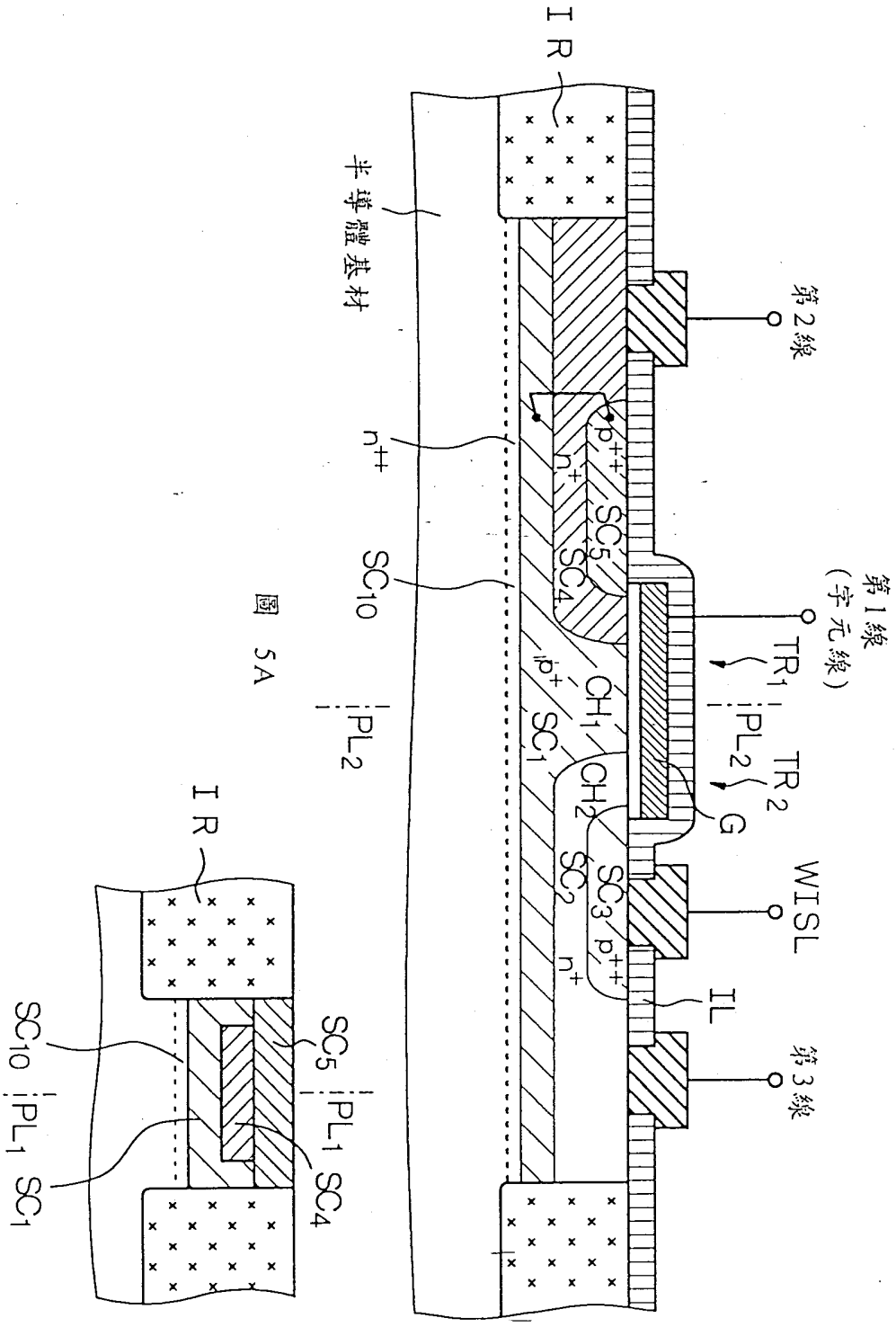

IR
半導體基材
第2線
n++
SC10
PL2
p++
n+
SC5
SC4
第1線
(字元線)
TR1
PL2
TR2
G
CH1
p+
SC1
CH2
SC2
SC3
p++
n+
WISL
IL
第3線

圖 5A

IR
SC10
PL1
SC1
SC5
PL1
SC4

圖 5B

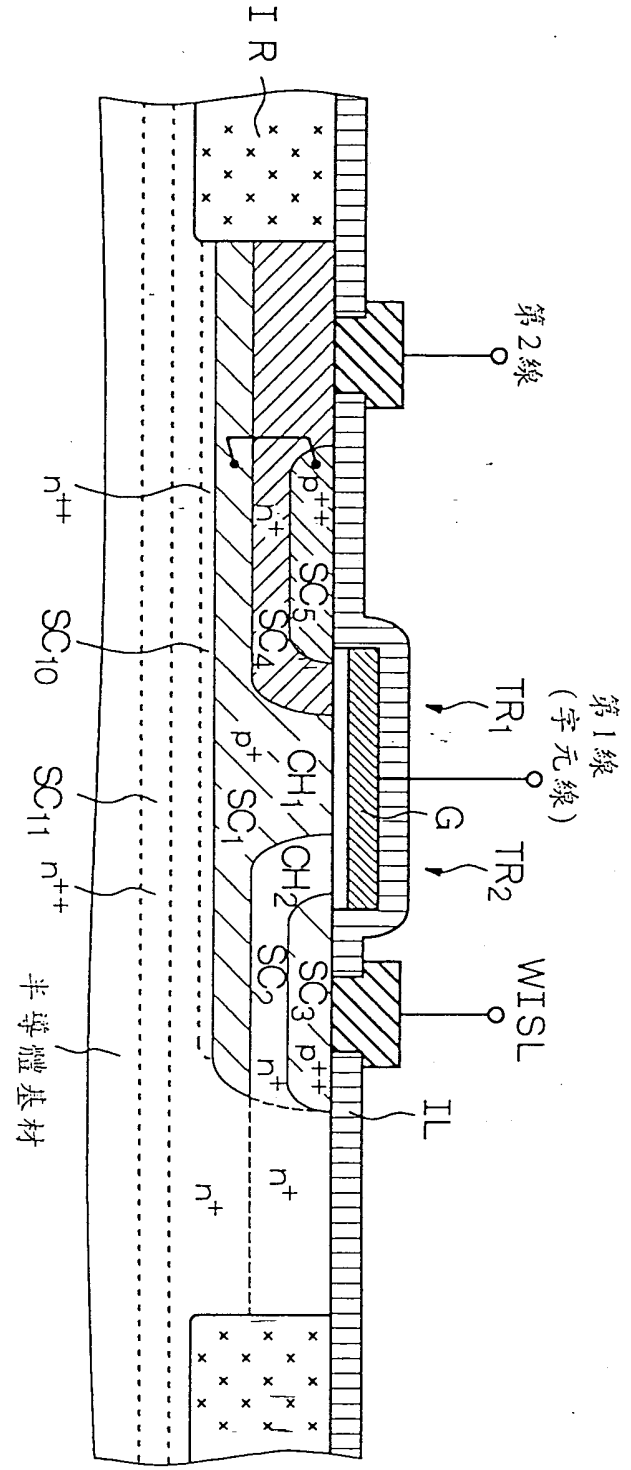

IR
第2線
第1線
(字元線)
TR1
G
TR2
WISL
IL
n++
p++
n+
SC5
SC4
SC10
SC11
p+
SC1
CH1
CH2
SC2
SC3
半導體基材

圖 6

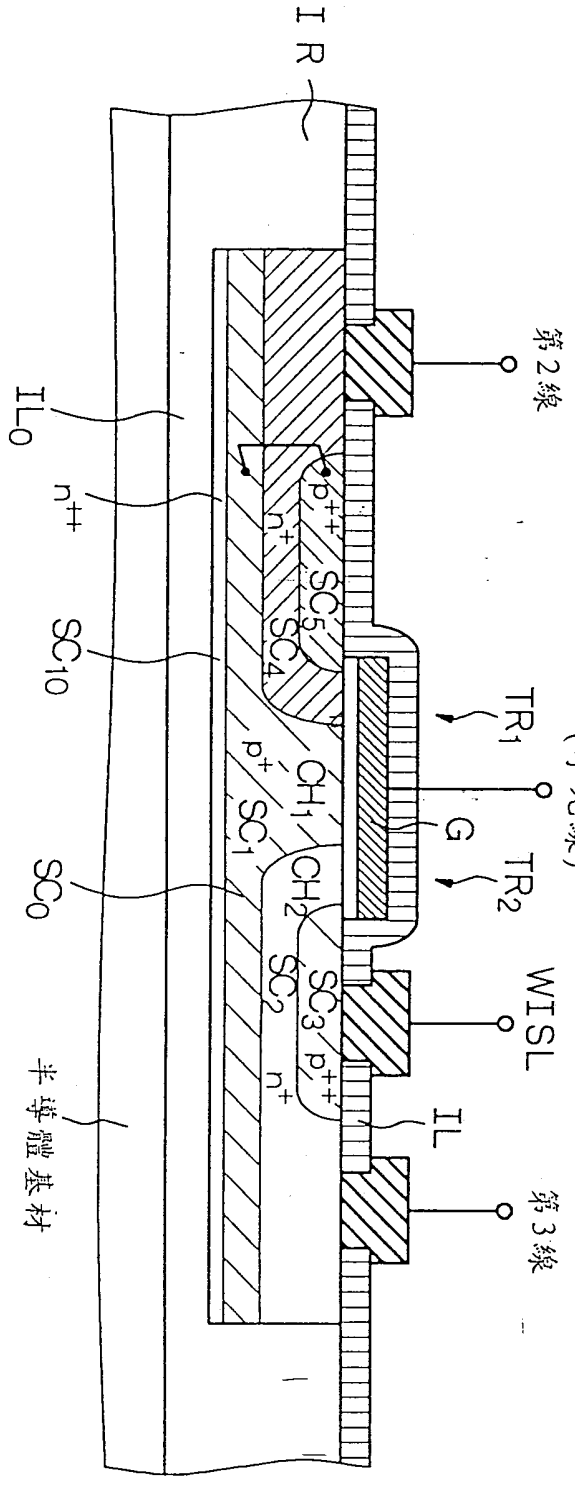

IR
第2線
IL0
n++
SC10
SC0
半導體基材
p++
n+
SC5
SC4
CH1
SC1
CH2
SC2
SC3
TR1
TR2
G
第1線
(字元線)
WISL
IL
第3線

圖 7

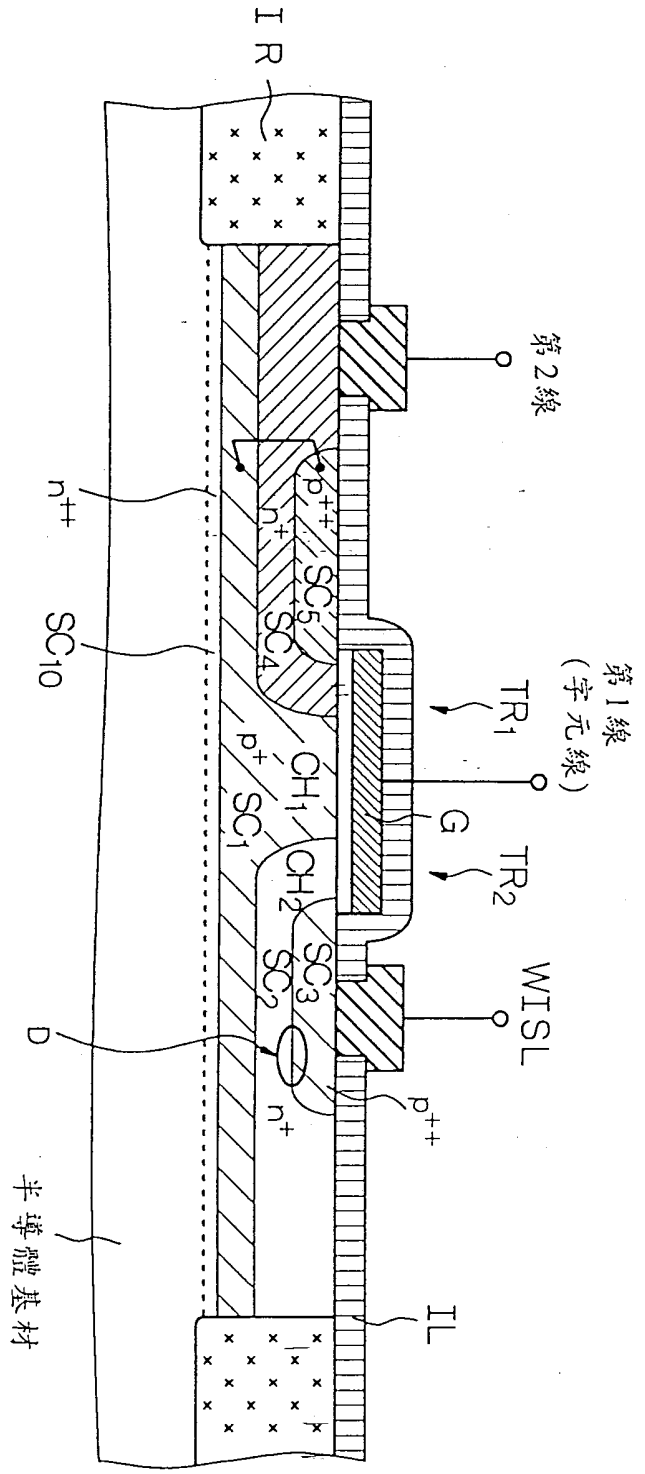

IR
第2線
第1線
(字元線)
n++
p++
n+
SC5
SC4
SC10
TR1
G
TR2
WISL
p+
CH1
SC1
CH2
SC3
SC2
D
n+
p++
半導體基材
IL

圖 8

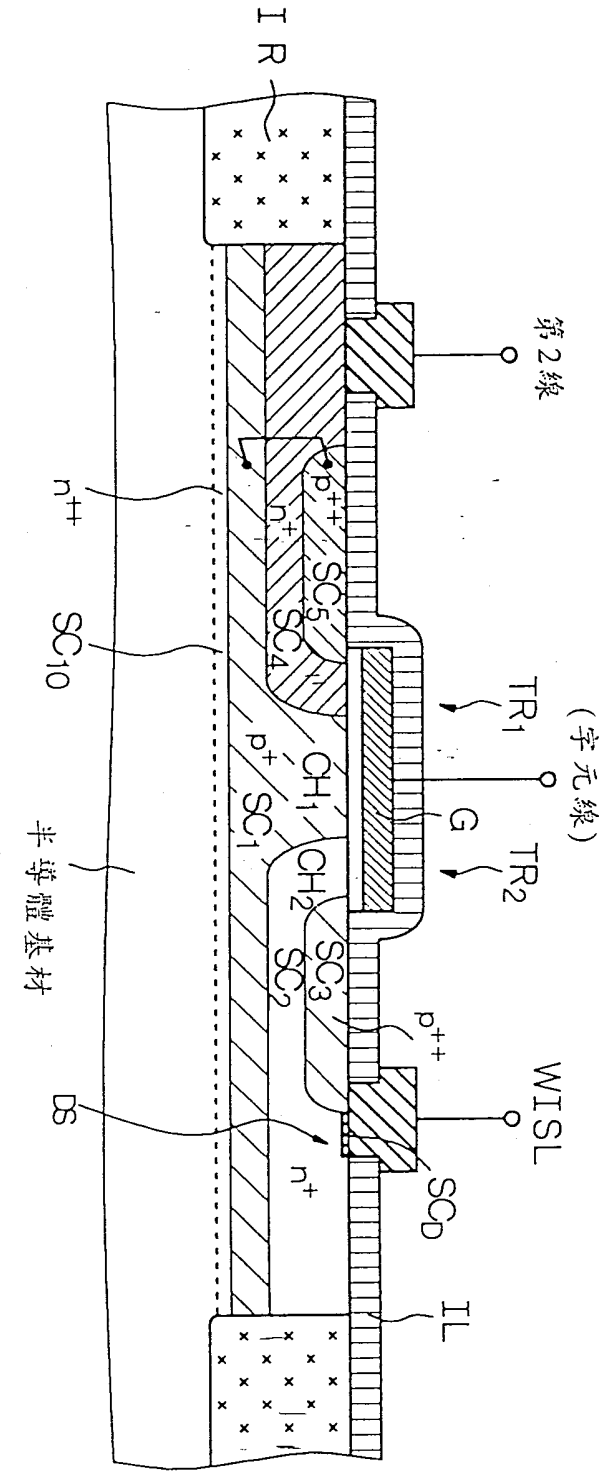

IR
第2線
n++
p++
n+
SC5
SC4
SC10
TR1
第1線
(字元線)
p+
CH1
SC1
G
TR2
CH2
SC3
SC2
半導體基材
p++
WISL
DS
n+
SCD
IL

圖 9

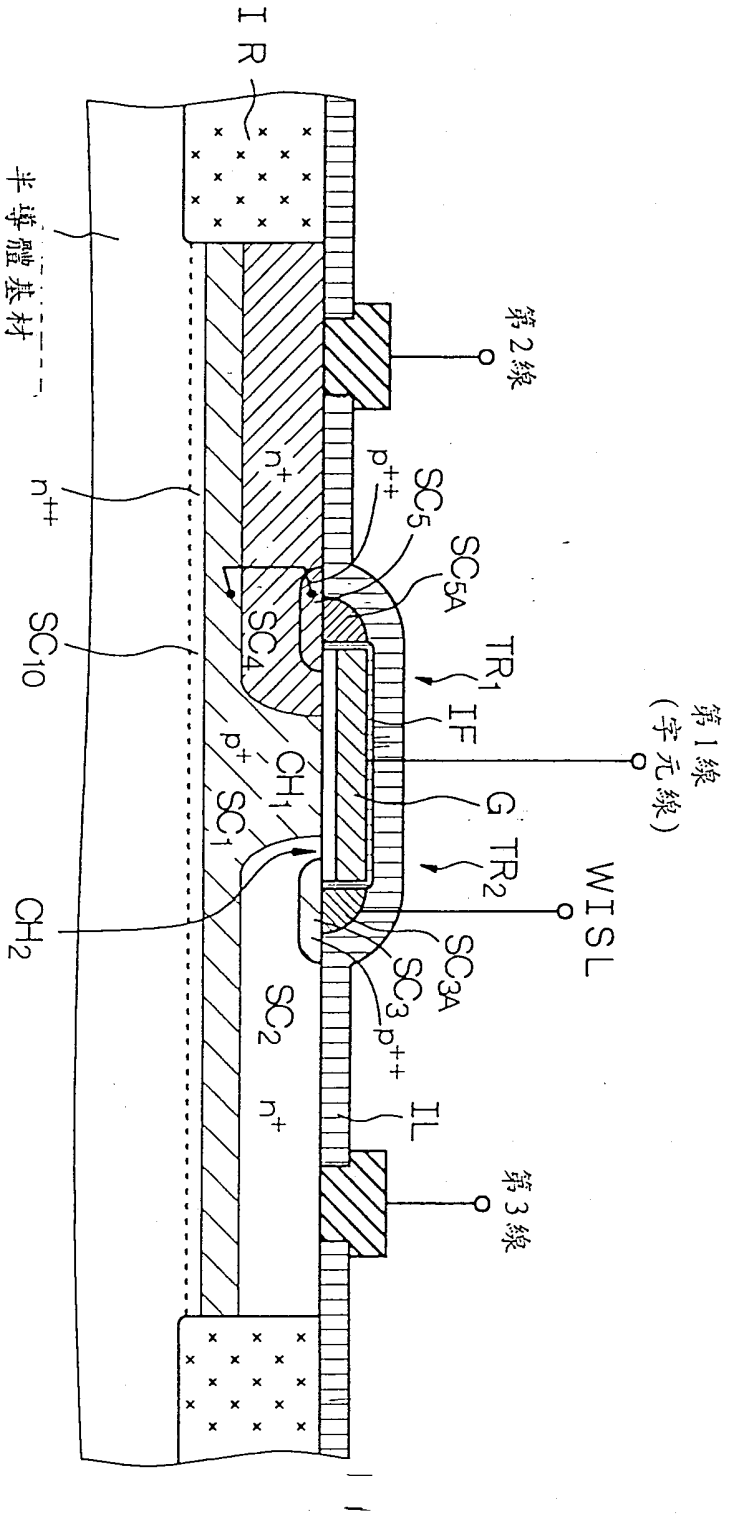

IR
半導體基材
第2線
n++
n+
p++
SC5
SC5A
SC10
SC4
TR1
IF
第1線
(字元線)
p+
CH1
SC1
G
TR2
WISL
CH2
SC3A
SC3
p++
SC2
n+
IL
第3線

圖 10

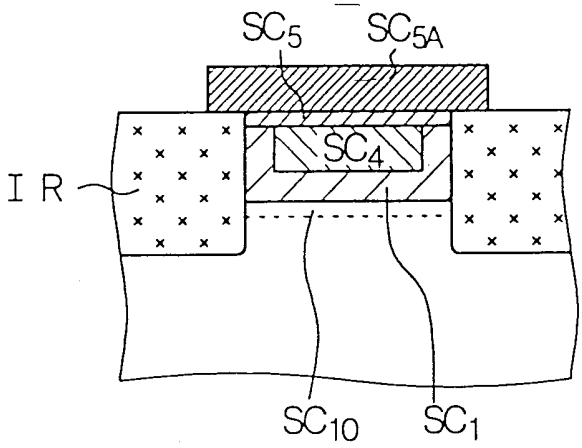


圖 11

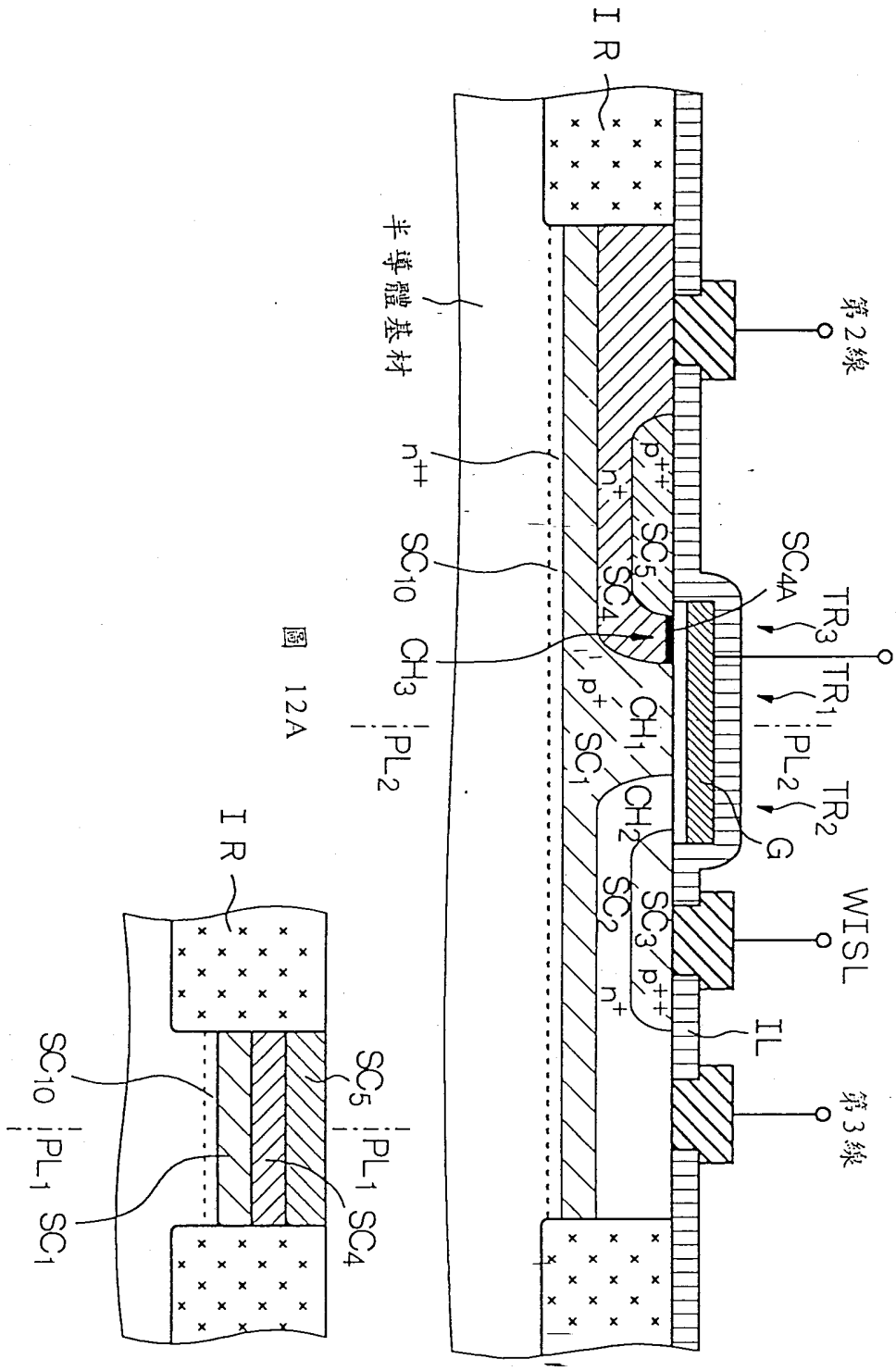

I R
半導體基材
第2線
n++
SC10
CH3
PL2
p++
n+
SC5
SC3
SC4
SC4A
TR3
TR1
PL2
TR2
G
第1線
(字元線)
CH1
p+
SC1
CH2
SC2
WISL
IL
第3線

圖 12A

I R
SC10
PL1
SC1
SC5
PL1
SC4

圖 12B

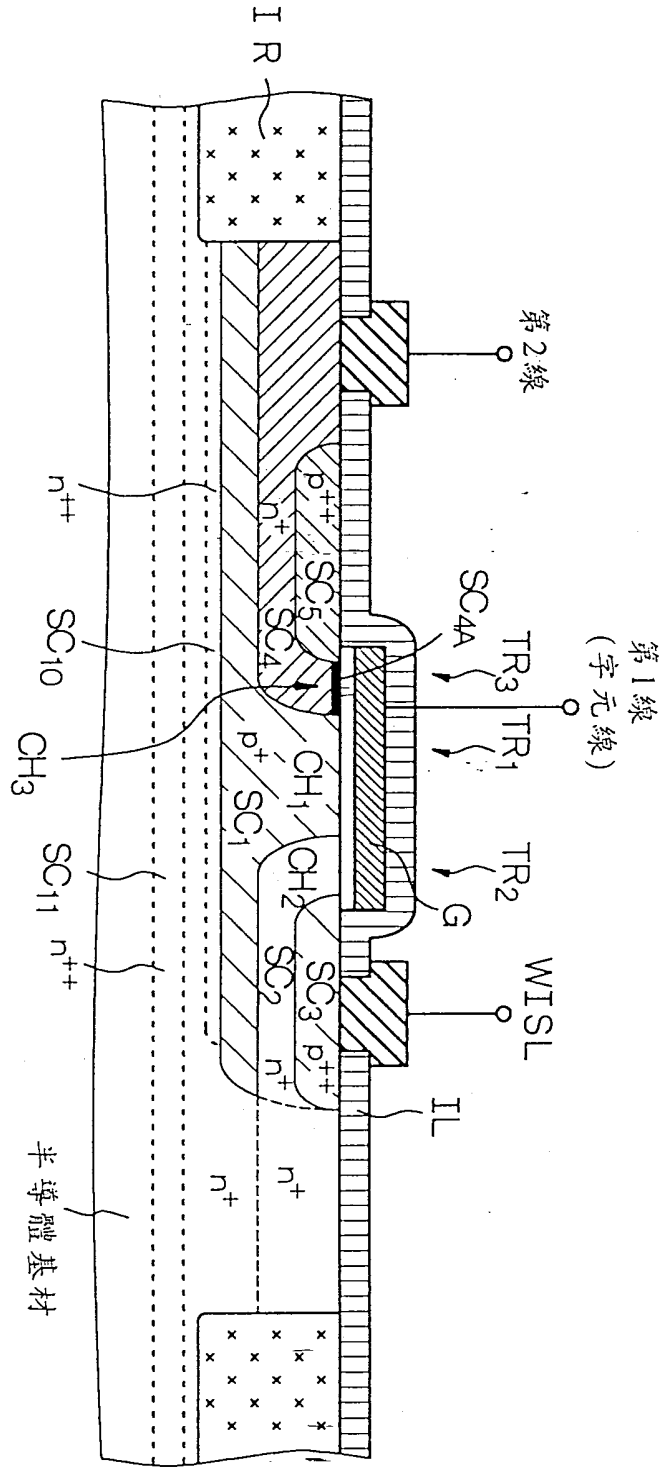

IR
第2線
第1線
(字元線)
SC4A
TR3
TR1
TR2
G
WISL
IL
n++
SC10
CH3
SC11
n++
p++
n+
SC5
SC4
p+
CH1
SC1
CH2
SC2
SC3
p++
n+
n+
n+
半導體基材

圖 13

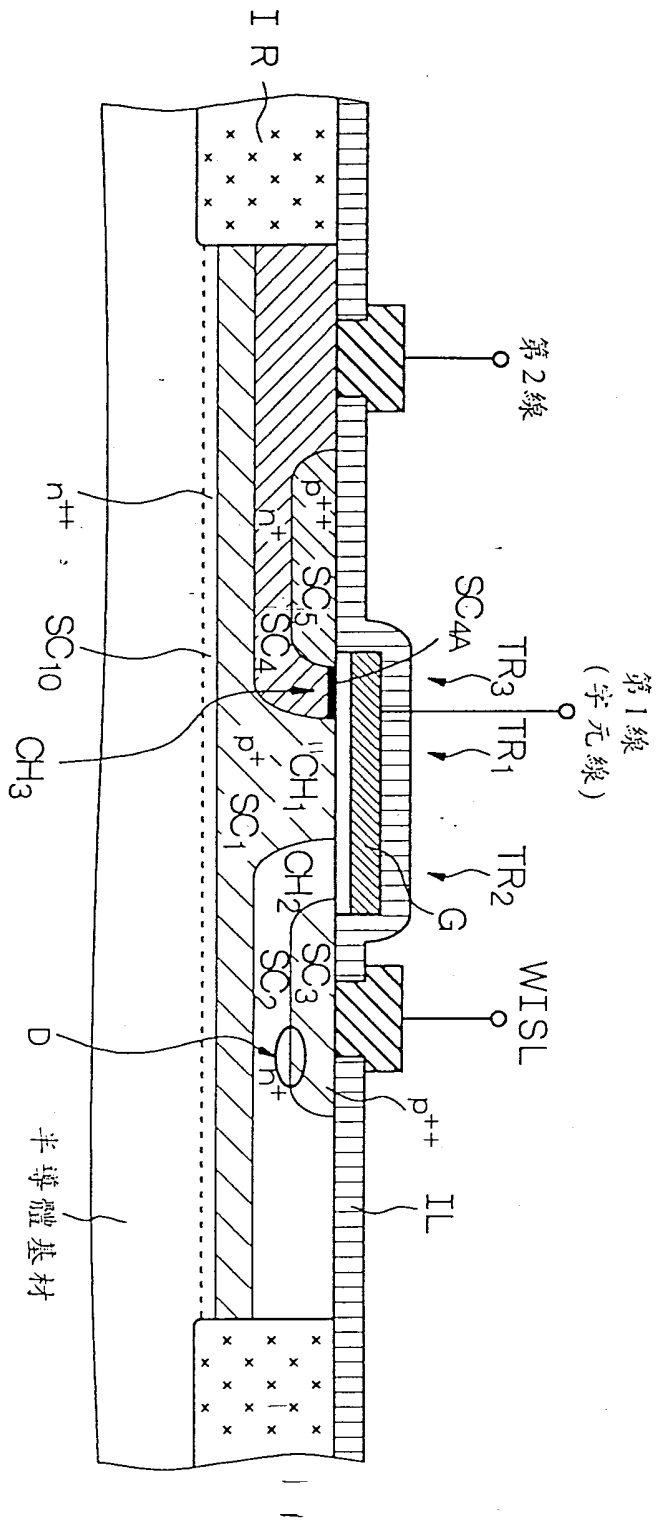

I R
第2線
n++
SC10
CH3
p++
n+
SC5
SC4
SC4A
TR3
TR1
第1線
(字元線)
p+
CH1
SC1
CH2
TR2
G
SC3
SC2
WISL
D
n+
p++
IL
半導體基材

圖 14

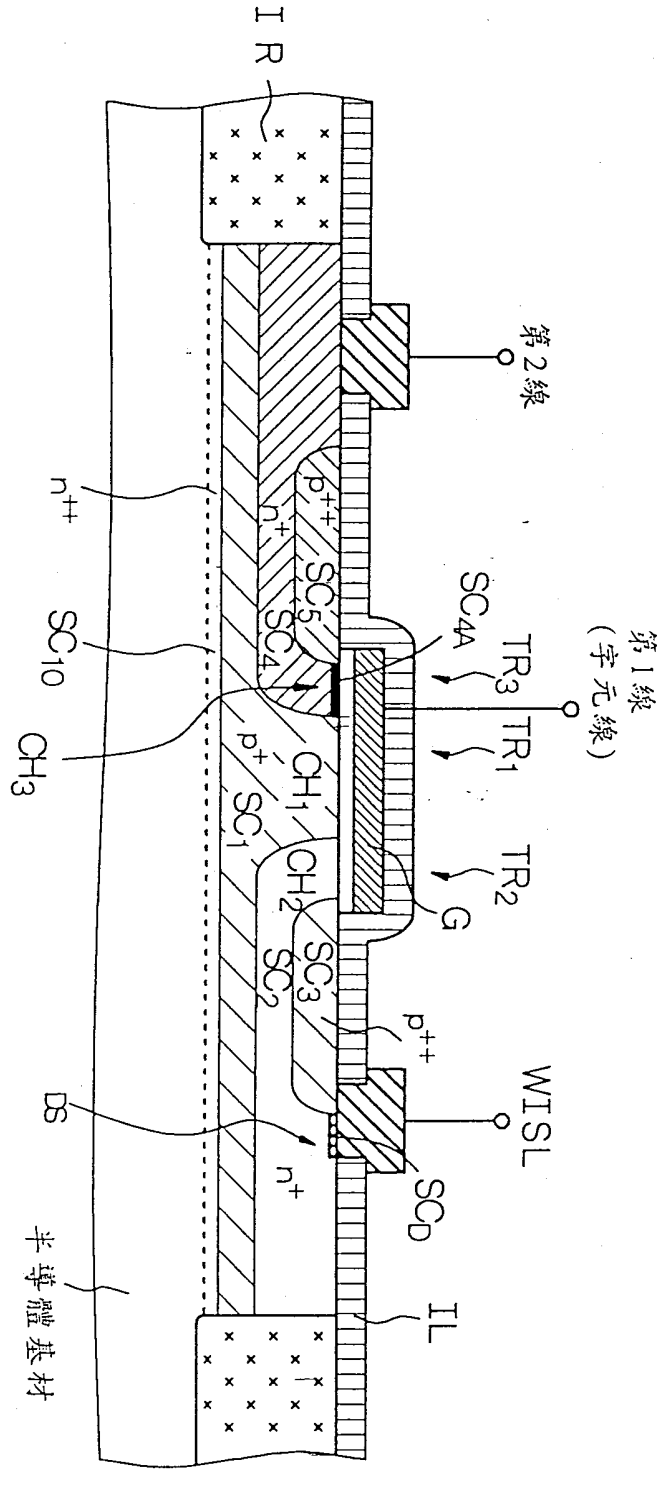

IR
第2線
n++
p++
n+
SC5
SC4
SC4A
TR3
TR1
TR2
第1線
(字元線)
SC10
CH3
p+
CH1
SC1
CH2
SC3
SC2
G
p++
WISL
DS
n+
SCD
半導體基材
IL

圖 15

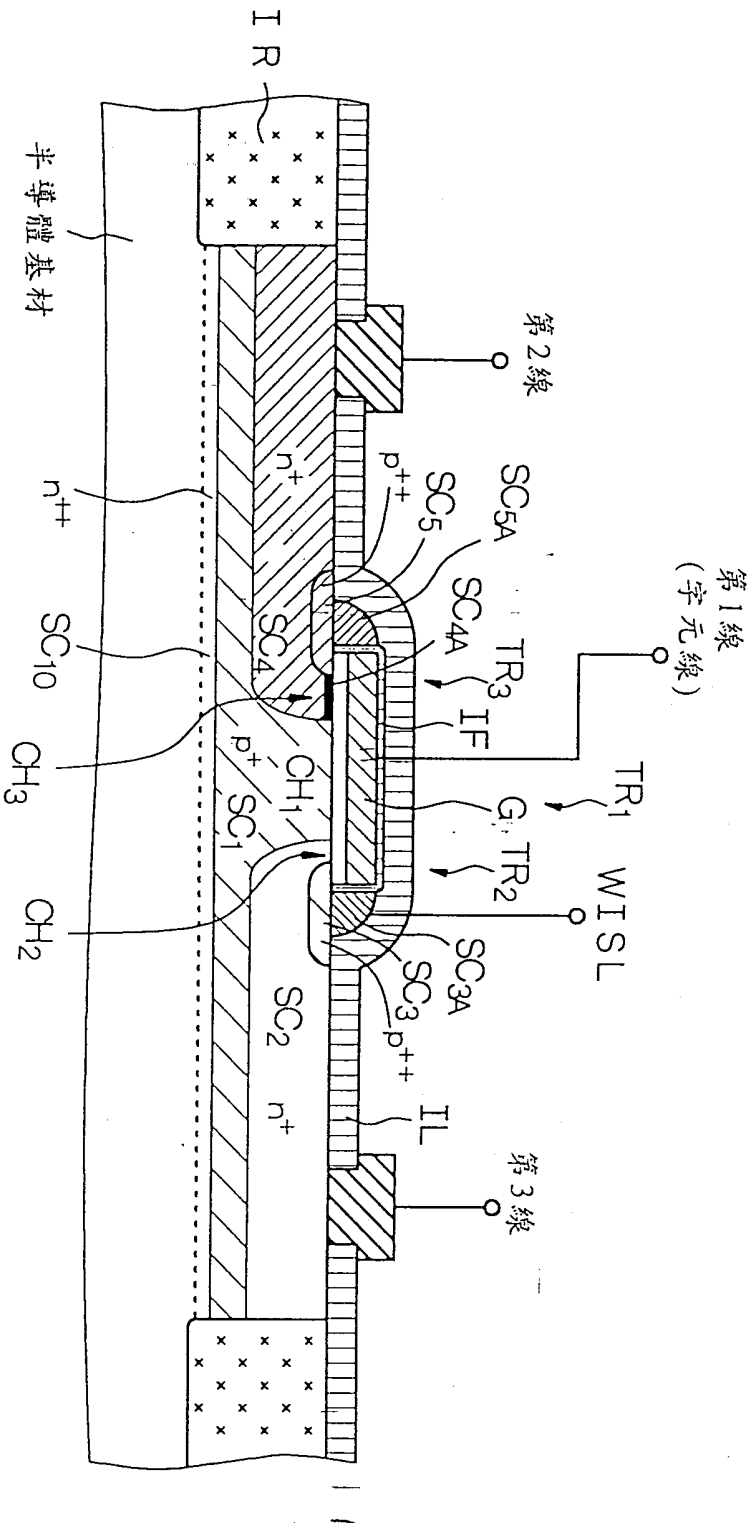

IR
半導體基材
第2線
n++
SC10
CH3
CH2
n+
p++
SC5A
SC5
SC4A
SC4
TR3
IF
p+
CH1
SC1
TR1
G
TR2
WISL
SC3A
SC3
SC2
n+
p++
IL
第3線
第1線
(字元線)

圖 16

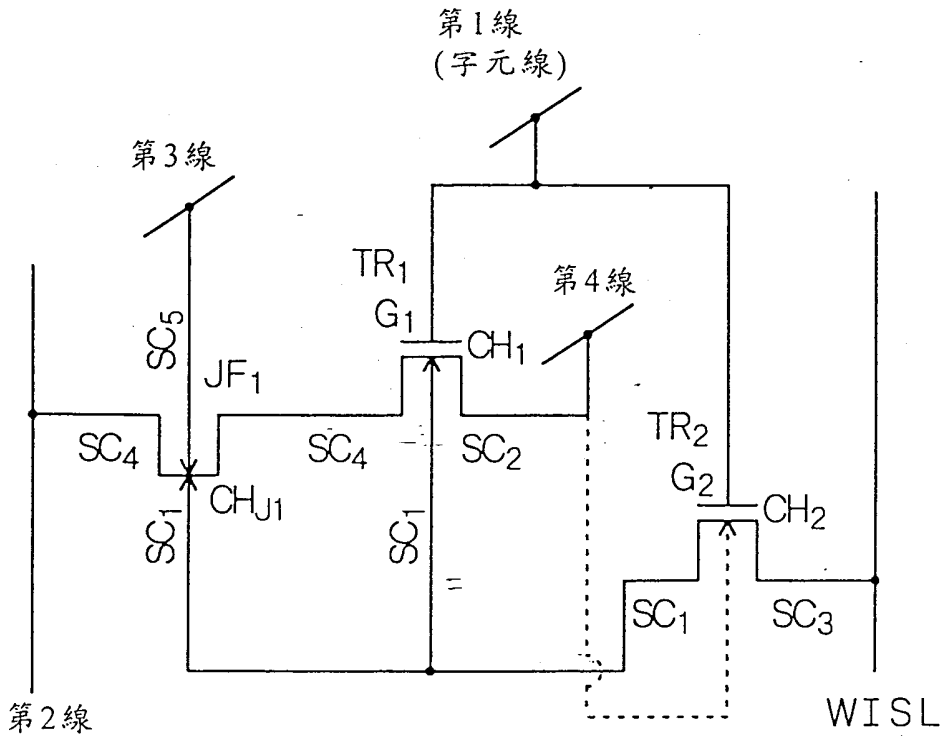

第1線
(字元線)
第3線
第4線
TR1
G1
CH1
SC5
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
第2線
WISL

圖 17

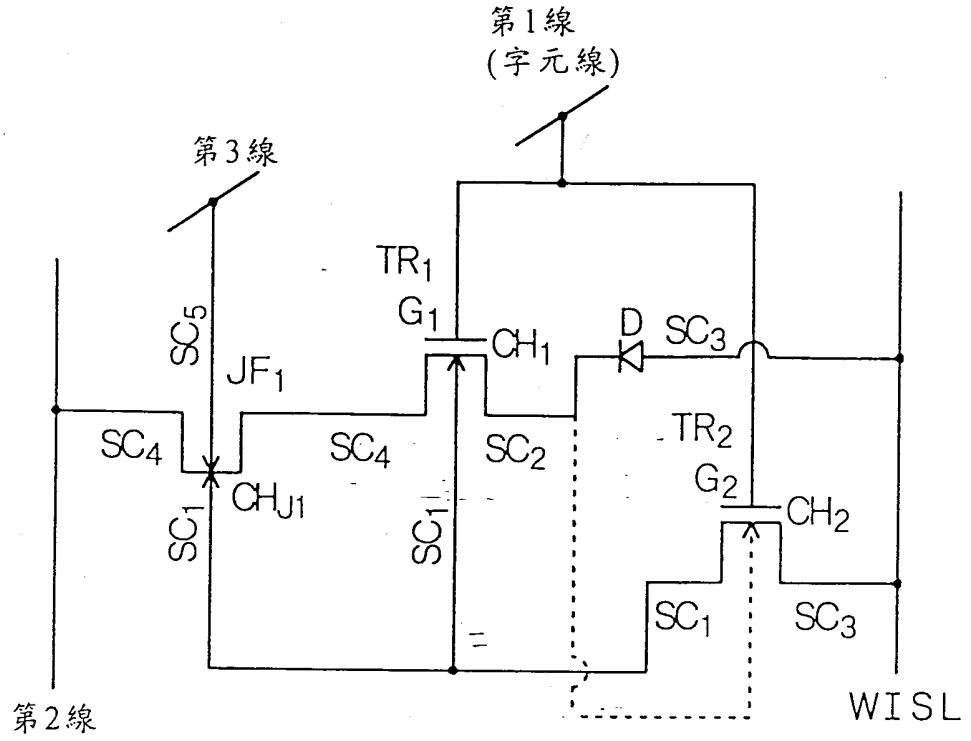

第1線
(字元線)
第3線
TR1
G1
CH1
D
SC3
SC5
JF1
SC4
SC4
SC2
TR2
G2
CH2
SC1
CHJ1
SC1
SC1
SC3
第2線
WISL

圖 18A

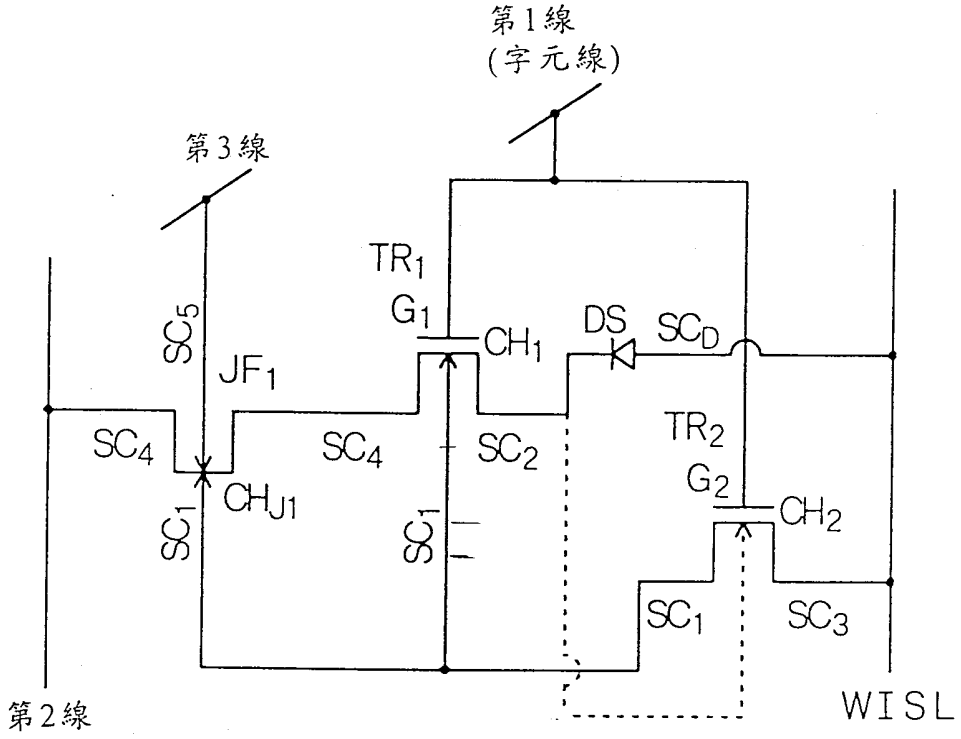

第1線
(字元線)
第3線
TR1
G1
CH1
DS
SCD
SC5
JF1
SC4
SC4
SC2
TR2
G2
CH2
SC1
CHJ1
SC1
SC1
SC3
第2線
WISL

圖 18B

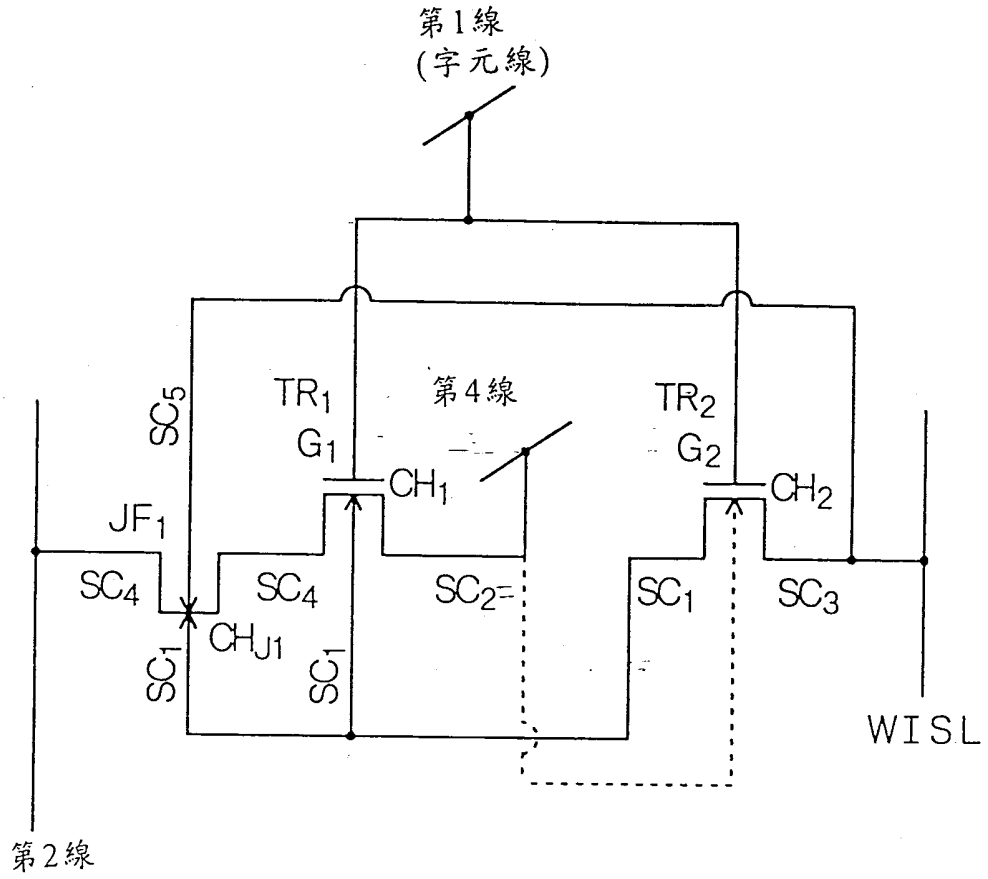

第1線
(字元線)
SC5
TR1
G1
第4線
TR2
G2
CH1
CH2
JF1
SC4
SC4
SC2
SC1
SC3
CHJ1
SC1
SC1
WISL
第2線

圖 19

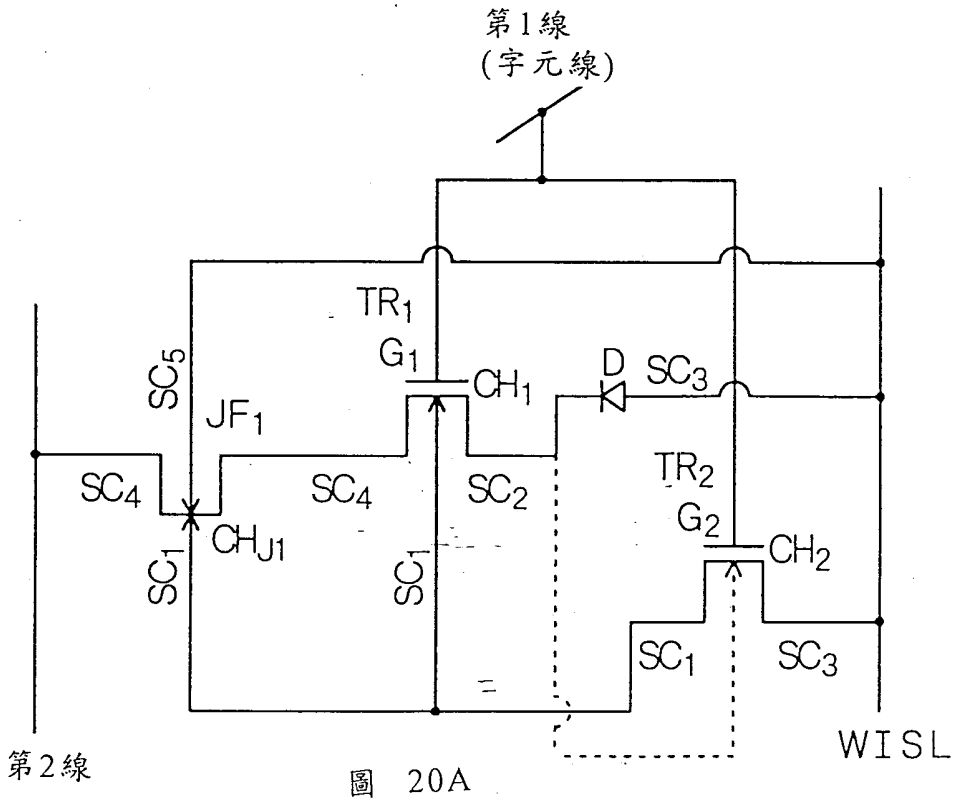

第1線
(字元線)
TR1
G1
CH1
D
SC3
SC5
JF1
SC4
SC4
SC2
TR2
G2
CHJ1
CH2
SC1
SC1
SC1
SC3
WISL
第2線

圖 20A

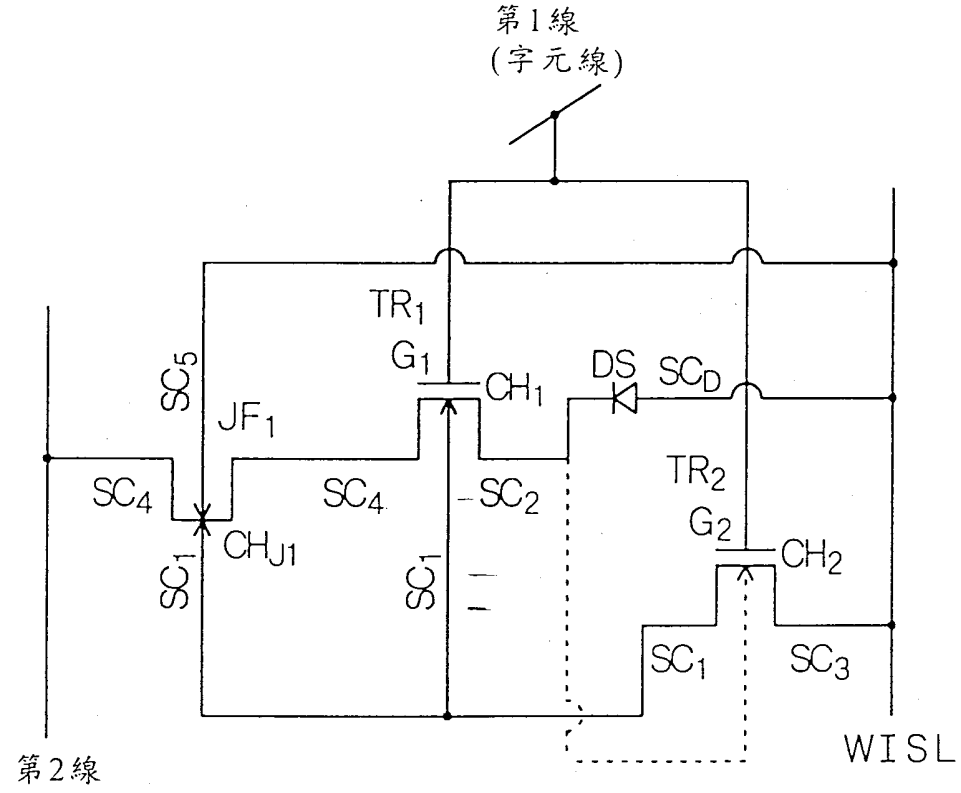

第1線
(字元線)
TR1
G1
CH1
DS
SCD
SC5
JF1
SC4
SC4
SC2
TR2
G2
CHJ1
CH2
SC1
SC1
SC1
SC3
WISL
第2線

圖 20B

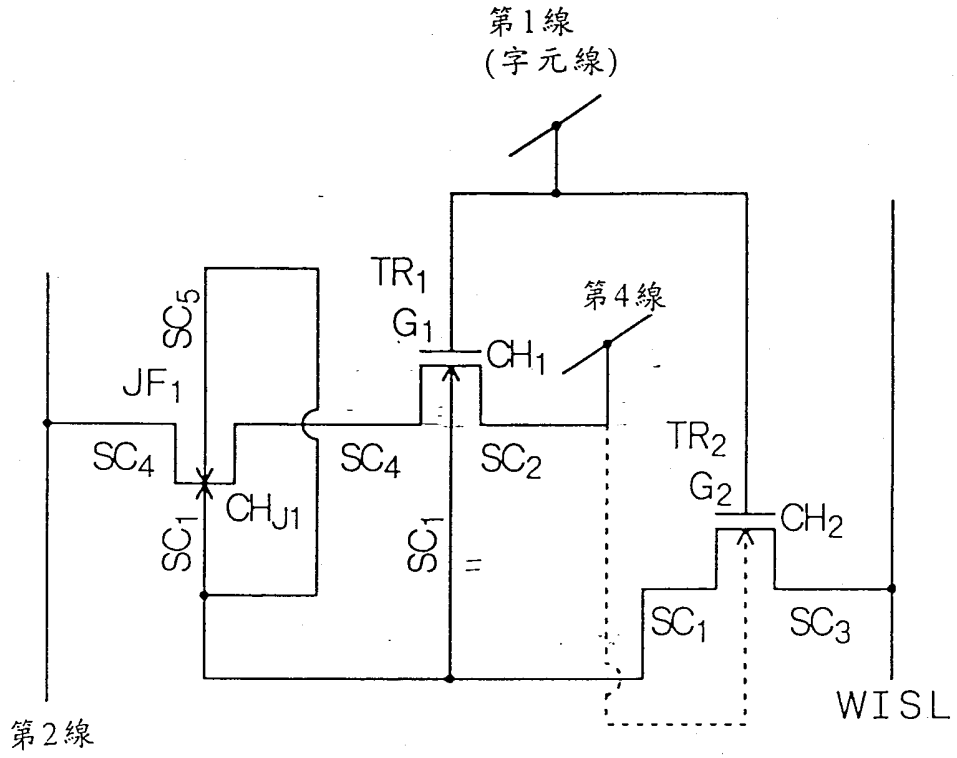

第1線
(字元線)
TR1
G1
CH1
第4線
SC5
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
WISL
第2線

圖 21

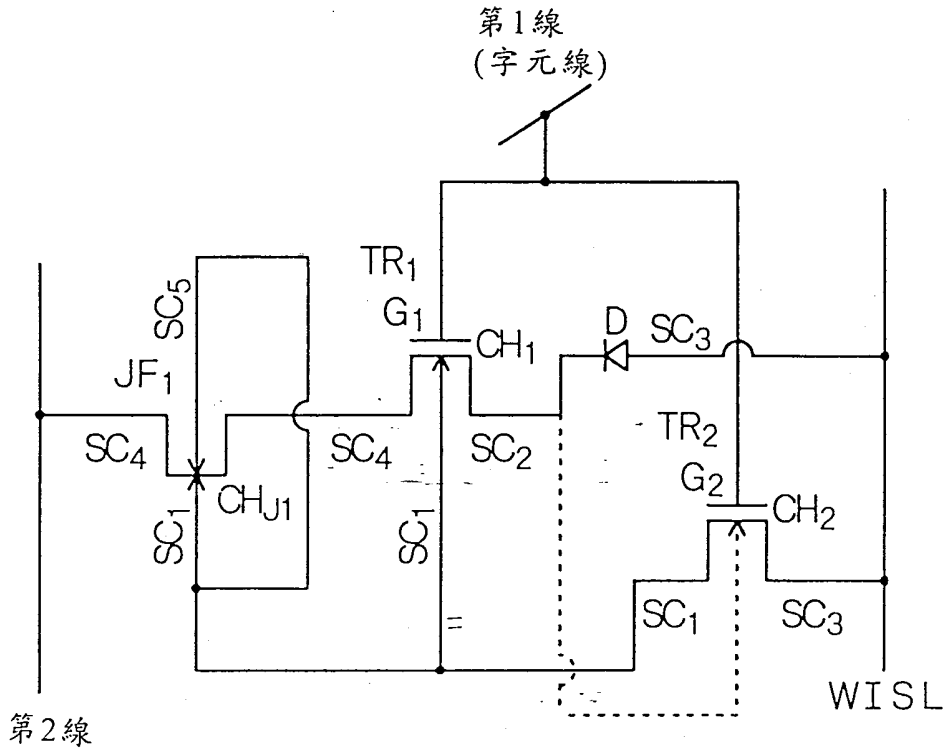

第1線
(字元線)
TR1
G1
CH1
D
SC3
SC5
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
WISL
第2線

圖 22A

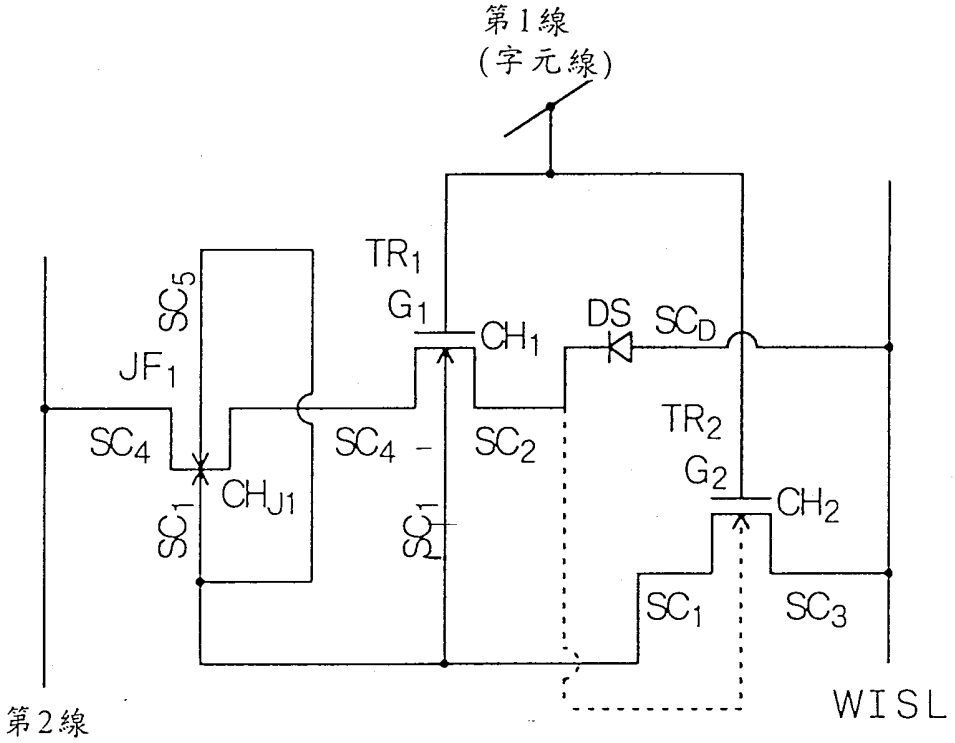

第1線
(字元線)
TR1
G1
CH1
DS
SCD
SC5
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
WISL
第2線

圖 22B

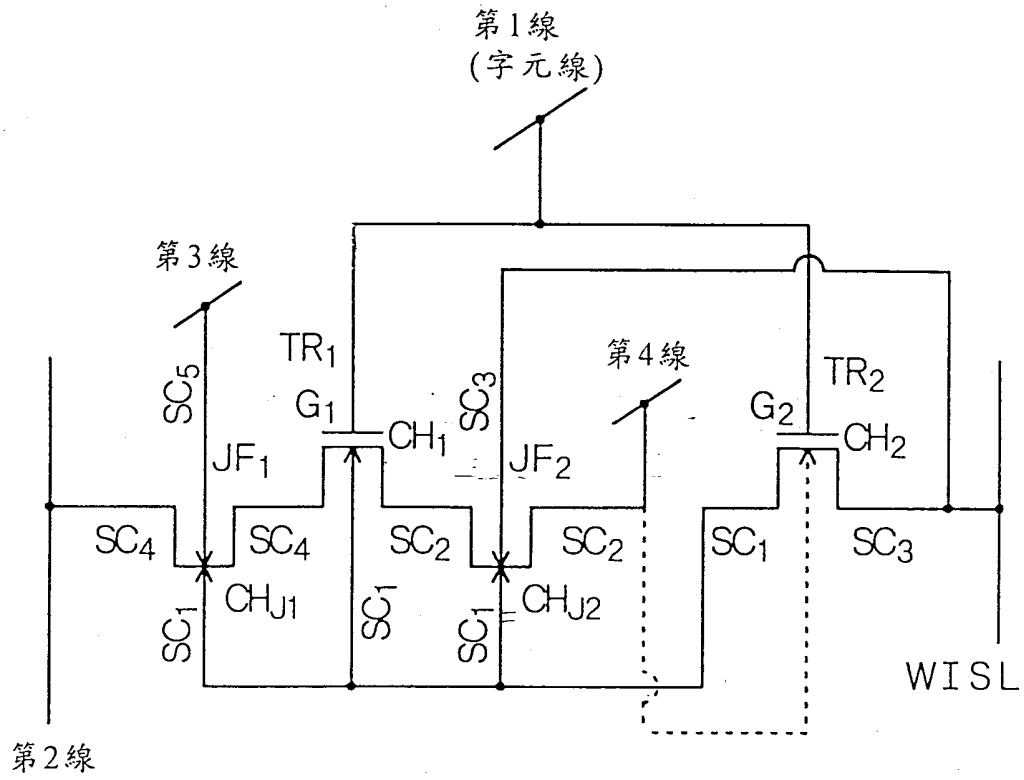

第1線
(字元線)
第3線
第4線
TR1
TR2
G1
G2
CH1
CH2
SC5
SC3
JF1
JF2
SC4
SC4
SC2
SC2
SC1
SC3
CHJ1
CHJ2
SC1
SC1
SC1
WISL
第2線

圖 23

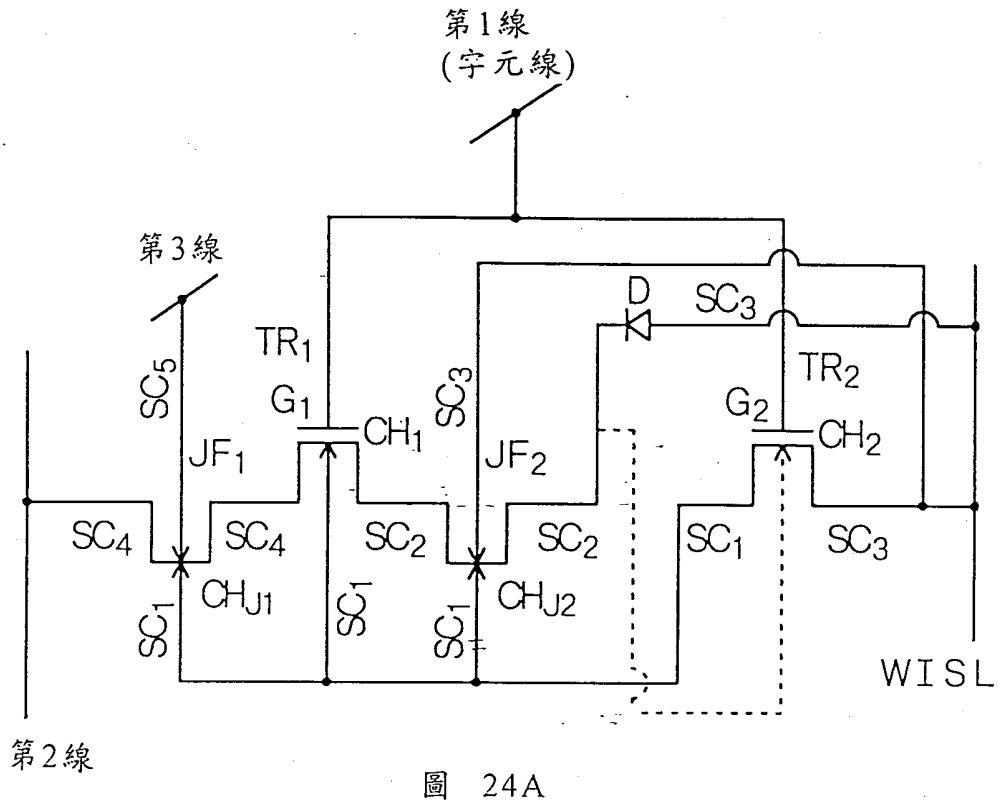

第1線
(字元線)
第3線
D
SC3
TR1
TR2
SC5
G1
SC3
G2
CH1
CH2
JF1
JF2
SC4
SC4
SC2
SC2
SC1
SC3
SC1
CHJ1
SC1
SC1
CHJ2
WISL
第2線

圖 24A

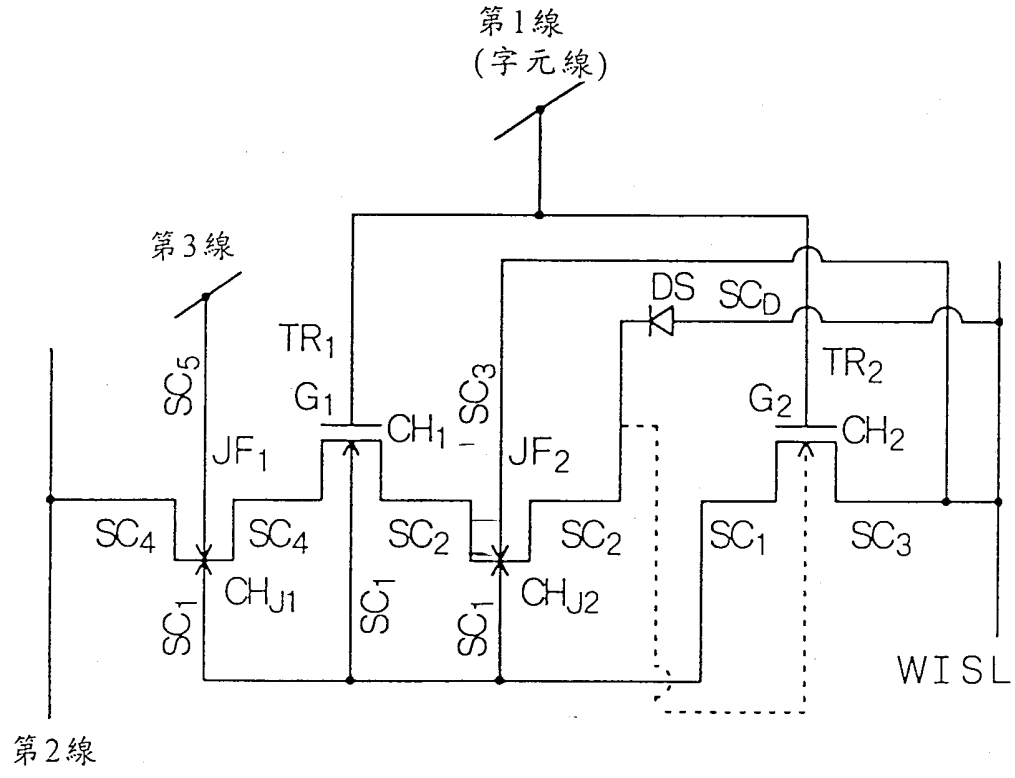

第1線
(字元線)
第3線
DS
SCD
TR1
TR2
SC5
G1
SC3
G2
CH1
CH2
JF1
JF2
SC4
SC4
SC2
SC2
SC1
SC3
SC1
CHJ1
SC1
SC1
CHJ2
WISL
第2線

圖 24B

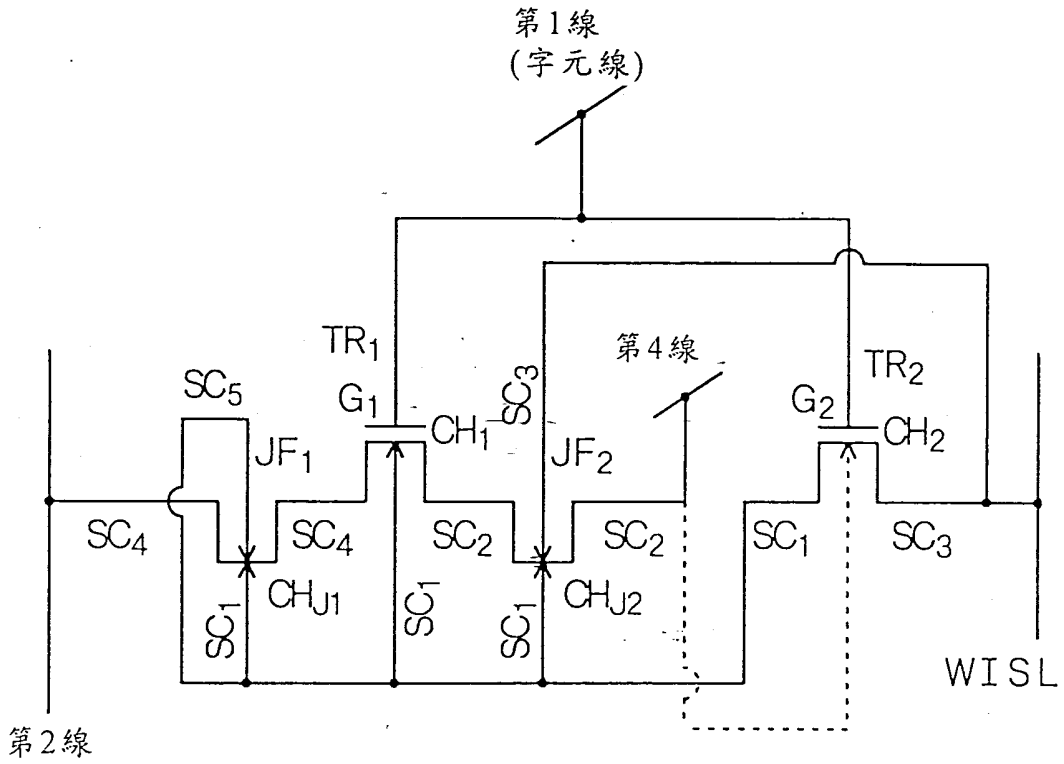

第1線
(字元線)
TR1
G1
CH1
SC3
第4線
TR2
G2
CH2
SC5
JF1
JF2
SC4
SC4
SC2
SC2
SC1
SC3
SC1
CHJ1
SC1
CHJ2
WISL
第2線

圖 25

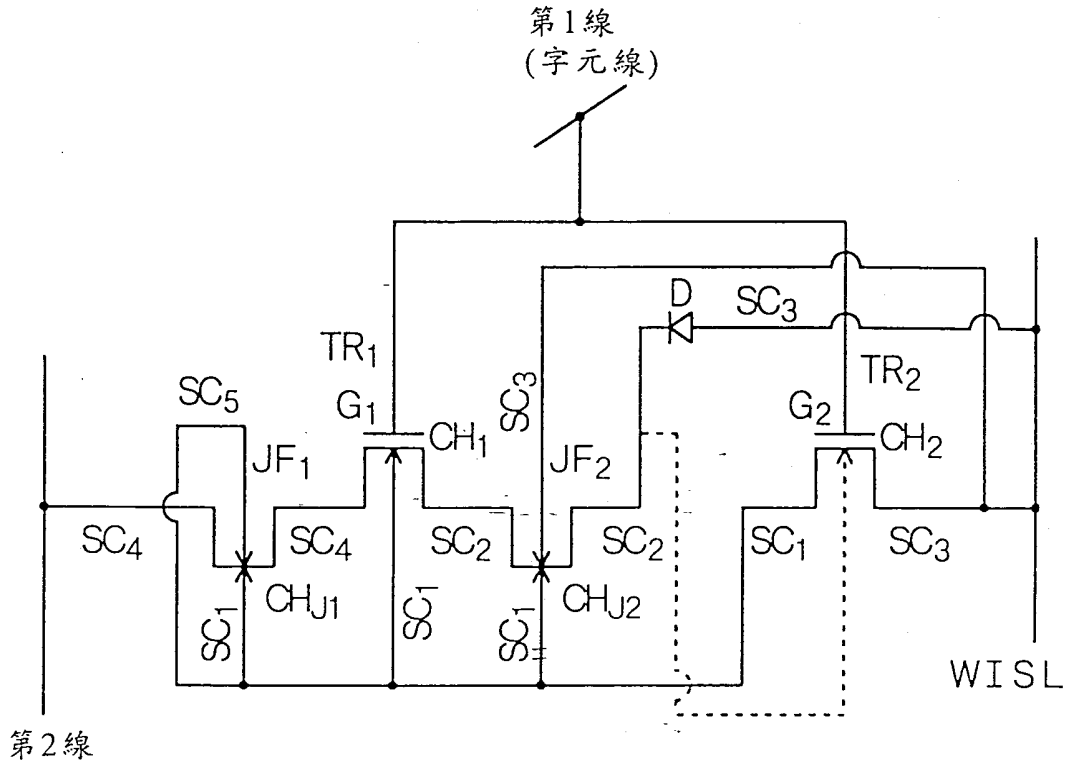

第1線
(字元線)
D
SC3
TR1
TR2
SC5
G1
SC3
G2
CH1
CH2
JF1
JF2
SC4
SC4
SC2
SC2
SC1
SC3
CHJ1
CHJ2
SC1
SC1
SC1
WISL
第2線

圖 26A

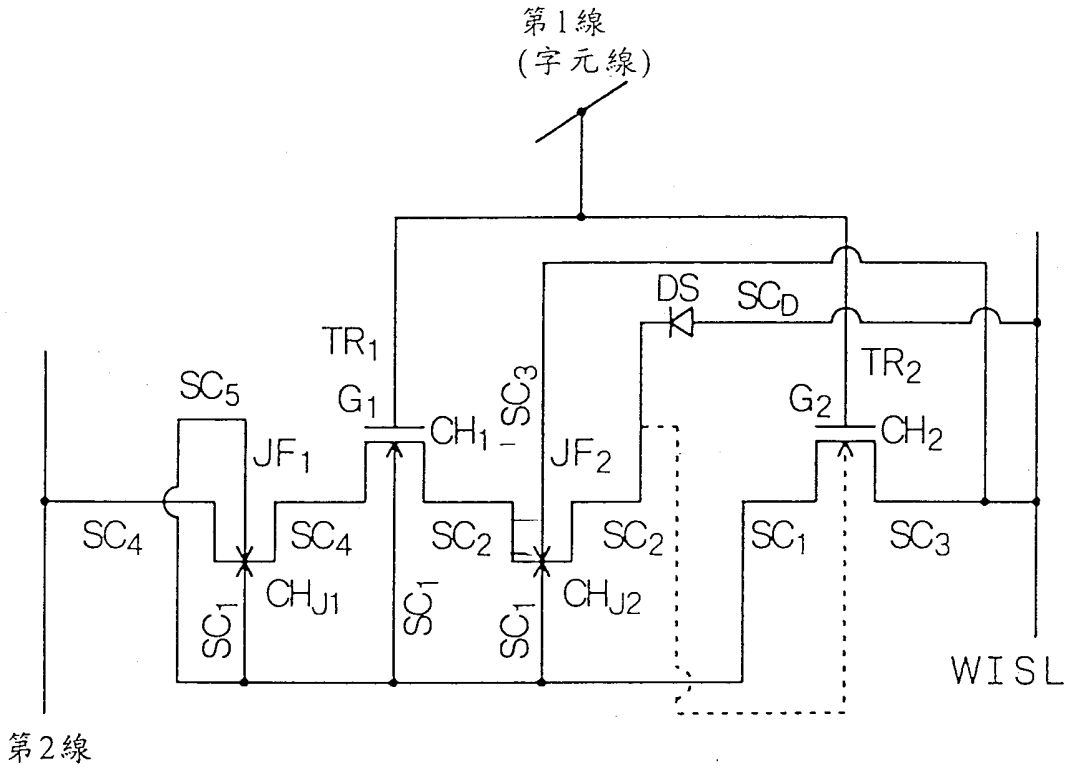

第1線
(字元線)
DS
SCD
TR1
TR2
SC5
G1
SC3
G2
CH1
CH2
JF1
JF2
SC4
SC4
SC2
SC2
SC1
SC3
CHJ1
CHJ2
SC1
SC1
SC1
WISL
第2線

圖 26B

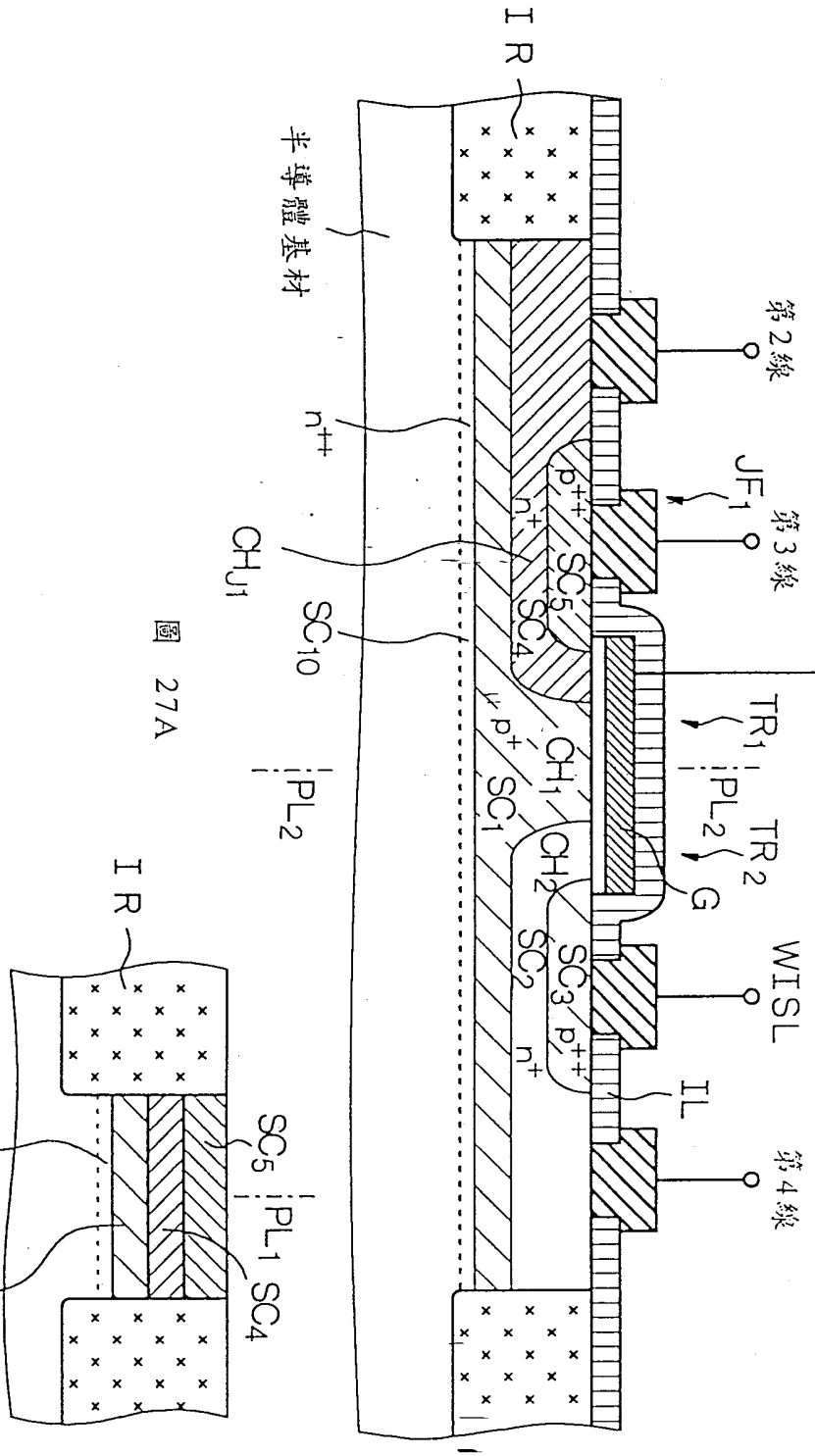

IR
半導體基材
第2線
第3線
第1線
(字元線)
TR1
TR2
G
WISL
IL
第4線
JF1
CHJ1
SC10
SC5
SC4
SC1
CH1
CH2
SC2
SC3
PL2
n++
p++
n+
μp+

圖 27A

IR
SC10
PL1
SC1
SC5
PL1
SC4

圖 27B

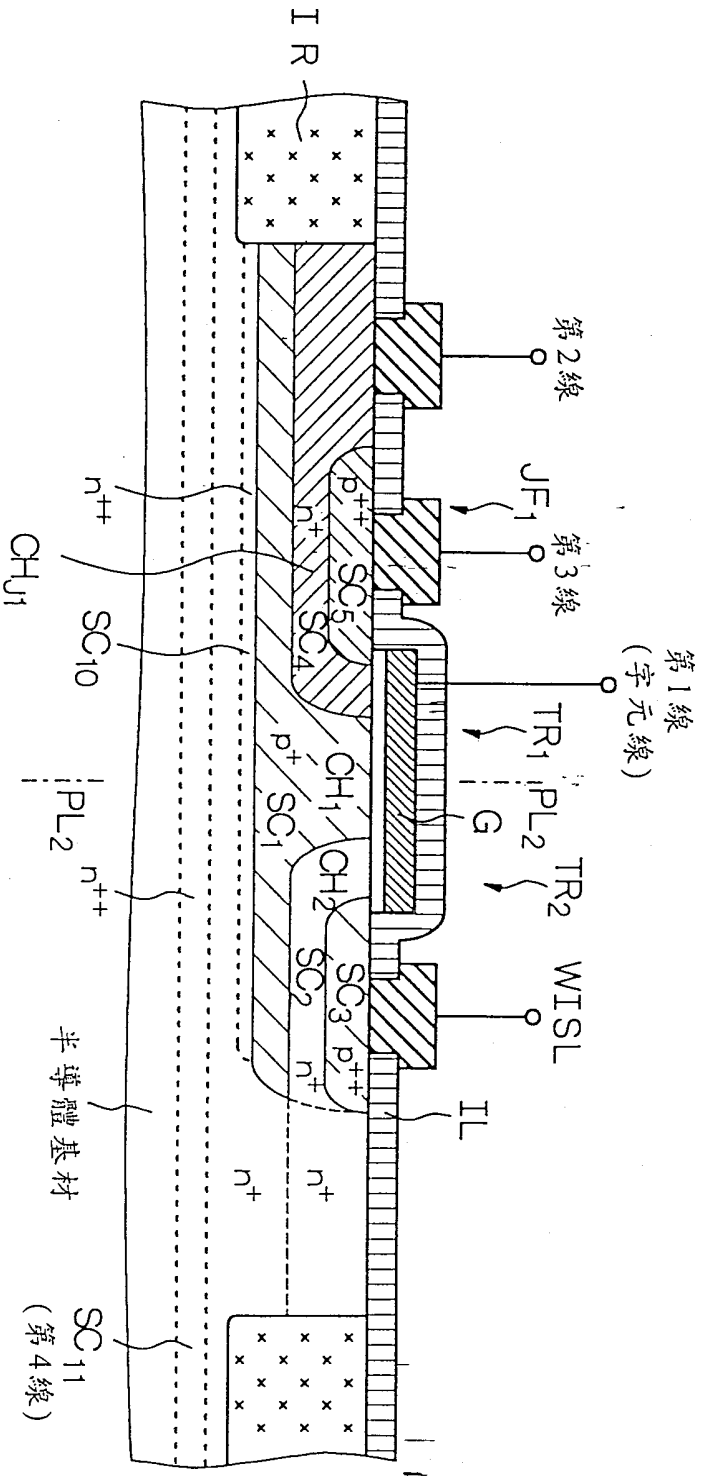

IR
第2線
JF1
第3線
第1線
(字元線)
TR1
PL2
G
TR2
WISL
IL
n++
CHJ1
SC10
SC5
SC4
p++
n+
CH1
SC1
CH2
SC2
SC3
PL2
n++
半導體基材
SC11
(第4線)

圖 28

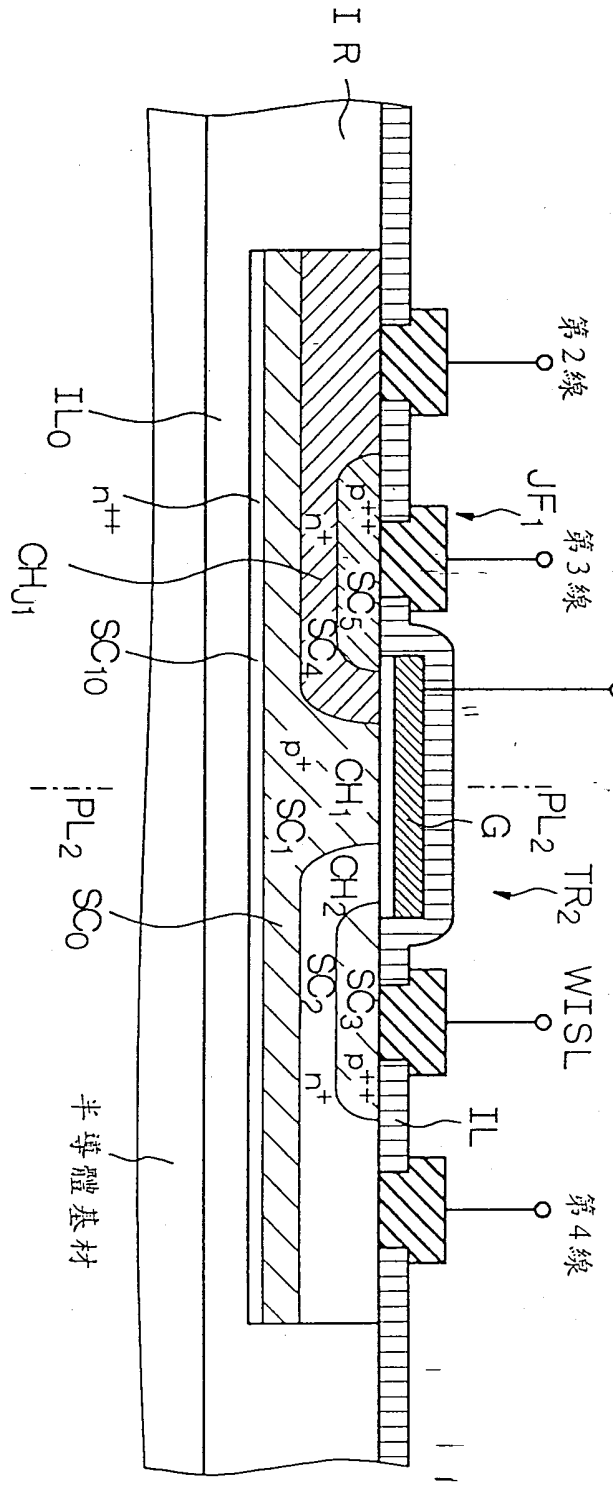

IR
第2線
IL0
JF1
第3線
n++
p++
n+
CHJ1
SC5
SC4
SC10
第1線
(字元線)
PL2
G
TR2
WISL
CH1
p+
SC1
CH2
SC3
p++
SC2
n+
IL
第4線
PL2
SC0
半導體基材

圖 29

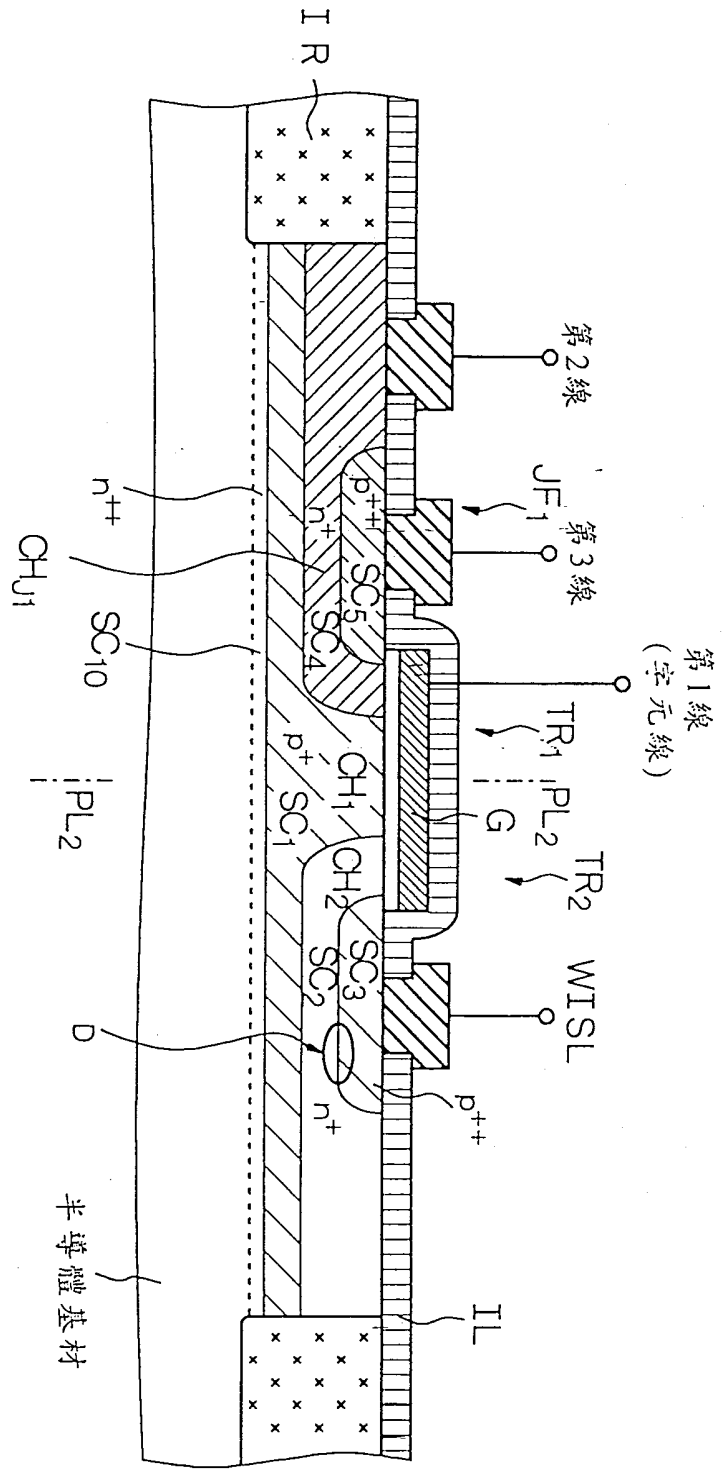

IR
第2線
JF1
第3線
第1線
(字元線)
n++
CHJ1
SC10
PL2
p++
n+
SC5
SC4
CH1
SC1
TR1
PL2
G
TR2
CH2
SC3
SC2
WISL
D
n+
p++
半導體基材
IL

圖 30

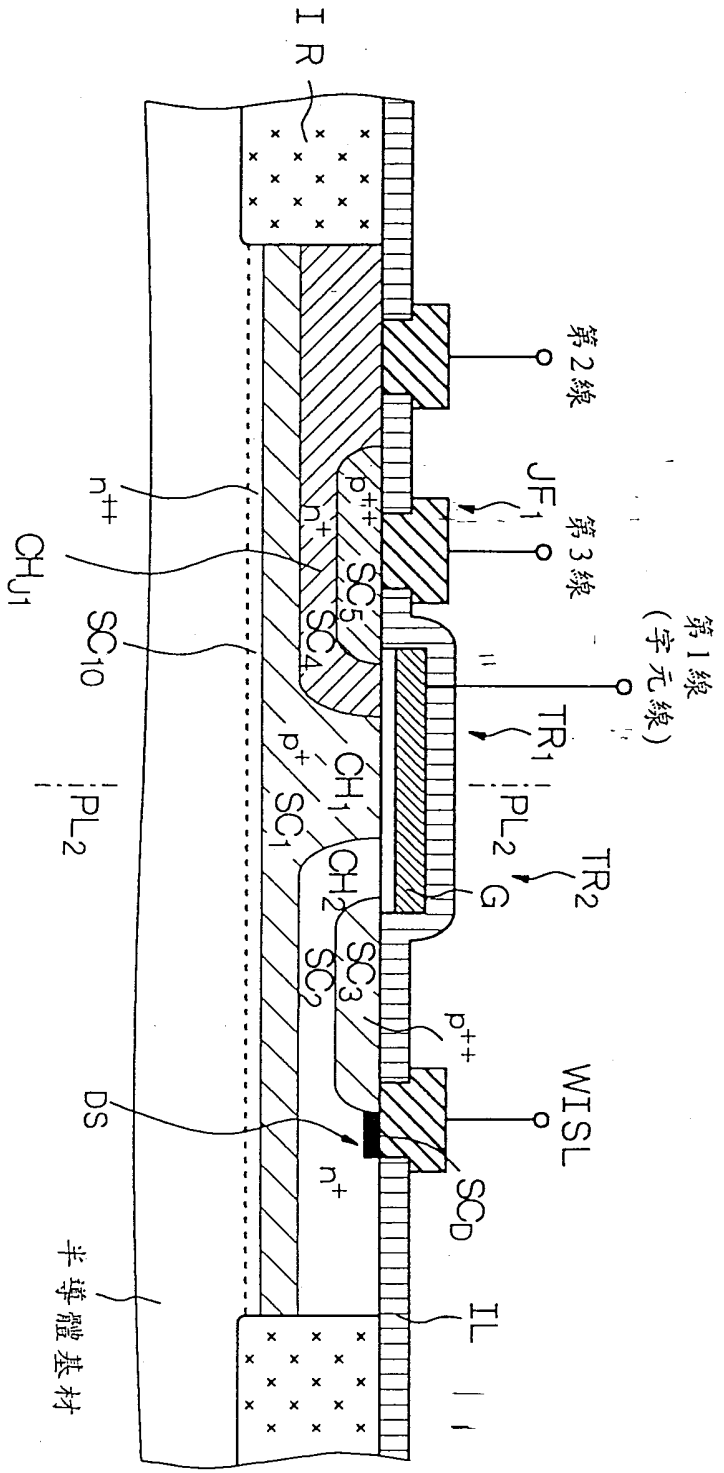

IR
第2線
JF1
第3線
第1線
(字元線)
n++
p++
n+
CHJ1
SC5
SC4
SC10
TR1
p+
CH1
SC1
iPL2
TR2
CH2
G
SC3
SC2
p++
WISL
DS
n+
SCD
IL
半導體基材

圖 31

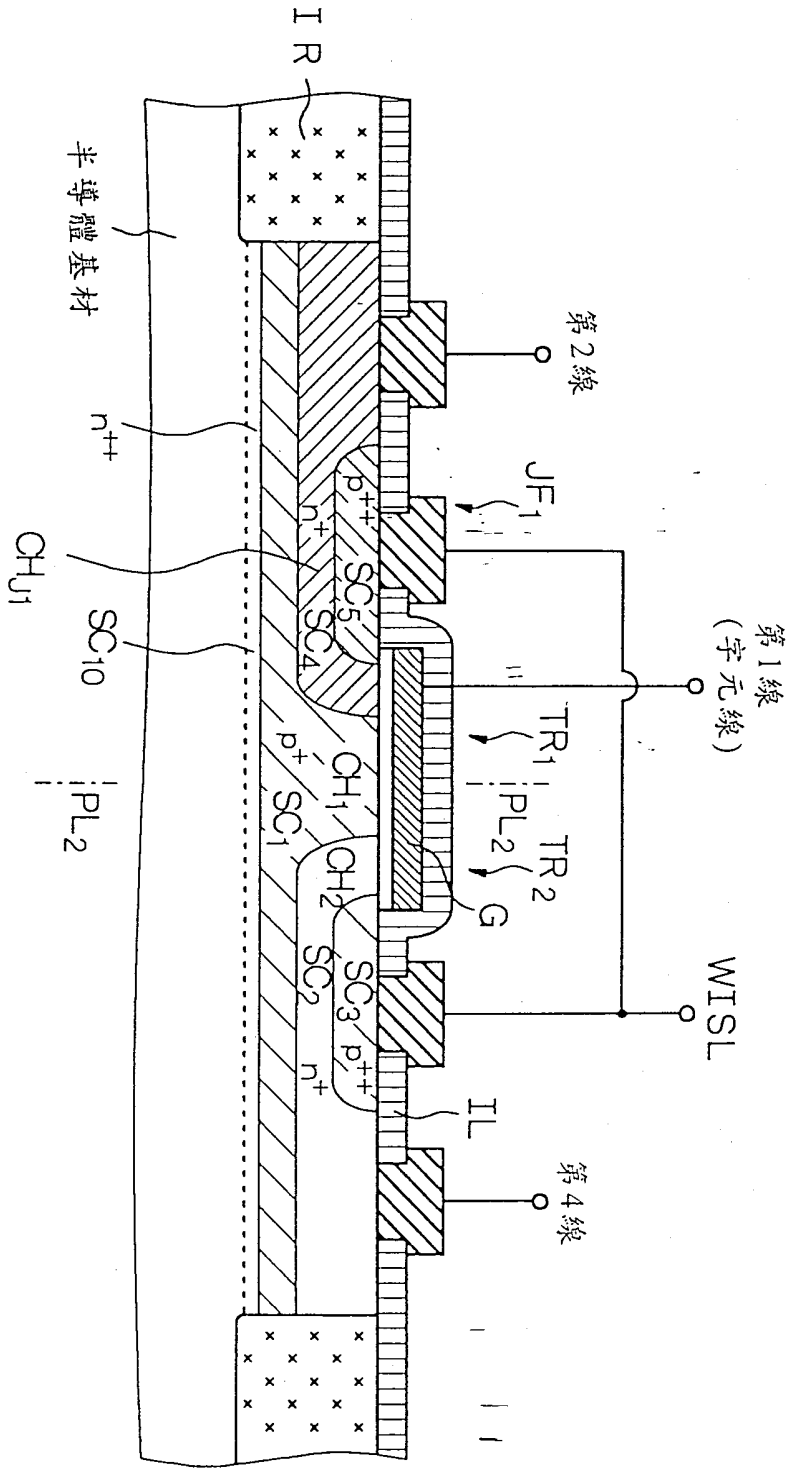

IR
半導體基材
第2線
第1線
(字元線)
JF1
WISL
IL
第4線
n++
p++
n+
SC5
SC4
SC10
CHJ1
TR1
PL2
TR2
G
p+
CH1
SC1
CH2
SC2
SC3
p++
n+
PL2

圖 32

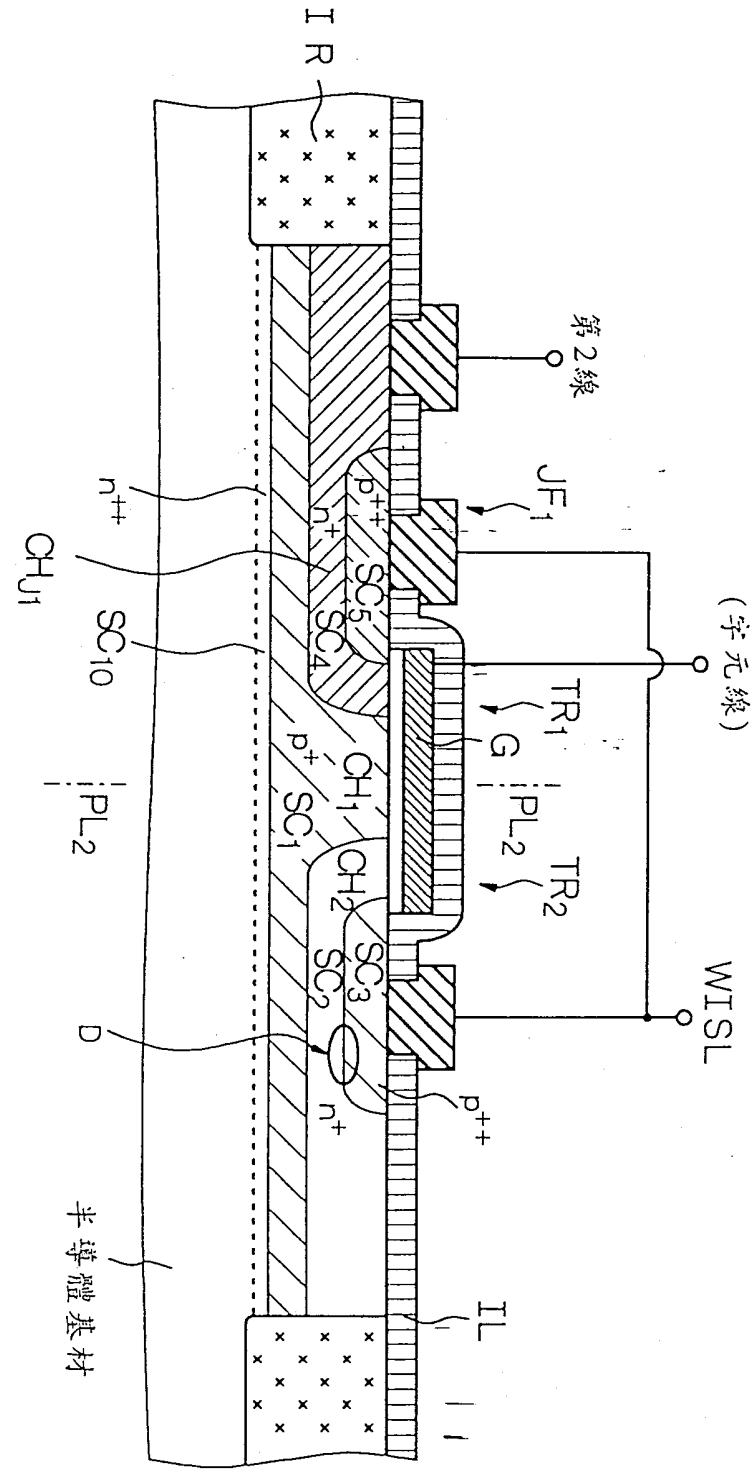

IR
第2線
JF1
n++
p++
n+
CHJ1
SC5
SC3
SC4
SC10
第1線
(字元線)
TR1
G
PL2
TR2
p+
CH1
SC1
CH2
SC3
SC2
WISL
PL2
D
n+
p++
半導體基材
IL

圖 33

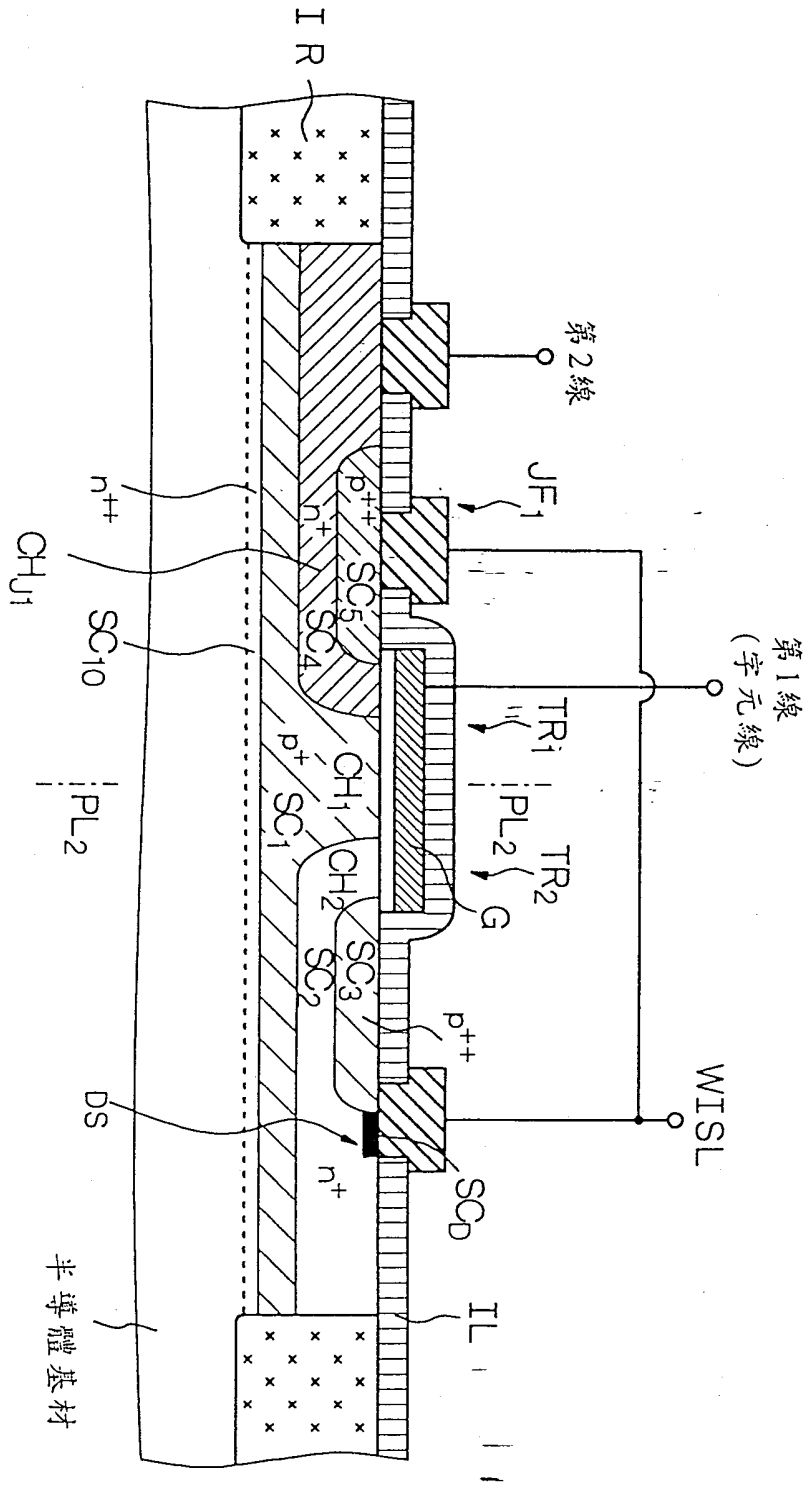

IR
第2線
JF1
n++
p++
n+
CHU1
SC5
SC4
SC10
第1線
(字元線)
TRi
PL2
TR2
G
p+
CH1
SC1
CH2
SC3
SC2
PL2
p++
WISL
DS
n+
SCD
IL
半導體基材

圖 34

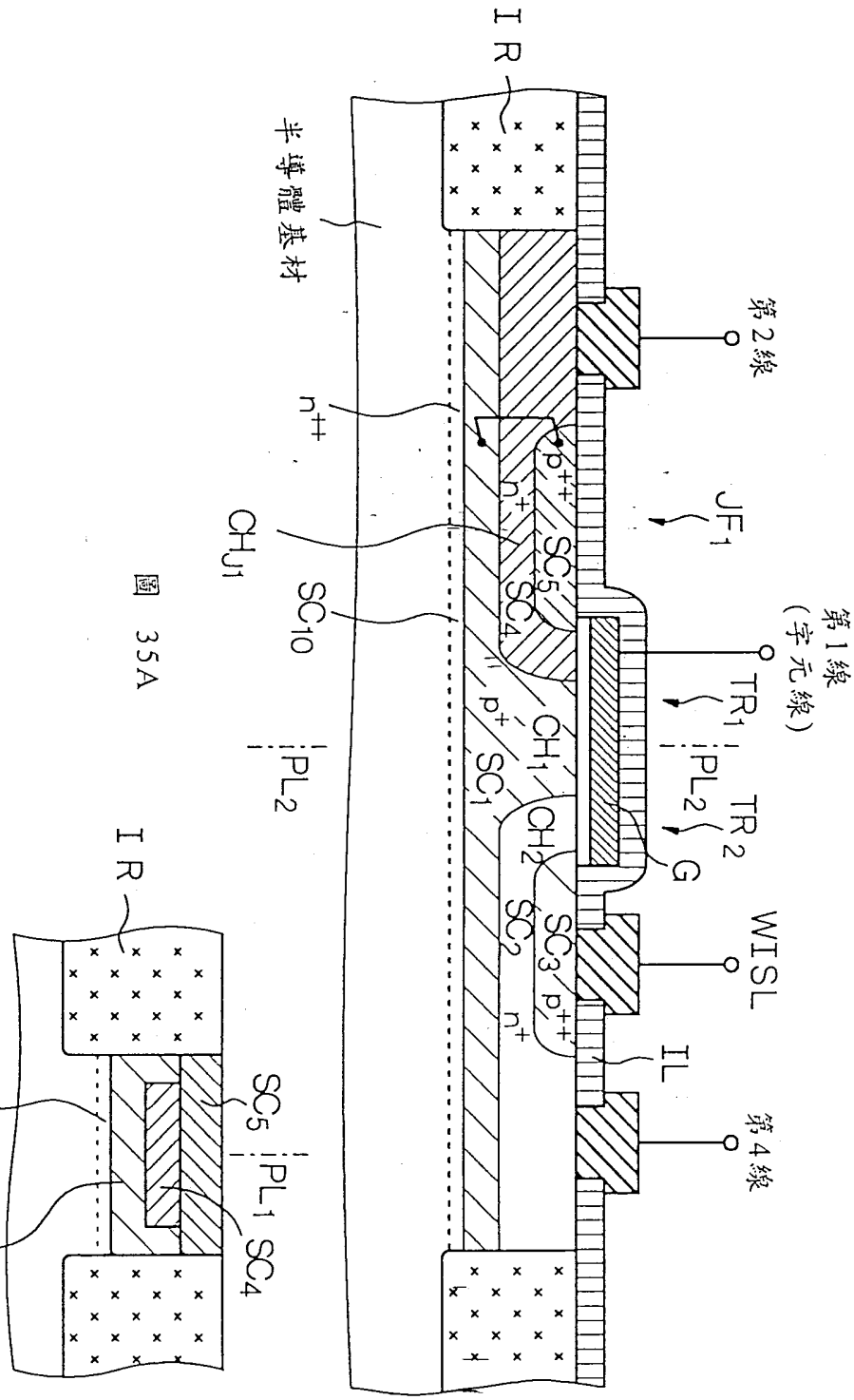

IR
半導體基材
第2線
n++
JF1
p++
n+
SC5
SC4
CHJ1
SC10
第1線
(字元線)
TR1
PL2
p+
CH1
SC1
TR2
CH2
G
SC2
SC3
p++
n+
WISL
IL
第4線
PL2

圖 35A

IR
SC10
PL1
SC1
SC5
PL1
SC4

圖 35B

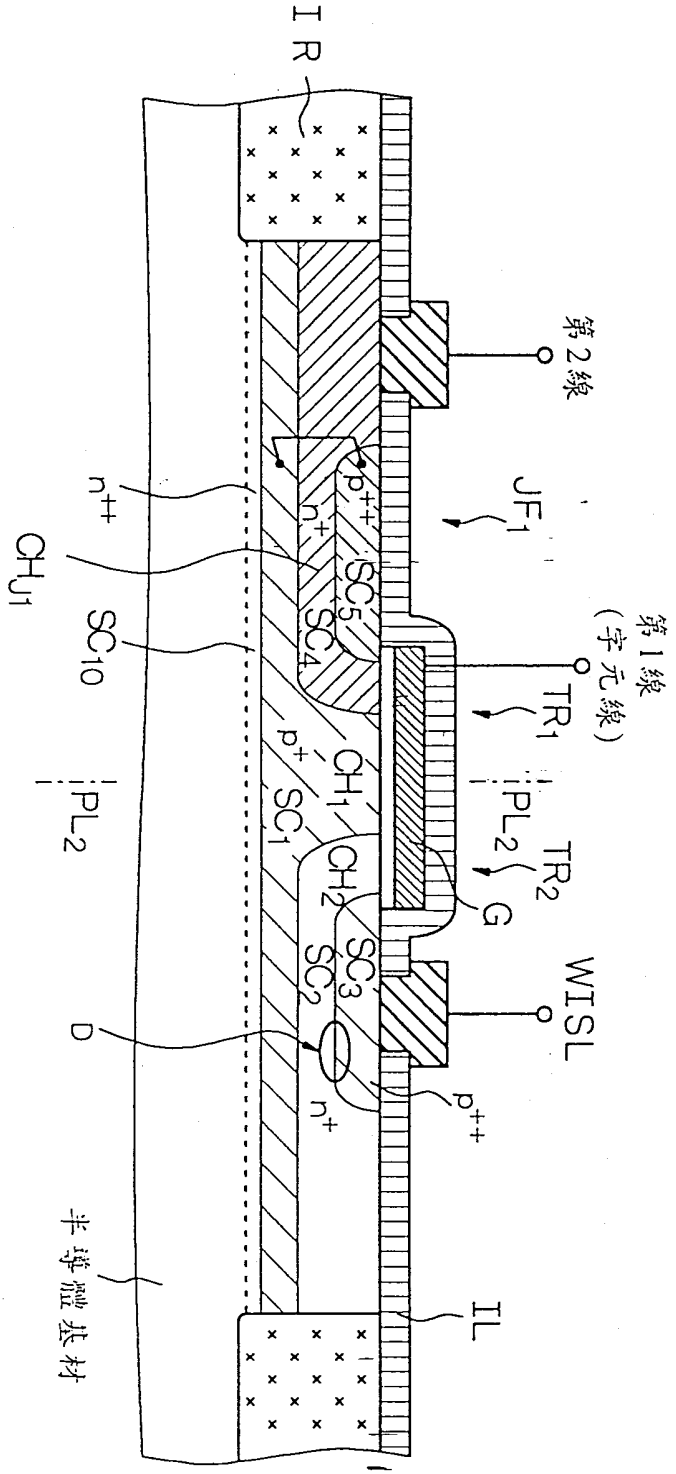

IR
第2線
JF1
第1線
(字元線)
TR1
TR2
G
WISL
IL
n++
CHJ1
SC10
iPL2
p++
n+
SC5
SC4
p+
CH1
SC1
CH2
SC3
SC2
D
半導體基材

圖 36

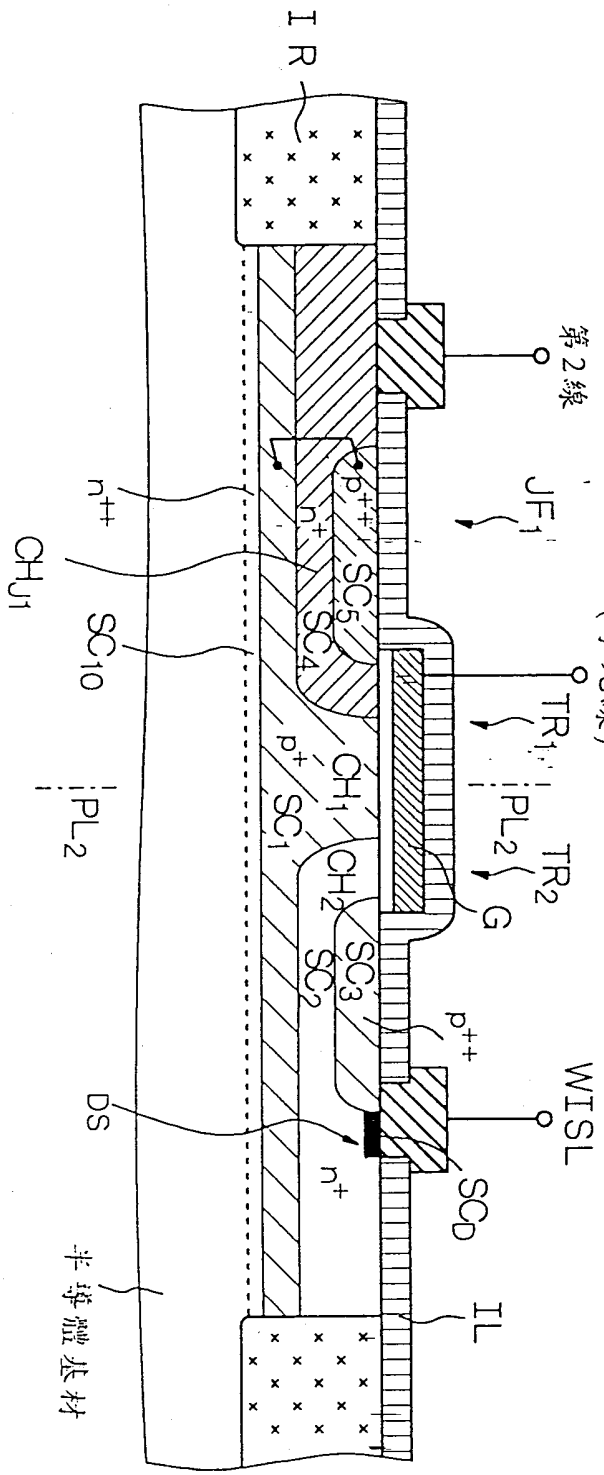

I R
第2線
JF1
第1線
(字元線)
TR1
PL2
TR2
G
WISL
DS
IL
半導體基材
n++
CHJ1
SC10
PL2
p++
n+
SC5
SC4
CH1
SC1
CH2
SC3
SC2
SCD

圖 37

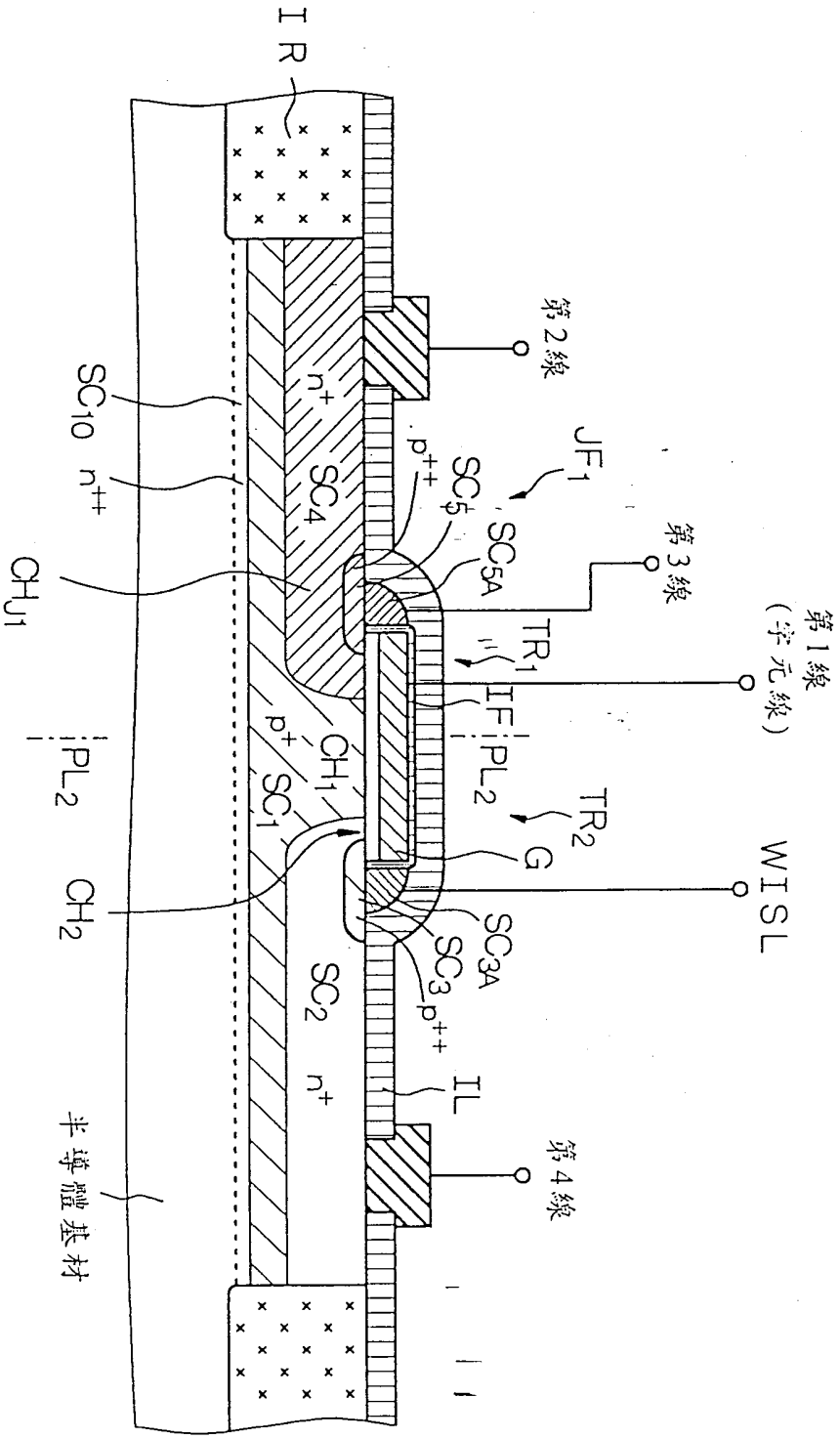

IR
第2線
JF1
第3線
第1線
(字元線)
SC10
n++
SC4
n+
p++
SC5
SC5A
TR1
IF
CHJ1
PL2
p+
CH1
SC1
TR2
G
WISL
CH2
SC3A
SC3
p++
SC2
n+
IL
第4線
半導體基材

圖 38

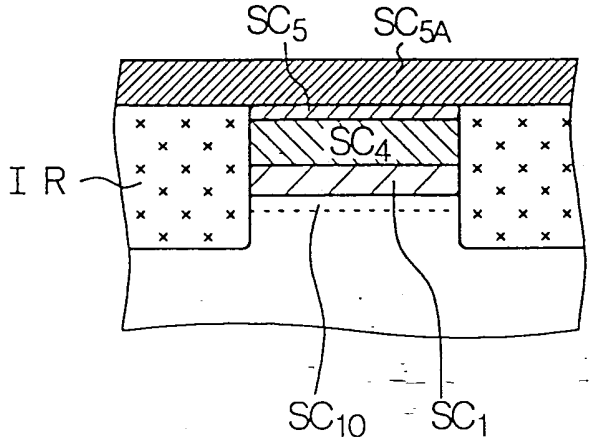


圖 39

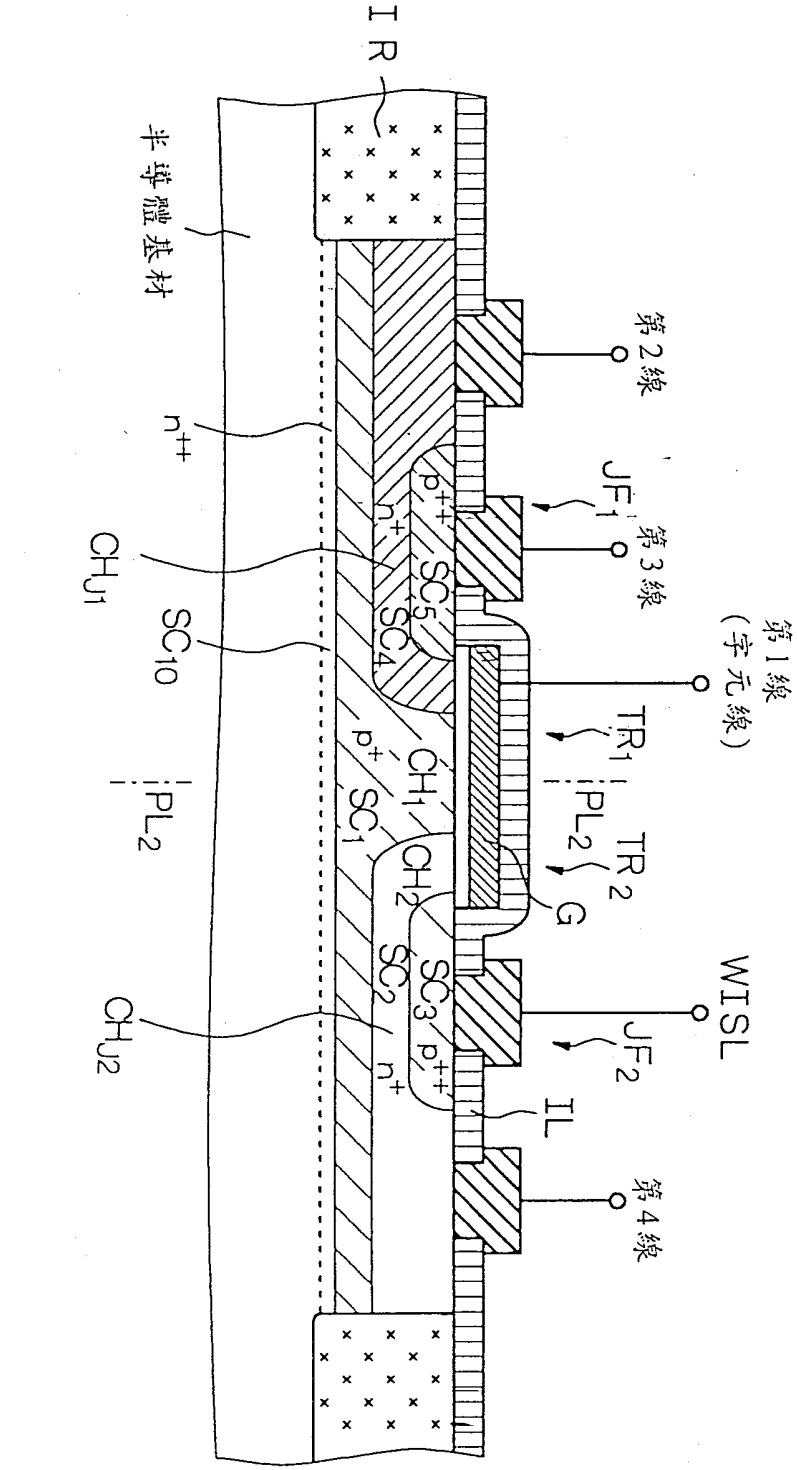

IR
半導體基材
第2線
n++
JF1
第3線
p++
n+
CHJ1
SC5
SC4
SC10
第1線
(字元線)
TR1
PL2
TR2
G
WISL
CH1
p+
SC1
CH2
SC2
SC3
p++
n+
JF2
IL
第4線
CHJ2
PL2

圖 40

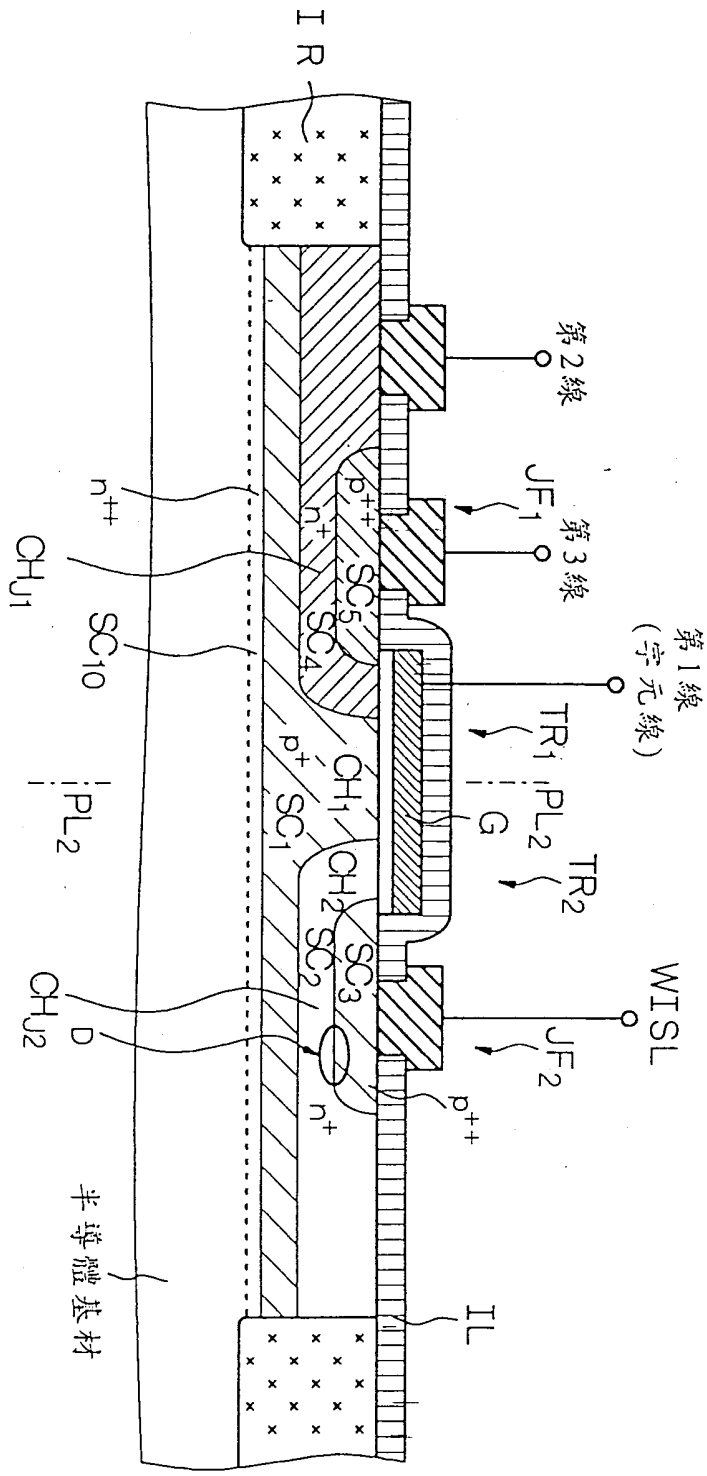

IR
第2線
JF1
第3線
第1線
(字元線)
TR1
PL2
G
TR2
WISL
JF2
IL
半導體基材
n++
CHJ1
SC10
p++
n+
SC5
SC4
p+
CH1
SC1
CH2
SC2
SC3
CHJ2
D

圖 41

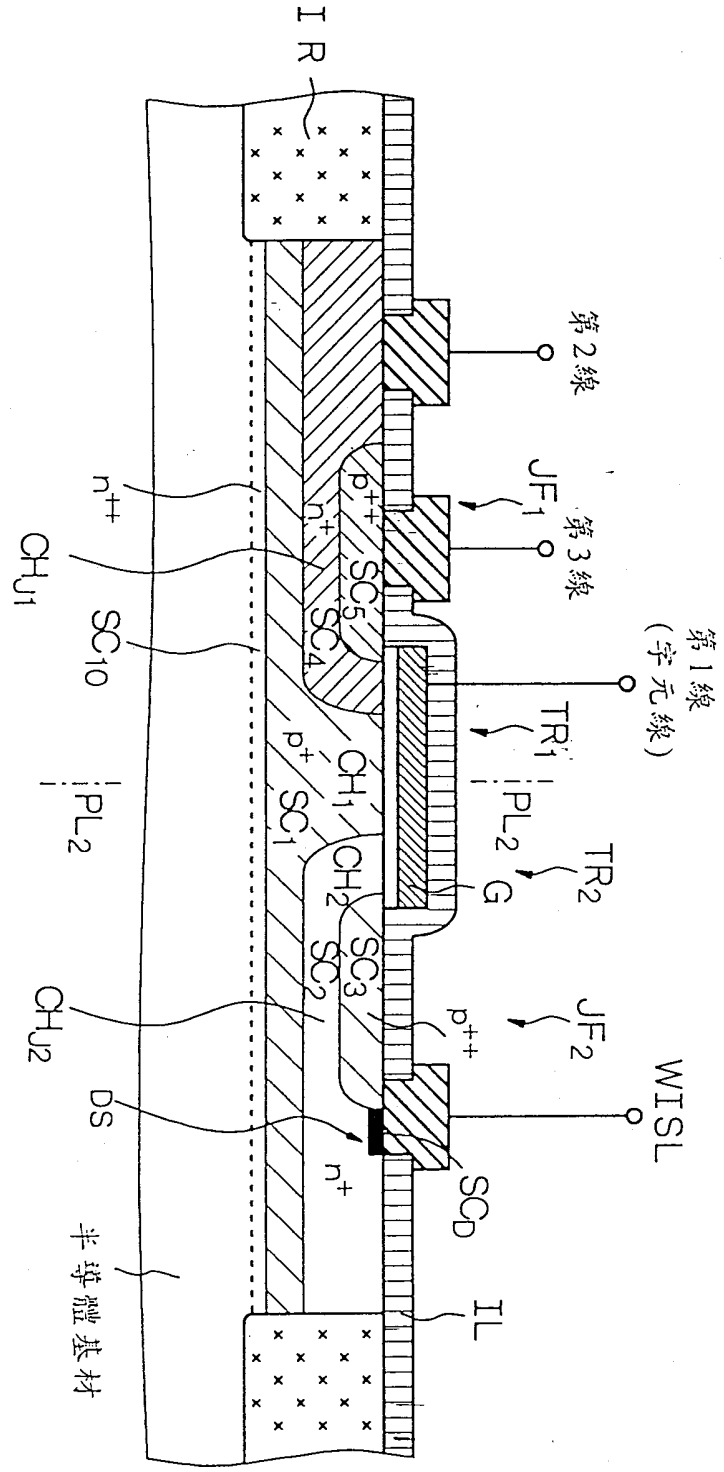

IR
第2線
JF1
第3線
第1線
(字元線)
n++
p++
n+
CHJ1
SC10
SC5
SC4
TR1
PL2
p+
CH1
SC1
TR2
G
CH2
SC3
SC2
JF2
p++
WISL
PL2
CHJ2
DS
n+
SCD
IL
半導體基材

圖 42

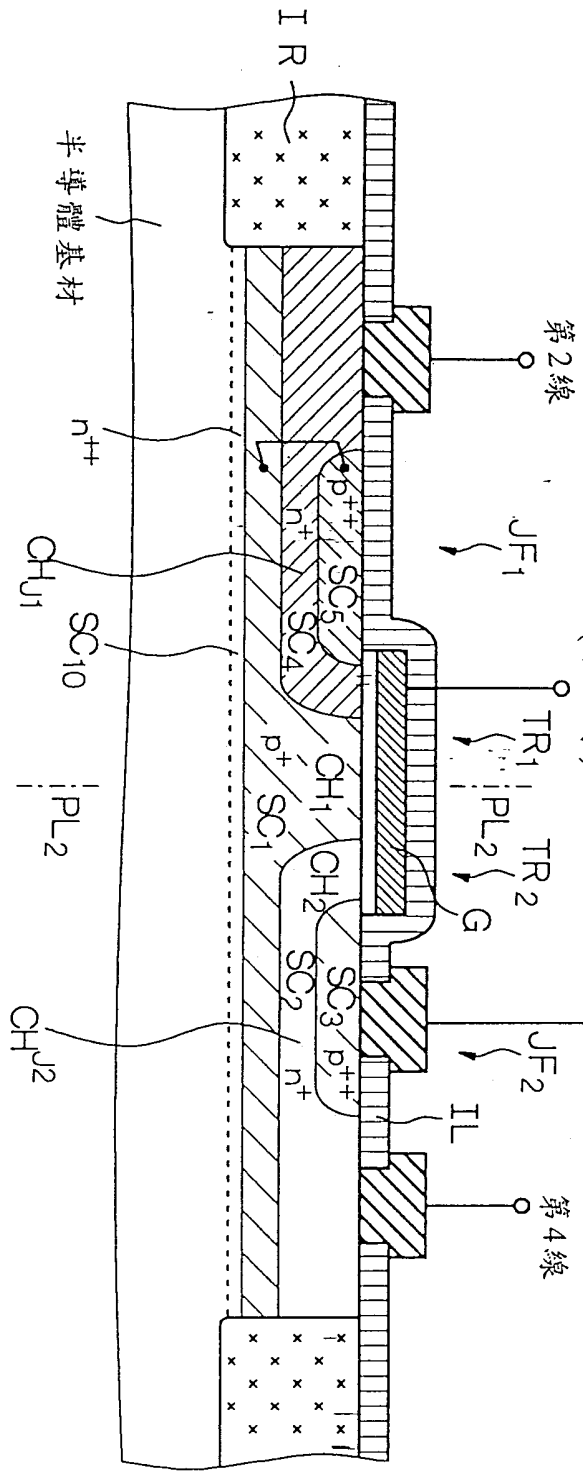

IR
半導體基材
第2線
n++
p++
n+
JF1
CHJ1
SC5
SC4
SC10
第1線
(字元線)
TR1
PL2
TR2
G
WISL
CH1
p+
SC1
CH2
SC3
SC2
p++
n+
JF2
CHJ2
PL2
IL
第4線

圖 43

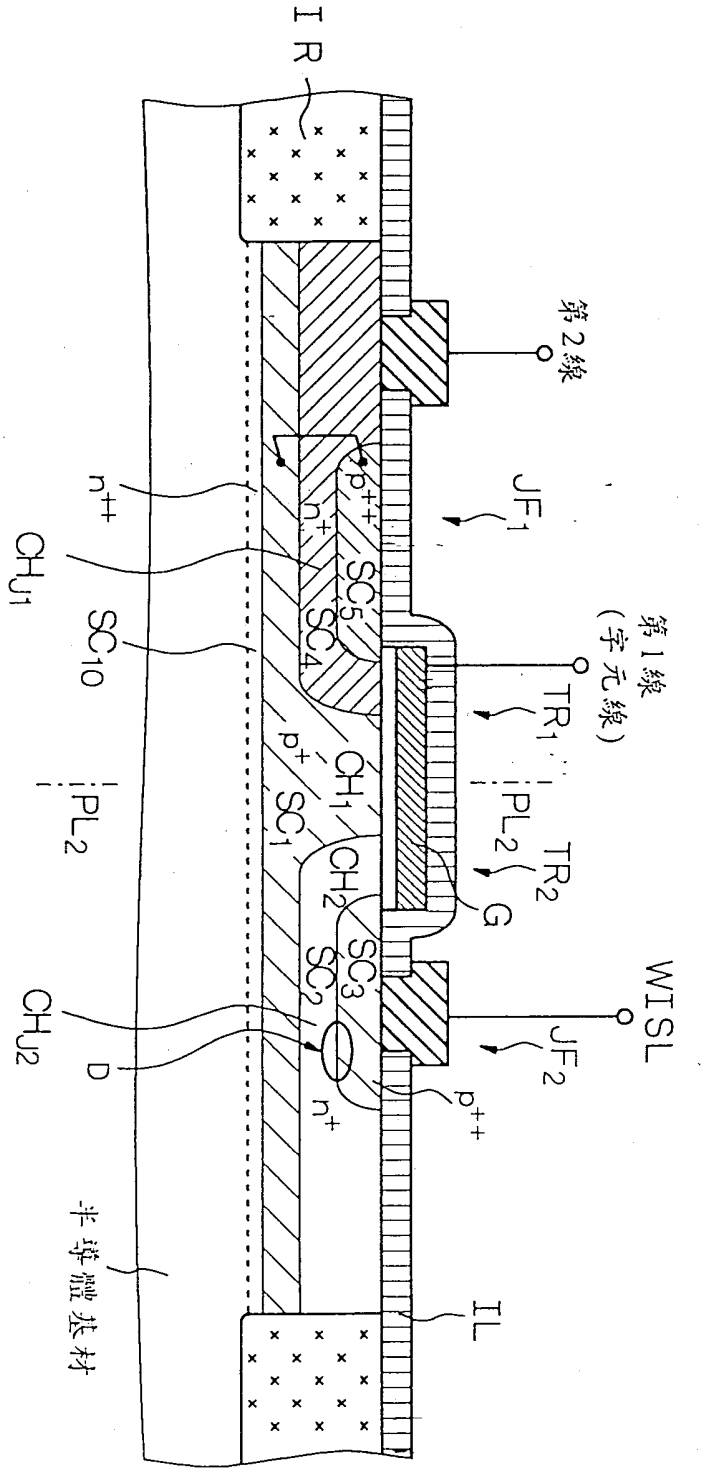

IR
第2線
JF1
第1線
(字元線)
TR1
TR2
G
WISL
JF2
IL
半導體基材
n++
n+
p++
p+
SC5
SC4
SC10
SC1
SC2
SC3
CH1
CH2
CHJ1
CHJ2
iPL2
D

圖 44

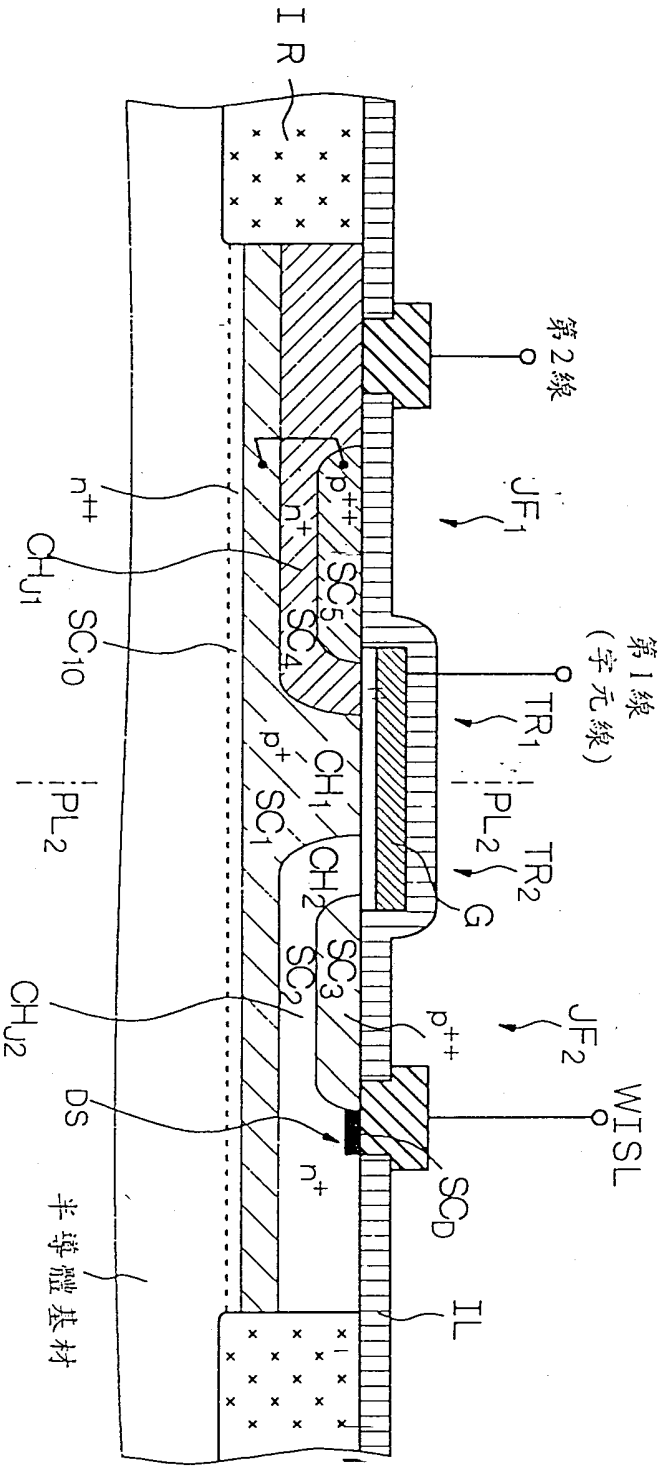

IR
第2線
JF1
第1線
(字元線)
n++
p++
n+
CHJ1
SC5
SC10
SC4
TR1
PL2
p+
CH1
SC1
TR2
G
CH2
SC3
SC2
JF2
p++
WISL
CHJ2
DS
n+
SCD
半導體基材
IL

圖 45

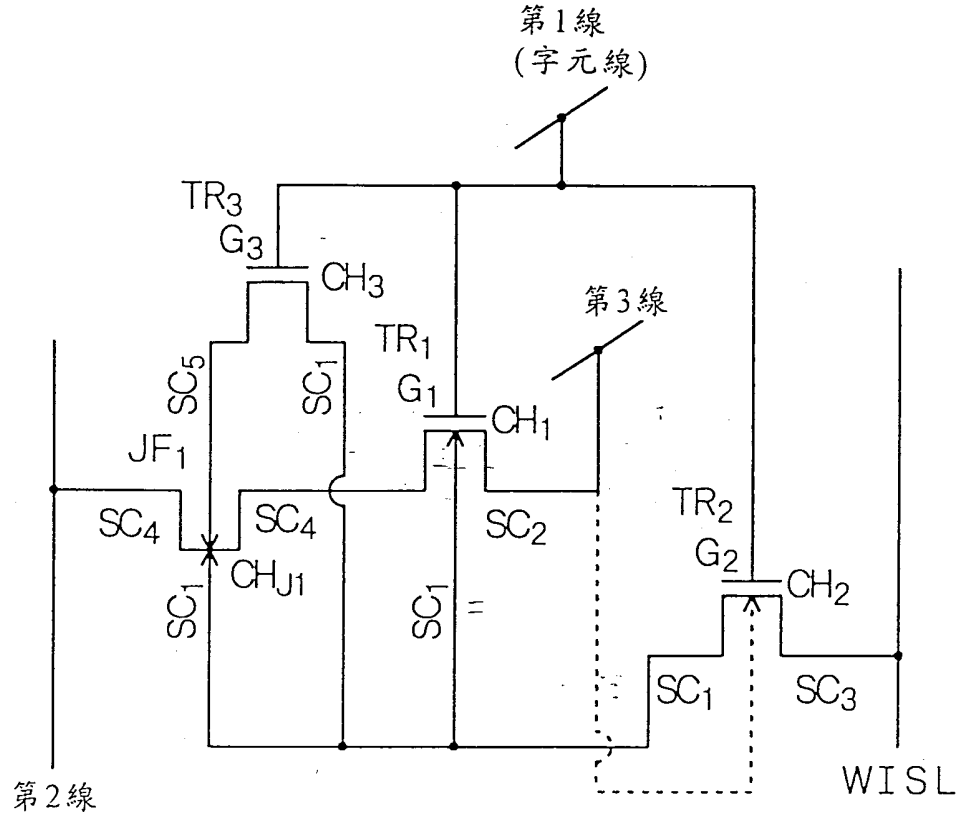

第1線
(字元線)
TR3
G3
CH3
第3線
TR1
G1
CH1
SC5
SC1
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
第2線
WISL

圖 46

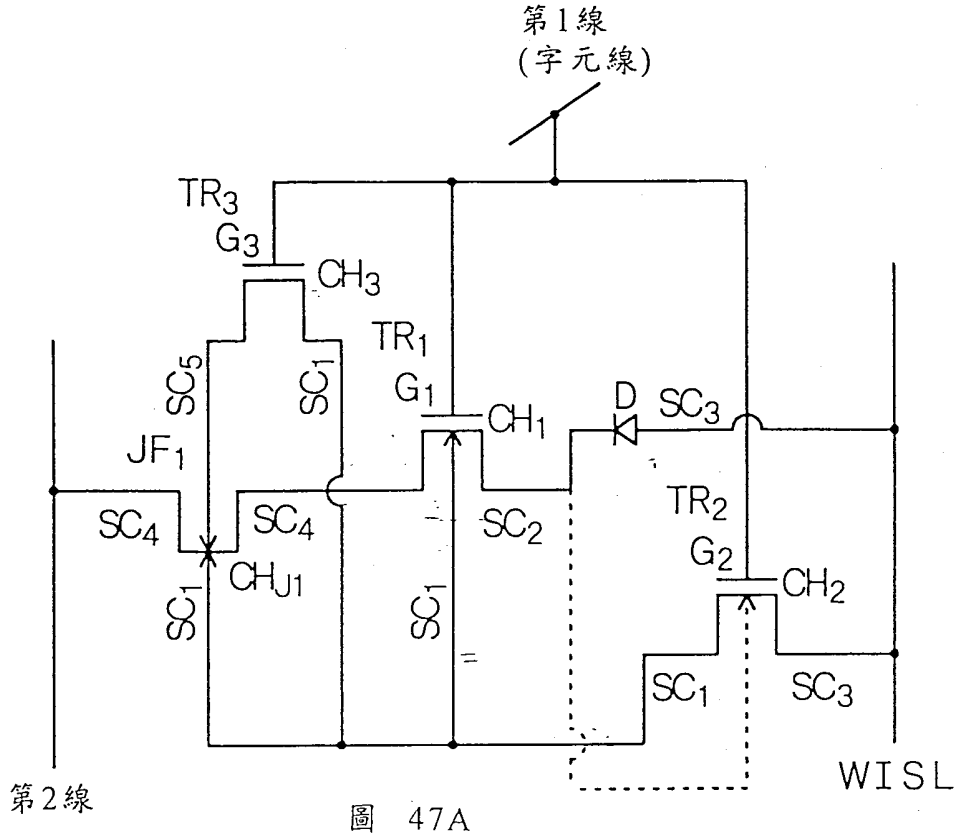

第1線
(字元線)
TR3
G3
CH3
TR1
G1
CH1
D
SC3
SC5
SC1
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
WISL
第2線

圖 47A

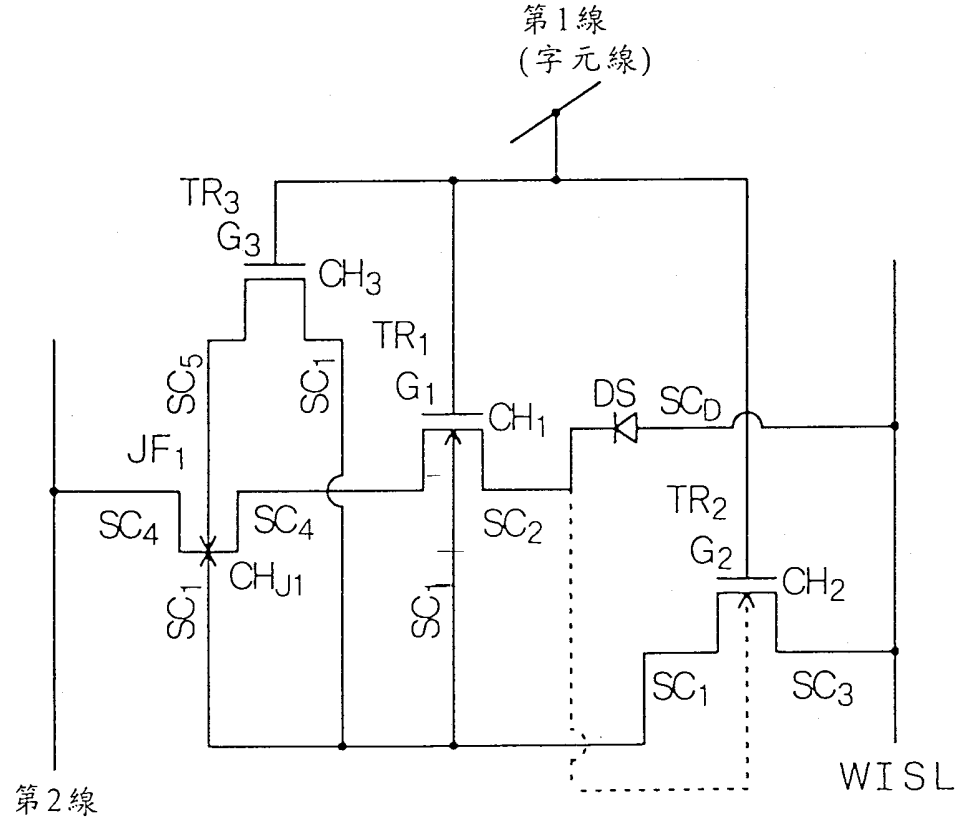

第1線
(字元線)
TR3
G3
CH3
TR1
G1
CH1
DS
SCD
SC5
SC1
JF1
SC4
SC4
SC2
TR2
G2
CH2
CHJ1
SC1
SC1
SC1
SC3
WISL
第2線

圖 47B

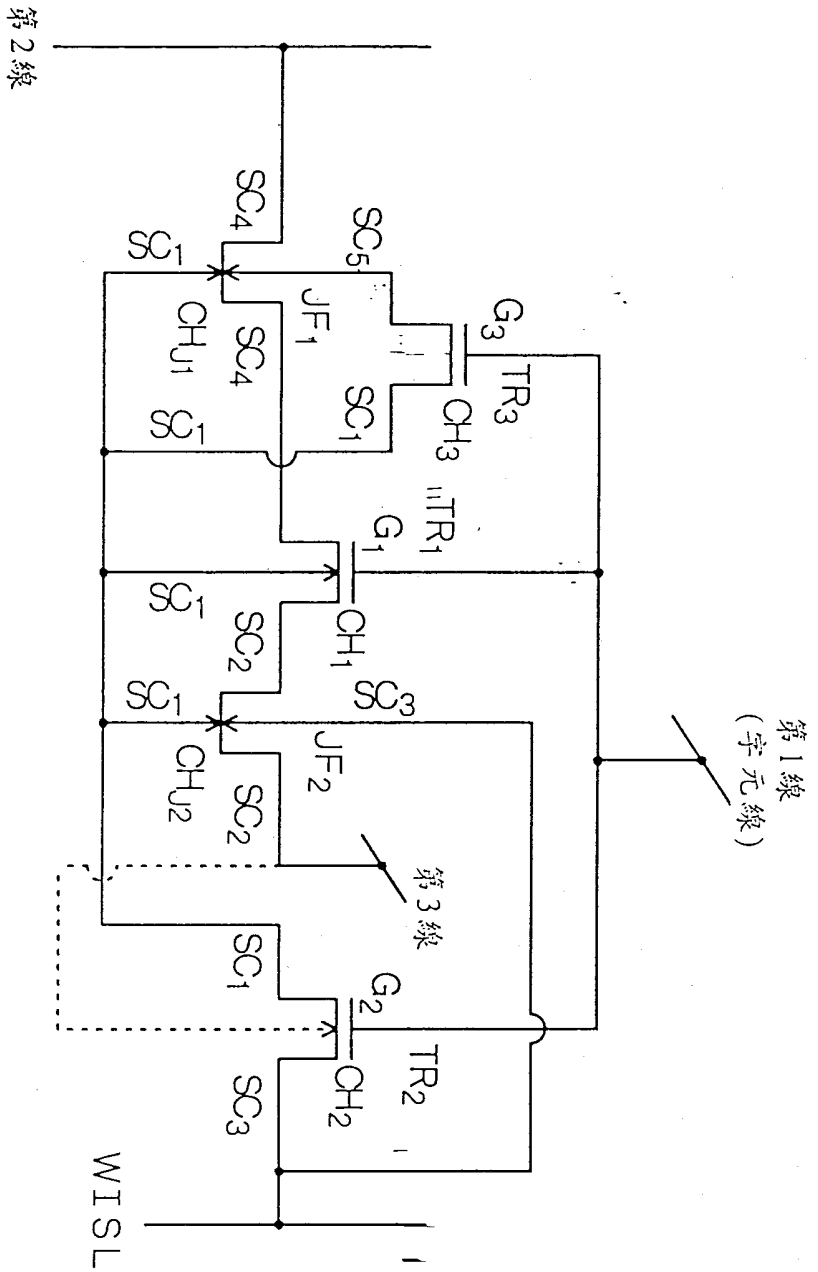

第2線
SC4
SC5
SC1
JF1
CHJ1
SC4
SC1
G3
TR3
CH3
TR1
G1
CH1
SC2
SC3
JF2
CHJ2
SC2
第3線
SC1
G2
TR2
CH2
SC3
WISL
第1線
(字元線)

圖 48

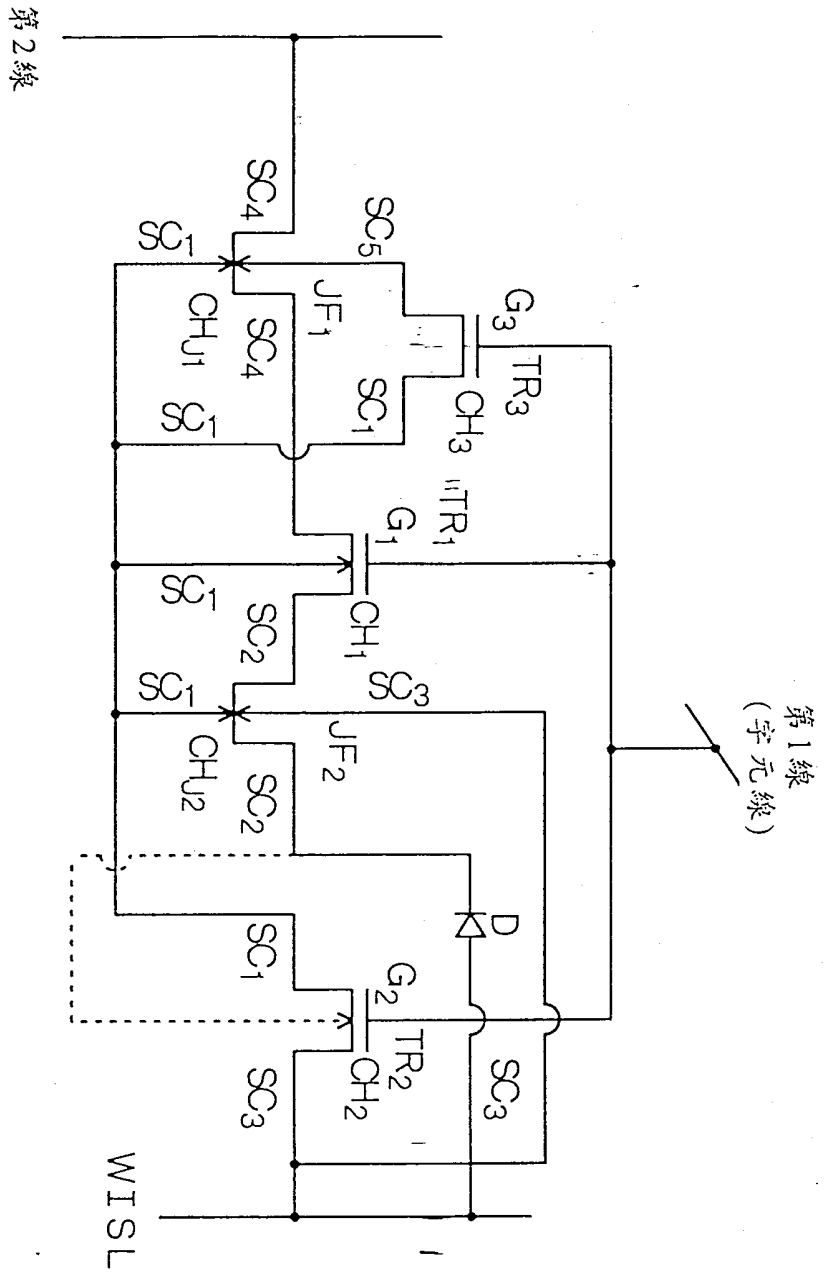

第2線
第1線
(字元線)
WISL
SC4
SC5
SC1
JF1
CHJ1
G3
TR3
CH3
TR1
G1
CH1
SC2
SC3
JF2
CHJ2
D
G2
TR2
CH2

圖 49

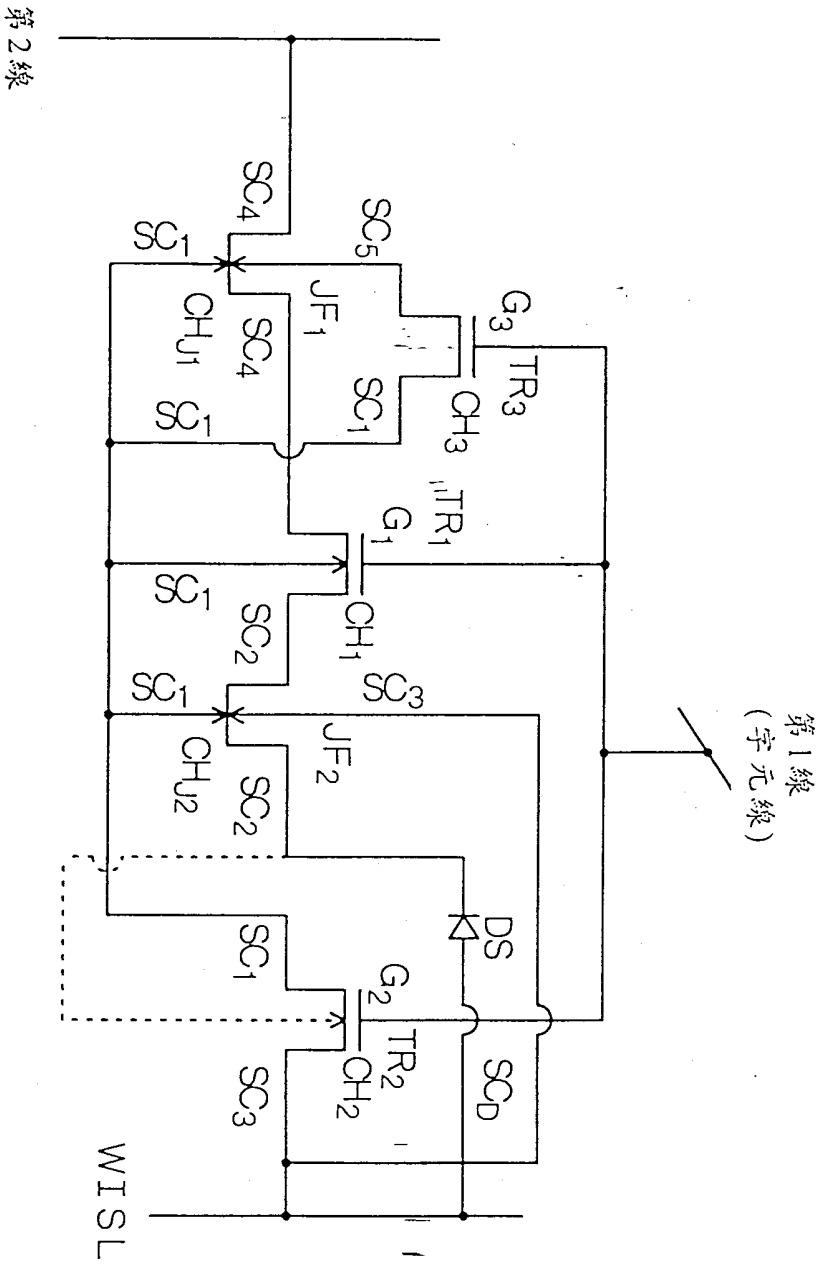

第2線
第1線
(字元線)
WISL
SC4
SC1
SC5
JF1
CHJ1
SC4
SC1
SC1
G3
TR3
CH3
TR1
G1
SC1
CH1
SC2
SC1
SC3
JF2
CHJ2
SC2
DS
SC1
G2
TR2
CH2
SC3
SCD

圖 50

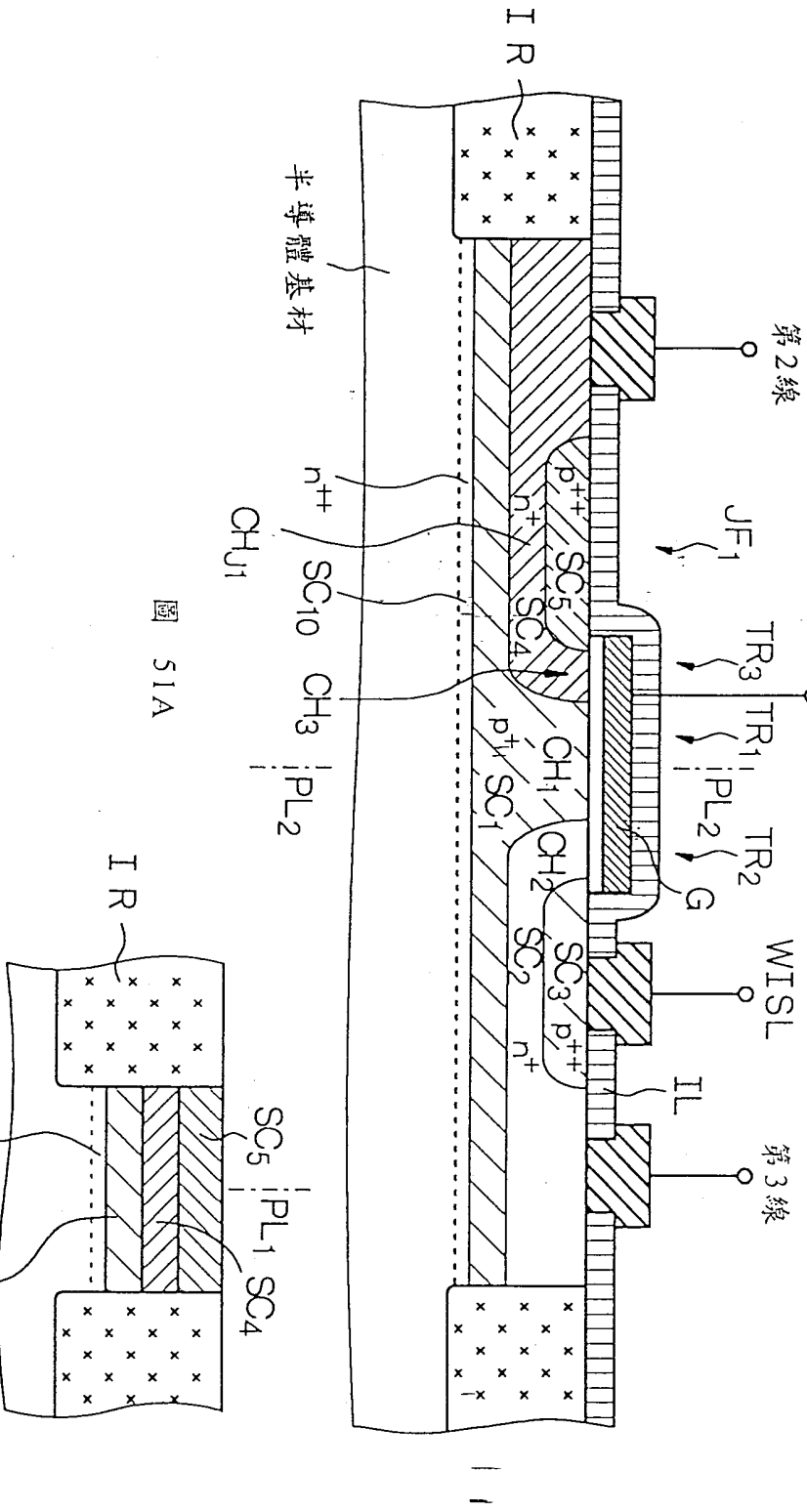

IR
半導體基材
第2線
n^{++}
CH_{J1}
SC_{10}
CH_3
PL_2
JF_1
TR_3
TR_1
PL_2
TR_2
G
第1線
(字元線)
p^{++}
n^+
SC_5
SC_4
p^+
CH_1
SC_1
CH_2
SC_2
SC_3
p^{++}
n^+
WISL
IL
第3線

圖 51A

IR
SC_{10}
PL_1
SC_1
SC_5
PL_1
SC_4

圖 51B

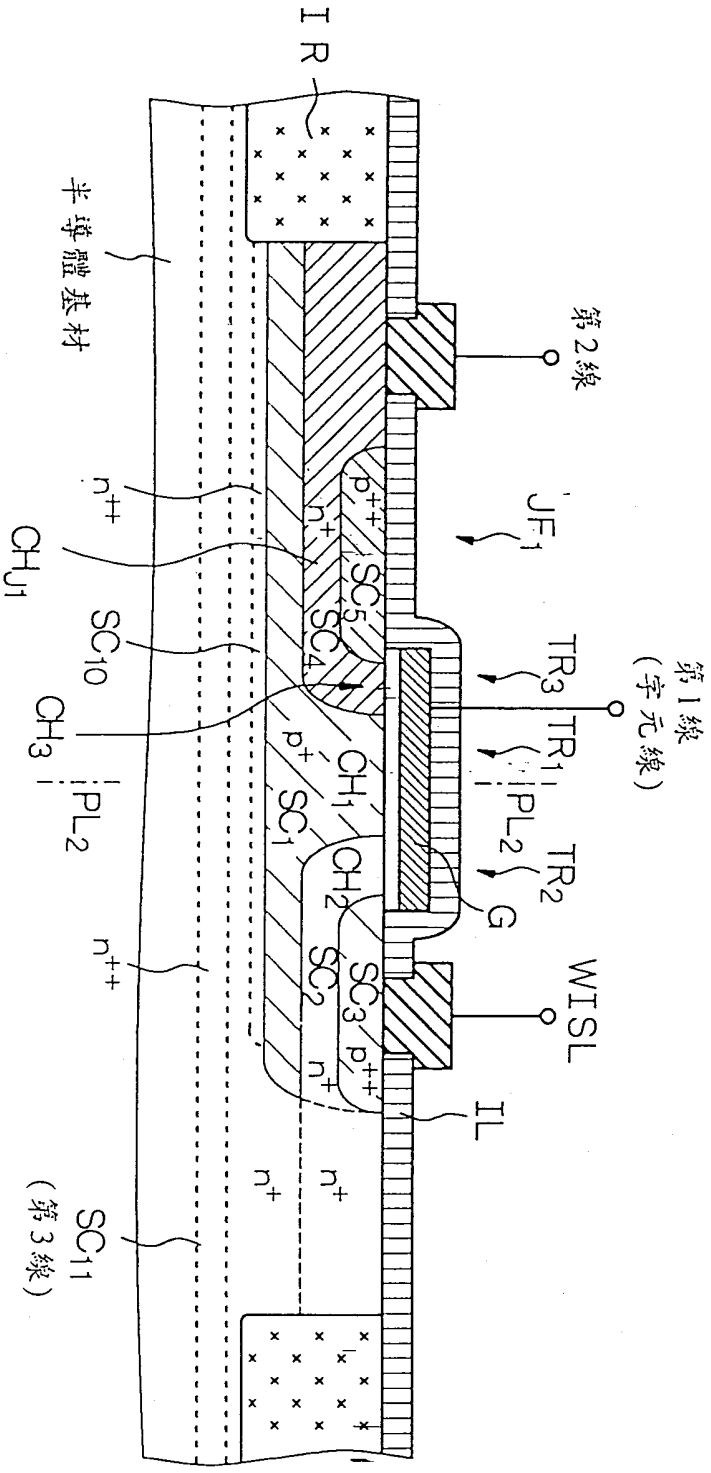

IR
半導體基材
第2線
JF_1
n^{++}
CH_{U1}
p^{++}
n^+
SC_5
SC_4
SC_{10}
CH_3
PL_2
TR_3
TR_1
PL_2
TR_2
G
第1線
(字元線)
CH_1
SC_1
CH_2
SC_2
SC_3
p^{++}
n^+
WISL
IL
n^{++}
n^+
n^+
SC_{11}
(第3線)

圖 52

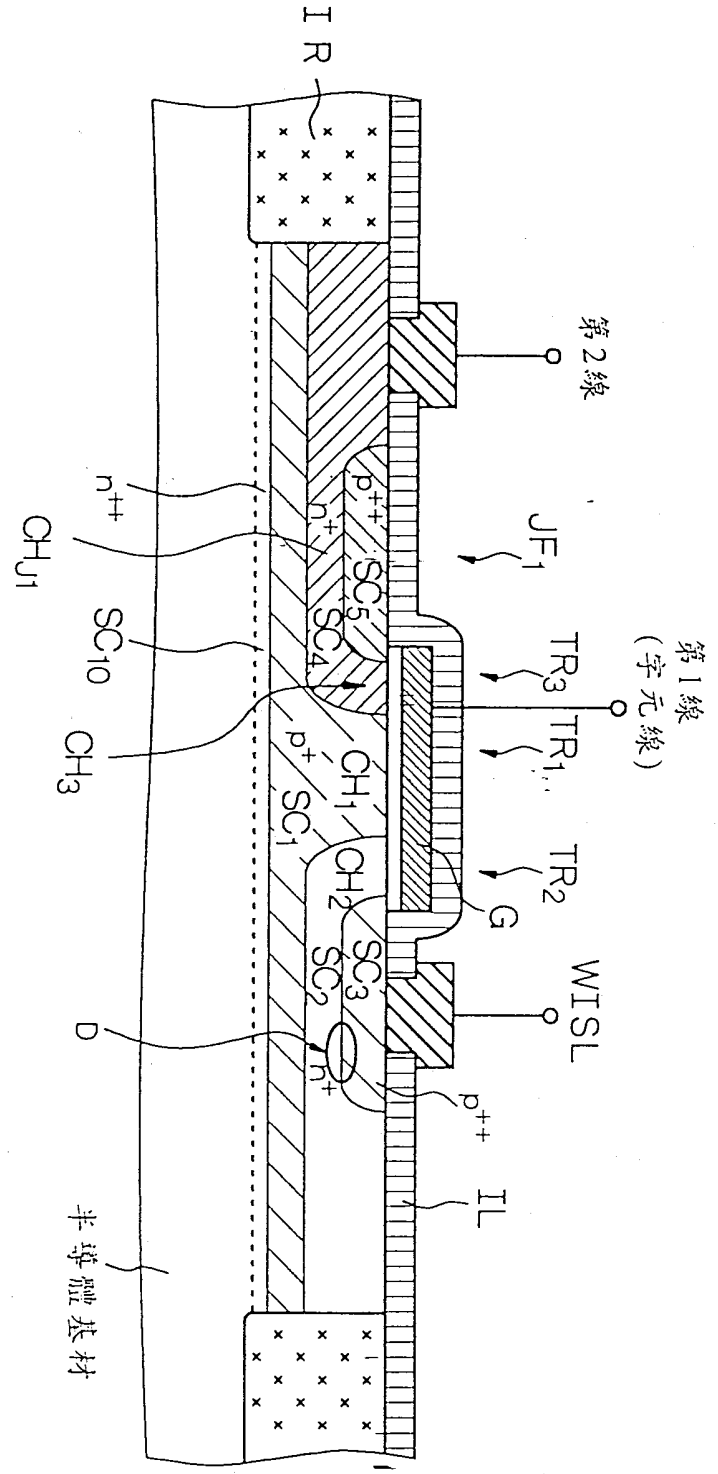

IR
第2線
JF1
第1線
(字元線)
TR3
TR1
TR2
G
WISL
IL
n++
CHJ1
SC10
CH3
p++
n+
SC5
SC4
p+
CH1
SC1
CH2
SC3
SC2
D
半導體基材

圖 53

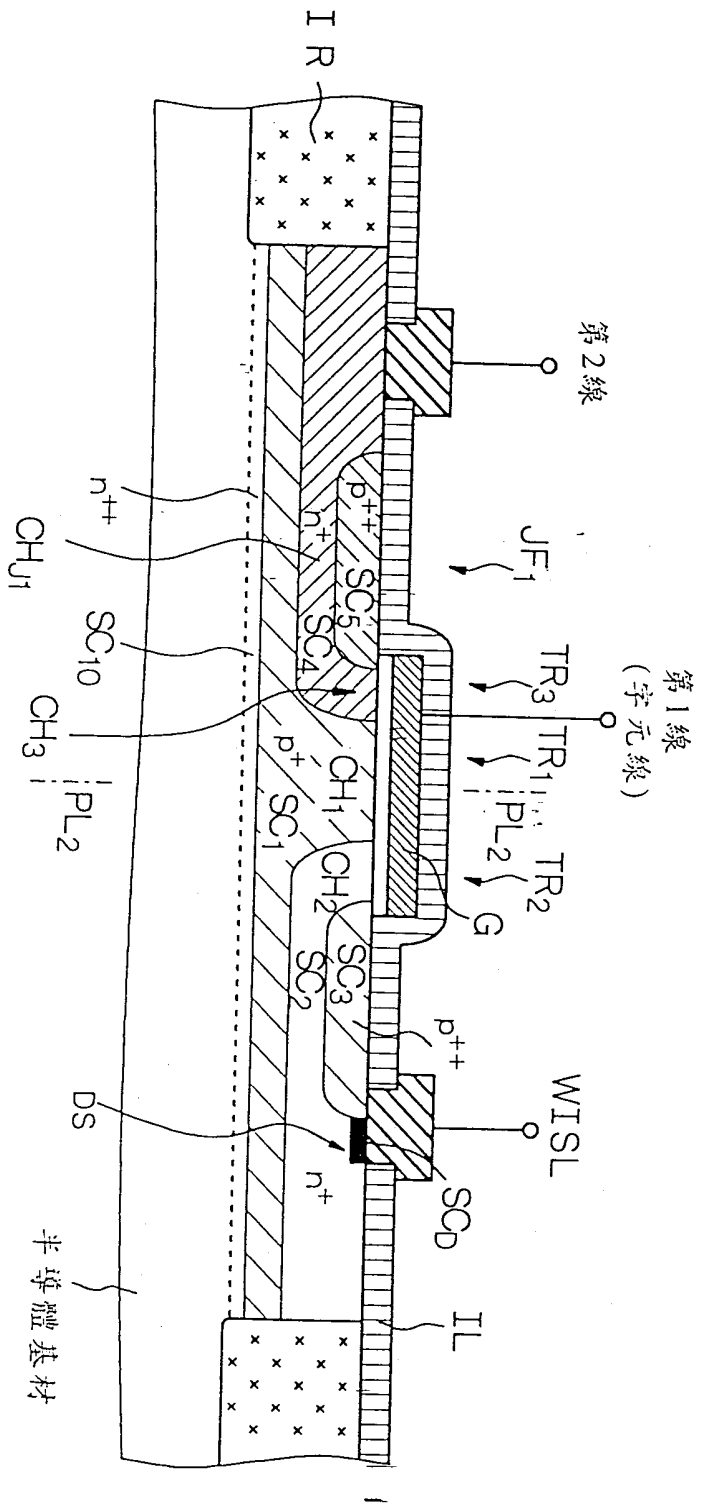

IR
第2線
n++
CHJ1
n+
p++
JF1
SC5
SC4
SC10
CH3
TR3
第1線
(字元線)
TR1
PL2
p+
CH1
SC1
TR2
G
CH2
SC3
SC2
p++
WISL
DS
n+
SCD
IL
半導體基材

圖 54

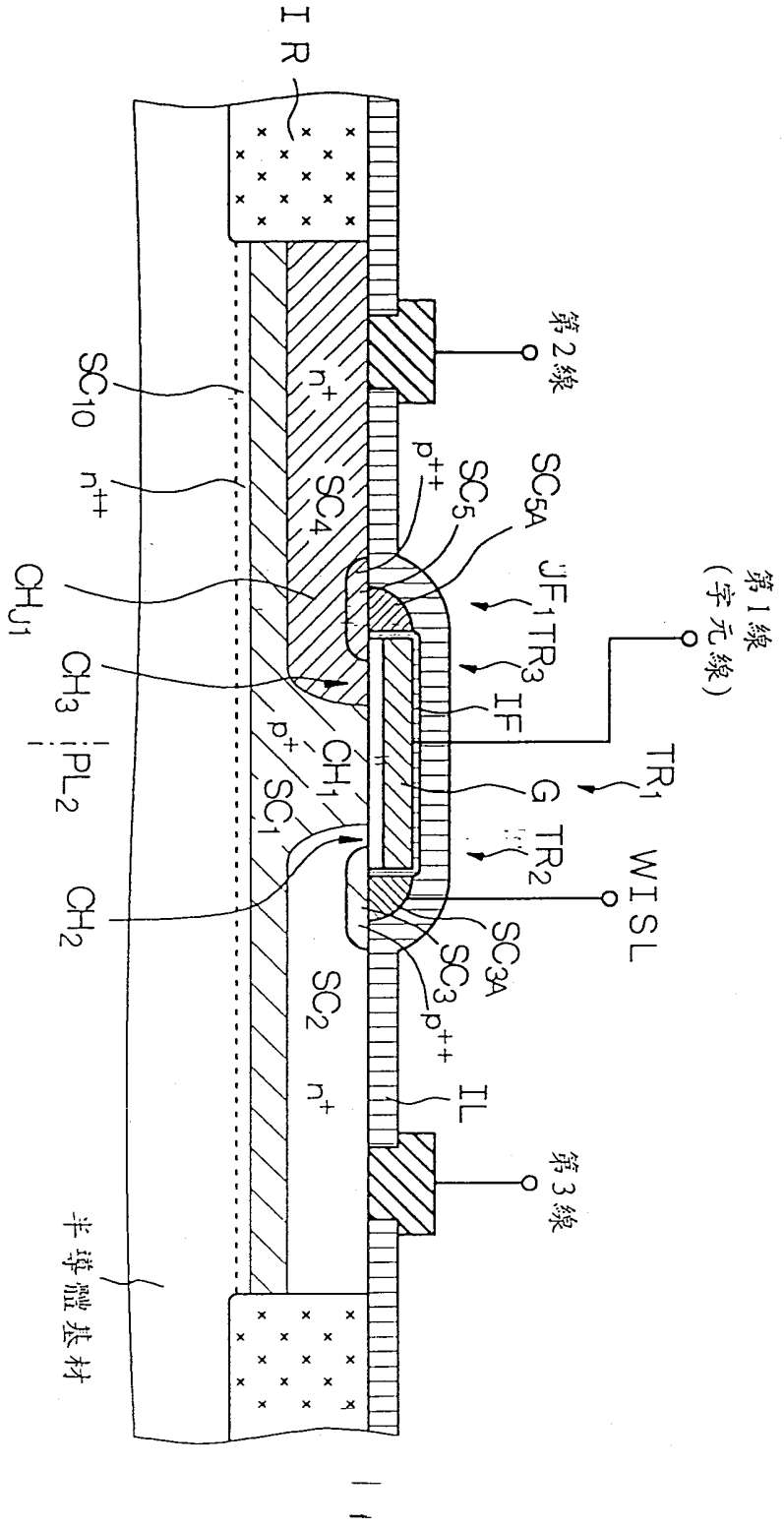

IR
第2線
SC10
n+
SC4
p++
SC5
SC5A
JF1
TR3
IF
第1線
(字元線)
CHJ1
CH3
IPL2
p+
CH1
SC1
TR1
G
TR2
WISL
CH2
SC3A
SC3
p++
SC2
n+
IL
第3線
半導體基材

圖 55

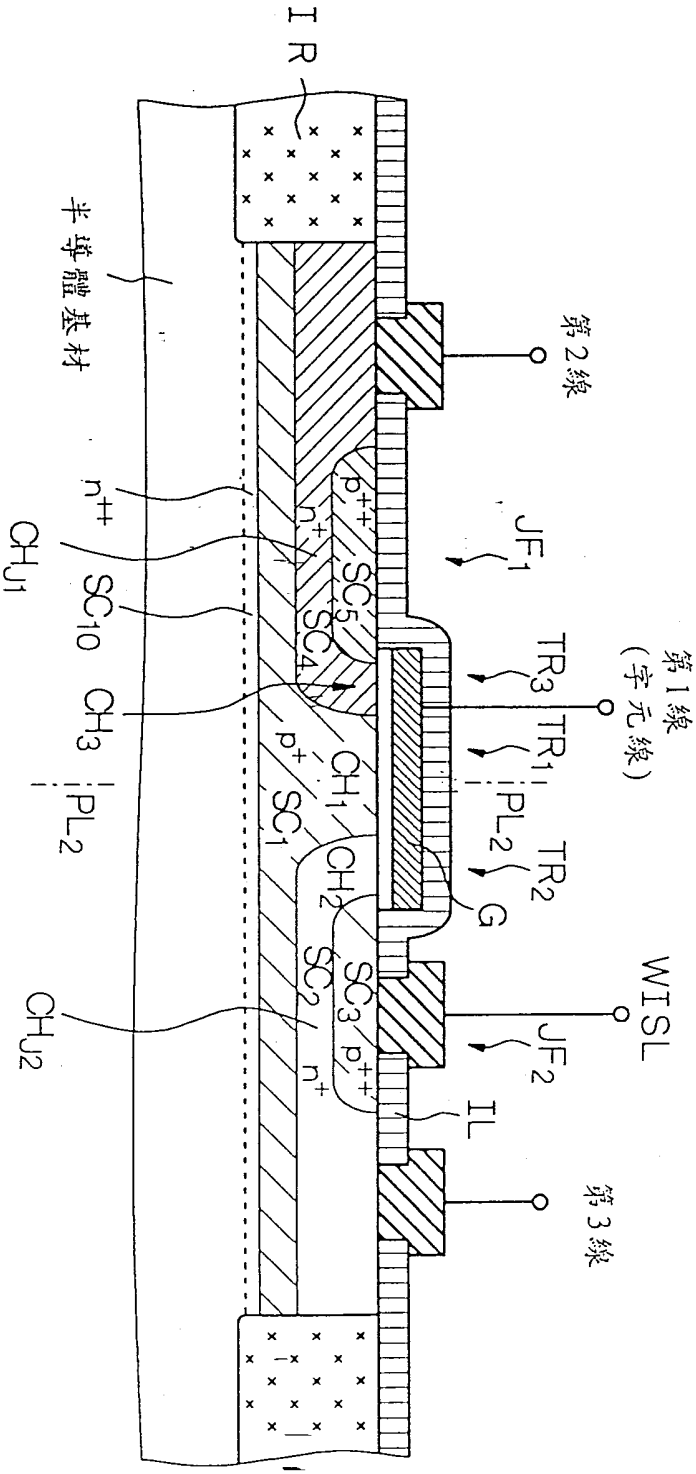

IR
半導體基材
第2線
第1線
(字元線)
WISL
第3線
JF1
JF2
TR3
TR1
TR2
PL2
G
IL
CHJ1
CHJ2
CH3
CH1
CH2
SC10
SC5
SC4
SC1
SC2
SC3
n++
n+
p++
p+

圖 56

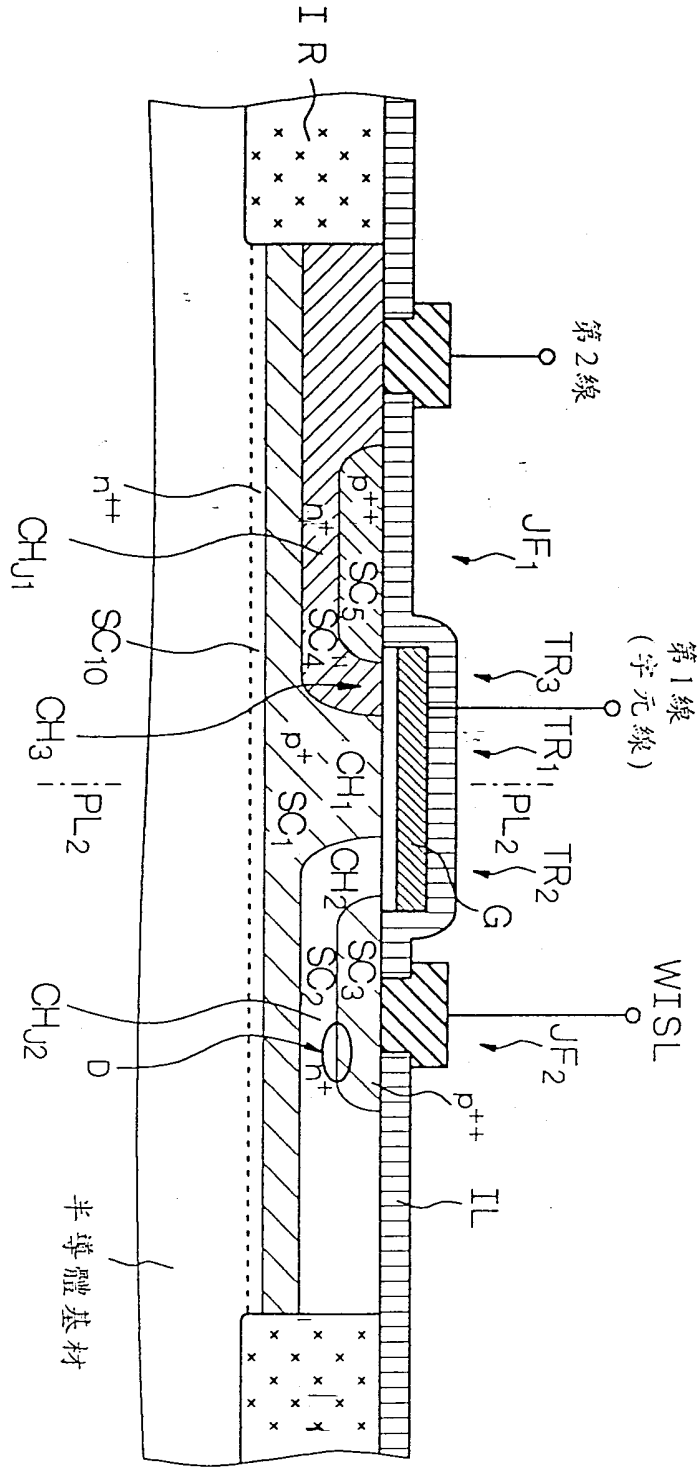

IR
第2線
JF1
第1線
(字元線)
TR3
TR1
PL2
TR2
G
WISL
JF2
IL
n++
CHJ1
SC10
CH3
PL2
p++
n+
SC5
SC4
p+
SC1
CH1
CH2
SC3
SC2
CHJ2
D
半導體基材

圖 57

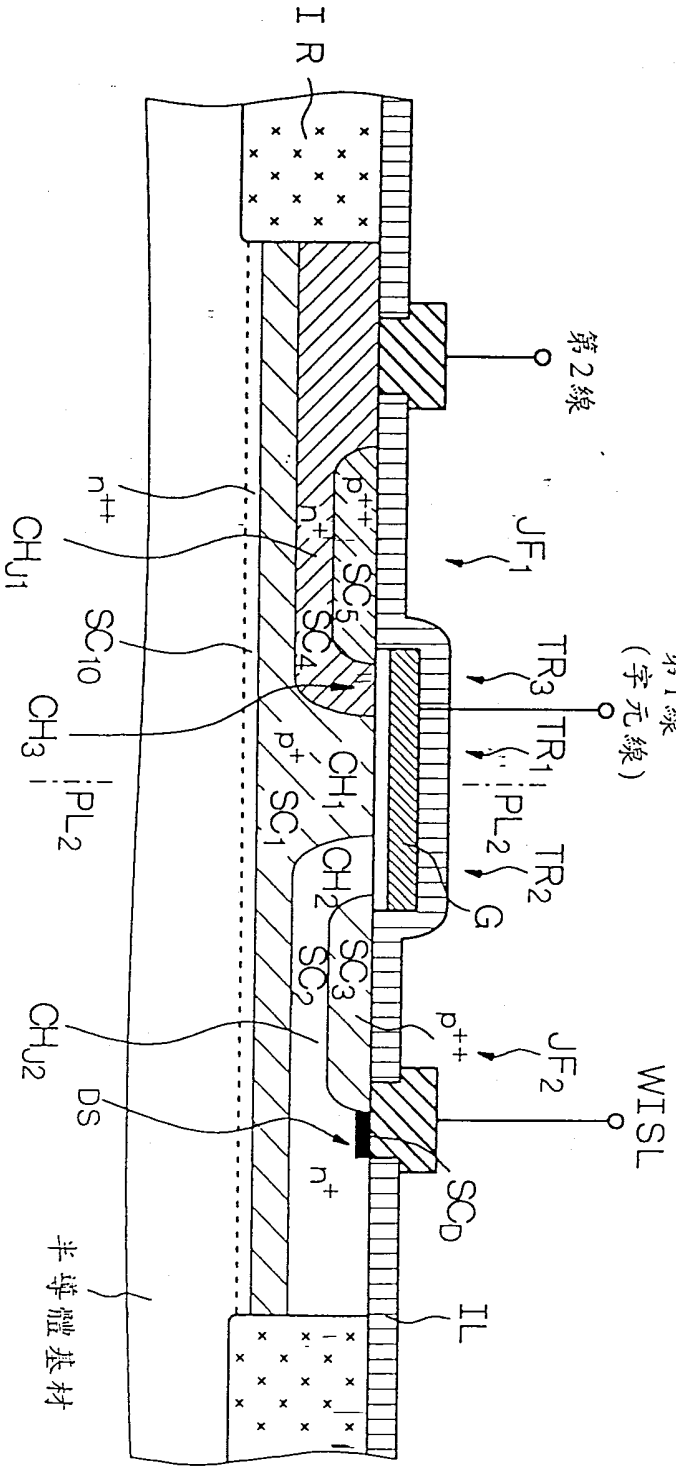

IR
第2線
JF1
TR3
TR1
PL2
TR2
G
第1線
(字元線)
n++
CHJ1
SC10
CH3
PL2
p++
n+
SC5
SC4
CH1
SC1
CH2
SC3
SC2
p++
JF2
WISL
CHJ2
DS
n+
SCD
IL
半導體基材

圖 58

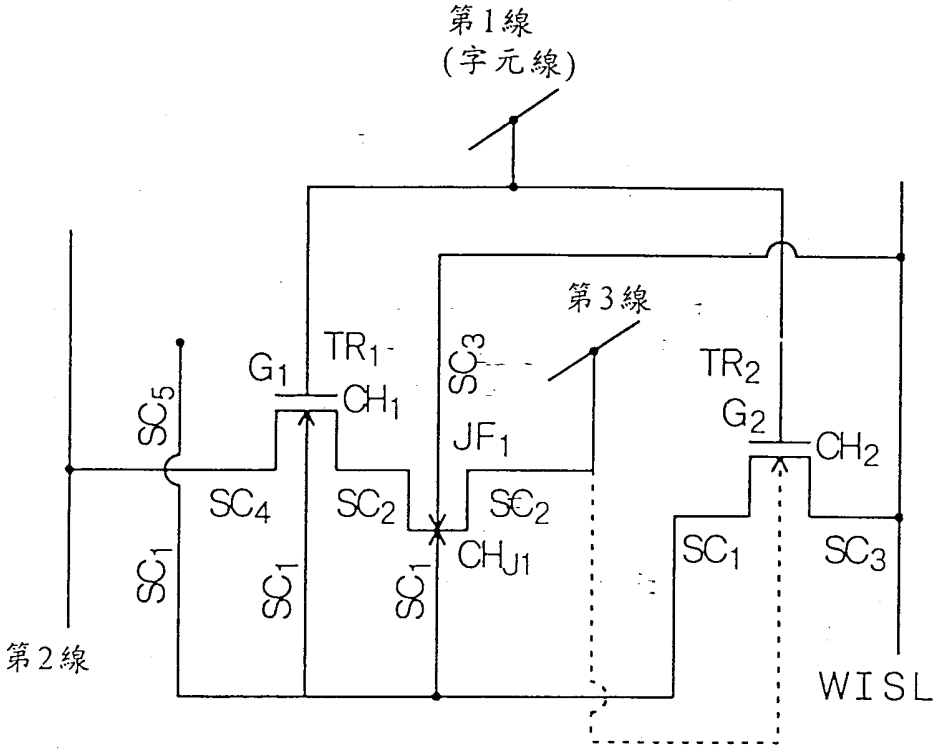

第1線
(字元線)
第3線
TR1
G1
CH1
SC3
TR2
G2
CH2
JF1
SC5
SC4
SC2
SC2
SC1
SC1
SC1
CHJ1
SC1
SC3
第2線
WISL

圖 59

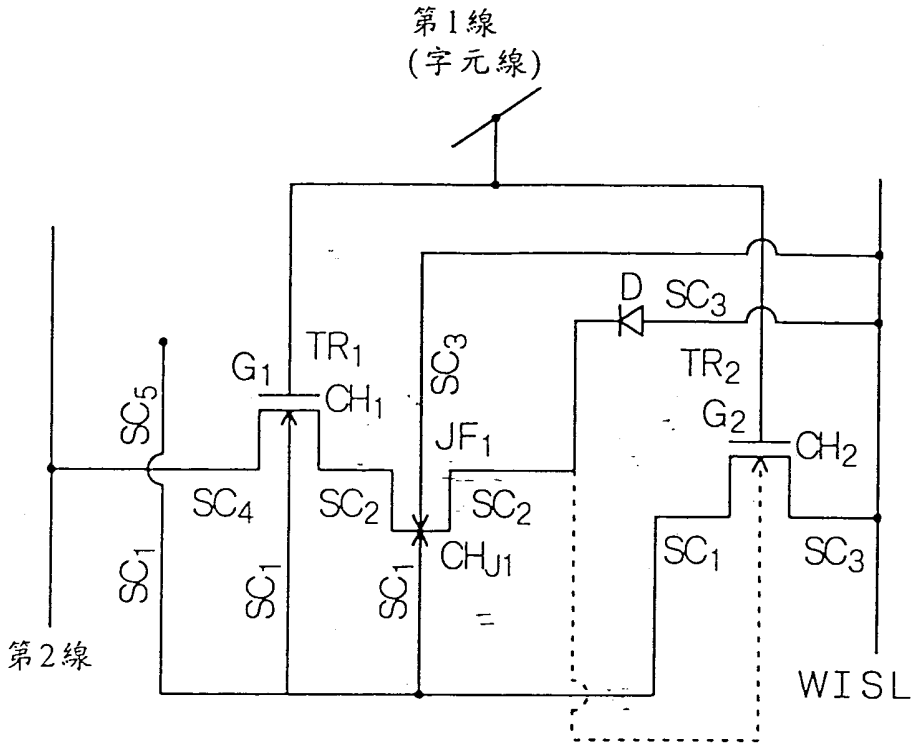

第1線
(字元線)
D
SC3
TR1
G1
CH1
SC3
TR2
G2
CH2
SC5
JF1
SC4
SC2
SC2
SC1
SC1
SC1
CHJ1
SC1
SC3
第2線
WISL

圖 60A

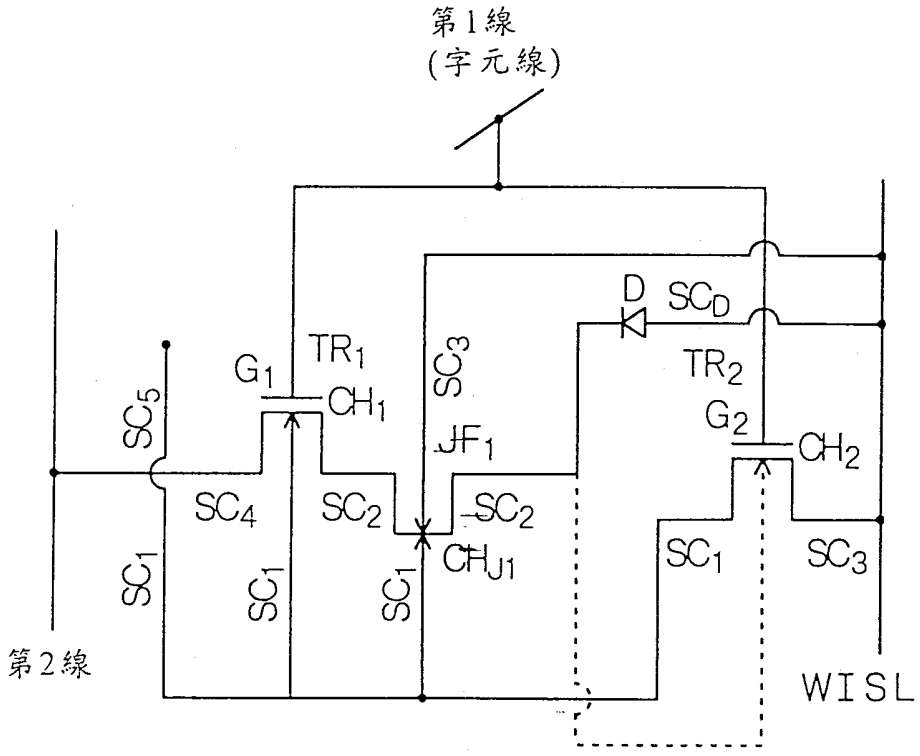

第1線
(字元線)
D
SCD
TR1
G1
CH1
SC3
TR2
G2
CH2
SC5
JF1
SC4
SC2
SC2
SC1
SC1
SC1
CHJ1
SC1
SC3
第2線
WISL

圖 60B

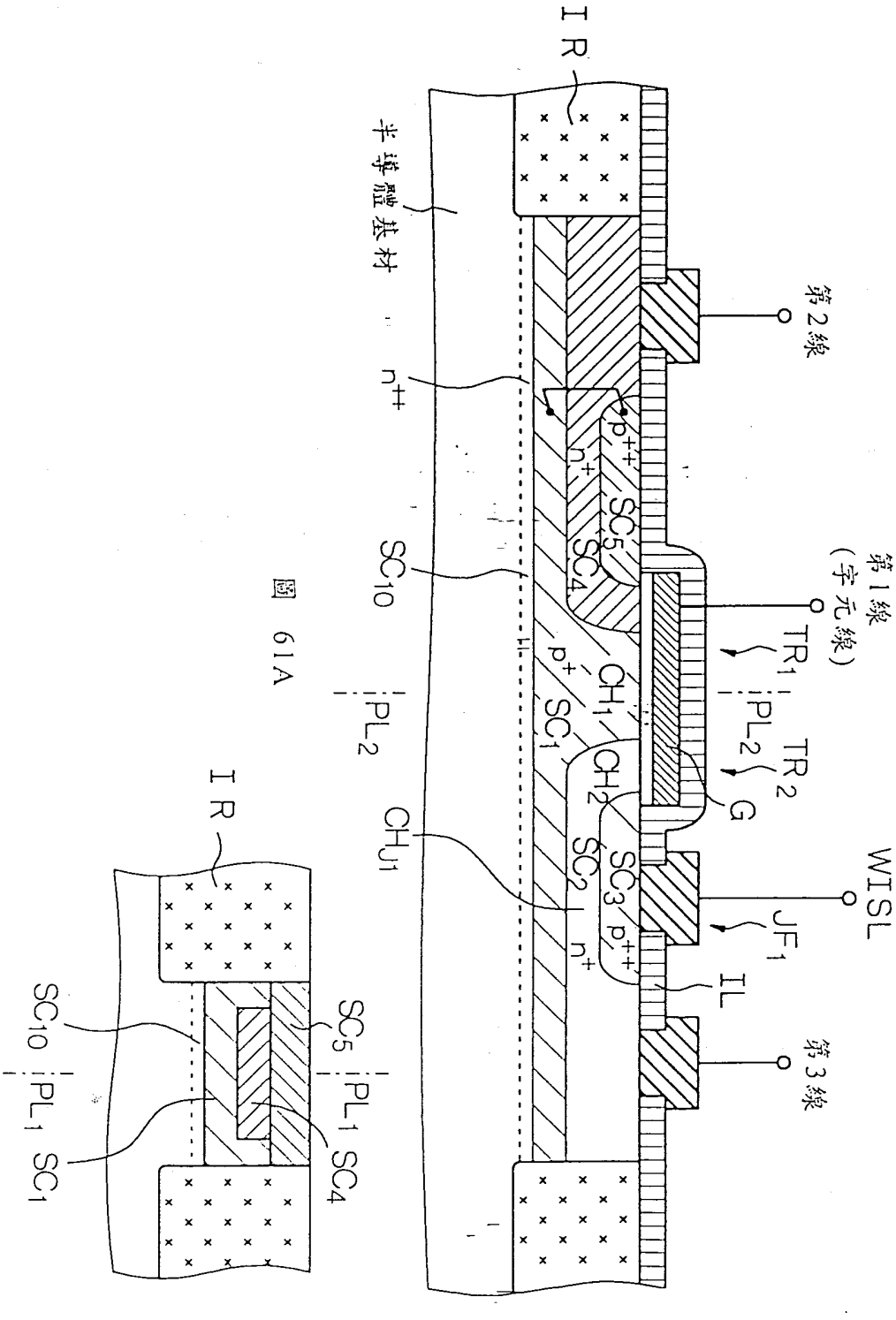

IR
半導體基材
第2線
n++
p++
n+
SC5
SC4
SC10
第1線
(字元線)
TR1
PL2
TR2
G
p+
CH1
SC1
CH2
SC2
SC3
p++
n+
WISL
JF1
IL
第3線
CHU1

圖 61A

IR
SC10
PL1
SC1
SC5
PL1
SC4

圖 61B

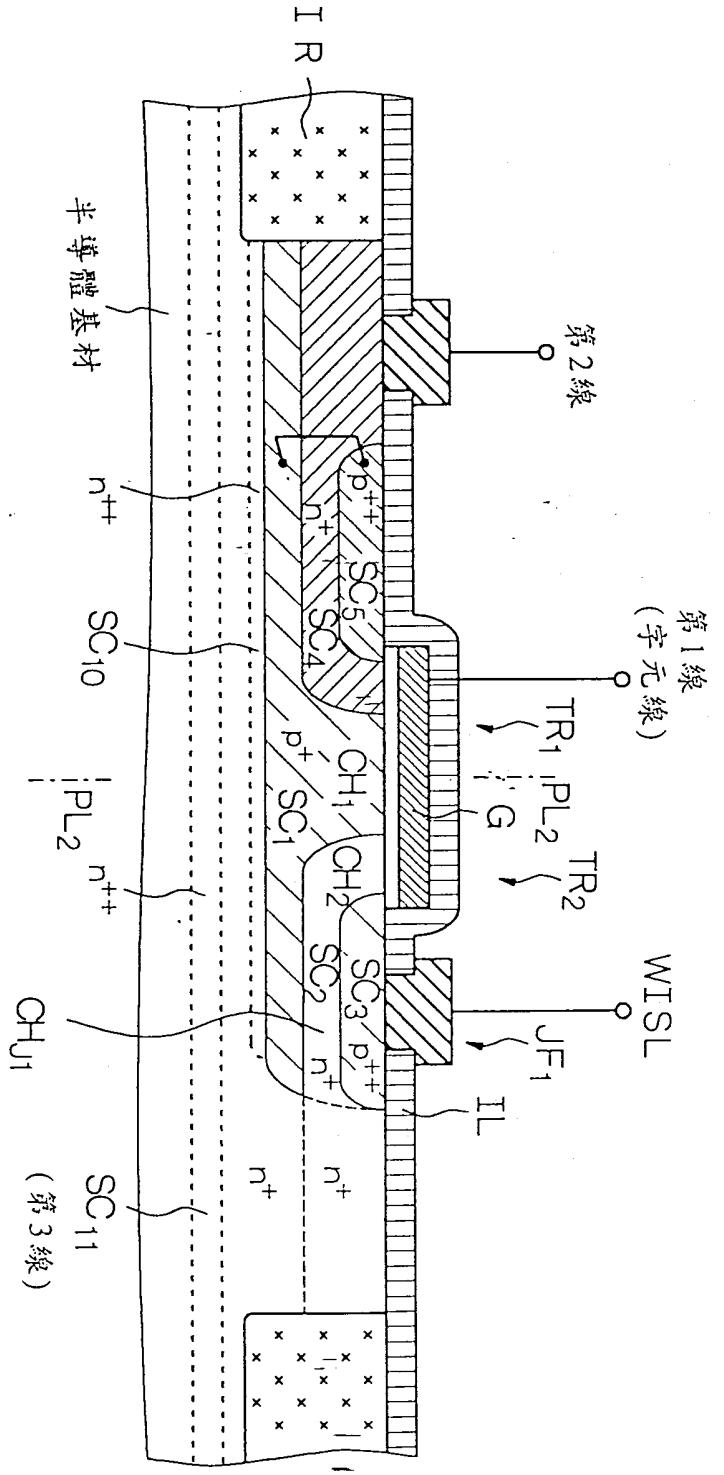

IR
半導體基材
第2線
第1線
(字元線)
WISL
TR1
PL2
G
TR2
JF1
IL
SC10
SC5
SC4
SC1
SC2
SC3
SC11
(第3線)
CH1
CH2
CHJ1
n++
n+
p++
p+

圖 62

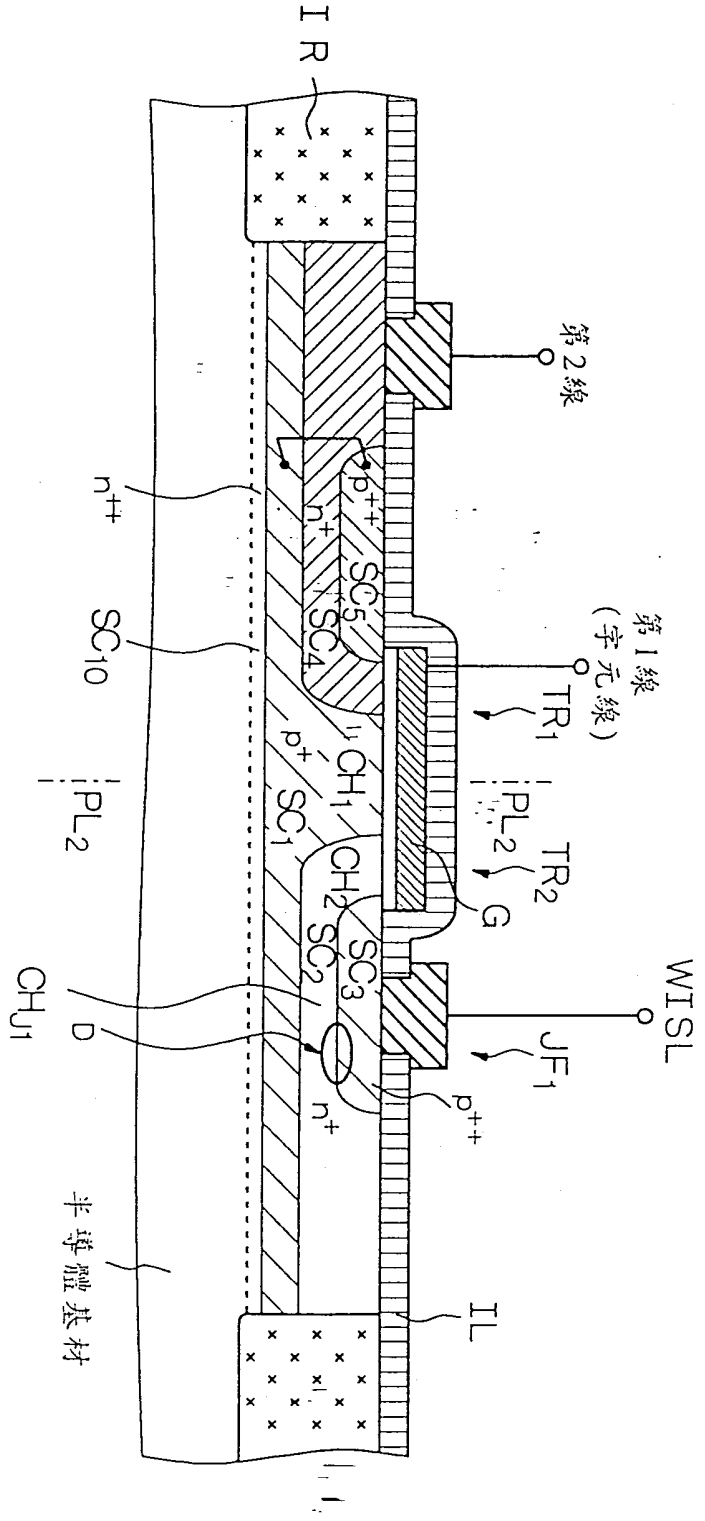

IR
第2線
第1線
(字元線)
WISL
n++
p++
n+
SC5
SC4
SC10
TR1
PL2
TR2
G
p+
CH1
SC1
CH2
SC2
SC3
JF1
CHJ1
D
n+
p++
半導體基材
IL

圖 63

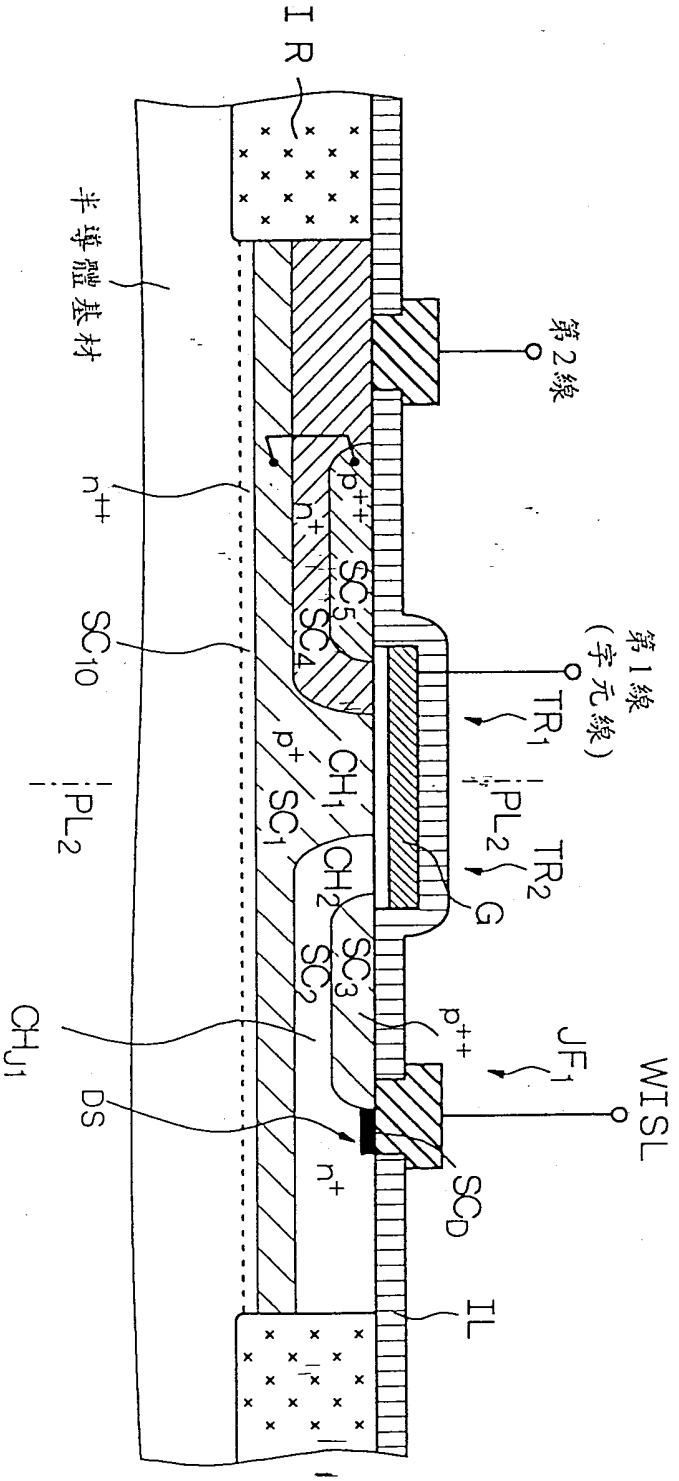

IR
半導體基材
第2線
第1線
(字元線)
n++
p++
n+
SC5
SC4
SC10
TR1
iPL2
TR2
G
p+
CH1
SC1
CH2
SC3
SC2
p++
JF1
WISL
CHJ1
DS
n+
SCD
IL

圖 64

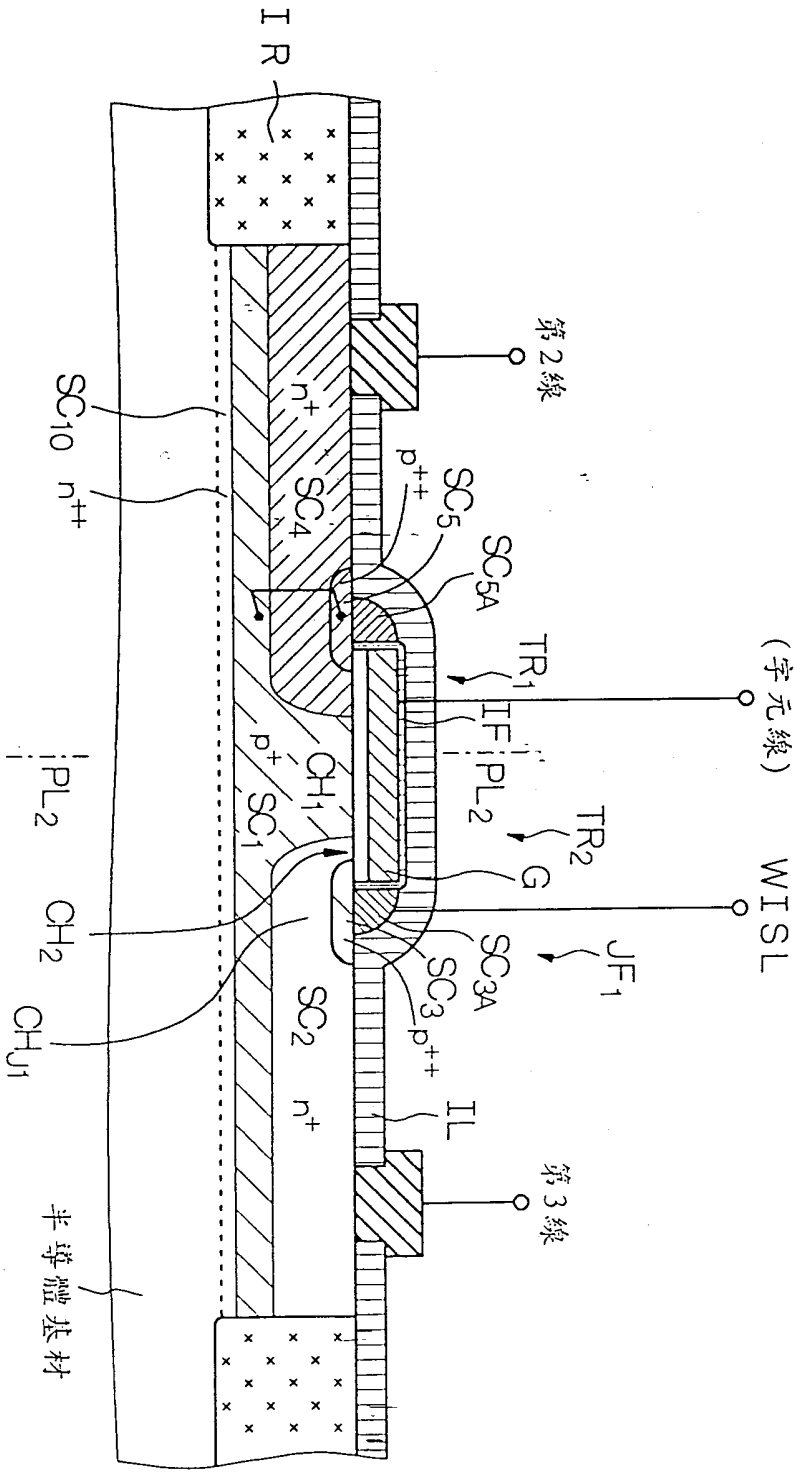

IR
第2線
SC10
n++
n+
SC4
p++
SC5
SC5A
TR1
IFiPL2
TR2
G
WISL
第1線
(字元線)
JF1
SC3A
SC3
p++
IL
第3線
p+
CH1
SC1
iPL2
CH2
CHJ1
SC2
n+
半導體基材

圖 65

[步驟-10]

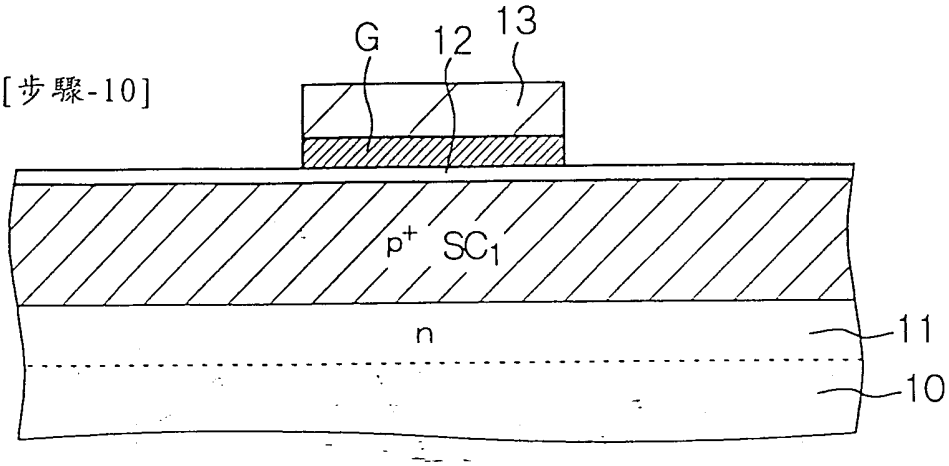


圖 66A

[步驟-20]

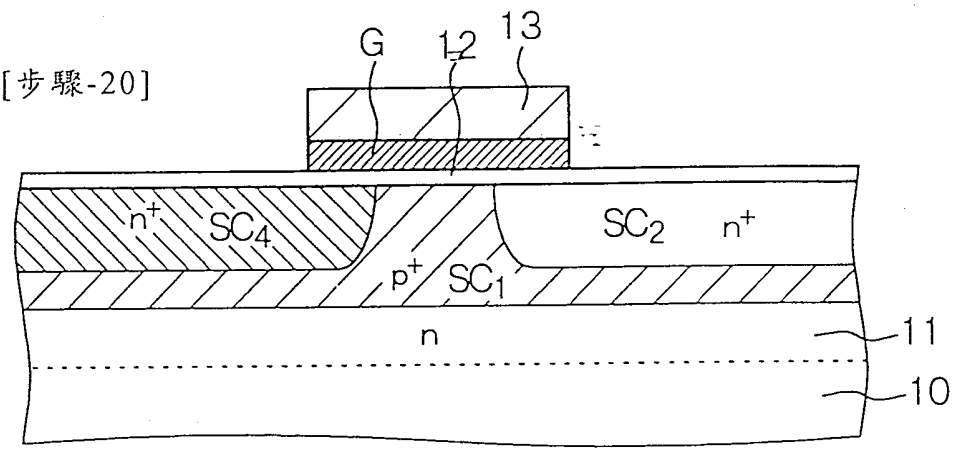


圖 66B

[步驟-30]

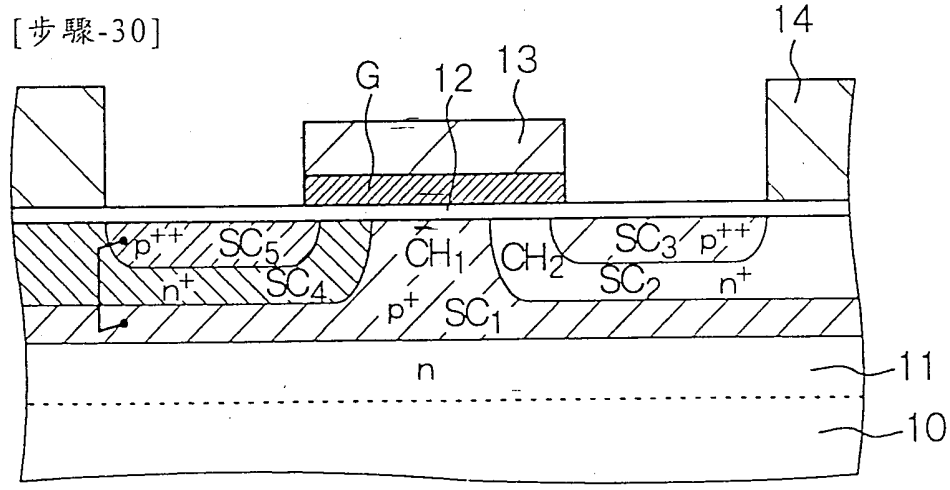


圖 66C

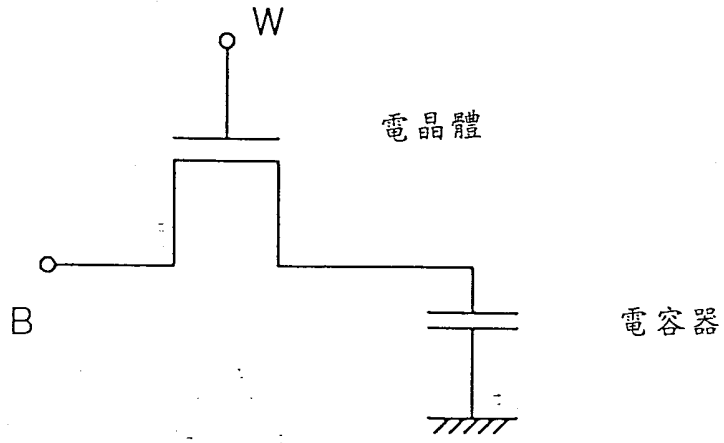


圖 67A

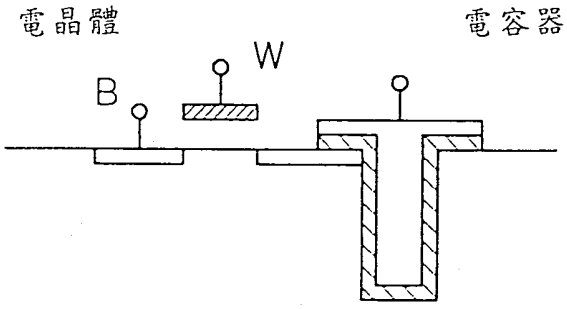


圖 67B