

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 6 部門第 3 区分  
【発行日】平成 17 年 7 月 7 日 (2005.7.7)

【公開番号】特開 2001-195303 (P2001-195303A)  
【公開日】平成 13 年 7 月 19 日 (2001.7.19)  
【出願番号】特願 2000-379986 (P2000-379986)  
【国際特許分類第 7 版】

G 0 6 F 12/10

G 0 6 F 12/08

【F I】

G 0 6 F 12/10 5 0 1 C

G 0 6 F 12/08 5 0 7 Z

【手続補正書】

【提出日】平成 16 年 10 月 26 日 (2004.10.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

コンピュータマイクロアーキテクチャであって、

第 1 のデータを受信するように適合された第 1 の変換索引バッファ (T L B) と、及び  
前記第 1 の T L B と並列に接続され、前記第 1 のデータを受信し、かつ前記第 1 の T L  
B における前記第 1 のデータの受信と並列に第 2 のデータを受信するように適合された第  
2 の T L B とを含み、

前記第 1 の T L B が、第 1 および第 2 のメモリポートによってアクセスされ、前記第 2  
の T L B が、前記第 1 および第 2 のメモリポート、ならびに第 3 および第 4 のメモリポ  
ートによってアクセスされる、コンピュータマイクロアーキテクチャ。

【請求項 2】

事前検査済みタグキャッシュを有するコンピュータマイクロアーキテクチャにおいて、  
変換索引バッファ (T L B) 構造が、

整数ロード T L B と、

前記整数ロード T L B と並列に動作するマスタ T L B であって、整数ロードが前記整数  
ロード T L B に供給され、かつロードおよびストアが前記マスタ T L B に提供される、マ  
スタ T L B と、

前記整数ロード T L B からの出力を受信する整数ロードデータキャッシュと、及び

前記マスタ T L B からの出力を受信するデータキャッシュであって、前記整数ロード T  
L B が、仮想アドレスに基づいて T L B ヒット情報を提供するとともに、前記整数ロード  
データキャッシュが前記 T L B ヒット情報を記憶し、かつ前記マスタ T L B が、物理アド  
レスを前記データキャッシュに提供するとともに、前記データキャッシュが前記物理アド  
レスを保持する、データキャッシュを含む、変換索引バッファ (T L B) 構造。

【請求項 3】

前記整数ロード T L B が第 1 のメモリポートによってアクセスされ、前記マスタ T L B  
が前記第 1 のメモリポート、ならびに第 2 のメモリポートによってアクセスされる、請求  
項 2 の変換索引バッファ (T L B) 構造。