

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2001-195303(P2001-195303A)

【公開日】平成13年7月19日(2001.7.19)

【出願番号】特願2000-379986(P2000-379986)

【国際特許分類第7版】

G 06 F 12/10

G 06 F 12/08

【F I】

G 06 F 12/10 501C

G 06 F 12/08 507Z

【手続補正書】

【提出日】平成16年10月26日(2004.10.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

コンピュータマイクロアーキテクチャであって、

第1のデータを受信するように適合された第1の変換索引バッファ(TLB)と、及び前記第1のTLBと並列に接続され、前記第1のデータを受信し、かつ前記第1のTLBにおける前記第1のデータの受信と並列に第2のデータを受信するように適合された第2のTLBとを含み、

前記第1のTLBが、第1および第2のメモリポートによってアクセスされ、前記第2のTLBが、前記第1および第2のメモリポート、ならびに第3および第4のメモリポートによってアクセスされる、コンピュータマイクロアーキテクチャ。

【請求項2】

事前検査済みタグキャッシュを有するコンピュータマイクロアーキテクチャにおいて、変換索引バッファ(TLB)構造が、

整数ロードTLBと、

前記整数ロードTLBと並列に動作するマスタTLBであって、整数ロードが前記整数ロードTLBに供給され、かつロードおよびストアが前記マスタTLBに提供される、マスタTLBと、

前記整数ロードTLBからの出力を受信する整数ロードデータキャッシュと、及び

前記マスタTLBからの出力を受信するデータキャッシュであって、前記整数ロードTLBが、仮想アドレスに基づいてTLBヒット情報を提供するとともに、前記整数ロードデータキャッシュが前記TLBヒット情報を記憶し、かつ前記マスタTLBが、物理アドレスを前記データキャッシュに提供するとともに、前記データキャッシュが前記物理アドレスを保持する、データキャッシュとを含む、変換索引バッファ(TLB)構造。

【請求項3】

前記整数ロードTLBが第1のメモリポートによってアクセスされ、前記マスタTLBが前記第1のメモリポート、ならびに第2のメモリポートによってアクセスされる、請求項2の変換索引バッファ(TLB)構造。