(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-109353
(P2012-109353A)
(43)公開日　平成24年6月7日(2012.6.7)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/108	(2006.01)	H01L	27/10	681A	4M104
H01L 21/8242	(2006.01)	H01L	27/10	621C	5F033
H01L 29/423	(2006.01)	H01L	27/10	671B	5F083
H01L 29/49	(2006.01)	H01L	29/58	G	5F140
H01L 21/3205	(2006.01)	H01L	21/88	J	

審査請求 未請求　請求項の数 16　ＯＬ　（全 39 頁）　最終頁に続く

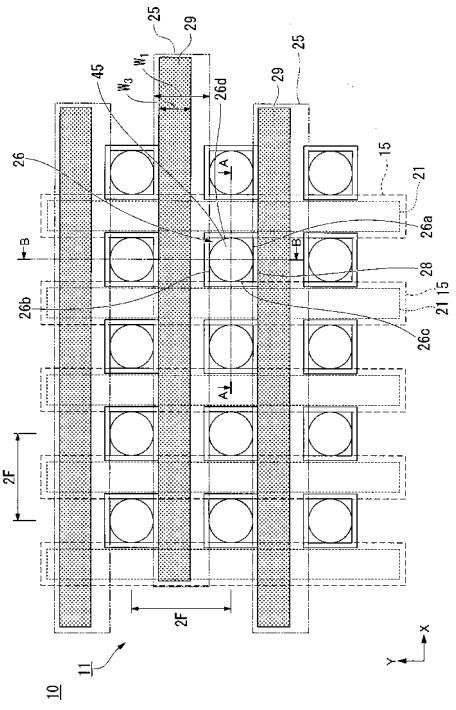
(21)出願番号　特願2010-256196 (P2010-256196)
(22)出願日　平成22年11月16日 (2010.11.16)

(71)出願人　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100106909
弁理士　棚井　澄雄
(74)代理人　100108578
弁理士　高橋　詔男
(74)代理人　100138759
弁理士　大房　直樹
(74)代理人　100140774
弁理士　大浪　一徳
(72)発明者　三笠　典章
東京都中央区八重洲二丁目２番１号　エルピーダメモリ株式会社内

最終頁に続く

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】
【課題】本発明は、ゲート電極の幅を十分に確保して、ゲート電極の抵抗値を小さくすることが可能で、かつゲート電極間の容量を小さくすることの可能な半導体装置及びその製造方法を提供することを課題とする。
【解決手段】半導体基板に設けられ、Ｙ方向に延在する第１の溝１５と、半導体基板に設けられ、第１の溝１５と交差するＸの方向に延在する第２の溝２５と、第１及び第２の溝１５，２５に囲まれ、第２の溝２５に露出された対向する第１及び第２の側面２６ａ，２６ｂを有するピラー２６と、ゲート絶縁膜２８を介して、ピラー２６の第２の側面２６ｂに接触するように、第２の溝２５の下部に設けられた１つのゲート電極２９と、ゲート電極２９の側面とピラーの第１の側面２６ａとの間に配置された空隙と、を有する。
【選択図】図１



【特許請求の範囲】
【請求項１】
半導体基板に設けられ、第１の方向に延在する第１の溝と、
前記半導体基板に設けられ、前記第１の溝と交差する第２の方向に延在する第２の溝と、
前記第１及び第２の溝に囲まれ、前記第２の溝に露出された対向する第１及び第２の側面を有するピラーと、
ゲート絶縁膜を介して、前記ピラーの第２の側面に接触するように、前記第２の溝の下部に設けられた１つのゲート電極と、
前記ゲート電極の側面と前記ピラーの第１の側面との間に配置された空隙と、
少なくとも前記空隙よりも上方に位置する前記第２の溝を埋め込むと共に、前記ゲート電極の上面を覆うゲート電極用埋め込み絶縁膜と、
前記ピラーの上部に形成された上部不純物拡散領域と、
前記ピラーの下部に形成された下部不純物拡散領域と、
を有することを特徴とする半導体装置。
【請求項２】
前記ピラーの第１の側面を覆う第１の絶縁膜を設けると共に、前記ピラーの第１の側面と対向する前記ゲート電極の面に前記ゲート絶縁膜を配置し、
前記ゲート電極の面に設けられた前記ゲート絶縁膜と前記第１の絶縁膜との間に、前記空隙を設けたことを特徴とする請求項１記載の半導体装置。
【請求項３】
前記ゲート電極用埋め込み絶縁膜は、埋め込み特性の悪い絶縁膜であり、
前記空隙は、真空であることを特徴とする請求項１または２記載の半導体装置。
【請求項４】
前記ゲート電極用埋め込み絶縁膜は、前記空隙を埋め込むことを特徴とする請求項１または２記載の半導体装置。
【請求項５】
前記第１の溝は、前記第２の溝よりも深くなるように構成されており、
前記第１の溝の下部に、第２の絶縁膜を介して設けられ、前記下部不純物拡散領域と電気的に接続されたビット線を有することを特徴とする請求項１ないし４のうち、いずれか１項記載の半導体装置。
【請求項６】
前記第１の溝に、前記ビット線の上面を覆うビット線用埋め込み絶縁膜を設けたことを特徴とする請求項５項記載の半導体装置。
【請求項７】
前記上部不純物拡散領域の上方に、該上部不純物拡散領域の上面と電気的に接続されるキャパシタを設けたことを特徴とする請求項１ないし６のうち、いずれか１項記載の半導体装置。
【請求項８】
半導体基板に、第１の方向に延在する第１の溝を形成する工程と、
前記第１の溝の下部の側面に、下部不純物拡散領域を形成する工程と、
前記半導体基板に、前記第１の溝と交差し、第２の方向に延在する第２の溝を形成することで、前記第１及び第２の溝に囲まれ、かつ前記下部不純物拡散領域が形成されたピラーを形成する工程と、
前記第２の溝に露出された前記ピラーの対向する第１及び第２の側面、及び前記第２の溝の底面を覆う第１の絶縁膜を形成する工程と、
前記第１の絶縁膜を介して、前記ピラーの前記第１の側面を覆う第１のサイドウォール膜と、前記第１の絶縁膜を介して、前記ピラーの前記第２の側面を覆う第２のサイドウォール膜とを同時に形成する工程と、
前記第１及び第２のサイドウォール膜が形成された前記第２の溝を埋め込み絶縁膜で埋

め込む工程と、
前記第２のサイドウォール膜を選択的に除去する工程と、
前記第２のサイドウォール膜を除去後に、前記埋め込み絶縁膜、及び前記第１のサイドウォール膜に覆われていない前記第１の絶縁膜を選択的に除去する工程と、
前記ピラーの第２の側面、前記第２の溝の底面、及び前記第１のサイドウォール膜の側面を覆うゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜を介して、前記第２の溝内に導電膜を埋め込み、その後、前記導電膜をエッチバックすることで、前記第２の溝の下部にゲート電極を形成する工程と、
前記ゲート電極を形成後に、前記第１のサイドウォール膜を選択的に除去することで、前記ゲート電極と前記ピラーの第１の側面との間に空隙を形成する工程と、
前記ピラーの上部に、上部不純物拡散領域を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
【請求項９】
真空雰囲気下において、前記空隙よりも上方に位置する前記第２の溝の上部を埋め込み、かつ前記空隙を埋め込まないゲート電極用埋め込み絶縁膜を形成する工程を含むことを特徴とする請求項８記載の半導体装置の製造方法。
【請求項１０】
前記空隙よりも上方に位置する前記第２の溝の上部を埋め込み、かつ前記空隙を埋め込むゲート電極用埋め込み絶縁膜を形成する工程を含むことを特徴とする請求項８記載の半導体装置の製造方法。
【請求項１１】
前記第１及び第２のサイドウォール膜は、シリコン窒化膜をパターニングすることで形成し、
前記第１の絶縁膜及び前記埋め込み絶縁膜は、シリコン酸化膜をパターニングすることで形成することを特徴とする請求項８ないし１０記載のうち、いずれか１項記載の半導体装置の製造方法。
【請求項１２】
前記第２のサイドウォール膜を選択的に除去する工程は、前記第１のサイドウォール膜を保護すると共に、前記第１のサイドウォール膜の一部を露出するエッチングマスクを形成する工程と、
前記シリコン窒化膜を選択的にエッチングするエッチング液を用いたウエットエッチングにより、第２のサイドウォール膜を選択的に除去する工程と、
前記エッチングマスクを除去する工程と、
を含むことを特徴とする請求項１１記載の半導体装置の製造方法。
【請求項１３】
前記第１のサイドウォール膜を除去する工程では、前記シリコン窒化膜を選択的にエッチングするエッチング液を用いたウエットエッチングにより、第１のサイドウォール膜を選択的に除去することを特徴とする請求項１１または１２記載の半導体装置の製造方法。
【請求項１４】
前記第２の溝を形成する前に、前記第１の溝の下部の内面を覆う第２の絶縁膜を形成する工程と、
前記第２の絶縁膜が形成された前記第１の溝の下部に、前記下部不純物拡散領域と電気的に接続されたビット線を形成する工程と、
を含むことを特徴とする請求項８ないし１３のうち、いずれか１項記載の半導体装置の製造方法。
【請求項１５】
前記第１の溝に、前記ビット線の上面を覆うビット線用埋め込み絶縁膜を形成する工程を含むことを特徴とする請求項１４記載の半導体装置の製造方法。
【請求項１６】
前記上部不純物拡散領域の上方に、該上部不純物拡散領域の上面と電気的に接続される

キャパシタを形成する工程を含むことを特徴とする請求項８ないし１５のうち、いずれか１項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【０００２】

近年、ＤＲＡＭ（Ｄｙｎａｍｉｃ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）等の半導体装置の微細化が進められている。これにより、半導体装置を構成するトランジスタも微細化され、トランジスタの短チャネル効果が問題となる。

【０００３】

このような問題を回避するための構造として、半導体基板の主面に対して垂直方向に延在するシリコンピラーをチャネルとして用いる縦型トランジスタ（「３次元トランジスタ」ともいう）が提案されている（例えば、特許文献１参照。）。

【０００４】

特許文献１には、半導体基板に形成されたシリコンピラーと、ゲート絶縁膜を介して、シリコンピラーの第１の側面に設けられた第１のゲート電極と、ゲート絶縁膜を介して、前記第１の側面の反対側に位置するシリコンピラーの第２の側面に設けられた第２のゲート電極と、一対の不純物拡散領域と、前記第１及び第２のゲート電極と直交するビット線と、を有した半導体装置が開示されている。

【０００５】

また、特許文献１には、シリコンピラーにゲート絶縁膜を形成後、シリコンピラー間に第１及び第２のゲート電極の母材となる導電膜を成膜し、その後、ドライエッチングにより該導電膜をエッチバックすることで、分離された第１及び第２のゲート電極を形成することが開示されている。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２０１０－２１９３８６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかしながら、半導体装置の微細化がさらに進むと、シリコンピラー間の間隔が狭くなるため、シリコンピラー間に形成される溝のアスペクト比が高くなってしまう。

これにより、シリコンピラー間の中央に位置する不要な導電膜を、エッチバックにより除去することが難しくなるため、半導体基板の全面において、第１及び第２のゲート電極を形成することが困難となる。

【０００８】

また、エッチバック量を増加させて、半導体基板の全面において第１及び第２のゲート電極を形成することが考えられるが、この場合、第１及び第２のゲート電極の厚さ（ピラーの側面と直交する方向の厚さ）が所望の厚さよりも薄くなるため、第１及び第２のゲート電極の抵抗値が増加してしまう。

さらに、シリコンピラーに第１及び第２のゲート電極を形成した場合、第１及び第２のゲート電極間の容量が大きくなってしまうという問題があった。

【課題を解決するための手段】

【０００９】

本発明の一観点によれば、半導体基板に設けられ、第１の方向に延在する第１の溝と、前記半導体基板に設けられ、前記第１の溝と交差する第２の方向に延在する第２の溝と、前記第１及び第２の溝に囲まれ、前記第２の溝に露出された対向する第１及び第２の側面

を有するピラーと、ゲート絶縁膜を介して、前記ピラーの第２の側面に接触するように、前記第２の溝の下部に設けられた１つのゲート電極と、前記ゲート電極と前記ピラーの第１の側面との間に設けられた空隙と、少なくとも前記空隙よりも上方に位置する前記第２の溝を埋め込むと共に、前記ゲート電極の上面を覆うゲート電極用埋め込み絶縁膜と、前記ピラーの上部に形成された上部不純物拡散領域と、前記ピラーの下部に形成された下部不純物拡散領域と、を有することを特徴とする半導体装置が提供される。

【発明の効果】

【００１０】

本発明の半導体装置によれば、ゲート絶縁膜を介して、ピラーの第２の側面に接触するように、第２の溝の下部に設けられた１つのゲート電極と、ゲート電極とピラーの第１の側面との間に設けられた空隙と、を有することにより、１つの溝に電気的に絶縁された２つのゲート電極を配置する従来の構成と比較して、ゲート電極の幅を十分に確保することが可能となるので、ゲート電極の抵抗値を小さくすることができる。

また、ゲート電極とピラーの第１の側面との間に空隙を設けることにより、ゲート電極間にピラーが介在することになる。このため、ピラーによるシールド効果により、ゲート電極間の容量を小さくすることができる。

【図面の簡単な説明】

【００１１】

【図１】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの概略を示す平面図である。

【図２Ａ】図１に示すメモリセルアレイのＡ－Ａ線方向の断面図である。

【図２Ｂ】図１に示すメモリセルアレイのＢ－Ｂ線方向の断面図である。

【図３Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。

【図３Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。

【図４Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。

【図４Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。

【図５Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その３）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。

【図５Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その３）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。

【図６Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その４）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。

【図６Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その４）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。

【図７Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その５）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。

【図７Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの

製造工程を示す図（その５）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図８Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その６）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図８Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その６）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図９Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その７）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図９Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その７）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１０Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その８）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１０Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その８）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１１Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その９）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１１Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その９）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１２Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１０）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１２Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１０）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１３Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１１）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１３Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１１）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１４Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１２）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１４Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１２）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１５Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１３）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１５Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１３）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。

【図１６Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１４）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１６Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１４）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１７Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１５）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１７Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１５）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１８Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１６）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１８Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１６）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図１９Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１７）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図１９Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１７）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２０Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１８）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２０Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１８）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２１Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１９）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２１Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１９）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２２Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２０）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２２Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２０）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２３Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２１）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２３Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２１）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２４Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２２）であり、図２Ａに示すメモリセルアレイの切断面に対応

する断面図である。
【図２４Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２２）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２５Ａ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２３）であり、図２Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２５Ｂ】本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２３）であり、図２Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２６Ａ】本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの概略を示す断面図であり、図１に示すメモリセルアレイのＡ－Ａ線方向の切断面に対応する図である。
【図２６Ｂ】本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの概略を示す断面図であり、図１に示すメモリセルアレイのＢ－Ｂ線方向の切断面に対応する図である。
【図２７Ａ】本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１）であり、図２６Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２７Ｂ】本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その１）であり、図２６Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【図２８Ａ】本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２）であり、図２６Ａに示すメモリセルアレイの切断面に対応する断面図である。
【図２８Ｂ】本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図（その２）であり、図２６Ｂに示すメモリセルアレイの切断面に対応する断面図である。
【発明を実施するための形態】
【００１２】
以下、図面を参照して本発明を適用した実施の形態について詳細に説明する。なお、以下の説明で用いる図面は、本発明の実施形態の構成を説明するためのものであり、図示される各部の大きさや厚さや寸法等は、実際の半導体装置の寸法関係とは異なる場合がある。
【００１３】
（第１の実施の形態）
図１は、本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの概略を示す平面図である。図２Ａは、図１に示すメモリセルアレイのＡ－Ａ線方向の断面図であり、図２Ｂは、図１に示すメモリセルアレイのＢ－Ｂ線方向の断面図である。
図１において、Ｘ方向はゲート電極２９の延在方向（第２の方向）を示しており、Ｙ方向はゲート電極２９と交差するビット線２１の延在方向（第１の方向）を示している。
また、図１では、説明の便宜上、図２Ａ及び図２Ｂに示すメモリセルアレイ１１の構成要素のうち、第１の溝１５、ビット線２１、第２の溝２５、ピラー２６、ゲート絶縁膜２８、ゲート電極２９、及びキャパシタ４５のみを図示する。
図２Ａ及び図２Ｂにおいて、図１に示す第１の実施の形態の半導体装置１０と同一構成部分には、同一符号を付す。また、図１、図２Ａ、及び図２Ｂでは、第１の実施の形態の半導体装置１０の一例としてＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）を挙げて以下の説明を行う。
【００１４】
第１の実施の形態の半導体装置１０は、図１、図２Ａ、及び図２Ｂに示すメモリセルア

レイ１１が形成されるメモリセル領域と、メモリセル領域の周囲に配置された周辺回路（図示せず）が形成される周辺回路領域とを有する。周辺回路領域には、図示していない周辺回路用トランジスタ（例えば、プレーナー型トランジスタ）が形成されている。

【００１５】

次に、図１、図２Ａ、及び図２Ｂを参照して、メモリセルアレイ１１の構成について説明する。

メモリセルアレイ１１は、半導体基板１３と、素子分離領域（図示せず）と、第１の溝１５と、第２の絶縁膜１６と、ビットコンタクト１８と、下部不純物拡散領域１９と、ビット線２１と、絶縁膜２３と、ビット線用埋め込み絶縁膜２４と、第２の溝２５と、ピラー２６と、第１の絶縁膜２７と、ゲート絶縁膜２８と、埋め込み型ワード線であるゲート電極２９と、空隙３１と、ゲート電極用埋め込み絶縁膜３５と、上部不純物拡散領域３６と、第１のエッチングストッパ膜３８と、層間絶縁膜３９，４６，４８と、第２のエッチングストッパ膜４１と、サポート膜４４と、キャパシタ４５と、配線４７と、縦型ＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタ５０と、を有する。

【００１６】

図２Ａ及び図２Ｂを参照するに、半導体基板１３は、所定の濃度の不純物を含んだ基板である。半導体基板としては、例えば、ｐ型のシリコン基板を用いることができる。以下、半導体基板１３としてｐ型のシリコン基板を用いた場合を例に挙げて説明する。

半導体基板１３には、素子分離用溝（図示せず）及び該素子分離用溝を埋め込む素子分離用絶縁膜（図示せず）により構成された素子分離領域（図示せず）と、該素子分離領域の内側に形成され、矩形とされた素子形成領域と、を有する。

上記素子分離用絶縁膜としては、シリコン酸化膜（SiO_2膜）を用いる。上記素子分離領域の構造は、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）と呼ばれる。また、上記素子形成領域は、素子分離領域によって絶縁分離された活性領域である。

【００１７】

図１及び図２Ａを参照するに、第１の溝１５は、半導体基板１３に設けられている。第１の溝１５は、Ｙ方向（第１の方向）に延在しており、かつＸ方向（第２の方向）に対して複数配置されている。第１の溝１５は、ビット線２１を形成するための溝である。

【００１８】

図２Ａを参照するに、第２の絶縁膜１６は、ビット線２１の形成領域に対応する第１の溝１５の下部の内面に設けられている。第２の絶縁膜１６は、ビットコンタクト１８が形成される開口部１６Ａを有する。開口部１６Ａは、ピラー２６の第３の側面２６ｃの一部を露出するように形成されている。第２の絶縁膜１６としては、シリコン酸化膜（SiO_2膜）を用いることができる。

【００１９】

図２Ａを参照するに、ビットコンタクト１８は、第２の絶縁膜１６に形成された開口部１６Ａを充填するように設けられている。ビットコンタクト１８の材料としては、例えば、ｎ型不純物（例えば、ヒ素（Ａｓ））を含有した多結晶シリコン膜を用いることができる。

図２Ａを参照するに、下部不純物拡散領域１９は、ピラー２６のうち、ビットコンタクト１８と接触している部分（言い換えれば、開口部１６Ａから露出された半導体基板１３）に形成されている。下部不純物拡散領域１９は、ｎ型不純物（例えば、ヒ素（Ａｓ））を含んだソース／ドレイン領域である。図２Ａに示す構造の場合、下部不純物拡散領域１９は、ドレイン領域として機能する。

【００２０】

図２Ａを参照するに、ビット線２１（埋め込み型ビット線）は、第２の絶縁膜１６を介して、第１の溝１５の下部１５Ａに設けられており、平坦な上面２１ａを有する。ビット線２１は、Ｙ方向に延在しており、Ｘ方向に対して複数配置されている（図１参照）。

ビット線２１は、ビットコンタクト１８と接触し、バリア膜として機能する第１の導電膜５１と、第１の導電膜５１よりも抵抗値の低い第２の導電膜５２と、が順次積層された構成とされている。

【００２１】

第１の導電膜５１としては、例えば、チタン（Ｔｉ）膜と、窒化チタン（ＴｉＮ）膜とが順次積層されたＴｉ／ＴｉＮ積層膜を用いることができる。また、第２の導電膜５２としては、例えば、タングステン（Ｗ）を用いることができる。

ビット線２１は、ビットコンタクト１８と接触しており、ビットコンタクト１８を介して、下部不純物拡散領域１９と電気的に接続されている。

【００２２】

図２Ａを参照するに、絶縁膜２３は、ビット線２１の上面２１ａ、及びビット線２１よりも上方に位置するピラー２６の第３及び第４の側面２６ｃ，２６ｄを覆うように設けられている。絶縁膜２３としては、例えば、ＳｉＯＮ膜を用いることができる。

【００２３】

図２Ａを参照するに、ビット線用埋め込み絶縁膜２４は、ビット線２１及び絶縁膜２３が配置された第１の溝１５を埋め込むように設けられている。ビット線用埋め込み絶縁膜２４の上面２４ａは、平坦な面とされており、上部不純物拡散領域３６の上面３６ａ（半導体基板１３の主面１３ａ）に対して略面一とされている。

ビット線用埋め込み絶縁膜２４としては、例えば、ＨＤＰ（Ｈｉｇｈ　Ｄｅｎｓｉｔｙ　Ｐｌａｓｍａ）法により形成されたシリコン酸化膜（SiO_2膜）を用いることができる。

【００２４】

図１及び図２Ｂを参照するに、第２の溝２５は、第１の溝１５と交差するＸ方向に延在するように、半導体基板１３に設けられている。第２の溝２５は、Ｙ方向に対して複数配置されている。第２の溝２５の深さは、第１の溝１５の深さよりも浅い。第２の溝２５の幅W_1は、例えば、４５ｎｍとすることができる。

【００２５】

図１、図２Ａ、及び図２Ｂを参照するに、ピラー２６は、第１及び第２の溝１５，２５に囲まれており、柱状形状とされている。ピラー２６は、半導体基板１３に第１及び第２の溝１５，２５を加工することで形成される。

図１に示すように、ピラー２６は、平面視した状態において、四角形とされており、複数設けられている。複数のピラー２６は、第２の溝２５を介して、対向配置されると共に、マトリックス状に配置されている。

ピラー２６は、第２の溝２５により露出され、Ｙ方向において対向する第１及び第２の側面２６ａ，２６ｂと、第１の溝１５により露出され、Ｘ方向において対向する第３及び第４の側面２６ｃ，２６ｄと、を有する。

【００２６】

上記説明した複数のピラー２６に、下部不純物拡散領域１９、上部不純物拡散領域３６、ゲート絶縁膜２８、及びゲート電極２９が形成されることで、３次元トランジスタである縦型ＭＯＳトランジスタ５０が形成される。つまり、メモリセルアレイ１１には、マトリックス状に複数の縦型ＭＯＳトランジスタ５０が形成されている。

縦型ＭＯＳトランジスタ５０は、占有面積が小さく、かつ完全空乏化によって大きなドレイン電流が得られるという利点がある。したがって、メモリセルアレイ１１では、上記縦型ＭＯＳトランジスタ５０を複数備えることにより、$4F^2$（Ｆは最小加工寸法）の最密レイアウトが実現可能である。

【００２７】

図２Ｂを参照するに、第１の絶縁膜２７は、ピラー２６の側面２６ａを覆うように設けられている。第１の絶縁膜２７は、第２の溝２５の底面２５ａにおいてゲート絶縁膜２８と接触している。第１の絶縁膜２７としては、シリコン酸化膜（SiO_2膜）を用いることができる。この場合、第１の絶縁膜２７の厚さは、例えば、５ｎｍとすることができる

。

【００２８】

図２Ｂを参照するに、ゲート絶縁膜２８は、ピラー２６の第２の側面２６ｂ、第２の溝２５の下部２５Ａに配置されるゲート電極２９の側面２９ａ，２９ｂ、及びゲート電極２９の底面２９ｃを覆うように設けられている。ゲート絶縁膜２８のうち、ゲート電極２９の底面２９ｃを覆う部分は、第２の溝２５の底面２５ａに設けられており、第１の絶縁膜２７と接触している。

また、ゲート電極２９の側面２９ａ（第１の絶縁膜２７と対向するゲート電極２９の側面）に設けられたゲート絶縁膜２８は、ピラー２６の第１の側面２６ａに設けられた第１の絶縁膜２７から離間した位置に配置されている。

【００２９】

ゲート絶縁膜２８としては、例えば、単層のシリコン酸化膜（SiO_2膜）、シリコン酸化膜を窒化した膜（ＳｉＯＮ膜）、積層されたシリコン酸化膜（SiO_2膜）、シリコン酸化膜（SiO_2膜）上にシリコン窒化膜（ＳｉＮ膜）を積層させた積層膜等を用いることができる。

ゲート絶縁膜２８として単層のシリコン酸化膜（SiO_2膜）を用いた場合、ゲート絶縁膜２８の厚さは、例えば、５ｎｍとすることができる。

【００３０】

図２Ｂを参照するに、ゲート電極２９は、バリア膜として機能する第１の導電膜５４と、第１の導電膜５４より抵抗値の低い第２の導電膜５５と、が順次積層された構成とされている。

第１の導電膜５４としては、チタン（Ｔｉ）膜と、窒化チタン（ＴｉＮ）膜とが順次積層されたＴｉ／ＴｉＮ積層膜を用いることができる。また、第２の導電膜５５としては、タングステン（Ｗ）を用いることができる。

【００３１】

図１を参照するに、ゲート電極２９は、Ｘ方向に延在しており、１つの第２の溝２５に対して１つのみ設けられている。

図２Ｂを参照するに、ゲート電極２９は、ゲート絶縁膜２８を介して、第２の溝２５の下部２５Ａに配置されている。ゲート電極２９は、ゲート絶縁膜２８を介して、第１の絶縁膜２７と対向する側面２９ａと、ゲート絶縁膜２８を介して、ピラー２６の第２の側面２６ｂと接触する側面２９ｂと、ゲート絶縁膜２８を介して、第２の溝２５の底面２５ａと接触する底面２９ｃと、半導体基板１３の主面１３ａよりも下方に配置された平坦な上面２９ｄと、を有する。

【００３２】

ゲート電極２９の側面２９ａ，２９ｂ及び底面２９ｃは、ゲート絶縁膜２８により覆われている。ゲート電極２９の幅W_3は、ゲート電極２９の側面２９ａに設けられたゲート絶縁膜２８とピラー２６の第１の側面２６ａに設けられた第１の絶縁膜２７とが接触しない大きさとされている。

これにより、ゲート電極２９の側面２９ａに設けられたゲート絶縁膜２８と、ピラー２６の第１の側面２６ａに設けられた第１の絶縁膜２７との間に、空隙３１を形成することが可能となる。第２の溝２５の幅W_1が４５ｎｍ、ゲート絶縁膜２８の厚さが５ｎｍの場合、ゲート電極２９の幅W_3は、例えば、３０ｎｍとすることができる。

【００３３】

図１及び図２Ｂを参照するに、空隙３１は、ゲート電極２９の側面２９ａに設けられたゲート絶縁膜２８と、ピラー２６の第１の側面２６ａに設けられた第１の絶縁膜２７との間に形成されている。空隙３１は、真空（大気圧よりも圧力が低い状態）とされている。

第２の溝２５の幅W_1が４５ｎｍで、かつゲート電極２９の幅W_3が３０ｎｍの場合、Ｙ方向における空隙３１の幅W_2は、例えば、５ｎｍとすることができる。

【００３４】

このように、ゲート絶縁膜２８を介して、第２の溝２５の下部２５Ａに位置するピラー

２６の第２の側面２６ｂに設けられ、かつ１つの第２の溝２５に対して１つ配置されたゲート電極２９と、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８とピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に配置された空隙と、を設けることにより、１つの溝に電気的に絶縁された２つのゲート電極を配置する従来の構成と比較してゲート電極２９の幅W_3を十分に確保することが可能となるため、ゲート電極２９の抵抗値を小さくすることができる。

【００３５】

特に、ピラー２６の微細化がさらに進展した場合、ピラー２６のうち、上部不純物拡散領域３６と下部不純物拡散領域１９との間に位置する部分全体にチャネルを形成することが可能となるため、１つのピラーを両側から挟み込むように配置されたダブルゲート構造とされたゲート電極と同様な効果を得ることができる。

【００３６】

また、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８とピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に、真空とされた空隙３１を設けることにより、ゲート電極２９間にピラー２６が介在することになるため、ピラー２６によるシールド効果により、ゲート電極２９間の容量を小さくすることができる。

【００３７】

図２Ｂを参照するに、ゲート電極用埋め込み絶縁膜３５は、ゲート電極２９の上面２９ｄを覆うと共に、ゲート電極２９の上面２９ｄよりも上方に位置する第２の溝２５を埋め込むように設けられている。

ゲート電極用埋め込み絶縁膜３５の上面３５ａは、平坦な面とされており、上部不純物拡散領域３６の上面３６ａ（半導体基板１３の主面１３ａ）に対して略面一とされている。

ゲート電極用埋め込み絶縁膜３５としては、埋め込み特性のあまり良くない成膜方法を用いて形成された絶縁膜を用いるとよい。具体的には、ゲート電極用埋め込み絶縁膜３５としては、例えば、ＨＤＰ法により成膜されたシリコン酸化膜（SiO_2膜）を用いることができる。

【００３８】

このように、埋め込み特性の悪い成膜方法により成膜された絶縁膜をゲート電極用埋め込み絶縁膜３５として用いることで、ゲート電極用埋め込み絶縁膜３５となる絶縁膜により、空隙３１が埋め込まれてしまうことを防止できる。言い換えれば、埋め込み特性の悪い成膜方法により成膜された絶縁膜をゲート電極用埋め込み絶縁膜３５として用いることで、空隙を真空にすることが可能となる。

【００３９】

図２Ａ及び図２Ｂを参照するに、上部不純物拡散領域３６は、ピラー２６の上部（具体的には、ピラー２６の上端）に形成されている。上部不純物拡散領域３６の上面３６ａは、平坦な面とされており、ゲート電極２９の上面２９ｄよりも上方に配置されている。上部不純物拡散領域３６の上面３６ａは、半導体基板１３の主面１３ａに相当する面である。

上部不純物拡散領域３６は、ｎ型不純物（例えば、ヒ素（Ａｓ））を含んだソース／ドレイン領域である。図２Ａ及び図２Ｂに示すメモリセル１１の構造の場合、上部不純物拡散領域３６は、ソース領域として機能する。

【００４０】

図２Ａ及び図２Ｂを参照するに、第１のエッチングストッパ膜３８は、絶縁膜２３の上端、ビット線用埋め込み絶縁膜２４の上面２４ａ、第１の絶縁膜２７の上端、ゲート絶縁膜２８の上端、及びゲート電極用埋め込み絶縁膜３５の上面３５ａに設けられている。

第１のエッチングストッパ膜３８としては、シリコン窒化膜（ＳｉＮ膜）を用いる。この場合、第１のエッチングストッパ膜３８の厚さは、例えば、５０ｎｍとすることができる。

図２Ａ及び図２Ｂを参照するに、層間絶縁膜３９は、第１のエッチングストッパ膜３８

の上面に設けられている。層間絶縁膜３９としては、シリコン酸化膜（SiO_2膜）を用いる。この場合、層間絶縁膜３９の厚さは、例えば、４００ｎｍとすることができる。

【００４１】

図２Ａ及び図２Ｂを参照するに、第２のエッチングストッパ膜４１は、層間絶縁膜３９の上面に設けられている。第２のエッチングストッパ膜４１としては、シリコン窒化膜（ＳｉＮ膜）を用いる。この場合、第２のエッチングストッパ膜４１の厚さは、例えば、５０ｎｍとすることができる。

【００４２】

図２Ａ及び図２Ｂを参照するに、サポート膜４４は、第２のエッチングストッパ膜４１の上方で、かつ第２のエッチングストッパ膜４１から離間した位置に設けられている。サポート膜４４としては、シリコン窒化膜（ＳｉＮ膜）を用いる。サポート膜４４は、後述する複数の下部電極５７の上端側の外周側面５７ａと接触している。これにより、サポート膜４４は、複数の下部電極５７を連結している。

図２Ｂを参照するに、サポート膜４４には、貫通部６１が形成されている。貫通部６１は、ウエットエッチングにより、後述する図２１Ｂに示す層間絶縁膜４２を除去するためのエッチング液の導入口である。この層間絶縁膜４２は、図示していない周辺回路領域に形成されている。

【００４３】

サポート膜４４と第２のエッチングストッパ膜４１との間には、上記層間絶縁膜４２が除去されることにより形成される空間６２が設けられている。サポート膜４４と第２のエッチングストッパ膜４１との間隔は、図２１Ｂに示す層間絶縁膜４２の厚さと等しく、例えば、９００ｎｍとすることができる。

また、サポート膜４４の厚さは、例えば、１００μｍとすることができる。なお、図２Ｂでは、１つの貫通部６１のみ図示しているが、実際には、サポート膜４４には複数の貫通部６１が形成されている。

【００４４】

図２Ａ及び図２Ｂを参照するに、キャパシタ４５は、ＭＩＭキャパシタであり、上部不純物拡散領域３６の上面３６ａに設けられている。キャパシタ４５は、複数のピラー２６に対してそれぞれ１つ設けられている。つまり、メモリセルアレイ１１は、複数のキャパシタ４５を有する。

キャパシタ４５は、１つの下部電極５７と、複数の下部電極５７に亘るように形成された容量絶縁膜５８（言い換えれば、複数の下部電極５７に対して共通の容量絶縁膜）と、容量絶縁膜５８の表面を覆う上部電極５９（言い換えれば、複数の下部電極５７に対して共通の上部電極）と、を有する。

【００４５】

下部電極５７は、王冠形状とされている。下部電極５７は、サポート膜４４により他の下部電極５７と連結されている。下部電極５７を構成する膜としては、例えば、チタン（Ｔｉ）膜と、窒化チタン（ＴｉＮ）膜とが順次積層されたＴｉ／ＴｉＮ積層膜を用いることができる。

【００４６】

容量絶縁膜５８は、複数の下部電極５７の内面、第２のエッチングストッパ膜４１とサポート膜４４との間に位置する複数の下部電極５７の外周側面５７ａ、第２のエッチングストッパ膜４１の上面４１ａ、サポート膜４４の上面４４ａ及び下面４４ｂ、及び貫通部６１を構成するサポート膜４４の側面を覆うように設けられている。

容量絶縁膜５８としては、例えば、酸化アルミニウム膜（Al_2O_3膜）と酸化ジルコニウム膜（ZrO_2膜）とを順次積層した積層膜を用いることができる。

【００４７】

上部電極５９は、容量絶縁膜５８を介して、複数の下部電極５７、貫通部６１、及び空間６２を充填すると共に、サポート膜４４の上面４４ａに位置する容量絶縁膜５８上に形成されている。

上部電極５９の上面５９ａは、平坦な面とされている。上部電極５９構成する膜としては、ルテニウム（Ｒｕ）膜、タングステン（Ｗ）膜、窒化チタン（ＴｉＮ）膜等の金属膜、或いは多結晶シリコン膜等を用いることができる。

【００４８】

図２Ａ及び図２Ｂを参照するに、層間絶縁膜４６は、上部電極５９の上面５９ａに設けられている。層間絶縁膜４６としては、例えば、シリコン酸化膜（SiO_2膜）を用いることができる。

配線４７は、層間絶縁膜４６の上面に設けられている。配線４７は、下層に配置された上部電極５９と電気的に接続されている。

層間絶縁膜４８は、配線４７を覆うように、層間絶縁膜４６上に設けられている。層間絶縁膜４８としては、例えば、シリコン酸化膜（SiO_2膜）を用いることができる。

【００４９】

第１の実施の形態の半導体装置によれば、ゲート絶縁膜２８を介して、第２の溝２５の下部２５Ａに位置するピラー２６の第２の側面２６ｂに設けられ、かつ１つの第２の溝２５に対して１つ配置されたゲート電極２９と、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８とピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に配置された空隙３１と、を設けることにより、１つの溝に電気的に絶縁された２つのゲート電極を配置する従来の構成と比較してゲート電極２９の幅W_3を十分に確保することが可能となるため、ゲート電極２９の抵抗値を小さくすることができる。

【００５０】

また、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８とピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に、真空とされた空隙３１を設けることにより、第１の方向において隣り合うゲート電極２９間にピラー２６が介在することになるため、ピラー２６によるシールド効果により、ゲート電極２９間の容量を小さくすることができる。

【００５１】

図３Ａ、図３Ｂ、図４Ａ、図４Ｂ、図５Ａ、図５Ｂ、図６Ａ、図６Ｂ、図７Ａ、図７Ｂ、図８Ａ、図８Ｂ、図９Ａ、図９Ｂ、図１０Ａ、図１０Ｂ、図１１Ａ、図１１Ｂ、図１２Ａ、図１２Ｂ、図１３Ａ、図１３Ｂ、図１４Ａ、図１４Ｂ、図１５Ａ、図１５Ｂ、図１６Ａ、図１６Ｂ、図１７Ａ、図１７Ｂ、図１８Ａ、図１８Ｂ、図１９Ａ、図１９Ｂ、図２０Ａ、図２０Ｂ、図２１Ａ、図２１Ｂ、図２２Ａ、図２２Ｂ、図２３Ａ、図２３Ｂ、図２４Ａ、図２４Ｂ、図２５Ａ、及び図２５Ｂは、本発明の第１の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図である。

図３Ａ、図４Ａ、図５Ａ、図６Ａ、図７Ａ、図８Ａ、図９Ａ、図１０Ａ、図１１Ａ、図１２Ａ、図１３Ａ、図１４Ａ、図１５Ａ、図１６Ａ、図１７Ａ、図１８Ａ、図１９Ａ、図２０Ａ、図２１Ａ、図２２Ａ、図２３Ａ、図２４Ａ、及び図２５Ａは、図２Ａに示すメモリセルアレイ１１の切断面に対応する断面図である。

【００５２】

また、図３Ｂ、図４Ｂ、図５Ｂ、図６Ｂ、図７Ｂ、図８Ｂ、図９Ｂ、図１０Ｂ、図１１Ｂ、図１２Ｂ、図１３Ｂ、図１４Ｂ、図１５Ｂ、図１６Ｂ、図１７Ｂ、図１８Ｂ、図１９Ｂ、図２０Ｂ、図２１Ｂ、図２２Ｂ、図２３Ｂ、図２４Ｂ、及び図２５Ｂは、図２Ｂに示すメモリセルアレイ１１の切断面に対応する断面図である。

図３Ａ、図３Ｂ、図４Ａ、図４Ｂ、図５Ａ、図５Ｂ、図６Ａ、図６Ｂ、図７Ａ、図７Ｂ、図８Ａ、図８Ｂ、図９Ａ、図９Ｂ、図１０Ａ、図１０Ｂ、図１１Ａ、図１１Ｂ、図１２Ａ、図１２Ｂ、図１３Ａ、図１３Ｂ、図１４Ａ、図１４Ｂ、図１５Ａ、図１５Ｂ、図１６Ａ、図１６Ｂ、図１７Ａ、図１７Ｂ、図１８Ａ、図１８Ｂ、図１９Ａ、図１９Ｂ、図２０Ａ、図２０Ｂ、図２１Ａ、図２１Ｂ、図２２Ａ、図２２Ｂ、図２３Ａ、図２３Ｂ、図２４Ａ、図２４Ｂ、図２５Ａ、及び図２５Ｂにおいて、図２Ａ及び図２Ｂに示すメモリセルアレイ１１と同一構成部分には同一符号を付す。

【００５３】

次に、図３Ａ、図３Ｂ、図４Ａ、図４Ｂ、図５Ａ、図５Ｂ、図６Ａ、図６Ｂ、図７Ａ、図７Ｂ、図８Ａ、図８Ｂ、図９Ａ、図９Ｂ、図１０Ａ、図１０Ｂ、図１１Ａ、図１１Ｂ、図１２Ａ、図１２Ｂ、図１３Ａ、図１３Ｂ、図１４Ａ、図１４Ｂ、図１５Ａ、図１５Ｂ、図１６Ａ、図１６Ｂ、図１７Ａ、図１７Ｂ、図１８Ａ、図１８Ｂ、図１９Ａ、図１９Ｂ、図２０Ａ、図２０Ｂ、図２１Ａ、図２１Ｂ、図２２Ａ、図２２Ｂ、図２３Ａ、図２３Ｂ、図２４Ａ、図２４Ｂ、図２５Ａ、及び図２５Ｂを参照して、本発明の第１の実施の形態に係る半導体装置１０に設けられたメモリセルアレイ１１の製造方法について説明する。

【００５４】

始めに、図３Ａ及び図３Ｂに示す工程では、半導体基板１３に、図示していない素子分離用溝を形成し、次いで、該素子分離用溝を埋め込む素子分離用絶縁膜（シリコン酸化膜（SiO_2膜））を形成することで、素子分離領域（図示せず）を形成する。これにより、該素子分離領域の内側に配置された素子形成領域（活性領域）を形成する。

半導体基板１３としては、例えば、ｐ型のシリコン基板を用いることができる。以下、半導体基板１３としてｐ型のシリコン基板を用いた場合を例に挙げて説明する。

【００５５】

次いで、ホトリソグラフィ技術及びドライエッチング法により、半導体基板１３の主面１３ａに、溝状の開口部７１ａを有したシリコン窒化膜よりなる第１のハードマスク７１を形成する。開口部７１ａは、図２Ａに示す第１の溝１５の形成領域に対応する半導体基板１３の主面１３ａを露出するように形成する。

【００５６】

次いで、第１のハードマスク７１をマスクとする異方性エッチング（具体的には、ドライエッチング）により、開口部７１ａの下方に位置する半導体基板１３をエッチングすることで、Ｙ方向に延在する第１の溝１５を複数形成する（図１参照）。

次いで、第１の溝１５の下部１５Ａの内面（具体的には、下部１５Ａを構成する側面１５ａ，１５ｂ及び底面１５ｃ）を覆うように第２の絶縁膜１６を形成する。具体的には、第２の絶縁膜１６としてシリコン酸化膜（SiO_2膜）を形成する。

なお、この段階では、第２の絶縁膜１６には、先に説明した図２Ａに示す開口部１６Ａは形成されていない。

【００５７】

次いで、第２の絶縁膜１６を介して、開口部１６Ａの形成領域よりも低い位置にある第１の溝１５を埋め込むように、ヒ素（Ａｓ）を含有した多結晶シリコン膜（図示せず）を形成する。次いで、第２の絶縁膜１６のうち、ビットコンタクト１８の形成領域に対応する部分を選択的にエッチングすることで、第１の溝１５の下部の側面１５ａ（言い換えれば、ピラー２６の形成領域に対応する半導体基板１３）を露出する開口部１６Ａを形成する。

【００５８】

次いで、ヒ素（Ａｓ）を含有した多結晶シリコン膜（図示せず）上に、ヒ素（Ａｓ）を含有した多結晶シリコン膜（図示せず）を成長させることで、多結晶シリコン膜（図示せず）により第１の溝１５内を埋め込む。

次いで、エッチバックにより、第１の溝１５に形成されたヒ素（Ａｓ）を含有した多結晶シリコン膜（図示せず）を選択的に除去することで、開口部１６Ａのみにヒ素（Ａｓ）を含有した多結晶シリコン膜（図示せず）を残存させる。

これにより、開口部１６Ａに、ヒ素（Ａｓ）を含有した多結晶シリコン膜（図示せず）よりなり、かつ第１の溝１５の下部１５Ａの側面１５ａと接触するビットコンタクト１８を形成する。

【００５９】

次いで、ＣＶＤ法により、所定の温度（例えば、６５０℃）に加熱された雰囲気内で、ビット線２１の母材となる第１及び第２の導電膜５１，５２を成膜する。

具体的には、第１の導電膜５１として、チタン（Ｔｉ）膜と、窒化チタン（ＴｉＮ）膜とが順次積層されたＴｉ／ＴｉＮ積層膜を成膜し、次いで、第２の導電膜５２としてタン

グステン（Ｗ）膜を成膜する。

【００６０】

このとき、上記第１及び第２の導電膜５１，５２の成膜時の熱により、ビットコンタクト１８に含まれるヒ素（Ａｓ）が第１の溝１５の下部に対応する半導体基板１３に熱拡散する。これにより、第１の溝１５の下部１５Ａ（言い換えれば、ピラー２６の下部となる半導体基板１３）に、下部不純物拡散領域１９が形成される。

次いで、上記第１及び第２の導電膜５１，５２をエッチバックして、第１の溝１５の下部１５Ａに第１及び第２の導電膜５１，５２を残存させることで、Ｙ方向に延在するビット線２１（図１参照）を形成する。

【００６１】

次いで、ビット線２１の上面２１ａ、ビット線２１よりも上方に位置する第１の溝１５の側面１５ａ，１５ｂ、及び開口部７１ａの側面を構成する第１のハードマスク７１の面を覆う絶縁膜２３を形成する。絶縁膜２３としては、例えば、ＳｉＯＮ膜を用いることができる。

【００６２】

次いで、絶縁膜２３が形成された第１の溝１５、及び絶縁膜２３が形成された開口部７１ａを埋め込むと共に、第１のハードマスク７１の上面７１ｂに対して略面一とされた上面２４ｂを有したビット線用埋め込み絶縁膜２４を形成する。

具体的には、ＨＤＰ（Ｈｉｇｈ　Ｄｅｎｓｉｔｙ　Ｐｌａｓｍａ）法により、絶縁膜２３が形成された第１の溝１５及び開口部７１ａをシリコン酸化膜（SiO_2膜）で埋め込み、その後、ＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法により、第１のハードマスク７１の上面７１ｂが露出するまでシリコン酸化膜（SiO_2膜）を研磨することで、平坦な上面２４ｂを有したビット線用埋め込み絶縁膜２４を形成する。

【００６３】

次いで、ビット線用埋め込み絶縁膜２４の上面２４ｂ、及び第１のハードマスク７１の上面７１ｂを覆うように、シリコン窒化膜よりなる第２のハードマスク７２を形成する。第２のハードマスク７２の厚さは、例えば、１５ｎｍとすることができる。

なお、以下の説明では、第１及び第２のハードマスク７１，７２により構成され、シリコン窒化膜よりなるハードマスクをハードマスク７３という。

【００６４】

次いで、図４Ａ及び図４Ｂに示す工程では、図４Ｂに示すように、ホトリソグラフィ技術及びドライエッチング法により、ハードマスク７３に、溝状の開口部７３ａ（開口部７１ａと交差する開口部）を形成する。

このとき、開口部７３ａは、第２の溝２５（図２Ｂ参照）の形成領域に対応する半導体基板１３の主面１３ａを露出するように形成する。

【００６５】

次いで、図５Ａ及び図５Ｂに示す工程では、ハードマスク７３をマスクとする異方性エッチング（具体的には、ドライエッチング）により、開口部７３ａの下方に位置する半導体基板１３をエッチングすることで、Ｘ方向に延在し、かつ第１の溝１５と交差する第２の溝２５を複数形成する（図１参照）。

これにより、第１及び第２の溝１５，２５に囲まれ、第２の溝２５に露出された対向する第１及び第２の側面２６ａ，２６ｂを有し、かつ下部に下部不純物拡散領域１９が形成されたピラー２６が複数形成される。複数のピラー２６は、第２の溝２５を介して、対向するように形成される。また、第２の溝２５の幅W_1は、例えば、４５ｎｍとすることができる。

【００６６】

次いで、ハードマスク７３の上面７３ｂ及び側面７３ｃ，７３ｄ、及び第２の溝２５の内面（具体的には、第２の溝２５の底面２５ａ、及びピラー２６の側面２６ａ，２６ｂ）を覆う第１の絶縁膜２７を形成する。

具体的には、熱酸化法により、第１の絶縁膜２７としてシリコン酸化膜（ＳｉＯ$_2$膜）を形成する。この場合、第１の絶縁膜２７の厚さは、例えば、５ｎｍとすることができる。

【００６７】

次いで、図６Ａ及び図６Ｂに示す工程では、第１の絶縁膜２７を介して、ピラー２６の第１の側面２６ａ及びハードマスク７３の側面７３ｃを覆う第１のサイドウォール膜７５－１と、第１の絶縁膜２７を介して、ピラー２６の第２の側面２６ｂ及びハードマスク７３の側面７３ｄを覆う第２のサイドウォール膜７５－２と、を同時に形成する。これにより、第２のサイドウォール膜７５－２は、第１のサイドウォール膜７５－１と対向配置される。

具体的には、図５Ａ及び図５Ｂに示す構造体の上面（第２の溝２５の内面も含む）を覆うシリコン窒化膜（ＳｉＮ膜）を成膜し、次いで、該シリコン窒化膜（ＳｉＮ膜）を全面エッチバックすることで、シリコン窒化膜（ＳｉＮ膜）よりなる第１及び第２のサイドウォール膜７５－１，７５－２を同時に形成する。

【００６８】

次いで、図７Ａ及び図７Ｂに示す工程では、第１及び第２のサイドウォール膜７５－１，７５－２、及び第１の絶縁膜２７が形成された第２の溝２５を埋め込み絶縁膜７７で埋め込む。

具体的には、ＨＤＰ法により、第１及び第２のサイドウォール膜７５－１，７５－２、及び第１の絶縁膜２７が形成された第２の溝２５を埋め込むように、シリコン酸化膜（ＳｉＯ$_2$膜）を成膜することで、シリコン酸化膜（ＳｉＯ$_2$膜）よりなる埋め込み絶縁膜７７を形成する。

このとき、第１の絶縁膜２７の上面２７ａにもシリコン酸化膜（ＳｉＯ$_2$膜）よりなる絶縁膜７６が成膜される。

【００６９】

次いで、図８Ａ及び図８Ｂに示す工程では、シリコン酸化膜が選択的にエッチングされる条件を用いたエッチバックにより、ハードマスク７３の上面７３ｂに成膜された第１の絶縁膜２７及び埋め込み絶縁膜７７（共に、シリコン酸化膜（ＳｉＯ$_2$膜））を除去すると共に、開口部７３ａの上端に形成された埋め込み絶縁膜７７の一部を除去することで凹部７９を形成する。

このとき、エッチバック後の埋め込み絶縁膜７７の上面７７ａが、ハードマスク７３の上面７３ｂから半導体基板１３の主面１３ａとの間に配置されるように、上記エッチバックを行なう。第１及び第２のサイドウォール膜７５－１，７５－２の上端面を基準としたときの凹部７９の深さＤ$_1$は、例えば、３０ｎｍとすることができる。

【００７０】

次いで、図９Ａ及び図９Ｂに示す工程では、第１の絶縁膜２７の上端面、ハードマスク７３の上面７３ｂ、埋め込み絶縁膜７７の上面７７ａから突出した第１及び第２のサイドウォール膜７５－１，７５－２、及び凹部７９の内面を覆うアモルファスシリコン膜８２を形成する。

【００７１】

具体的には、ＬＰ－ＣＶＤ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により、アモルファスシリコン膜８２を形成する。

このとき、アモルファスシリコン膜８２の厚さは、凹部７９が完全に埋め込まれないような厚さに設定する。凹部７９の深さＤ$_1$が３０ｎｍの場合、アモルファスシリコン膜８２の厚さは、例えば、１０ｎｍとすることができる。

【００７２】

次いで、第１のサイドウォール膜７５－１と対向する第２のサイドウォール膜７５－２の側面に形成されたアモルファスシリコン膜８２にイオンが注入さない方向から斜めイオン注入を行なうことで、アモルファスシリコン膜８２にイオンを注入する。

これにより、イオンが注入されたアモルファスシリコン膜８２のエッチング速度を、イ

オンが注入されていないアモルファスシリコン膜８２のエッチング速度よりも遅くすることができる。
イオン種としては、例えば、ＢＦ２を用いることができ、この場合、斜めイオン注入する際のエネルギーは、例えば、５ＫｅＶとすることができる。また、この場合の注入角度αは、１５～３０ｄｅｇの範囲内で適宜選択することができる。
【００７３】
次いで、図１０Ａ及び図１０Ｂに示す工程では、図１０Ｂに示すように、ウエットエッチングにより、アモルファスシリコン膜８２のうち、イオンが注入されていない部分（エッチング速度の速い部分）を選択的に除去することで、アモルファスシリコン膜８２から第２のサイドウォール膜７５－２の側面７５－２ａを露出させる。
アモルファスシリコン膜８２を選択的に除去する際に使用するエッチング液としては、例えば、アンモニア水を用いることができる。
【００７４】
なお、第１のサイドウォール膜７５－１を覆うアモルファスシリコン膜８２は、先に説明した図９Ａ及び図９Ｂに示す工程において、イオン注入されているため、イオン注入されていないアモルファスシリコン膜８２と比較してエッチング速度が遅い。このため、上記ウエットエッチング後において、第１のサイドウォール膜７５－１は、アモルファスシリコン膜８２に覆われた状態で残存する。
また、図１０Ａ及び図１０Ｂに示すアモルファスシリコン膜８２は、後述する図１１Ａ及び図１１Ｂに示す工程において、エッチングマスクとして機能する。
【００７５】
次いで、図１１Ａ及び図１１Ｂに示す工程では、図１０Ａ及び図１０Ｂに示すアモルファスシリコン膜８２をエッチングマスクとするウエットエッチングにより、第２のサイドウォール膜７５－２を選択的に除去する。
具体的には、図１０Ａ及び図１０Ｂに示すアモルファスシリコン膜８２をエッチングマスクとして、熱燐酸により、シリコン窒化膜（ＳｉＮ膜）よりなる第２のサイドウォール膜７５－２を除去する。このとき、シリコン窒化膜（ＳｉＮ膜）よりなる第１のサイドウォール膜７５－１は、アモルファスシリコン膜８２に覆われているため、第２のサイドウォール膜７５－２のみが選択的にエッチングされる。
【００７６】
次いで、図１２Ａ及び図１２Ｂに示す工程では、ドライエッチングにより、イオン注入されたアモルファスシリコン膜８２を選択的に除去する。
【００７７】
次いで、図１３Ａ及び図１３Ｂに示す工程では、シリコン酸化膜（SiO_2膜）を選択的にエッチングするエッチング液を用いたウエットエッチングにより、シリコン酸化膜（SiO_2膜）よりなる図１２Ｂに示す埋め込み絶縁膜７７を除去する。
このとき、図１３Ａに示す絶縁膜２３の上端面、及びビット線用埋め込み絶縁膜２４の上面２４ｂは、シリコン窒化膜（ＳｉＮ膜）よりなる第２のハードマスク膜７２で覆われている。
【００７８】
そのため、埋め込み絶縁膜７７を除去するウエットエッチングにより、シリコン酸化膜（SiO_2膜）よりなる絶縁膜２３及びビット線用埋め込み絶縁膜２４がエッチングされることはない。
また、上記ウエットエッチングにより、第１のサイドウォール膜７５－１に覆われていない第１の絶縁膜２７（シリコン酸化膜（SiO_2膜））は、埋め込み絶縁膜７７と共に除去される。
これにより、第２の溝２５の底面２５ａの一部、ピラー２６の側面２６ｂ、及びハードマスク７３の側面７３ｄが露出される。
【００７９】
次いで、図１４Ａ及び図１４Ｂに示す工程では、第２の溝２５の底面２５ａ、ハードマ

スク７３の上面７３ｂ及び側面７３ｄ、及び第１のサイドウォール膜７５－１を覆うゲート絶縁膜２８を形成する。

ゲート絶縁膜２８としては、例えば、単層のシリコン酸化膜（SiO_2膜）、シリコン酸化膜を窒化した膜（ＳｉＯＮ膜）、積層されたシリコン酸化膜（SiO_2膜）、シリコン酸化膜（SiO_2膜）上にシリコン窒化膜（ＳｉＮ膜）を積層させた積層膜等を用いることができる。

【００８０】

ゲート絶縁膜２８として単層のシリコン酸化膜（SiO_2膜）を用いた場合、ゲート絶縁膜２８の厚さは、例えば、５ｎｍとすることができる。

なお、この段階でのゲート絶縁膜２８は、先に説明した図２Ｂに示すゲート絶縁膜２８よりも広い領域に形成されている。図１４Ｂに示すゲート絶縁膜２８は、後述する図１６Ａ及び図１６Ｂに示す工程において、パターニングされることで、図２Ｂに示すゲート絶縁膜２８となる。

【００８１】

次いで、図１５Ａ及び図１５Ｂに示す工程では、ＣＶＤ法により、ゲート絶縁膜２８が形成された第２の溝２５内に、バリア膜として機能する第１の導電膜５４と、第１の導電膜５４より抵抗値の低い第２の導電膜５５とを順次成膜することで、第２の溝２５を埋め込む。第１及び第２の導電膜５４，５５は、ゲート電極２９の母材となる導電膜である。

具体的には、第１の導電膜５４としてチタン（Ｔｉ）膜と、窒化チタン（ＴｉＮ）膜とが順次積層されたＴｉ／ＴｉＮ積層膜を成膜した後、第２の導電膜５５としてタングステン（Ｗ）膜を成膜する。

【００８２】

次いで、第１及び第２の導電膜５４，５５を全面エッチバックして、第２の溝２５の下部２５Ａに、第１及び第２の導電膜５４，５５を残存させる。これにより、ゲート絶縁膜２８を介して、第２の溝２５の下部２５Ａに、第１及び第２の導電膜５４，５５よりなる１つのゲート電極２９が形成される。

このとき、ゲート電極２９の上面２９ｄが、半導体基板１３の主面１３ａよりも下方に位置するように、上記エッチバックを行なう。

第２の溝２５の幅W_1が４５ｎｍの場合、ゲート電極２９の幅W_3は、例えば、３０ｎｍとすることができる。

【００８３】

このように、第２の溝２５を埋め込む第１及び第２の導電膜５４，５５を成膜した後、第１及び第２の導電膜を全面エッチバックして、第２の溝２５の下部２５Ａに第１及び第２の導電膜５４，５５よりなる１つのゲート電極２９を形成することにより、１つの溝を埋め込む導電膜を２つに分断するためのドライエッチングを行なう従来のダブルゲート構造（１つの溝に２つのゲート電極を配置した構造）と比較してゲート電極２９の幅W_3を十分に確保することが可能となるため、ゲート電極２９の抵抗値を小さくすることができる。

【００８４】

特に、ピラー２６の微細化がさらに進展した場合、ピラー２６のうち、上部不純物拡散領域３６と下部不純物拡散領域１９との間に位置する部分全体にチャネルを形成することが可能となるため、１つのピラーを両側から挟み込むように配置されたダブルゲート構造とされたゲート電極と同様な効果を得ることができる。

【００８５】

次いで、図１６Ａ及び図１６Ｂに示す工程では、シリコン酸化膜（SiO_2膜）を選択的にエッチング可能な異方性エッチング（具体的には、ドライエッチング）により、半導体基板１３の主面１３ａよりも上方に形成されたゲート絶縁膜２８及び第１の絶縁膜２７を除去する。

次いで、熱燐酸を用いたウエットエッチングにより、ゲート絶縁膜２８及び第１の絶縁膜２７から露出され、シリコン窒化膜（ＳｉＮ膜）よりなるハードマスク７３及び第１の

サイドウォール膜７５－１を選択的に除去する。

【００８６】

これにより、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８と、ピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に、空隙３１が形成される。

第２の溝２５の幅W_1が４５ｎｍで、かつゲート電極２９の幅W_3が３０ｎｍの場合、空隙３１の幅W_2は、例えば、５ｎｍとすることができる。

【００８７】

次いで、図１７Ａ及び図１７Ｂに示す工程では、真空雰囲気下において、埋め込み特性の悪い成膜装置（図示せず）を用いて、第１の絶縁膜２７、ゲート絶縁膜２８、及びゲート電極２９が形成された第２の溝２５の上部２５Ｂを埋め込むと共に、第２の溝２５の下部２５Ａに形成された空隙３１を埋め込まない、ゲート電極用埋め込み絶縁膜３５を形成する。

この段階では、半導体基板１３の主面１３ａよりも上方の位置にもゲート電極用埋め込み絶縁膜３５が成膜される。

【００８８】

具体的には、上記埋め込み特性の悪い成膜装置としてＨＤＰ－ＣＶＤ装置を用いて、シリコン酸化膜（SiO_2膜）を成膜することでゲート電極用埋め込み絶縁膜３５を形成する。

このように、真空雰囲気下において、埋め込み特性の悪い成膜装置（図示せず）を用いて成膜されるゲート電極用埋め込み絶縁膜３５により、空隙３１の上方に位置する第２の溝２５の上部２５Ｂを埋め込むことで、幅W_2の狭い空隙３１がゲート電極用埋め込み絶縁膜３５で埋め込まれることがなくなるため、空隙３１を真空にすることができる。

【００８９】

このように、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８とピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に、真空とされた空隙３１を形成することにより、第１の方向において隣り合うゲート電極２９間にピラー２６が介在することになるため、ピラー２６によるシールド効果により、ゲート電極２９間の容量を小さくすることができる。

【００９０】

次いで、図１８Ａ及び図１８Ｂに示す工程では、シリコン酸化膜（SiO_2膜）を選択的にエッチング可能な条件を用いたエッチバックにより、図１７Ａ及び図１７Ｂに示す半導体基板１３の主面１３ａであるピラー２６の上面よりも上方に形成された絶縁膜２３、ビット線用埋め込み絶縁膜２４、及びゲート電極用埋め込み絶縁膜３５（言い換えれば、これら不要な絶縁膜）を除去することで、半導体基板１３の主面１３ａを露出させる。

これにより、絶縁膜２３の上端面、ビット線用埋め込み絶縁膜２４の上面２４ａ、及びゲート電極用埋め込み絶縁膜３５の上面３５ａは、半導体基板１３の主面１３ａに対して略面一となる。

【００９１】

次いで、ピラー２６の上面である半導体基板１３の主面１３ａに、ｎ型不純物としてヒ素（Ａｓ）をドーピングし、その後、ヒ素（Ａｓ）を熱拡散させることで、ピラー２６の上部（具体的には、上端）に上部不純物拡散領域３６を形成する。これにより、複数のピラー２６に縦型ＭＯＳトランジスタ５０が形成される。

上部不純物拡散領域３６の。上面３６ａは、ピラー２６の上面（半導体基板１３の主面１３ａ）に対して略面一となる

【００９２】

次いで、図１９Ａ及び図１９Ｂに示す工程では、図示していない周辺回路領域に、周知の手法により周辺回路用トランジスタとしてプレーナー型トランジスタ（図示せず）を形成する。

次いで、周辺回路用トランジスタが形成された図１８Ａ及び図１８Ｂに示す構造体上に、第１のエッチングストッパ膜３８と、層間絶縁膜３９と、第２のエッチングストッパ膜

４１と、層間絶縁膜４２と、サポート膜４４と、を順次成膜する。

【００９３】

具体的には、例えば、第１のエッチングストッパ膜３８として厚さ５０ｎｍのシリコン窒化膜（ＳｉＮ膜）と、層間絶縁膜３９として厚さ４００ｎｍのシリコン酸化膜（SiO_2膜）と、第２のエッチングストッパ膜４１として厚さ５０ｎｍのシリコン窒化膜（ＳｉＮ膜）と、層間絶縁膜４２として厚さ９００ｎｍのシリコン酸化膜（SiO_2膜）と、サポート膜４４として厚さ１００ｎｍのシリコン窒化膜（ＳｉＮ膜）と、を順次成膜する。

【００９４】

第１のエッチングストッパ膜３８は、異方性エッチング（具体的には、ドライエッチング）により、第２のエッチングストッパ膜４１、層間絶縁膜である第１及び層間絶縁膜３９，４２、及びサポート膜４４を貫通するシリンダ孔８５（図２０Ａ及び図２０Ｂ参照）を形成する際のエッチングストッパ膜として機能する。

【００９５】

また、第２のエッチングストッパ膜４１は、後述する図２２Ａ及び図２２Ｂに示す工程において、ウエットエッチングにより、メモリセル領域に形成された層間絶縁膜４２を除去する際、第２のエッチングストッパ膜４１よりも下層に配置された構成がエッチングされることを防ぐ機能を有する。つまり、第２のエッチングストッパ膜４１は、ウエットエッチング時のストッパ膜として機能する。

【００９６】

また、第２のエッチングストッパ膜４１は、複数の下部電極５７の下部を連結することで、後述する図２２Ａ及び図２２Ｂに示す工程において、メモリセル領域に形成された層間絶縁膜４２を除去した際、複数の下部電極５７を連結する機能を有する。

また、この段階でのサポート膜４４には、先に説明した図２Ｂに示す貫通部６１はまだ形成されていない。つまり、図１９Ａ及び図１９Ｂに示すサポート膜４４は、パターニングされていないシリコン窒化膜（ＳｉＮ膜）である。

【００９７】

次いで、図２０Ａ及び図２０Ｂに示す工程では、異方性エッチング（具体的には、ドライエッチング）により、サポート膜４４、層間絶縁膜４２、第２のエッチングストッパ膜４１、層間絶縁膜３９、及び第１のエッチングストッパ膜３８をエッチングすることで、上部不純物拡散領域３６の上面３６ａを露出するシリンダ孔８５を形成する。

【００９８】

具体的には、図１９Ａ及び図１９Ｂに示すサポート膜４４の上面４４ａに、ホトリソグラフィ技術により、シリンダ孔８５の形成領域に対応するサポート膜４４の上面４４ａを露出する開口部（図示せず）を有したホトレジスト（図示せず）を形成する。

次いで、第１のステップとして、サポート膜４４及びシリコン窒化膜（ＳｉＮ膜）よりなる第２のエッチングストッパ膜４１と、シリコン酸化膜（SiO_2膜）よりなる層間絶縁膜３９，４２とが同じようにエッチングされる条件を用いて、層間絶縁膜３９，４２、サポート膜４４、及び第２のエッチングストッパ膜４１をドライエッチングすることで、サポート膜４４、層間絶縁膜３９、及び第２のエッチングストッパ膜４１を貫通し、かつ底面が第２のエッチングストッパ膜４１と第１のエッチングストッパ膜３８との間に位置する第１の孔（図示せず）を形成する。第１の孔は、シリンダ孔８５の一部となる孔である。

【００９９】

次いで、第２のステップとして、シリコン酸化膜（SiO_2膜）よりなる層間絶縁膜３９を選択的にエッチング可能な条件（言い換えれば、シリコン窒化膜（ＳｉＮ膜）に対して選択比がある条件）を用いて、第１のエッチングストッパ膜３８の上面が露出するまで層間絶縁膜３９をドライエッチングする。

これにより、第１の孔（図示せず）の形成領域、及び該第１の孔の下方に形成され、第１の孔よりも深さの深い第２の孔（図示せず）を形成する。

【０１００】

次いで、第３のステップとして、シリコン窒化膜（ＳｉＮ膜）よりなる第１のエッチングストッパ膜３８を選択的にエッチングする条件を用いて、上部不純物拡散領域３６の上面３６ａが露出するまで第１のエッチングストッパ膜３８をドライエッチングする。

これにより、第２の孔（図示せず）の形成領域、及び該第２の孔の下方に形成され、第２の孔よりも深さの深いシリンダ孔８５が形成される。

シリンダ孔８５は、下部電極５７が形成される孔であり、上部不純物拡散領域３６の上面３６ａを露出するように形成する。その後、ホトレジスト（図示せず）を除去する。

【０１０１】

第１のエッチングストッパ膜３８の厚さが５０ｎｍ、層間絶縁膜３９の厚さが４００ｎｍ、第２のエッチングストッパ膜４１の厚さが５０ｎｍ、層間絶縁膜４２の厚さが９００ｎｍ、サポート膜４４の厚さが１００ｎｍの場合、シリンダ孔８５の直径Ｒは、例えば、６０ｎｍとすることができる。この場合、シリンダ孔８５の深さ$Ｄ_{2}$は、１５００ｎｍとすることができる。

なお、上記シリンダ孔８５を形成する際に、メモリセル領域を囲むリング形状とされたガード壁用溝（図示せず）を形成する。ガード壁用溝は、少なくともサポート膜４４、層間絶縁膜４２、及び第２のエッチングストッパ膜４１を貫通するように形成する。

【０１０２】

次いで、図２１Ａ及び図２１Ｂに示す工程では、ＣＶＤ法により、シリンダ孔８５の内面（シリンダ孔８５の底面を構成する上部不純物拡散領域３６の上面３６ａを含む）を覆う下部電極５７を形成する。

具体的には、シリンダ孔８５の内面を覆うようにチタン膜（例えば、厚さ１０ｎｍ）を成膜し、次いで、チタン膜の表面に窒化チタン膜（例えば、厚さ２０ｎｍ）を成膜することで、Ｔｉ／ＴｉＮ積層膜を形成する。次いで、エッチングにより、Ｔｉ／ＴｉＮ積層膜をパターニングすることで、各シリンダ孔８５にＴｉ／ＴｉＮ積層膜よりなる下部電極５７を形成する。

【０１０３】

なお、図２１Ａ及び図２１Ｂに示す工程では、ガード壁用溝（図示せず）の内面にもチタン膜及び窒化チタン膜を成膜し、ガード壁用溝（図示せず）の内面にチタン膜及び窒化チタン膜を残存させる。ガード壁用溝（図示せず）に形成されたチタン膜及び窒化チタン膜は、ガード壁（図示せず）として機能する。

該ガード壁は、後述する図２２Ａ及び図２２Ｂに示す工程において、エッチング液により、メモリセル領域に形成された層間絶縁膜４２を除去する際、周辺回路領域に形成された層間絶縁膜４２にエッチング液が到達することを防止する機能を有する。

【０１０４】

次いで、サポート膜４４に、サポート膜４４の下層に形成された層間絶縁膜４２の上面４２ａを露出する貫通部６１を形成することで、複数の下部電極５７の上端の外周面５７ａと接触し、複数の下部電極５７を連結するサポート膜４４を形成する。

具体的には、貫通部６１は、以下の方法により形成する。始めに、図２０Ａ及び図２０Ｂに示すサポート膜４４の上面４４ａに、ホトリソグラフィ技術により、貫通部６１の形成領域に対応するサポート膜４４の上面４４ａを露出する開口部（図示せず）を有したホトレジスト（図示せず）を形成する。

【０１０５】

次いで、該ホトレジストをマスクとする異方性エッチング（具体的には、ドライエッチング）により、層間絶縁膜４２の上面が露出するまでサポート膜４４をエッチングすることで貫通部６１を形成する。その後、ホトレジスト（図示せず）を除去する。

なお、図２１Ａ及び図２１Ｂでは、１つの貫通部６１のみ図示しているが、図２１Ａ及び図２１Ｂに示す工程では、実際には複数の貫通部６１を形成する。

【０１０６】

次いで、図２２Ａ及び図２２Ｂに示す工程では、貫通部６１を介して、メモリセル領域に形成された層間絶縁膜４２に、層間絶縁膜４２を選択的にエッチング可能なウエットエ

ッチング液を供給することで、ガード壁（図示せず）に囲まれた層間絶縁膜４２を選択的に除去する。これにより、第２のエッチングストッパ膜４１とサポート膜４４との間に空間６２を形成する。

上記ウエットエッチング液としては、シリコン酸化膜を選択的にエッチングするエッチング液（言い換えれば、第２のエッチングストッパ膜４１及びサポート膜４４に対して選択比があるエッチング液）を用いる。具体的には、上記ウエットエッチング液としては、例えば、フッ化水素酸（ＨＦ）を用いる。

【０１０７】

また、空間６２は、第２のエッチングストッパ膜４１の上面４１ａ、サポート膜４４の下面４４ｂ、第２のエッチングストッパ膜４１とサポート膜４４との間に位置する複数の下部電極５７の外周側面５７ａ、及びガード壁の内壁（図示せず）を露出するように形成する。

この際に、第２のエッチングストッパ膜４１によって、メモリセル領域１１の下層へのウエットエッチング液の浸透が防止されるため、層間絶縁膜３９及び既に形成済みのトランジスタ（例えば、縦型ＭＯＳトランジスタ５０）等にダメージが及ぶことは無い。

【０１０８】

次いで、図２３Ａ及び図２３Ｂに示す工程では、図２２Ａ及び図２２Ｂに示す構造体の上面側から、貫通部６１を介して、ＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ；原子層堆積）法により、空間６２を区画する面を覆う容量絶縁膜５８を形成する。

これにより、容量絶縁膜５８は、第２のエッチングストッパ膜４１の上面４１ａと、サポート膜４４の上面４４ａ及び下面４４ｂと、第２のエッチングストッパ膜４１とサポート膜４４との間に位置する複数の下部電極５７の外周側面５７ａとを覆うように形成される。

容量絶縁膜５８としては、例えば、酸化アルミニウム膜（Al_2O_3膜）と酸化ジルコニウム膜（ZrO_2膜）とよりなる積層膜を用いることができる。

【０１０９】

次いで、図２４Ａ及び図２４Ｂに示す工程では、図２３Ａ及び図２３Ｂに示す構造体の上面側から、貫通部６１を介して、ＣＶＤ法により、容量絶縁膜５８の表面を覆うと共に、空間６２を充填する導電膜（図示せず）を成膜する。該導電膜は、上部電極５９の母材となる膜であり、例えば、ルテニウム（Ｒｕ）膜、タングステン（Ｗ）膜、窒化チタン（ＴｉＮ）膜等の金属膜、或いは多結晶シリコン膜等を用いることができる。

【０１１０】

次いで、ＣＭＰ法により該導電膜を研磨することで、該導電膜よりなり、かつ上面５９ａが平坦な面とされた上部電極５９を形成する。

これにより、上部不純物拡散領域３６の上方に、下部電極５７、容量絶縁膜５８、及び上部電極５９よりなり、上部不純物拡散領域３６の上面３６ａと接触するキャパシタ４５（ＭＩＭキャパシタ）が形成される。

【０１１１】

また、第２のエッチングストッパ膜４１とサポート膜４４との間に、第２のエッチングストッパ膜４１の上面４１ａ、サポート膜４４の下面４４ｂ、及び複数の下部電極５７の外周側面５７ａを露出する空間６２を形成し、次いで、空間６２を区画する面を覆う容量絶縁膜５８を形成し、その後、容量絶縁膜５８の表面に空間６２を充填する上部電極５９を形成することにより、キャパシタ４５の容量を大きくすることができる。

【０１１２】

次いで、図２５Ａ及び図２５Ｂに示す工程では、上部電極５９の上面５９ａに層間絶縁膜４６を形成する。層間絶縁膜４６は、ＣＶＤ法により形成することができる。また、層間絶縁膜４６としては、シリコン酸化膜（SiO_2膜）を用いる。

次いで、層間絶縁膜４６上に、周知の手法により、上部電極５９と電気的に接続される配線４７を形成する。

次いで、層間絶縁膜４６上に、配線４７を覆うように層間絶縁膜４８を形成する。層間絶縁膜４８は、ＣＶＤ法により形成することができる。また、層間絶縁膜４８としては、シリコン酸化膜（SiO_2膜）を用いる。これにより、第１の実施の形態の半導体装置１０が製造される。

【０１１３】

第１の実施の形態の半導体装置の製造方法によれば、第２の溝２５内に、第１の絶縁膜２７、第１のサイドウォール膜７５－１、及びゲート絶縁膜２８を形成し、その後、第２の溝２５を埋め込む第１及び第２の導電膜５４，５５を成膜し、次いで、第１及び第２の導電膜５４，５５を全面エッチバックして、第２の溝２５の下部２５Ａに第１及び第２の導電膜５４，５５よりなる１つのゲート電極２９を形成することにより、１つの溝を埋め込む導電膜を２つに分断するドライエッチングにより２つのゲート電極を形成する従来の製造方法と比較して、ゲート電極２９の幅W_3を十分に確保することが可能となるため、ゲート電極２９の抵抗値を小さくすることができる。

【０１１４】

特に、ピラー２６の微細化がさらに進展した場合、ピラー２６のうち、上部不純物拡散領域３６と下部不純物拡散領域１９との間に位置する部分全体にチャネルを形成することが可能となるため、１つのピラーを両側から挟み込むように配置されたダブルゲート構造とされたゲート電極と同様な効果を得ることができる。

【０１１５】

また、ゲート電極２９の側面２９ａに形成されたゲート絶縁膜２８とピラー２６の第１の側面２６ａに形成された第１の絶縁膜２７との間に、真空とされた空隙３１を形成することにより、ゲート電極２９間にピラー２６が介在することになるため、ピラー２６によるシールド効果により、ゲート電極２９間の容量を小さくすることができる。

【０１１６】

さらに、シリコン酸化膜（SiO_2膜）よりなるゲート絶縁膜２８と第１の絶縁膜２７との間に形成され、シリコン窒化膜（ＳｉＮ膜）よりなる第１のサイドウォール膜７５－１を、ウエットエッチングにより選択的に除去して空隙３１を形成することにより、容易に、所望の幅W_2とされた空隙３１を形成することができる。

【０１１７】

（第２の実施の形態）

図２６Ａは、本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの概略を示す断面図であり、図１に示すメモリセルアレイのＡ－Ａ線方向の切断面に対応する図である。図２６Ｂは、本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの概略を示す断面図であり、図１に示すメモリセルアレイのＢ－Ｂ線方向の切断面に対応する図である。

図２６Ａ及び図２６Ｂにおいて、図２Ａ及び図２Ｂに示す第１の実施の形態の半導体装置１０（具体的には、メモリセルアレイ１１）と同一構成部分には同一符号を付す。

【０１１８】

図２６Ａ及び図２６Ｂを参照するに、第２の実施の形態の半導体装置１００は、第１の実施の形態の半導体装置１０に設けられたメモリセルアレイ１１を構成するゲート電極用埋め込み絶縁膜３５の替わりに、ゲート電極用埋め込み絶縁膜１０３を設けた以外は、半導体装置１０と同様に構成される。

【０１１９】

図２６Ｂを参照するに、ゲート電極用埋め込み絶縁膜１０３は、第１の実施の形態で説明したゲート電極用埋め込み絶縁膜３５よりも埋め込み特性に優れた膜であり、第１の絶縁膜２７、ゲート絶縁膜２８、及びゲート電極２９が形成され、空隙３１を含む第２の溝２５を埋め込むように設けられている。

つまり、ゲート電極用埋め込み絶縁膜１０３は、第２の溝２５の上部２５Ｂ、及び第２の溝２５の下部２５Ａに形成された空隙３１を埋め込むように配置されている。

ゲート電極用埋め込み絶縁膜１０３は、例えば、埋め込み特性に優れたＬＰ－ＣＶＤ法

により形成されたシリコン酸化膜（SiO_2膜）を用いることができる。

【０１２０】

このような構成とされた第２の実施の形態の半導体装置１００は、第１の実施の形態の半導体装置１０と同様な効果を得ることができる。

具体的には、第２の実施の形態の半導体装置１００によれば、ゲート電極２９の抵抗値を小さくすることができる共に、ゲート電極２９間の容量を小さくすることができる。

【０１２１】

図２７Ａ、図２７Ｂ、図２８Ａ、及び図２８Ｂは、本発明の第２の実施の形態に係る半導体装置に設けられたメモリセルアレイの製造工程を示す図である。

図２７Ａ及び図２８Ａは、図２６Ａに示すメモリセルアレイ１０１の切断面に対応する断面図である。また、図２７Ｂ及び図２８Ｂは、図２６Ｂに示すメモリセルアレイ１０１の切断面に対応する断面図である。

図２７Ａ、図２７Ｂ、図２８Ａ、及び図２８Ｂにおいて、図２６Ａ及び図２６Ｂに示すメモリセルアレイ１０１と同一構成部分には同一符号を付す。

【０１２２】

次に、主に、図２７Ａ、図２７Ｂ、図２８Ａ、及び図２８Ｂを参照して、本発明の第２の実施の形態に係る半導体装置１００に設けられたメモリセルアレイ１０１の製造方法について説明する。

始めに、第１の実施の形態で説明した図３Ａ及び図３Ｂに示す工程～図１６Ａ及び図１６Ｂに示す工程の処理を順次行うことで、図１６Ａ及び図１６Ｂに示す構造体を形成する。

【０１２３】

次いで、図２７Ａ及び図２７Ｂに示す工程では、第１の絶縁膜２７、ゲート絶縁膜２８、及びゲート電極２９が形成され、空隙３１を含む第２の溝２５を埋め込むように、ゲート電極用埋め込み絶縁膜１０３を形成する。

具体的には、ＬＰ－ＣＶＤ法により、ゲート電極用埋め込み絶縁膜１０３となるシリコン酸化膜（SiO_2膜）を成膜することで、第２の溝２５の上部２５Ｂ、及び第２の溝２５の下部２５Ａに形成された空隙３１を埋め込む。

【０１２４】

次いで、図２８Ａ及び図２８Ｂに示す工程では、シリコン酸化膜（SiO_2膜）を選択的にエッチング可能な条件を用いたエッチバックにより、図２７Ａ及び図２７Ｂに示す半導体基板１３の主面１３ａ（言い換えれば、ピラー２６の上面）よりも上方に形成された絶縁膜２３、ビット線用埋め込み絶縁膜２４、及びゲート電極用埋め込み絶縁膜１０３（言い換えれば、不要な絶縁膜）を除去することで、半導体基板１３の主面１３ａを露出させる。

これにより、絶縁膜２３の上端面、ビット線用埋め込み絶縁膜２４の上面２４ａ、及びゲート電極用埋め込み絶縁膜１０３の上面１０３ａは、半導体基板１３の主面１３ａに対して略面一となる。

【０１２５】

その後、第１の実施の形態で説明した図１９Ａ及び図１９Ｂに示す工程～図２５Ａ及び図２５Ｂに示す工程と同様な処理を順次行なうことで、図２６Ａ及び図２６Ｂに示す第２の実施の形態の半導体装置１００のメモリセルアレイ１０１が製造される。

【０１２６】

上記説明した第２の実施の形態の半導体装置１００の製造方法は、第１の実施の形態の半導体装置１０の製造方法と同様な効果を得ることができる。

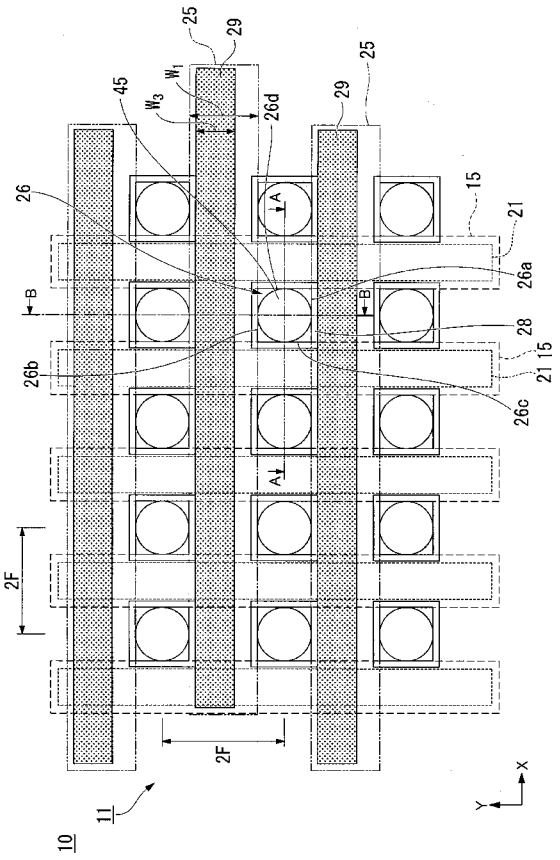
【０１２７】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

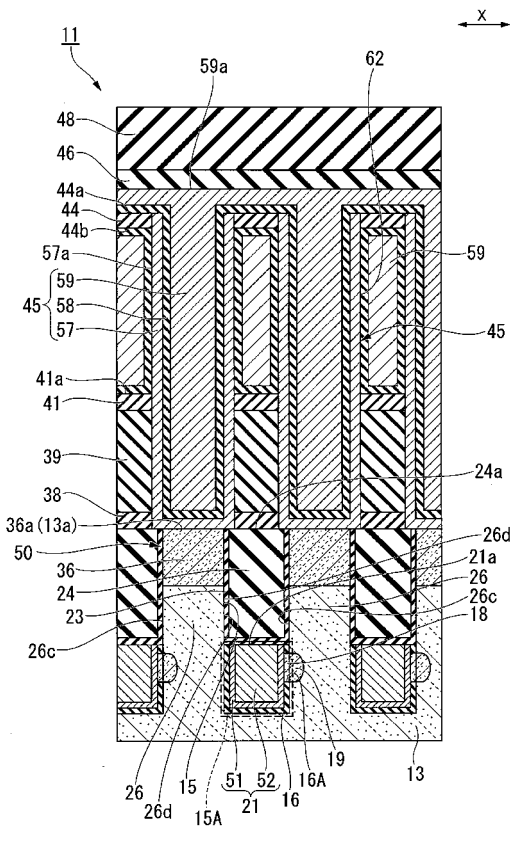
【産業上の利用可能性】

【０１２８】
本発明は、半導体装置及びその製造方法に適用可能である。
【符号の説明】
【０１２９】
１０，１００…半導体装置、１１，１０１…メモリセルアレイ、１３…半導体基板、１３ａ…主面、１５…第１の溝、１５ａ，１５ｂ，２９ａ，２９ｂ，７３ｃ，７３ｄ，７５－２ａ…側面、１５ｃ，２５ａ，２９ｃ…底面、１５Ａ，２５Ａ…下部、１６…第２の絶縁膜、１６Ａ…開口部、１８…ビットコンタクト、１９…下部不純物拡散領域、２１…ビット線、２１ａ，２４a，２４ｂ，２７ａ，２９ｄ，３５ａ，３６ａ，４１ａ，４２ａ，４４a，５９ａ，７１ｂ，７３ｂ，７７ａ，１０３ａ…上面、２３…絶縁膜、２４…ビット線用埋め込み絶縁膜、２５…第２の溝、２５Ｂ…上部、２６…ピラー、２６ａ、第１の側面、２６ｂ…第２の側面、２６ｃ…第３の側面、２６ｄ…第４の側面、２７…第１の絶縁膜、２８…ゲート絶縁膜、２９…ゲート電極、３１…空隙、３５，１０３…ゲート電極用埋め込み絶縁膜、３６…上部不純物拡散領域、３８…第１のエッチングストッパ膜、３９，４２，４６，４８…層間絶縁膜、４１…第２のエッチングストッパ膜、４４…サポート膜、４４ｂ…下面、４５…キャパシタ、４７…配線、５０…縦型ＭＯＳトランジスタ、５１，５４…第１の導電膜、５２，５５…第２の導電膜、５７…下部電極、５７ａ…外周側面、５８…容量絶縁膜、５９…上部電極、６１…貫通部、６２…空間、７１…第１のハードマスク、７１ａ，７３ａ…開口部、７２…第２のハードマスク、７３…ハードマスク、７５－１…第１のサイドウォール膜、７５－２…第２のサイドウォール膜、７７…埋め込み絶縁膜、７９…凹部、８２…アモルファスシリコン膜、８５…シリンダ孔、D_1，D_2…深さ、α…注入角度、Ｒ…直径、幅…W_1，W_2，W_3

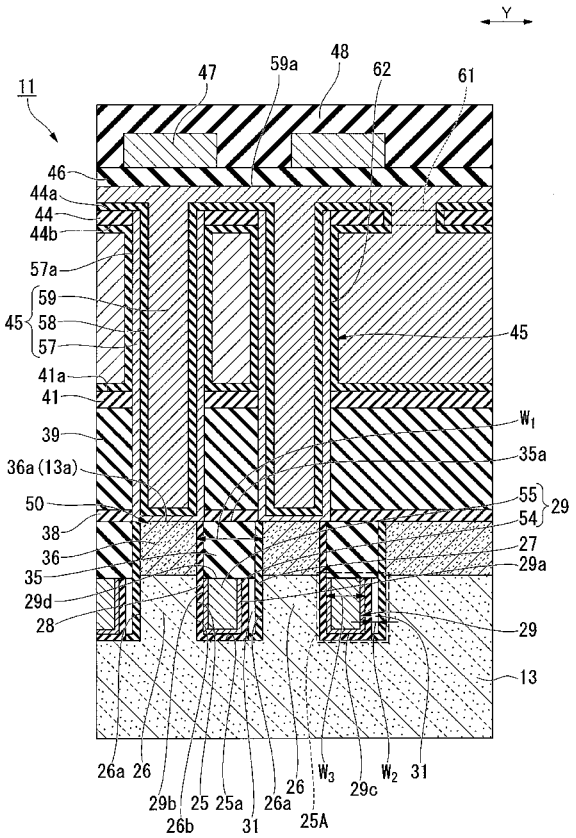
【図１】



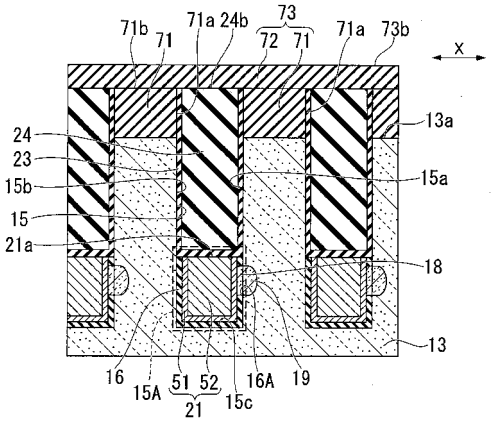
【図２Ａ】



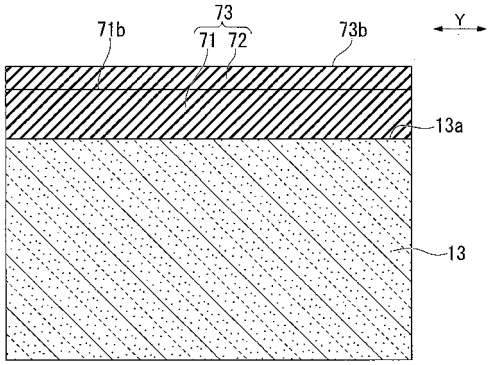
【図２Ｂ】



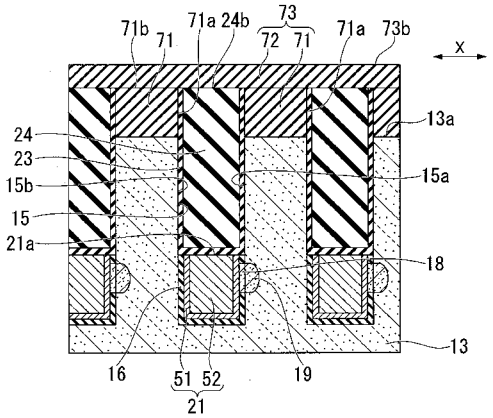
【図３Ａ】



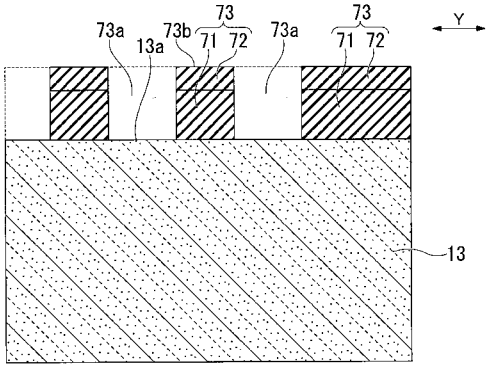
【図３Ｂ】



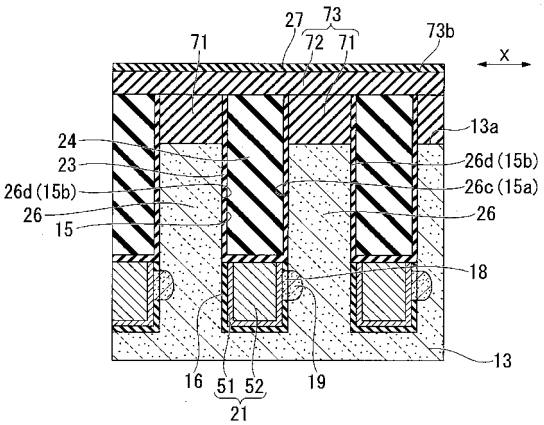
【図４Ａ】



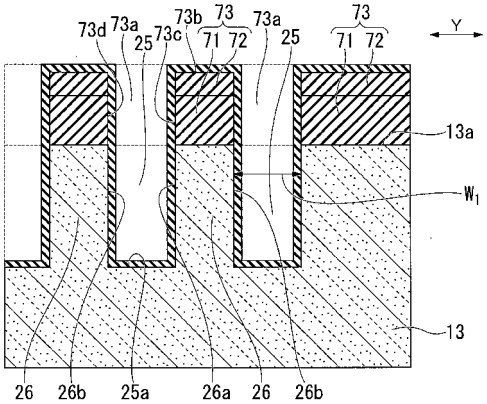
【図４Ｂ】



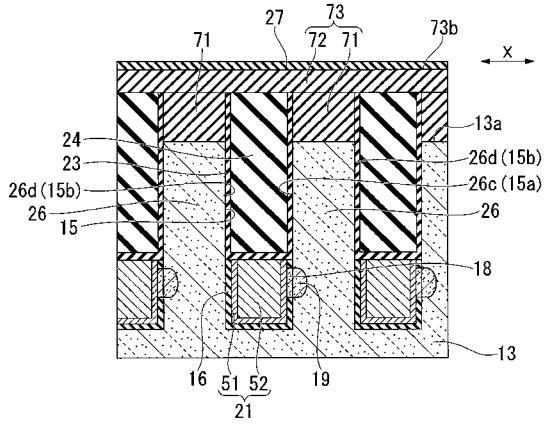
【図５Ａ】



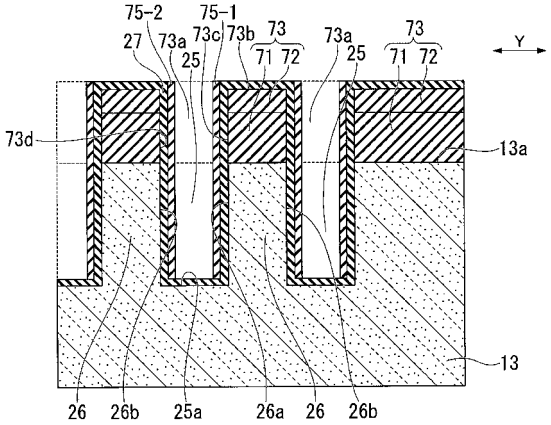
【図５Ｂ】



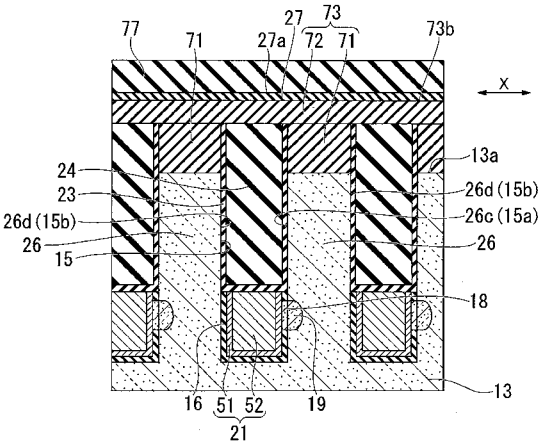
【図６Ａ】



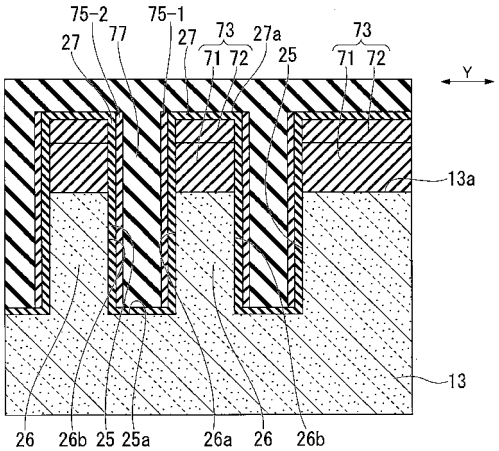
【図６Ｂ】



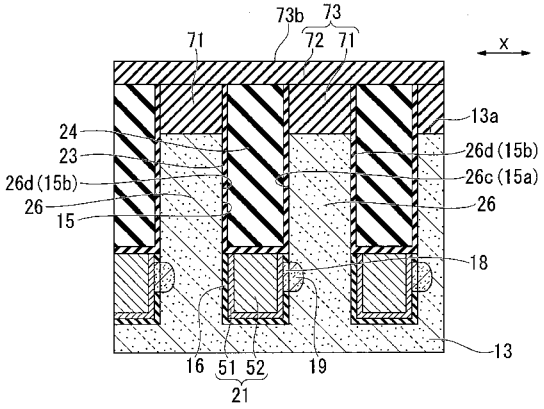
【図７Ａ】



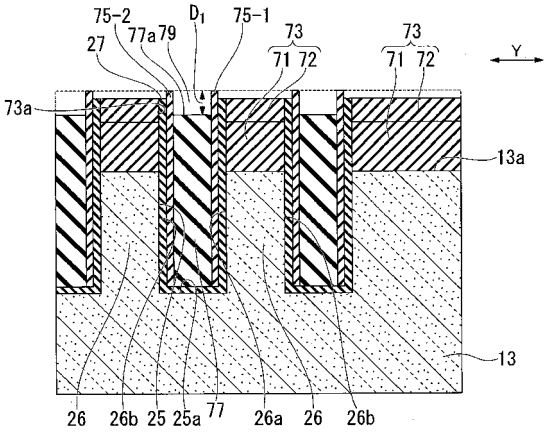
【図７Ｂ】



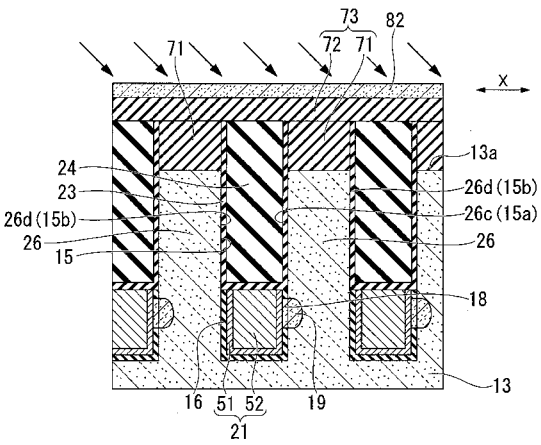
【図８Ａ】



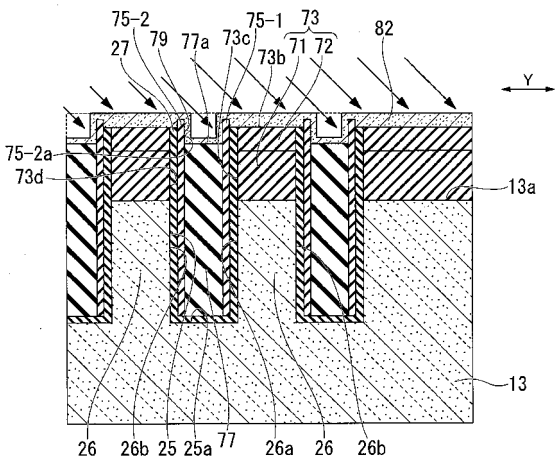
【図８Ｂ】



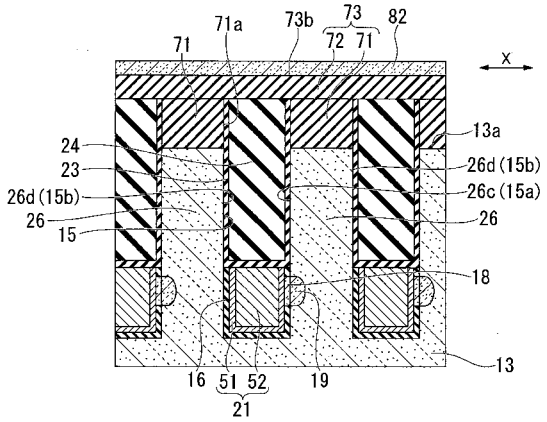
【図９Ａ】



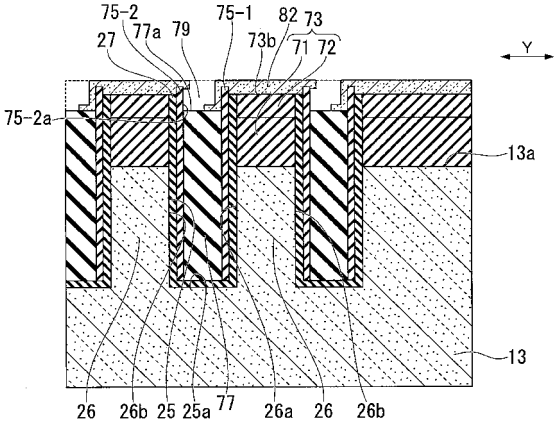
【図９Ｂ】



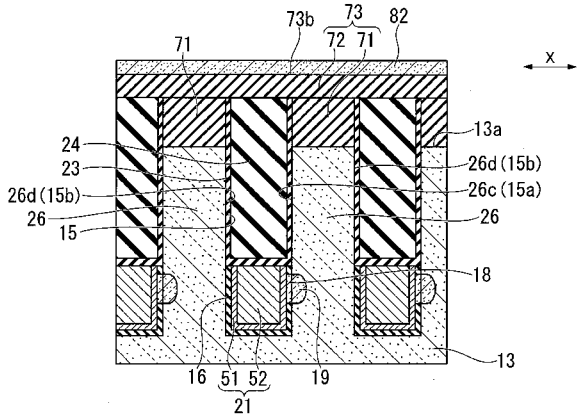
【図１０Ａ】



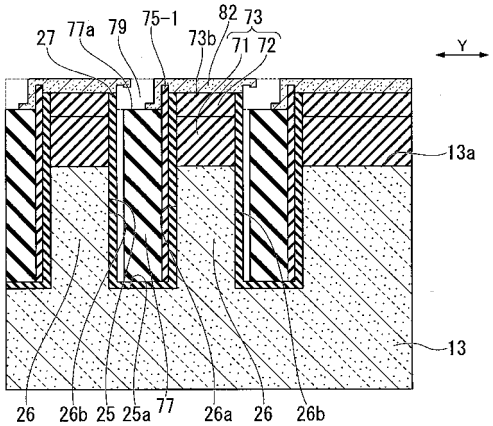
【図１０Ｂ】



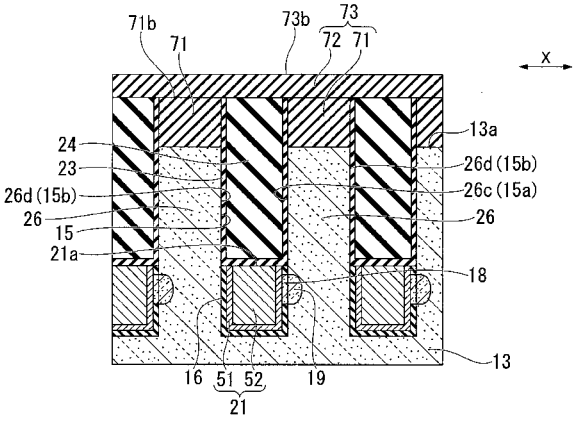
【図１１Ａ】



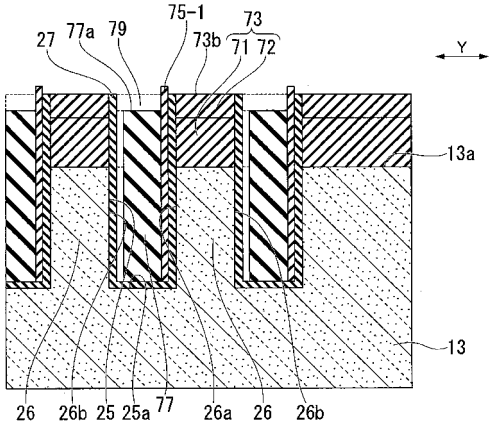
【図１１Ｂ】



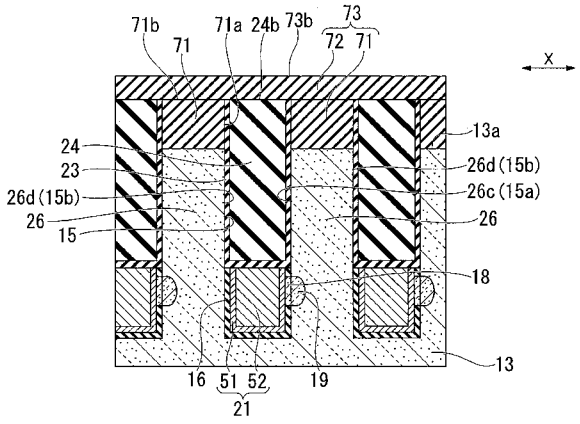
【図１２Ａ】



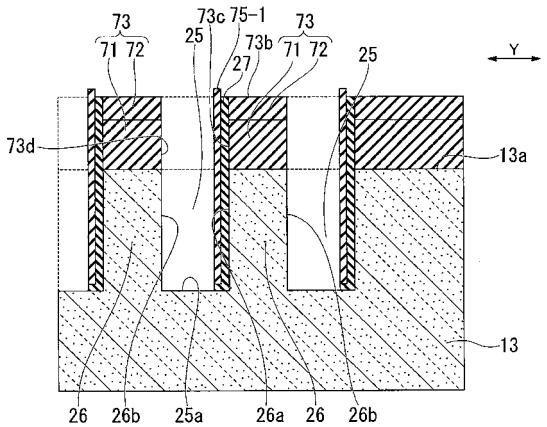
【図１２Ｂ】



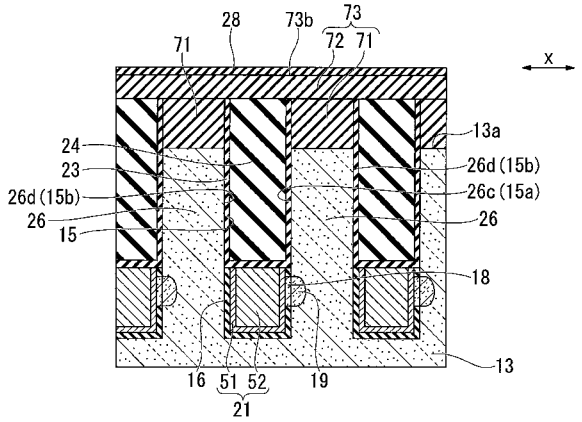
【図１３Ａ】



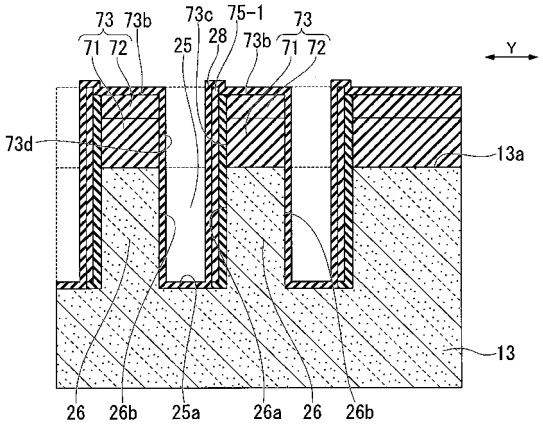
【図１３Ｂ】



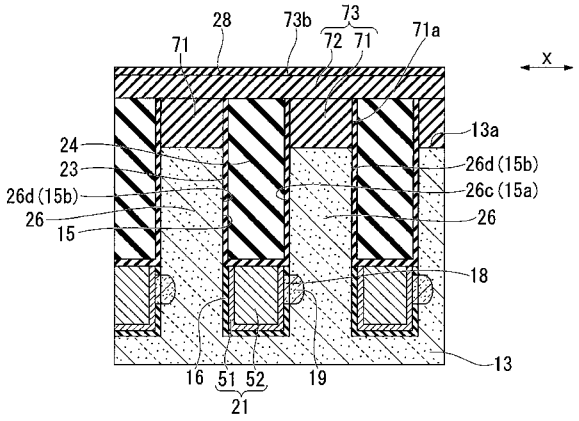
【図１４Ａ】



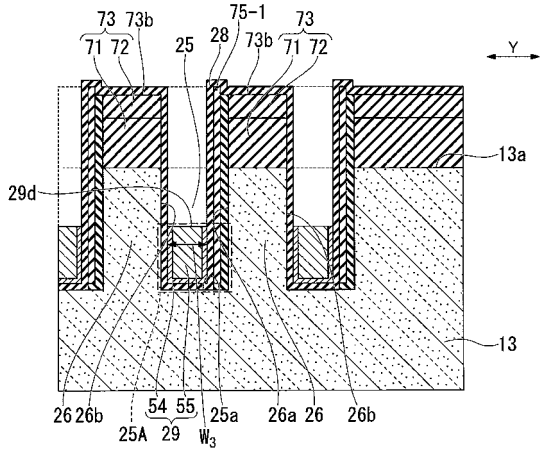
【図１４Ｂ】



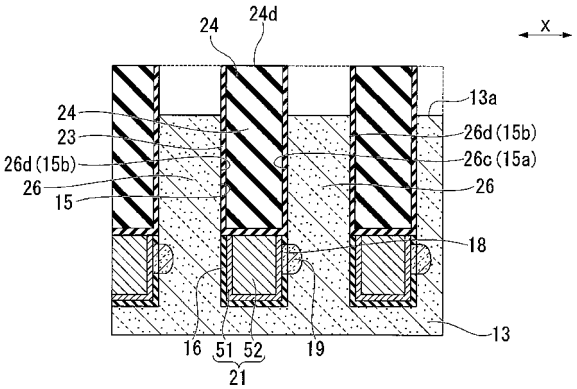
【図１５Ａ】



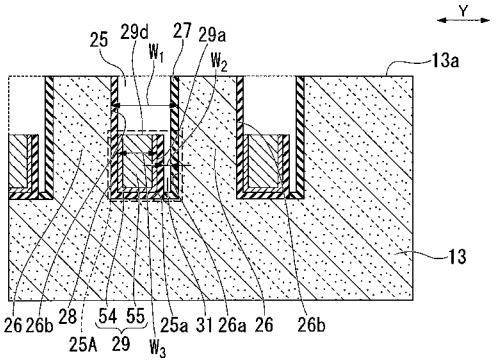
【図１５Ｂ】



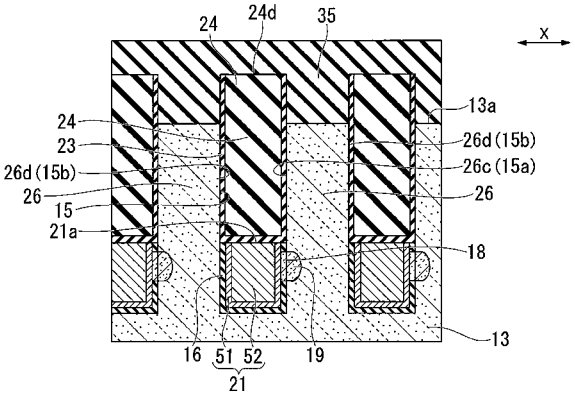
【図１６Ａ】



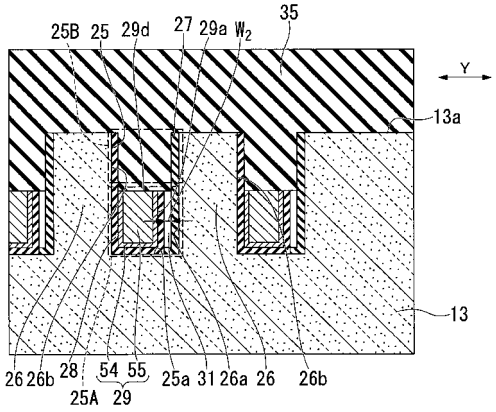
【図１６Ｂ】



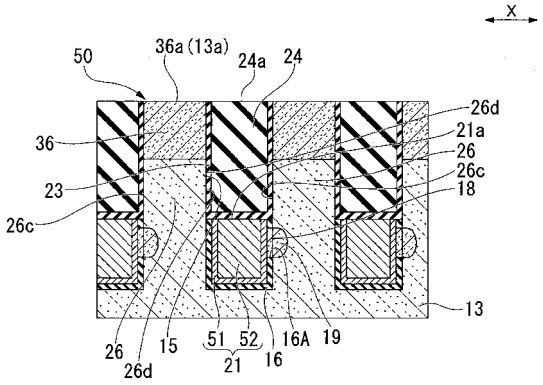
【図１７Ａ】



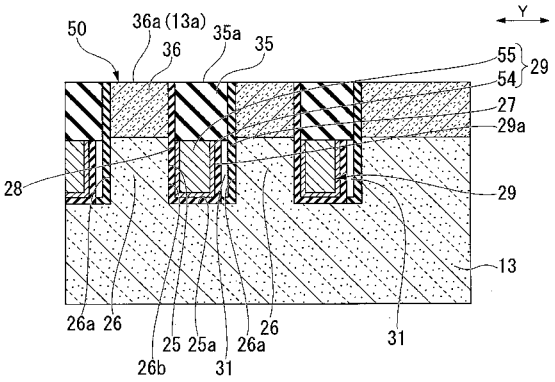
【図１７Ｂ】



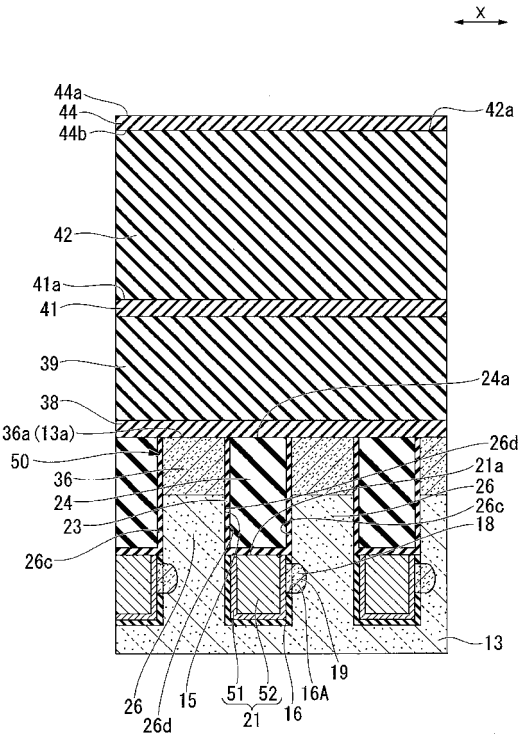
【図１８Ａ】



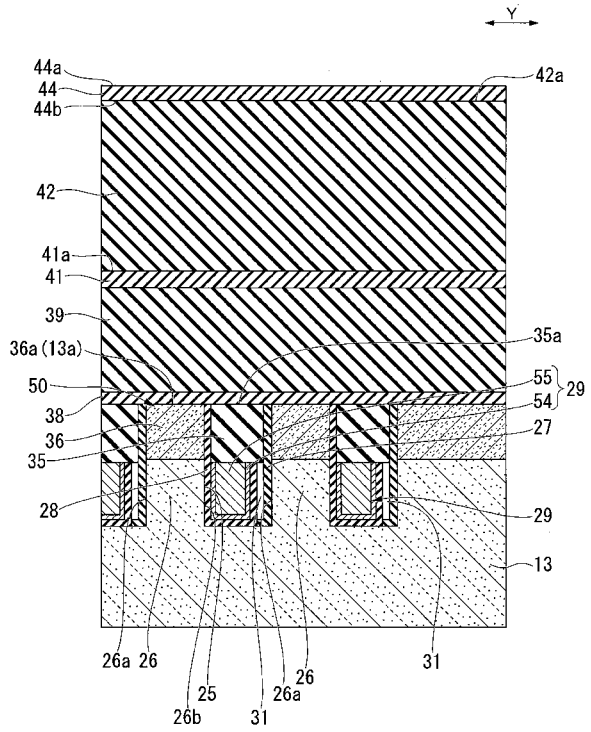
【図１８Ｂ】



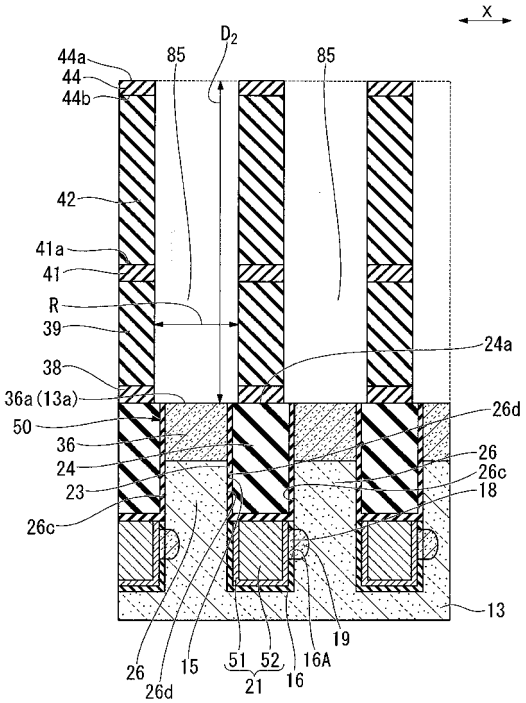
【図１９Ａ】



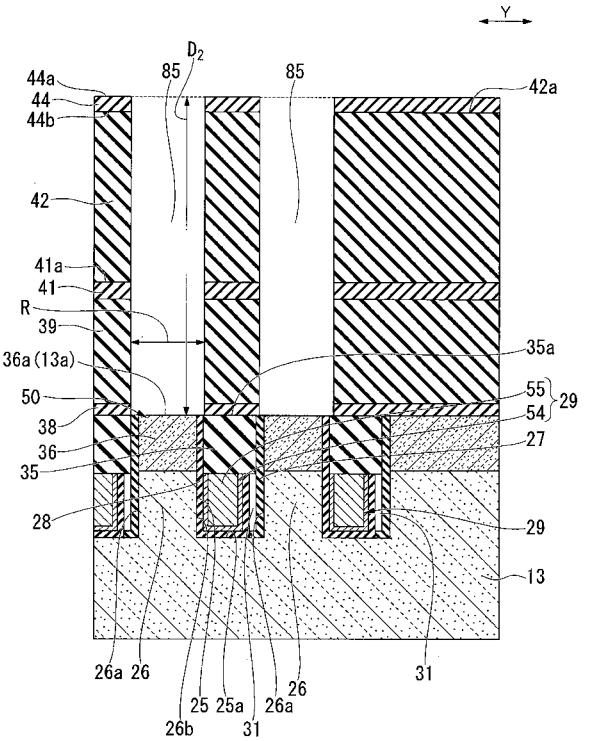
【図１９Ｂ】



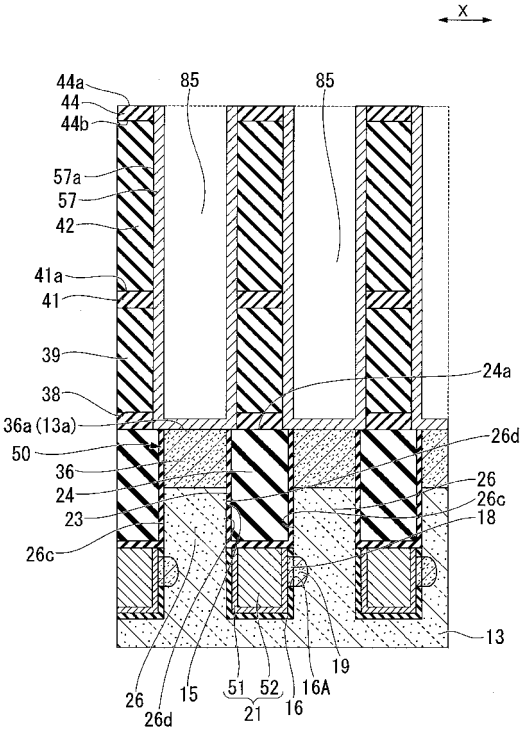
【図２０Ａ】



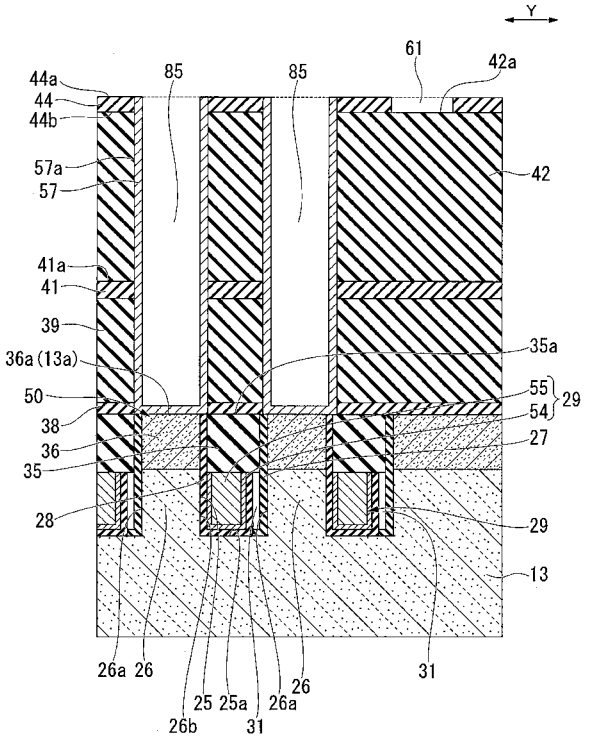
【図２０Ｂ】



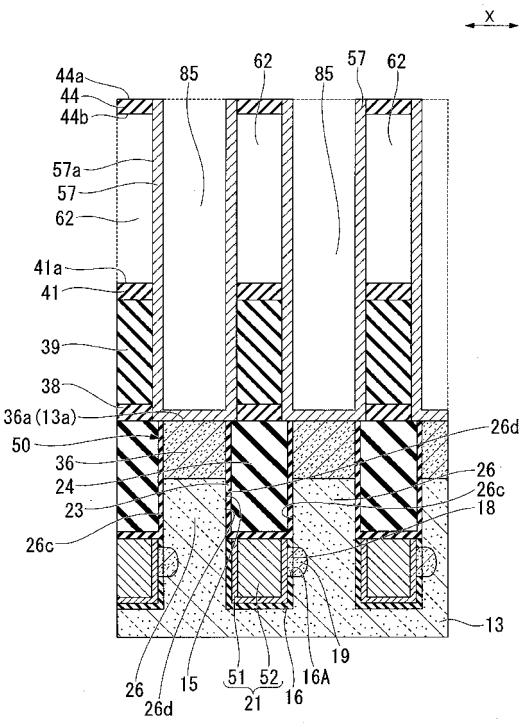
【図２１Ａ】



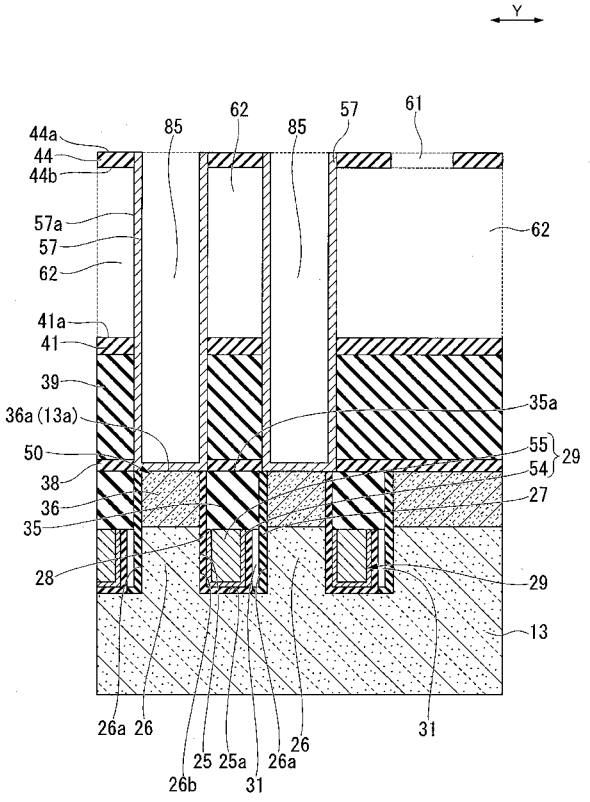
【図２１Ｂ】



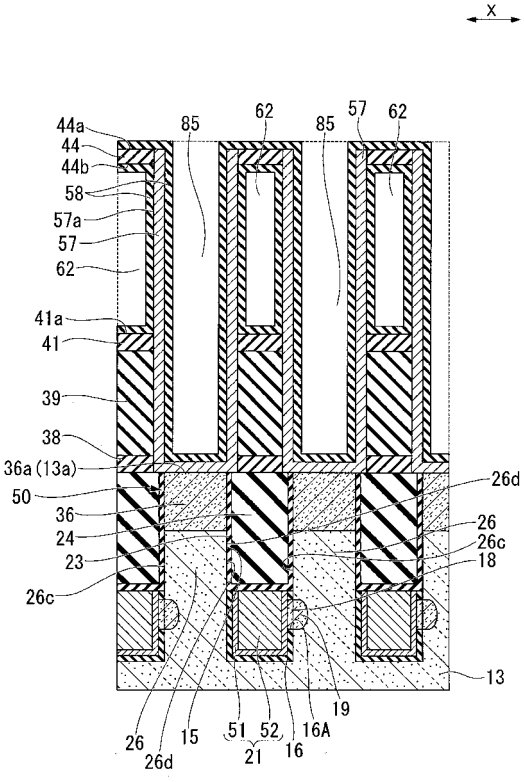
【図２２Ａ】



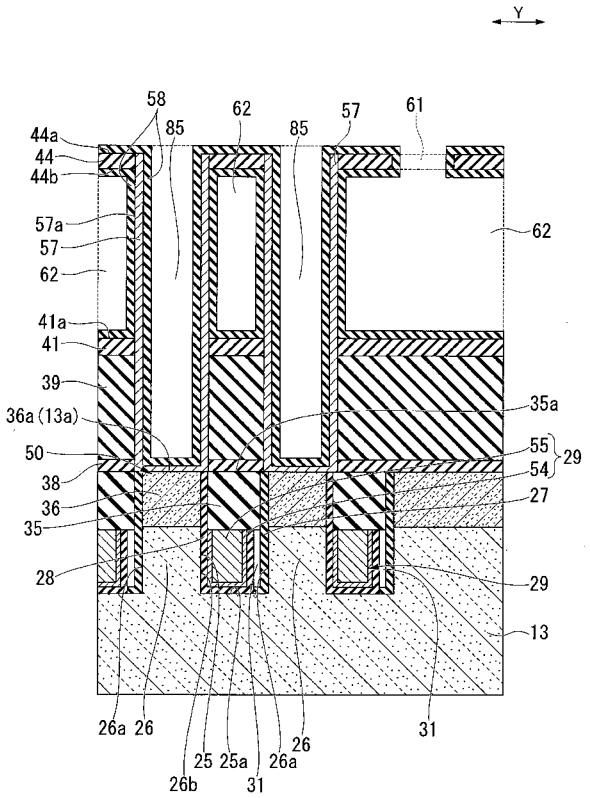
【図２２Ｂ】



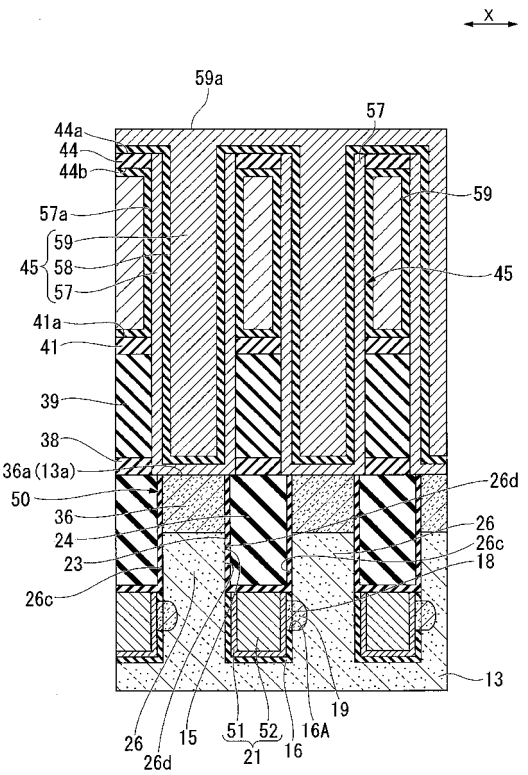
【図２３Ａ】



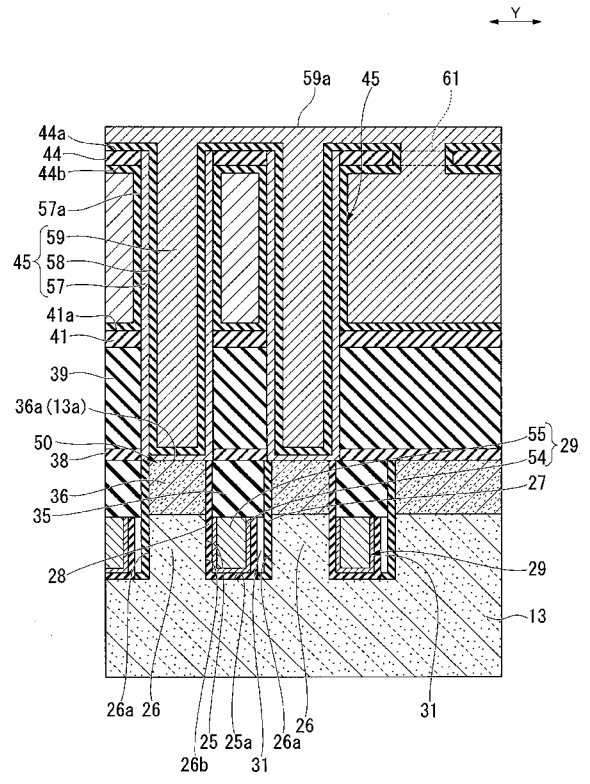
【図２３Ｂ】



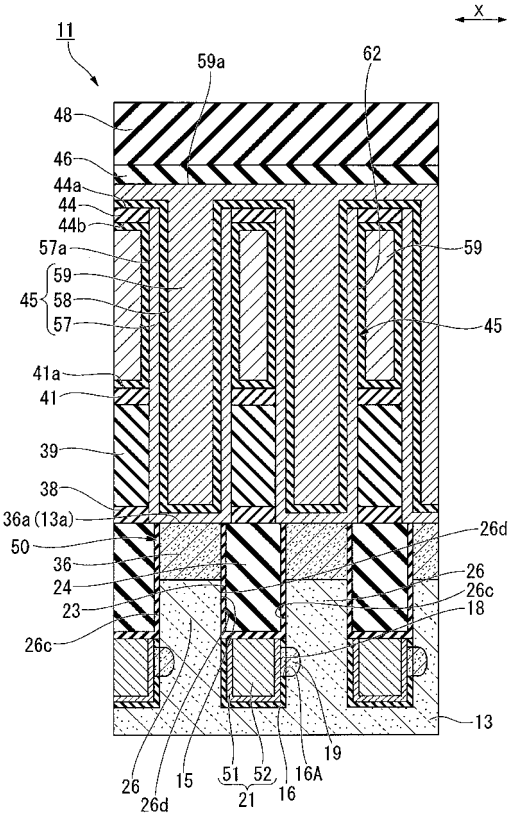
【図２４Ａ】



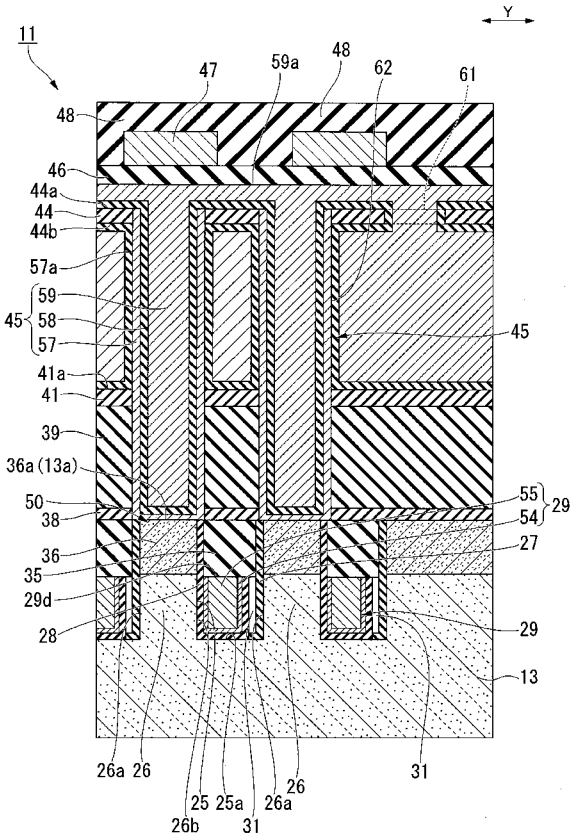
【図２４Ｂ】



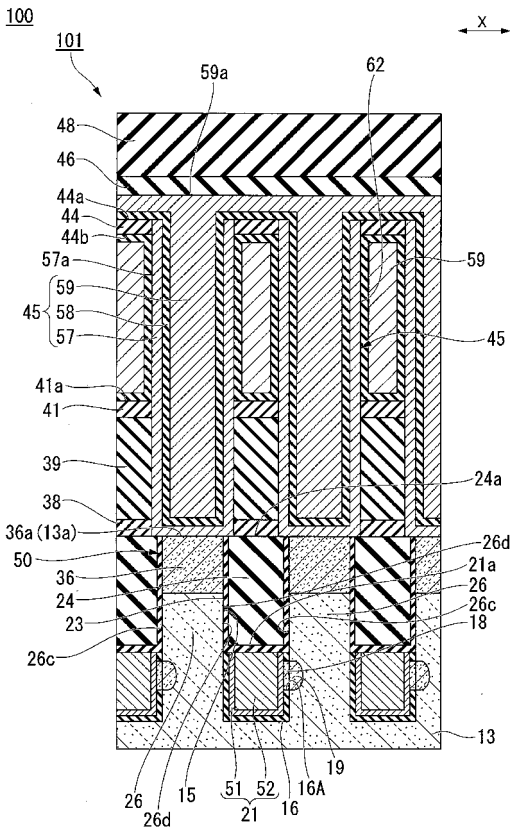
【図２５Ａ】



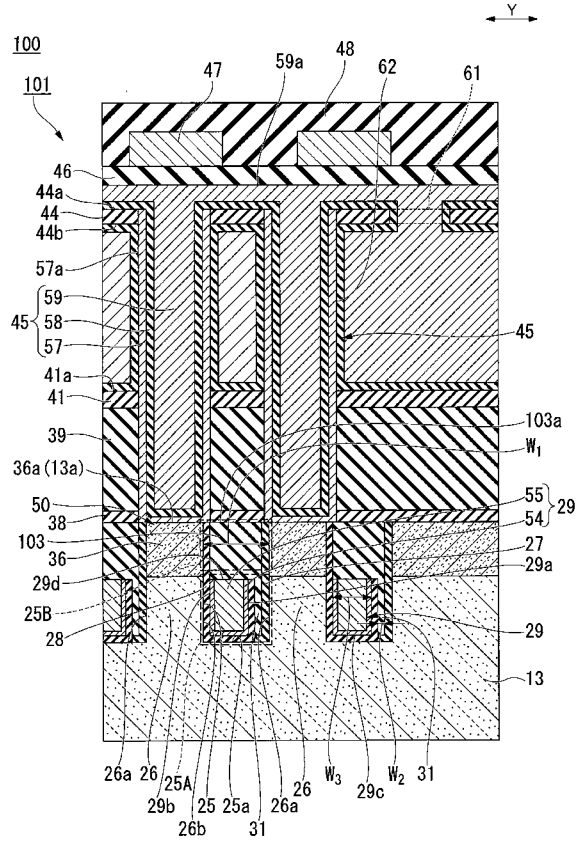
【図２５Ｂ】



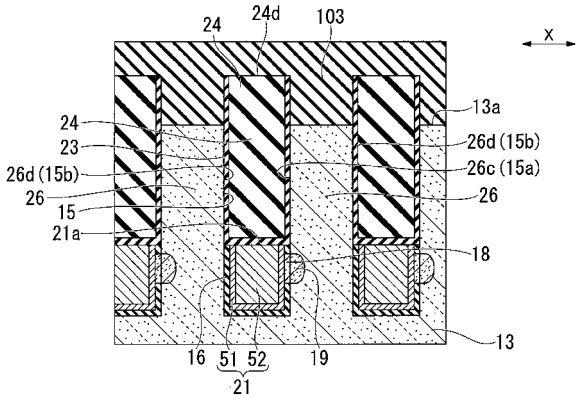
【図２６Ａ】



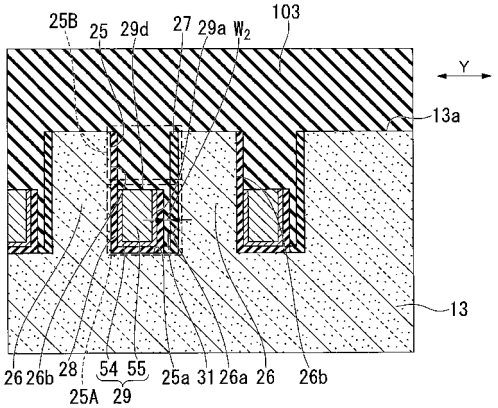
【図２６Ｂ】



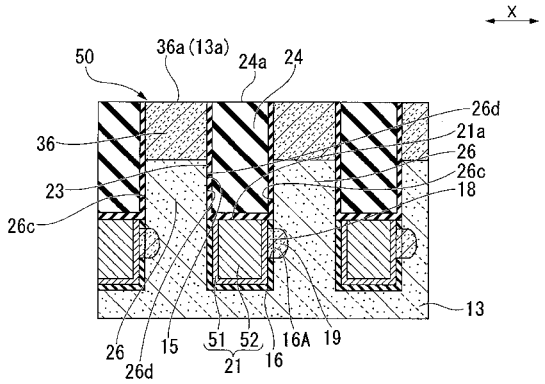
【図２７Ａ】



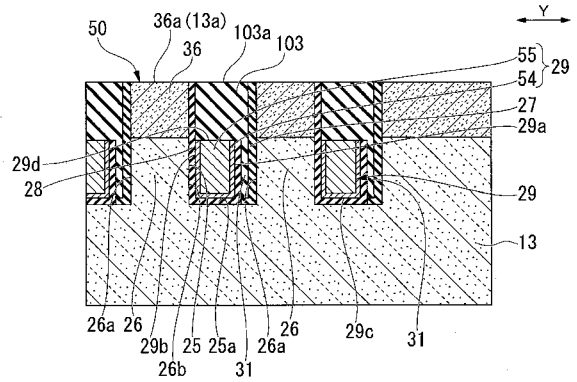
【図２７Ｂ】



【図２８Ａ】


X
50
36a (13a)
24a
24
26d
36
21a
26
26c
23
18
26c
13
26
15
51
52
16A
19
26d
21
16

【図２８Ｂ】


Y
50
36a (13a)
103a
103
36
55
29
54
27
29a
29d
28
29
13
26a
26
29b
25
25a
26a
26
29c
31
26b
31

フロントページの続き

(51)Int.Cl.		F I		テーマコード（参考）
H01L 23/522	*(2006.01)*	H01L 29/78	301X	
H01L 21/768	*(2006.01)*			
H01L 29/78	*(2006.01)*			
H01L 21/336	*(2006.01)*			

Fターム(参考) 4M104 AA01 BB14 CC01 CC05 EE03 EE12 EE17 FF02 FF17 FF18
GG09 GG14 GG16 GG19
5F033 HH04 HH07 HH18 HH19 HH33 JJ04 LL04 MM12 MM13 QQ07
QQ08 QQ09 QQ16 QQ19 QQ25 QQ28 QQ31 QQ48 RR03 RR04
RR08 RR29 SS11 SS15 TT02 TT08 VV06 VV10 VV16 XX03
XX24
5F083 AD04 AD24 AD48 AD49 GA02 GA03 GA06 GA09 JA02 JA03
JA04 JA05 JA38 JA39 JA40 JA56 KA07 LA02 LA21 MA06
MA20 NA01 PR06 PR09 PR37 PR40
5F140 AA11 AA39 AB01 AB09 AC23 AC32 BA01 BB04 BD01 BD05
BD09 BF07 BF20 BF21 BF27 BF43 BH30 BH47 BJ07 BJ11
BJ13 BJ17 BJ20 BK16 CB04 CC01 CC03 CC08 CC09 CE07
CE20