

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247580
(P2004-247580A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl.⁷
H01L 21/768

F I
H01L 21/90

テーマコード (参考)
5FO33

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2003-36861 (P2003-36861)
(22) 出願日 平成15年2月14日 (2003.2.14)

(71) 出願人 501285133
川崎マイクロエレクトロニクス株式会社
千葉県千葉市美浜区中瀬一丁目3番地
(74) 代理人 100079175
弁理士 小杉 佳男
(74) 代理人 100094330
弁理士 山田 正紀
(72) 発明者 有吉 電司
千葉県千葉市美浜区中瀬1丁目3番地 川崎マイクロエレクトロニクス株式会社内
(72) 発明者 久野 勇
千葉県千葉市美浜区中瀬1丁目3番地 川崎マイクロエレクトロニクス株式会社内

最終頁に続く

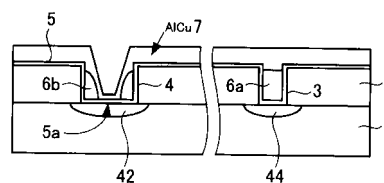
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】 (修正有)

【課題】 アンチヒューズ素子が含まれる複数の素子を微細化プロセスにより形成することができる半導体装置の製造方法および半導体装置。

【解決手段】 第1のコンタクトホール3と開口寸法が大きい第2のコンタクトホール4の底面並びに側面に導電性の密着層5を形成し、第1のコンタクトホール3には埋め込む状態で、第2のコンタクトホール4には中央部に窪みが形成された状態で、プラグ形成膜を形成する工程と、プラグ形成膜をエッチバックし、第1のコンタクトホール3にはプラグ6aを形成するとともに、第2のコンタクトホール4には底面の少なくとも一部の密着層5aが露出した状態を形成する工程と、第2のコンタクトホール4の密着層5aに接触させて、第2の金属材料からなる電極7を形成する工程とを備えた。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

複数の拡散層を有する半導体基板上の絶縁層に、該複数の拡散層のうちの何れかの拡散層を底面とする、第 1 のコンタクトホールと該第 1 のコンタクトホールよりも開口寸法が大きい第 2 のコンタクトホールとが形成された半導体装置の製造方法において、

前記第 1 および第 2 のコンタクトホールの底面並びに側面に導電性の密着層を形成するとともに、該密着層上に、該第 1 のコンタクトホールは埋め込む状態で、該第 2 のコンタクトホールには中央部に窪みが形成された状態で、第 1 の金属材料からなるプラグ形成膜を形成する工程と、

前記プラグ形成膜をエッチバックし、前記第 1 のコンタクトホールには前記第 1 の金属材料が埋め込まれたプラグを形成するとともに、前記第 2 のコンタクトホールには該第 1 の金属材料の少なくとも一部が除去されて底面の少なくとも一部の前記密着層が露出した状態を形成する工程と、

前記第 2 のコンタクトホールの前記密着層に接触させて、第 2 の金属材料からなる電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 のコンタクトホールが形成された拡散層を有する第 1 の素子と、前記第 2 のコンタクトホールが形成された拡散層を有する第 2 の素子とを有し、

前記第 2 の素子は、所定電圧を越える過電圧の印加により非導通状態から恒久的な導通状態に変化するアンチヒューズ素子であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記第 2 のコンタクトホールの前記電極が形成された後に、少なくとも 1 つの熱工程を備え、前記第 2 のコンタクトホールの前記密着層は、該熱工程における最高温度においても前記第 2 の金属材料が該密着層に接触する拡散層へ侵入するのを防止し、前記過電圧の印加においては該第 2 の金属材料が該拡散層へ侵入するのを許容するものであることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

前記第 2 の金属材料は、アルミニウム又はアルミニウム合金であることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

第 1 の素子を構成する第 1 の拡散層と、第 2 の素子を構成する第 2 の拡散層とが形成された半導体基板上の絶縁層に、該第 1 の拡散層を底面とする第 1 のコンタクトホールと該第 2 の拡散層を底面とし、該第 1 のコンタクトホールよりも開口寸法が大きい第 2 のコンタクトホールとが形成された半導体装置において、

前記第 1 のコンタクトホールには、底面並びに側面に導電性の密着層が形成されるとともに、該密着層上に埋め込まれた第 1 の金属からなるプラグが形成され、

前記第 2 のコンタクトホールには、前記第 1 の金属のサイドウォールが形成されるとともに、底面の少なくとも一部に露出した前記密着層に接触する第 2 の金属材料からなる電極が形成されたものであって、

前記第 2 の素子は、所定電圧を越える過電圧を印加することにより、非導通状態から恒久的な導通状態に変化するものであることを特徴とする半導体装置。

【請求項 6】

前記第 2 のコンタクトホールの底面の前記密着層は、前記第 2 の素子に前記過電圧が印加されたときは、該第 2 のコンタクトホールに形成された前記電極の前記第 2 の金属の通過を許容するものであることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記第 2 の金属材料は、アルミニウム又はアルミニウム合金であることを特徴とする請求項 5 または 6 記載の半導体装置。

【発明の詳細な説明】

10

20

30

40

50

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、同一の半導体基板上に、過電圧の印加により電極から金属を進入させることによりプログラムすることが可能な素子と、その他の素子とが形成され、それぞれの素子が電極に接続された半導体装置の製造方法および半導体装置に関する。

【 0 0 0 2 】

【 従来技術 】

従来、半導体装置製造後の調整を可能とするために、初期状態においては非導通状態にあり、過電圧の印加によって恒久的な導通状態にプログラムすることが可能なアンチヒューズ素子を半導体基板上に形成し、このアンチヒューズ素子をプログラムすることによって、同一の半導体基板上に形成された他の素子により構成された回路の動作状態を設定する技術が利用されている。

10

【 0 0 0 3 】

例えば、このプログラム可能な素子の一種として、PN接合を有するツェナーザップダイオードを利用し、抵抗値のトリミングを行う方法が知られている（特許文献1参照）。

【 0 0 0 4 】

図1～図3は、このような半導体装置に組み込まれたアンチヒューズ素子の一種であるPN接合ダイオード（ツェナーザップダイオード）の一例を示す概略図である。

【 0 0 0 5 】

図1に示すアンチヒューズ素子は、P型の不純物が添加されたP型シリコン基板31の表面領域を素子形成領域として利用したPN接合ダイオードである。すなわち、P型基板31の表面に、高い濃度でN型の不純物を添加したN+拡散層36が形成されており、このN+拡散層36とP型基板31との間にPN接合が形成されている。また、P型基板31の表面の、N+拡散層36に近接した位置には、P型の不純物を高濃度で添加したP+拡散層46が形成されている。そして、これらの拡散層が形成された半導体基板31表面には、全面に絶縁層（層間絶縁膜）32が形成されている。また、この層間絶縁膜32の、N+拡散層36およびP+拡散層46に対応する位置には、コンタクトホール33が形成され、そのコンタクトホール33にAlSi（Alを主成分とし、例えば1wt%（重量%）のSiが添加された合金）の膜からなる2つの電極35が形成されている。電極相互間に、通常の動作電圧範囲内の、逆向きのバイアス電圧、すなわち、N+拡散層36側には正、P+拡散層46側には負の電圧が印加されたときは、電極相互間是非導通状態である。

20

30

【 0 0 0 6 】

これに対して、図2に示すように、印加される電圧を増加し、P型基板31とN+拡散層36との間のPN接合の降伏電圧以上の過電圧を印加すると、PN接合が降伏し、矢印X方向に大電流が流れる。

【 0 0 0 7 】

そして図3に示すように、電極相互間に大電流が流れるとこの大電流によって発生する電子流からの力を受けて、マイナス側電極中のAlが電流の方向とは逆向きに流出し、P+拡散層37からP型基板31内に侵入する。そして、この侵入したAlがP型基板31とN+拡散層36との間の、逆方向にバイアスされたPN接合面に達した時点で、侵入したAlとシリコンとの反応によってPN接合が破壊される。この結果、PN接合ダイオードは、恒久的な導通状態に変化する。したがって、過電圧の印加を停止しても、もとの非導通状態には戻らず、通常の動作電圧範囲の逆バイアス電圧の印加によって電極間に電流が流れる、導通状態が維持される。通常は、この段階からさらに過電圧の印加を継続することによって、侵入したAlと半導体基板内のSiとが反応して形成された導電性のフィラメント37によって電極間が接続される状態に至る。これにより、電極相互間が極めて低い抵抗を持つ状態にプログラムされる。

40

【 0 0 0 8 】

なお、この例のAlのように、比較的大きい電流が流れると流動し、半導体領域内に侵入

50

してPN接合を破壊する金属を、以降、「流動性金属」と称する。

【0009】

アンチヒューズ素子としては、図1に示されたようにPN接合ダイオードのほかに、例えば、MOSFETを利用するものも知られている（特許文献2）。

【0010】

一般に、1 μ mデザインルールでは、アンチヒューズ素子およびその他の素子の電極は、この例のように、層間絶縁膜にコンタクトホールを開口し、このコンタクトホール内および層間絶縁膜表面上に、スパッタ法によって、シリコンが添加されたアルミニウム合金膜を堆積し、パターニングすることによって形成される。すなわち、AlSi合金からなる電極が、半導体基板表面の拡散層に直接、接続される。

10

【0011】

しかしながら、例えば0.8 μ m以下のデザインルールの半導体装置において、スパッタ法を用いることによりアルミニウム合金の電極を形成するのでは、コンタクトホールへのAl合金の埋め込みが不十分となる。そこで、先ずコンタクトホール内に、例えばチタンナイトライドからなる導電性の密着層をスパッタ法により形成するとともに、その密着層に重ねて高融点金属であるタングステンをCVD法により堆積し、エッチバックを行って埋め込みプラグを形成する。そして、そのタングステンプラグに、アルミニウム合金膜からなる電極を接続させる。密着層は、層間絶縁膜に対するタングステン膜の密着性を高める役目を果たすのと同時に、CVD法の原料として用いるWF₆ガスがシリコン基板を侵食するのを防ぐバリヤとしての役目を果たす。

20

【0012】

図4は、このような微細化プロセスにより形成される電極構造を示す図である。

【0013】

図4に示すように、コンタクトホール40に密着層39を介して埋め込んだタングステンプラグ38上にAl合金の電極35を形成することにより、タングステンプラグ38を介してN⁺型拡散層36およびP⁺拡散層46と、Al合金膜からなる電極35とがそれぞれ接続される。

【0014】

このようなタングステンのプラグ38が中間に設けられた電極構造を有する素子では、アルミニウム合金膜からなる電極35とシリコン基板31上の拡散層36、46との間にタングステンプラグ38が存在するため、このプラグによってAlの流動が阻害される。従って、電極相互間に過電圧を印加し、PN接合が降伏することによる大電流が流れるようにしても、半導体基板表面の素子形成領域内にAlを侵入させて、PN接合を破壊することができない。すなわち、アンチヒューズ素子として機能させるのは困難である。

30

【0015】

そこで、コンタクトホールにタングステンプラグを設けた通常の素子のほか、コンタクトホールにアルミニウム合金の電極が形成された、アンチヒューズ素子としてのツェナーザップダイオードを備えた半導体装置が提案されている（特許文献3参照）。

【0016】

図5～図7は、特許文献3に開示されているアンチヒューズ素子と、その他の通常の素子を備える半導体装置の電極形成方法の概略を示す図である。

40

【0017】

図5において、半導体（シリコン）基板1の、図の左側の部分には例えばツェナーザップダイオード等のアンチヒューズ素子が、図の右側の部分には、アンチヒューズ素子以外のその他の素子が形成されている。すなわち、それぞれの部分には、それぞれの素子を形成するための素子形成領域内に、それぞれの素子を構成するさまざまな構造体が形成されている。ただし、ここでは、これらの素子それぞれの構造体の詳細は省略し、素子形成領域に形成され、電極が接続される拡散層42、44のみを示してある。

シリコン基板1を覆う層間絶縁膜2には、通常の素子に対しては微細な寸法の第1のコンタクトホール3を設け、アンチヒューズ素子に対しては、第1のコンタクトホールよりも

50

開口寸法が大きい第2のコンタクトホール4を設ける。次に、これら各コンタクトホールに密着層5を形成し、その密着層5に重ねて、CVD法によりタングステン膜6を形成する。第1のコンタクトホール3は、開口が小さいため、タングステンで満たされるが、第2のコンタクトホール4は、開口が大きいため、ホール全体が満たされることはなく、その底部および側壁部のみにタングステンが堆積する。したがって、コンタクトホール4の中央部には窪み4aが形成される。

【0018】

次に図6に示すように、不要なタングステン膜6および密着層5をエッチバックし、第1のコンタクトホール3には、タングステンのプラグ6aを形成する。このとき第2のコンタクトホール4には、底面の一部の、タングステン膜6および密着層5が除去されてシリコン基板1の拡散層42が露出した状態となる。また側壁部にはサイドウォール6bが形成される。

10

【0019】

そして、図7に示すように、スパッタ法により、バリヤメタル45とアルミニウム又はアルミニウム合金膜が形成され、エッチングにより第1の電極8と第2の電極とが形成される。

【0020】

このように、特許文献3においては、タングステンプラグおよび密着層が存在すると、それらがA1の流動を阻み、フィラメントが形成されにくくなるという課題認識に基づき、第2のコンタクトホールの底部におけるタングステン膜および密着層を除去し、シリコン

20

【0021】

【特許文献1】

特開平6-151897号公報(段落番号0002、図15)

【特許文献2】

特許3204454号公報(段落番号0009~段落番号0021、図1、図2)

【特許文献3】

特開2000-340750号公報(段落番号0019~段落番号0035、図1、図2)

【0022】

30

【発明が解決しようとする課題】

特許文献3によれば、不要なタングステン膜をエッチバックする際に、第2のコンタクトホールでは、底面の密着層も除去してシリコン基板を露出させることが要件とされている。しかしながらこのタングステン膜のエッチバックには、一般にフッ素系プラズマが用いられるので、タングステン膜および密着層のみを除去することは困難であり、エッチバックの際にシリコン基板も損傷を受ける。このため、コンタクトホールの底面に露出される拡散層42がエッチングされ、この拡散層42と半導体基板との間のPN接合特性が劣化し、リーク電流が流れるようになる。この結果、過電圧を印加しなくても、リーク電流によって導通状態となるという初期不良状態が惹起される。

【0023】

40

本発明は、上記事情に鑑み、アンチヒューズ素子以外の通常の素子に対しては、コンタクトホールにプラグを埋め込むことによって微細化を可能としながら、アンチヒューズ素子に対しては、過電圧印加によるプログラムが容易で、かつ、初期不良が発生しない半導体装置の製造方法、およびその製造方法を用いた半導体装置を提供することを目的とする。

【0024】

【課題を解決するための手段】

上記目的を達成する本発明の半導体装置の製造方法は、複数の拡散層を有する半導体基板上の絶縁層に、該複数の拡散層のうちの何れかの拡散層を底面とする、第1のコンタクトホールと該第1のコンタクトホールよりも開口寸法が大きい第2のコンタクトホールとが形成された半導体装置の製造方法において、

50

上記第 1 および第 2 のコンタクトホールは底面並びに側面に導電性の密着層を形成するとともに、該密着層上に、該第 1 のコンタクトホールは埋め込む状態で、該第 2 のコンタクトホールには中央部に窪みが形成された状態で、第 1 の金属材料からなるプラグ形成膜を形成する工程と、

上記プラグ形成膜をエッチバックし、上記第 1 のコンタクトホールには上記第 1 の金属材料が埋め込まれたプラグを形成するとともに、上記第 2 のコンタクトホールには該第 1 の金属材料の少なくとも一部が除去されて底面の少なくとも一部の上記密着層が露出した状態を形成する工程と、

上記第 2 のコンタクトホールの上記密着層に接触させて、第 2 の金属材料からなる電極を形成する工程とを備えたことを特徴とする。

10

【0025】

このように、プラグ形成膜をエッチバックする際には、第 2 のコンタクトホールの底面の密着層は残置されたままであり、シリコン基板が損傷を受けることはない。また、アルミニウムなどの第 2 の金属材料からなる電極を形成する前に、改めてバリヤメタルを形成する必要がない。

【0026】

上記の目的を達成する本発明の半導体装置は、第 1 の素子を構成する第 1 の拡散層と、第 2 の素子を構成する第 2 の拡散層とが形成された半導体基板上の絶縁層に、該第 1 の拡散層を底面とする第 1 のコンタクトホールと、該第 2 の拡散層を底面とし、該第 1 のコンタクトホールよりも開口寸法が大きい第 2 のコンタクトホールとが形成された半導体装置において、

20

上記第 1 のコンタクトホールには、底面並びに側面に導電性の密着層が形成されるとともに、該密着層上に埋め込まれた第 1 の金属からなるプラグが形成され、

上記第 2 のコンタクトホールには、上記第 1 の金属のサイドウォールが形成されるとともに、底面の少なくとも一部に露出した上記密着層に接触する第 2 の金属材料からなる電極が形成されたものであって、

上記第 2 の素子は、所定電圧を越える過電圧を印加することにより、非導通状態から恒久的な導通状態に変化するものであることを特徴とする。

【0027】

このように、第 2 のコンタクトホールには、底面の少なくとも一部に露出した密着層に接触させて、アルミニウムなどの第 2 の金属材料からなる電極が形成されているので、その電極を介して配線に接続された第 2 の素子は、通常の動作電圧が印加された時には非導通であるが、PN 接合が降伏する電圧以上の過電圧の印加によって容易に導通状態に変化させることができるアンチヒューズ素子として機能する。

30

【0028】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法および半導体装置の実施形態について説明する。

【0029】

本発明の半導体装置は、アンチヒューズ素子、および、アンチヒューズ素子以外のその他の素子、例えばトランジスタ素子等が、同一の半導体基板の上に形成されている。しかし、これらアンチヒューズ素子およびその他の素子自体の構造は、従来のものと同一であり、また、今後開発されるどのようなものを使用してもよい。従来と異なるのは、これらの素子に電極を接続する構造のみである。そこで、個々の素子の構造の詳細についての説明を省略する。

40

【0030】

図 8 ~ 図 11 は、本実施形態の半導体装置の、アンチヒューズ素子に接続する第 2 の電極およびその他の通常の素子に接続する第 1 の電極の構造およびその製造方法を示す図である。

【0031】

これらの図において、半導体（シリコン）基板 1 の表面上には、図の左側の部分に例えば

50

ツェナーザップダイオード等のアンチヒューズ素子が、図の右側の部分には、その他の通常の素子、例えばMOSトランジスタ素子等が形成されている。すなわち、それぞれの部分には、例えばウエル内に素子分離絶縁膜によって囲まれた素子形成領域が形成され、この素子形成領域内に、それぞれの素子を構成するさまざまな拡散層等の構造体が形成されている。ただしここでは、これらの素子それぞれの構造体の詳細は省略し、これらの素子を構成し、第1および第2の電極がそれぞれ接続される拡散層44, 42のみを示してある。拡散層42は、例えば、図1に示されたような、アンチヒューズ素子として使用されるダイオード素子のN+拡散層36, P+拡散層46等を代表するものである。拡散層44は、例えば、後から説明する図15, 16に示されるそれぞれのMOSトランジスタのソース、ドレイン拡散層等を代表するものである。

10

【0032】

図8において、シリコン基板1上に、例えばシリコン酸化膜からなる絶縁層(層間絶縁膜)2を形成し、フォトリソグラフィ、およびエッチングにより、層間絶縁膜2に通常素子用の第1のコンタクトホール3と、アンチヒューズ素子用の第2のコンタクトホール4とを形成する。そして、密着層5をスパッタ法により成膜し、さらにその上にCVD法により、本発明の第1の金属材料からなるプラグ形成膜に相当する、高融点金属であるタングステンの膜6を成膜する。

【0033】

ここで、一例として、0.5 μ mルールプロセスを利用する場合、第1のコンタクトホール3は、開口寸法を0.5 μ mにすることができる。また、第2のコンタクトホール4は、第1のコンタクトホール3の開口寸法よりも大きく、好ましくは2倍以上にする。具体的には1.2 μ m~3.0 μ mの範囲内とすることが好ましい。密着層5は、例えば下層に膜厚30nmのチタンを、上層に膜厚130nmのチタンナイトライドをスパッタリング法により堆積して形成する。ただしこれらの膜厚は平坦部での値であり、コンタクトホール3, 4ではさらに薄くなる。

20

【0034】

タングステン膜6の膜厚は、第1のコンタクトホール3の開口寸法の1/2以上とする。これにより、両方の側壁上の密着層5上に成膜されたタングステン膜6が、コンタクトホール3の中央部で合体し、図8に模式的に示したように、コンタクトホール3の内部を埋め込み、その上方においてほぼ平坦な上面を有するタングステン膜6を形成することができる。しかし、第2のコンタクトホール4の開口寸法に対しては1/2未満となるように、タングステン膜6の膜厚を設定する。これにより、第2のコンタクトホール4においては、両方の側壁の密着層5上に成膜されたタングステン膜6の合体は起こらない。そして、コンタクトホール4の中央部には、底面の密着層5上に堆積されたタングステン膜6のみが存在するため、窪み4aが残される。

30

【0035】

現実には、CVD法で堆積したタングステン膜6の上面には凹凸が存在し、完全に平坦な状態にはならない。また、コンタクトホール側壁の密着層5上に堆積するタングステン膜6の表面にも凹凸が存在するため、第1のコンタクトホール3の中央部での合体が完全には行われず、コンタクトホール3の内部に微小な空間が残る場合があるし、上面においても、コンタクトホール3の中心部の上方に微小な凹みが残される場合がある。しかし、第1のコンタクトホール3においては、第2のコンタクトホール4のような、底面の密着層5上に堆積されたタングステン膜6のみが存在する部分による、明確な窪みが形成されることはない。この意味で、第1のコンタクトホール3上のタングステン膜6は、完全に平坦ではないとしても略平坦な上面を有する。

40

【0036】

図9において、不要なタングステン膜6を除去するためエッチバックし、第1のコンタクトホール3には、タングステンが埋め込まれたプラグ6aを形成する。一方、第2のコンタクトホール4は、中央部が窪んだ状態4aでタングステンが成膜されているため、エッチバックすると中央部は底面までエッチングされる。しかし、ここでは密着層5aに対し

50

て選択性を有するタングステンエッチバック条件を利用し、エッチングを底面の密着層 5 a 上でとどめる。これにより、底面の密着層 5 a を残置し、シリコン基板 1 が露出しないようにする。このとき、第 2 のコンタクトホール 4 の中央部を除く周辺領域は、タングステン膜 6 が選択的に残り、サイドウォール 6 b が形成される。すなわち、第 2 のコンタクトホール 4 の中央部にはタングステン膜が存在せず、側壁の密着層 5 上に選択的にタングステン膜 6 が形成された状態になる。

【0037】

この時、コンタクトホール外の層間絶縁膜 2 上にも密着層 5 が残される。

【0038】

ここで、タングステンのエッチバックには、例えば SF₆ ガス、酸素ガス、アルゴンガスを混合したガス雰囲気を用いたプラズマエッチが採用される。 10

【0039】

次に、図 10 において、層間絶縁膜 2 上に残された密着層 5 に付着しているチタンフッ化物等を例えば有機溶剤を用いて除去した後、プラグ 6 a が形成された第 1 のコンタクトホール 3 および底面の一部に密着層 5 a が露出した第 2 のコンタクトホール 4 を含む全面上に、スパッタ法で、例えば Al を主成分とし、0.5 wt % の Cu が添加された AlCu 膜 7 を形成する。

【0040】

そして図 11 において、AlCu 膜 7 を、その下層の密着層 5 とともにパターンニングし、その他の素子の拡散層 4 4 に接続する第 1 の電極 8 と、アンチヒューズ素子を構成する拡散層 4 2 に接続する第 2 の電極 9 とが形成される。また同時に、層間絶縁膜 2 上においては、AlCu 膜 7 と密着層 5 とが積層された、すなわち、密着層 5 を下地層として有する AlCu 膜 7 からなる配線 4 8 が形成され、これらおよび他の素子相互の接続のために利用される。すなわち、タングステンプラグ 6 a が埋め込まれた第 1 のコンタクトホール 3 上には、AlCu 膜 7 および密着層 5 からなり、タングステンプラグ 6 a を介してその他の素子の拡散層 4 4 に接続された、第 1 の電極 8 が、配線 4 8 の一部として形成される。一方、第 2 のコンタクトホール 4 内には、同一の AlCu 膜 7 からなり、第 2 のコンタクトホール 4 の底面において露出した密着層 5 a を介してアンチヒューズを構成する拡散層 4 2 に接続された、第 2 の電極 9 が、層間絶縁膜 2 上の配線に接続して形成される。 20

【0041】

ここで、AlCu 膜 7 は、流動性金属である Al を主成分とし、Cu を例えば 0.5 wt % 含む合金膜である。この膜を利用して形成した配線は、微細化された場合でも高い信頼性を有する。特に、Ti 膜や TiN 膜からなる下地層と積層することにより、AlCu 膜の配向性が向上し、さらに信頼性が高まる。 30

【0042】

しかし、AlSi 膜の場合とは異なり、AlCu 膜 7 からなる第 2 の電極 9 は、拡散層 4 2 に直接接触させることはできない。すなわち、拡散層 4 2 に直接接触させると、電極形成後の製造工程に行われる熱工程（トランジスタ素子の特性を安定させるために半導体基板を 300 ~ 400 程度の温度に加熱する熱処理工程、300 ~ 400 程度の温度に加熱した半導体基板上に CVD 法によって絶縁物や金属の膜を形成する成膜工程等）において、拡散層からシリコンを吸い上げ、これによって拡散層内に形成された空孔に Al が侵入し、導電性のスパイクが形成される。これによってリークが発生し、初期不良が発生する。従って AlCu 膜を用いて電極を形成する場合には、拡散層 4 2 と直接接触させるのではなく、その間に、アルミとシリコンとの相互の拡散を防止する、拡散防止層を挿入する必要がある。しかし、本実施形態の半導体装置の製造方法においては、タングステン膜 6 堆積のために形成された密着層 5 a が、第 2 のコンタクトホール 4 の底面において残された状態で、AlCu 膜 7 の堆積が行われる。この密着層 5 a が拡散防止層としての役割を果たすので、あらためて拡散防止層を形成する必要はない。 40

【0043】

なお、上記のようなスパイク発生の問題は、AlSi 膜を利用した場合には発生しない。 50

これは、AlSi膜中に、電極形成後の製造工程中に行われる熱工程の温度（最高400程度）において、Al中に固溶することができる最大のSi量である固溶度を超える量のSiが添加されているため、拡散層42に直接接触させても、Al合金膜中へのSiの吸い上げが起きないからである。しかし、AlSi膜では、添加されたSiが電極形成後の製造工程中に行われる熱処理によって析出し、ノジュールを形成するため、微細な配線のエレクトロマイグレーションに対する信頼性が低下する。

【0044】

図12は、アンチヒューズ素子の1対の電極構造を示す図である。

【0045】

図12(a)には、第2の電極により1対の電極を構成する例を示し、図12(b)には、一方は第2の電極、他方は第1の電極により1対の電極を構成する例を示している。 10

【0046】

このように、AlCu膜7からなり、開口の大きい第2のコンタクトホール4の底面において露出した密着層5aを介して拡散層42に接続された第2の電極9が、一対の電極のうち、何れか一方に形成されていても、あるいは双方に形成されていてもアンチヒューズ素子として機能するので、半導体装置に形成されるアンチヒューズ素子の数や設計条件によって、何れかを選択することができる。

【0047】

次に、本実施形態の製造方法を用いて電極を形成したアンチヒューズ素子の特性実測結果について説明する。 20

【0048】

図13および図14は、0.5μmルールプロセスを用いて製造したアンチヒューズ素子においてコンタクトホールの開口サイズを変化させたときの書き込み（プログラム）前と書き込み（プログラム）後の抵抗値を示す図である。

【0049】

ここで用いたアンチヒューズ素子は、図1に例示されたように、半導体基板の表面領域に形成されたPN接合ダイオードからなるものである。このアンチヒューズ素子のN+拡散層とP+拡散層の両方に、図8～11に示される工程を用いて、コンタクトホールの底面において露出した密着層を介して接続されるAlCu膜からなる第2の電極を形成した。

【0050】

なお、書き込み条件は、印加電圧8.5V、パルス幅10ms、制限電流100mAである。この書き込み条件は、基本的には、図1に例示されたような、従来の、AlSi膜からなる電極を密着層を介することなく直接拡散層に接続させたアンチヒューズ素子に適用される書き込み条件と、同一である。 30

【0051】

なお、図13、図14において、縦軸は、抵抗値（ Ω ）、横軸は、コンタクトホールの開口サイズ径（ μm ）を表わしている。また、図中の黒丸印は、各開口サイズ径（ μm ）における平均抵抗値をあらわし、縦軸方向に実線であらわす範囲は、各開口サイズ径（ μm ）における抵抗値の最大値と最小値とを表わしている。

【0052】

図13は、導通状態のアンチヒューズ素子の抵抗値を示す図であり、図14は、非導通状態のアンチヒューズ素子の抵抗値を示す図である。 40

【0053】

本実施形態のアンチヒューズ素子は、図14に示すようにコンタクトホールの開口サイズ径如何に拘わらず、書き込み前における抵抗値は、最小値でも 2.8×10^{10} （ $2.8 \text{E} + 10$ ）であり、非導通状態と見なすことができる。これに対して、図13に示すように、コンタクトホールの開口サイズ径如何に拘わらず、書き込み後においては平均抵抗値が250未満、最大値でも350未満であり、書き込み前に比較して格段に低い抵抗値を有する導通状態に至る。

【0054】

従来は、特許文献3に述べられているように、タングステンプラグおよび密着層は、いずれも、流動性金属であるAlの流動を阻害すると認識されていた。しかし、本実施形態においては、アンチヒューズ素子の拡散層に接続される電極が形成される、少なくとも一方のコンタクトホールにおいては、タングステンプラグは形成されないものの、密着層は残置され、この残置された密着層を介してAlCu膜からなる電極が接続される。従って、この密着層によってAlの流動が阻害されて、書き込みが困難になることが危惧された。しかし、この予想に反して、実際には、密着層が残置されていても、従来とほぼ同等の書き込み条件で、導通状態にプログラムすることが可能であり、しかも、導通状態における抵抗値も十分に低いことが確認された。換言すれば、この結果から、第2のコンタクトホール4の底部に残された密着層5aは、電極間に過電圧を印加し、電流を流したときに、電極に含まれる流動性金属のAlは通過し、アンチヒューズ素子を形成した半導体領域内にそのAlが侵入するのを許容するものであることが分かった。

10

【0055】

なお、図14に示すように、書き込み前の抵抗値は、最小値でも 2.8×10^{10} であることから、アルミスパイク発生によるリークの発生が生じていないことが分かる。この結果から、第2のコンタクトホール4の底部に残された密着層5aは、過電圧を印加したときは流動性金属であるAlの通過を許すものであると同時に、製造時においては、電極形成後に行なわれる熱処理工程における最高温度(400程度)においても、半導体領域内への流動性金属の侵入を防止する効果を有していることがわかる。

【0056】

20

上記の実施形態においては、半導体基板の表面の素子形成領域に形成したPN接合ダイオードをアンチヒューズ素子として使用したが、本発明は、これ以外にも様々なアンチヒューズ素子に対して適用することが可能である。例えば、MOSFETのドレインソース間に過電圧を印加して流動性金属を侵入させて導通状態にプログラムするアンチヒューズ素子に適用することも可能である。また、半導体基板自体の表面を素子形成領域として形成するのではなく、例えば、半導体基板上に絶縁膜を介して形成された多結晶シリコン膜を素子形成領域として、例えばPN接合ダイオードからなるアンチヒューズ素子を形成することも可能である。

【0057】

上記の実施形態においては、タングステン膜6のエッチバックをプラズマエッチングで行い、第1のコンタクトホール3を埋め込むプラグを形成すると同時に、第2のコンタクトホール4においては、中央部において底面の密着層5上に堆積したタングステン膜6を除去し、密着層5aを露出させている。プラグ形成のためのタングステン膜エッチバック技術としては、プラズマエッチングの他に、CMP(Chemical Mechanical Polishing)法を用いる方法が知られている。しかしCMP法によるエッチバックでは、第1のコンタクトホール3を埋め込むプラグは形成できても、第2のコンタクトホールの底面における密着層5aの露出を行うことはできない。従ってこの場合には、例えば、CMP法によるエッチバックを行った後に、さらに、第2のコンタクトホールを露出させるレジストマスクを形成してから、プラズマエッチングによるエッチバックを追加して行い、第2のコンタクトホールの底面における密着層5aの露出を行うこともできる。この時に、等方的なエッチングを条件を利用することにより、タングステンのサイドウェル6bを残さず、第2のコンタクトホールの底面全体において密着層5aを露出することも可能である。

30

40

【0058】

ただし、工程短縮のためには、上記の実施形態のように、タングステン膜6のエッチバックをプラズマエッチングで行い、第1のコンタクトホール3を埋め込むプラグを形成すると同時に、第2のコンタクトホール4の底面において、密着層5aを露出させることが好ましい。

【0059】

なお、CMP法によるエッチバックの際に、層間絶縁膜2表面上の密着層5が除去された

50

場合には、AlCu膜7をパターンングして形成する配線の信頼性を向上させるため、配線の下地層として、例えばTi膜を堆積してからAlCu膜7の堆積を行うことが可能である。この場合、第2のコンタクトホール4内に形成されてアンチヒューズ素子の拡散層42に接続される第2の電極9は、AlCu膜およびその下層に積層された下地層から形成される。従って、第2のコンタクトホール4の底面に残された密着層5aに対するAlCu膜の接触は、下地層を介して行なわれることになる。本願発明においては、アンチヒューズに接続される電極を構成する流動性金属を主成分とするAlCu膜が密着層5aに直接、接触することは必ずしも必須ではない。すなわち、アンチヒューズ素子に接続される第2の電極が、流動性金属を主成分とする膜のみから形成されることは必須ではなく、他の金属の膜と積層された構造を持つ場合もある。ただし、下地層の材料および膜厚によっては、過電圧印加時の流動性金属の流動を阻害し、書き込みを困難にする可能性もある。従って、AlCu膜の配向性を向上させる下地層としての効果を有する範囲で、その材料および膜厚を適切に選択することが好ましい。もちろん、可能である場合には、層間絶縁膜2表面上の密着層5を残し、下地層の形成を不要にすることが好ましい。

10

20

30

40

50

【0060】

上記の実施形態では、電極形成のために利用される、流動性金属を主成分とする膜としてAlCu膜を利用した。しかし、流動性金属としてアルミニウムを利用する場合であっても、純Alおよびその他様々なAl合金の膜を利用することができる。しかし、上記のように配線の信頼性を高めるためには、Siを全く含まない、もしくは、含むとしても含有量が低く、微細配線内でSiノジュールを発生することがないという意味で、実質的に含まないと思わせる範囲のアルミニウムもしくはアルミニウム合金膜を利用することが好ましい。流動性金属としては、アルミニウム以外にも、例えば特許文献2に開示されたように、チタンなどのシリサイドを形成する金属や、金、銅、銀などを利用することもできる。

【0061】

次に、アンチヒューズ素子と一緒に組み込まれている内部回路の一例について説明する。

【0062】

図15は、本実施形態の半導体装置の一部をなす、アンチヒューズ素子と、そのアンチヒューズ素子を恒久的な導通状態にプログラムする書き込み回路を構成する、トランジスタ素子とを有する1ビットの記憶回路の一例を示す図である。

【0063】

図15に示す本実施形態の半導体装置の一部をなす1ビットの記憶回路10は、P型MOSトランジスタ11および電圧調整用の抵抗12からなる書き込み回路13と、書き込み回路13から電極相互間に高電圧が印加されることにより、電極相互間が非導通状態から導通状態に変化するアンチヒューズ素子14と、P型MOSトランジスタ15およびN型MOSトランジスタ16からなるインバータ17、並びに電圧調整用の抵抗18からなる読み出し回路19と、書き込み用電源端子Vdd1、および入力端子Aと、読み出し用回路の電源端子VDD、接地端子GNDと、および出力端子OUTとを備えている。

【0064】

書き込み用電源端子Vdd1は、書き込み用高圧電源に接続される端子であり、P型MOSトランジスタ11のソース電極に接続される。入力端子Aは書き込み情報が入力される端子であり、P型MOSトランジスタ11のゲート電極に接続される。また、書き込み用電源Vdd1と入力端子Aとの間には、電圧調整用の抵抗12が接続される。P型MOSトランジスタ11のドレイン電極は、アンチヒューズ素子14の正の電圧が印加される電極とインバータ17を構成するP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極に接続される。アンチヒューズ素子14の他方の電極はGNDに接続される。さらに、インバータ17を形成するP型MOSトランジスタ15のソース電極は、電源端子VDDに接続されるとともに、N型MOSトランジスタ16のソース電極は接地端子GNDに接続され、電源端子VDDとP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極との間には、電圧調整用の抵抗18が接続されている。そして、

P型MOSトランジスタ15およびN型MOSトランジスタ16双方のドレイン電極は、出力端子OUTに接続されている。読み出し回路用の電源端子VDDは、例えば5V、もしくは3.3Vの内部回路用電源に接続される。

【0065】

この1ビットの記憶回路10の書き込み用電源端子Vdd1に書き込み用の高電圧を供給した状態で、入力端子Aに論理「1」が入力されると、書き込み回路13のP型MOSトランジスタ11は、OFF状態となり、アンチヒューズ素子14は、高電圧が印加されないため非導通状態が維持される。また、入力端子Aに論理「0」が入力されると、P型MOSトランジスタ11は、ON状態となり、アンチヒューズ素子14は、高電圧が印加されるため導通状態にプログラムされる。

10

【0066】

一方、読み出し回路19においては、書込用電源端子Vdd1が開放された後に、アンチヒューズ素子14が非導通状態のときは、インバータ17を形成するP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極は、アンチヒューズ素子14により接地端子GNDに短絡されず、ハイレベルとなるため、出力端子OUTから論理「0」が出力される。また、アンチヒューズ素子14が導通状態のときは、インバータ17を形成するP型MOSトランジスタ15およびN型MOSトランジスタ16双方のゲート電極は、アンチヒューズ素子14により接地端子GNDに短絡され、ローレベルとなるため、出力端子OUTから論理「1」が出力される。

【0067】

図16は、本実施形態の半導体装置の一部をなし、1ビットの記憶回路の論理状態に応じて動作状態が変化する内部回路の一例を示す図である。

20

【0068】

図16に示す内部回路20は、P型MOSトランジスタ21およびN型MOSトランジスタ22からなる複数のインバータ23と、複数のコンデンサ25と、複数のN型MOSトランジスタ24とにより形成されている。

【0069】

各インバータ23を構成するP型MOSトランジスタ21のソース電極に電源端子VDDが接続され、N型MOSトランジスタ22のソース電極に接地端子GNDが接続され、ゲート電極に、図16で説明した1ビットの記憶回路10の出力端子OUTがそれぞれ接続される。P型MOSトランジスタ21およびN型MOSトランジスタ24双方のドレイン電極は、N型MOSトランジスタ24のゲート電極に接続される。そして、N型MOSトランジスタ24の各ドレイン電極は、容量ノード30に各コンデンサ25を介して接続され、各N型MOSトランジスタ24のソース電極は、接地端子GNDに接続される。電源端子VDDは、例えば、1ビットの記憶回路10の読み出し回路19と共通の、内部回路用電源に接続する。

30

【0070】

1ビットの記憶回路10の出力端子OUTから論理「1」が出力されると、内部回路20のインバータ23から出力される、N型MOSトランジスタ24のゲート電極に接続されたノードBの論理「0」となるので、N型MOSトランジスタ24はOFFとなり、コンデンサ25の容量は容量ノード30に付加されない。

40

【0071】

一方、1ビットの記憶回路10の出力端子OUTから論理「0」が出力されると、内部回路20のインバータ23から出力される、N型MOSトランジスタ24のゲート電極に接続されたノードBの論理「1」となるので、N型MOSトランジスタ24はONとなり、コンデンサ25の容量が容量ノード30に付加される。

【0072】

このように、本実施形態の半導体装置は、1ビットの記憶回路10の中から必要なものを選択し、その記憶回路10に組み込まれたアンチヒューズ素子14を導通状態にプログラムすることにより、内部回路20を所望の動作状態に設定することができる。すなわち、

50

この例では容量ノード30の容量値を所定の値に設定することができる。この設定された容量値を用いて、例えば同じ半導体装置内に組み込まれている、発振回路の発振周波数を所望の値に調整することができる。

【0073】

【発明の効果】

以上、説明したように、本発明の半導体装置の製造方法およびその方法によって製造された半導体装置によれば、アンチヒューズ素子以外の通常の素子に対しては、コンタクトホールにプラグを埋め込むことによって微細化を可能としながら、アンチヒューズ素子に対しては、流動性金属を主成分とする膜からなる電極を、コンタクトホールの底面に残した密着層を介して拡散層に接続するので、過電圧印加によるプログラムが容易であり、かつ、リークによる初期不良が発生しない。

10

【図面の簡単な説明】

【図1】半導体装置に組み込まれたアンチヒューズ素子を一例として示す概略図である。

【図2】半導体装置に組み込まれたアンチヒューズ素子を一例として示す概略図である。

【図3】半導体装置に組み込まれたアンチヒューズ素子を一例として示す概略図である。

【図4】微細化プロセスにおける設計基準により形成される電極構造を示す図である。

【図5】特許文献3に開示されている電極の形成方法の概略を示す図である。

【図6】特許文献3に開示されている電極の形成方法の概略を示す図である。

【図7】特許文献3に開示されている電極の形成方法の概略を示す図である。

【図8】本実施形態の半導体装置における電極の製造プロセスを示す図である。

20

【図9】本実施形態の半導体装置における電極の製造プロセスを示す図である。

【図10】本実施形態の半導体装置における電極の製造プロセスを示す図である。

【図11】本実施形態の半導体装置における電極の製造プロセスを示す図である。

【図12】アンチヒューズ素子の1対の電極構造を示す図である。

【図13】0.5 μ mルールプロセスを用いて製造したアンチヒューズ素子においてコンタクトホールの開口サイズを変化させたときの書き込み（プログラム）前と書き込み（プログラム）後の抵抗値を示す図である。

【図14】0.5 μ mルールプロセスを用いて製造したアンチヒューズ素子においてコンタクトホールの開口サイズを変化させたときの書き込み（プログラム）前と書き込み（プログラム）後の抵抗値を示す図である。

30

【図15】本実施形態の半導体装置の一部をなす、アンチヒューズ素子と、そのアンチヒューズ素子を恒久的な導通状態にプログラムする書き込み回路を構成するトランジスタ素子とを有する1ビットの記憶回路の一例を示す図である。

【図16】本実施形態の半導体装置の一部をなし、1ビットの記憶回路の論理状態に応じて動作状態が変化する内部回路の一例を示す図である。

【符号の説明】

1 シリコン基板

2, 32 層間絶縁膜

3 第1のコンタクトホール

4 第2のコンタクトホール

40

4a 中心が窪んだ状態

5, 39 密着層

6 タングステン膜

6a, 38 タングステンのプラグ

6b サイドウォール

7 アルミニウム又はアルミ合金からなる膜

8 第1の電極

9 第2の電極

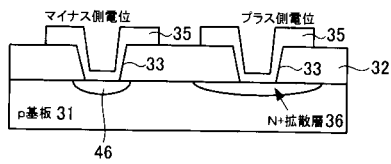
10 1ビットの記憶回路

11, 15, 21 P型MOSトランジスタ

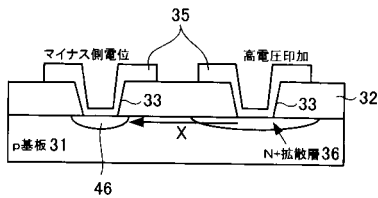
50

- 1 2 , 1 8 調整用の抵抗
- 1 3 書き込み回路
- 1 4 アンチヒューズ素子
- 1 6 , 2 2 , 2 4 N型MOSトランジスタ
- 1 7 , 2 3 インバータ
- 1 9 読み出し回路
- 2 0 内部回路
- 3 1 P型のシリコン基板
- 3 3 , 4 0 コンタクトホール
- 3 5 電極
- 3 6 N型拡散層
- 3 7 フィラメント
- 4 2 , 4 4 拡散層
- 4 5 バリヤメタル
- 4 6 P+拡散層
- 4 8 配線

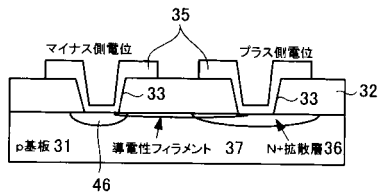
【 図 1 】



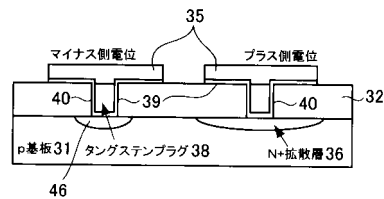
【 図 2 】



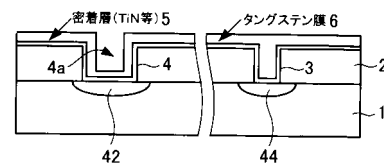
【 図 3 】



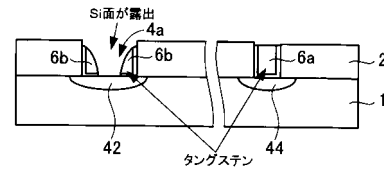
【 図 4 】



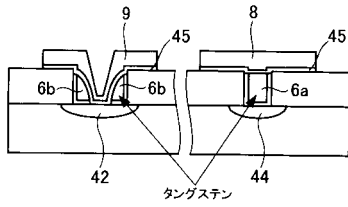
【 図 5 】



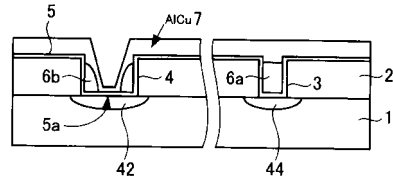
【 図 6 】



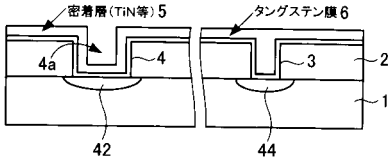
【図7】



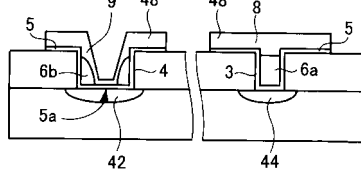
【図10】



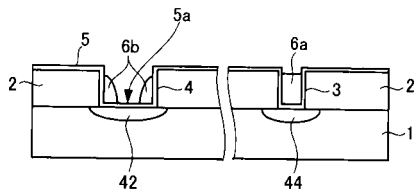
【図8】



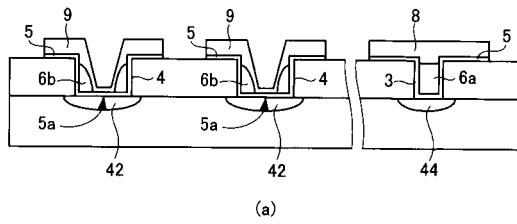
【図11】



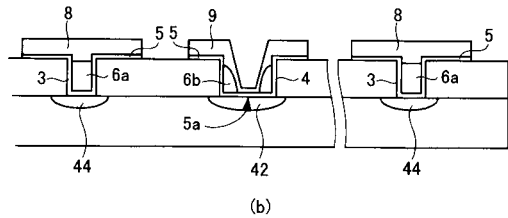
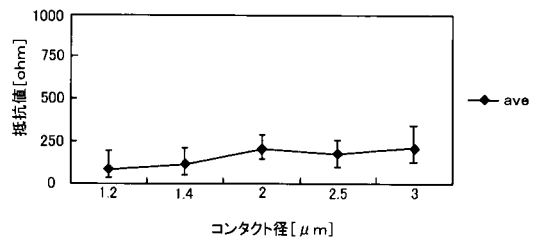
【図9】



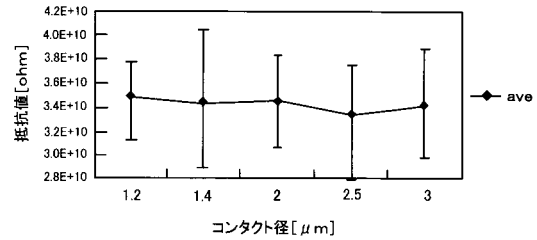
【図12】



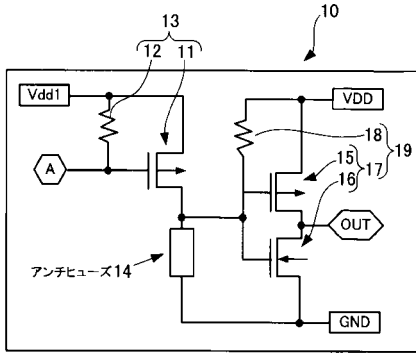
【図13】



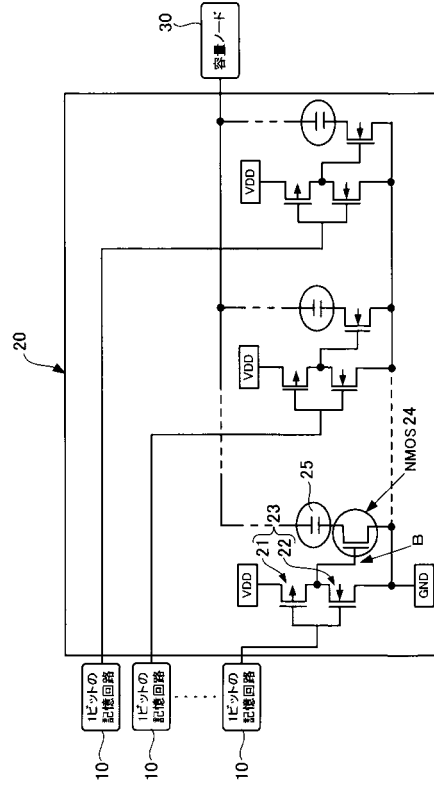
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 片桐 智治

千葉県千葉市美浜区中瀬 1 丁目 3 番地 川崎マイクロエレクトロニクス株式会社内

F ターム(参考) 5F033 HH08 HH09 HH18 HH33 JJ08 JJ09 JJ18 JJ19 JJ33 KK01
MM05 MM13 NN05 NN06 NN07 NN34 PP06 PP15 QQ08 QQ09
QQ12 QQ18 QQ22 QQ31 QQ37 QQ48 QQ73 QQ95 RR04 VV11
XX05 XX30 XX31