

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年7月2日(2015.7.2)

【公表番号】特表2014-514891(P2014-514891A)

【公表日】平成26年6月19日(2014.6.19)

【年通号数】公開・登録公報2014-032

【出願番号】特願2014-510545(P2014-510545)

【国際特許分類】

H 04 N 5/369 (2011.01)

H 04 N 5/374 (2011.01)

H 01 L 27/146 (2006.01)

【F I】

H 04 N 5/335 6 9 0

H 04 N 5/335 7 4 0

H 01 L 27/14 F

【手続補正書】

【提出日】平成27年5月12日(2015.5.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の基板および少なくとも1つの第2の次の(subsequent)支持用基板を含む複数の基板と、

画素配列(array)と、

複数の相互接続(interconnects)と、

複数の支援(support)回路と、

複数の画素リードバス及び回路バスと、

を備える撮像センサであって、

前記複数の基板のうちの前記第1の基板が、前記画素配列を備え、

前記複数の支援用回路が、前記第1の基板に対して遠隔に(remotely)配置される(disposed)前記少なくとも1つの第2の次の支持用基板上に配設され、

前記複数の支援用回路が、前記第1の基板と前記少なくとも1つの第2の次の支持用基板の間に配設される前記複数の相互接続を介して、前記画素配列に電気的に接続されると共に前記画素配列と電気通信し、

前記画素配列が、複数の画素グループを備え、画素グループ当たり1つの画素リードバスを持ち、

前記複数の相互接続の各々が、画素グループを、前記回路バスの1つに読み出し、

前記複数の支持回路が、更に、複数の読み出し支持回路を備え、読み出し支持回路当たり1つの回路バスを有し、

各画素リードバス及び各回路バスが重ねられ、

少なくとも1つの相互接続が、各画素リードバスと各回路バスの間の電気的接続を与える、

前記複数の相互接続の各々が、各画素グループに対しての、前記重ねられた画素リードバスの経路上のどこかに配置され、各読み出し支持回路に対しての、前記回路バスの経路上のどこかに配置され、

前記複数の相互接続が、前記画素配列の画素ピッチより大きい距離で互いに対して(relative to one another)間隔をおいて(spaced)配置される、  
撮像センサ。

【請求項2】

前記撮像センサが裏面照射される、請求項1に記載の撮像センサ。

【請求項3】

前記第1の基板が、主にシリコン材料で作製される、又は、

前記第1の基板が、テルル化カドミウムなどの「高Z」半導体材料で主に作製される、  
又は、

前記第1の基板が、ガリウムヒ素などのIII-V半導体材料で作製される、  
請求項1に記載の撮像センサ。

【請求項4】

前記複数の基板が、複数の第2の次の支持用基板をさらに備え、

好ましくは、前記第1の基板および前記複数の第2の次の支持用基板が、揃った状態(alignment)で積み重ねられ(stacked)、それによって複数の通信列が、多層スタックで形成される、  
請求項1に記載の撮像センサ。

【請求項5】

前記画素配列が、前記第1の基板の表面の大部分(majority)を覆い、好ましくは前記画素配列が、前記第1の基板の表面の実質的大部分(substantial majority)を覆い、又は、

前記画素配列が、前記第1の基板の表面の25パーセントより多くを覆い、又は、

前記画素配列が、前記第1の基板の表面の40パーセントより多くを覆い、又は、

前記画素配列が、前記第1の基板の表面の70パーセントより多くを覆い、又は、

前記画素配列が、前記第1の基板の表面の90パーセントより多くを覆う、  
請求項1に記載の撮像センサ。

【請求項6】

前記画素配列が、複数の画素列から構成され、各画素列が複数の画素を含み、

前記画素配列内の前記複数の画素列の各々が、共通の源(origin)から読み出される第1の列から順にバスに読み出され、第2の列が、前記第2の列に対して以前に読み出された画素列とは異なると共に、前記第2の列に対して続いて読み出される画素列とは異なる第1の行から読み出され、

好ましくは、前記第1の行が、前記以前に読み出された画素列および前記続いて読み出される画素列の行位置から少なくとも2行分の位置だけ遠くに間隔をおいて配置される、  
請求項1に記載の撮像センサ。

【請求項7】

前記支援用回路の1つが、アナログ・デジタル変換器である、請求項1に記載の撮像センサ。

【請求項8】

前記少なくとも1つ第2の続く支持用基板が、前記第1の基板と揃えられ(aligned)、  
好ましくは、

前記少なくとも1つの第2の次の支持用基板が、積み重ねられた(stacked)構成で前記第1の基板とZ次元に(in the Z-dimension)揃えられ(aligned)、  
又は、

前記第2の次の支持用基板が、前記第1の基板の背後(behind)に配設され(disposed)、  
そこから横にずらされる(disposed laterally therefrom)、  
請求項1に記載の撮像センサ。

【請求項9】

前記複数の相互接続の各々がバンプ(bump)であり、幅2画素(two pixels in width)より大きい、バンプからバンプの(bump to bump)距離を含み、又は、

前記バンプからバンプの距離が、幅4画素より大きい、又は、

前記バンプからバンプの距離が、幅 8 画素より大きい、又は、

バンプピッチが、

【数 1】

$$\sqrt{(N * PixelPitch_x)^2 + (M * PixelPitch_y)^2}$$

より大きい、

請求項 1 に記載の撮像センサ。

【請求項 1 0】

前記第 1 の基板の前記画素配列が、前記複数の基板の各々に配設された複数のそれぞれのリードバスを通じて前記少なくとも 1 つの続く支持用基板上に配設された前記複数の支援用回路と電気的に通信し、相互接続を通じて電子的に接続される、

請求項 1 に記載の撮像センサ。

【請求項 1 1】

前記読み出し支持回路及び前記対応する画素グループが、異なったアスペクト比を有する、

請求項 1 に記載の撮像センサ。

【請求項 1 2】

前記画素グループの各々が、画素列である、

請求項 1 に記載の撮像センサ。

【請求項 1 3】

画素列が、最上部の行から最底部の行までの全体の列であり、当該列が 1 画素の幅であり、若しくは、

画素列が、最上部の行から最底部の行までの全体の列であり、当該列が 2 画素の幅であり、若しくは、

画素列が、最上部の行から最底部の行までの全体の列であり、当該列が 3 画素の幅であり、若しくは、

画素列が、最上部の行から最底部の行までの全体の列であり、当該列が 4 画素の幅であり、若しくは、

又は、

画素列が、最上部の行から最底部の行までの全体の列より少なく、当該列が 1 画素の幅であり、若しくは、

画素列が、最上部の行から最底部の行までの全体の列より少なく、当該列が 2 画素の幅であり、若しくは、

画素列が、最上部の行から最底部の行までの全体の列より少なく、当該列が 3 画素の幅であり、若しくは、

画素列が、最上部の行から最底部の行までの全体の列より少なく、当該列が 4 画素の幅である、

請求項 1 2 に記載の撮像センサ。

【請求項 1 4】

1 つの画素リードバスが、1 つの画素グループを、前記読み出し支持回路の 1 つの回路バスに読み出し、

前記読み出し支持回路が、前記画素グループの面積と実質的に等しい面積を有する、

請求項 1 に記載の撮像センサ。