

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2011-507073

(P2011-507073A)

(43) 公表日 平成23年3月3日(2011.3.3)

(51) Int.Cl.

G06F 12/08 (2006.01)
G06F 12/16 (2006.01)

F 1

G06F 12/08 541Z
G06F 12/08 511E
G06F 12/16 310E
G06F 12/16 310J

テーマコード(参考)

5B005
5B018

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2010-536974 (P2010-536974)
 (86) (22) 出願日 平成20年11月21日 (2008.11.21)
 (85) 翻訳文提出日 平成22年5月28日 (2010.5.28)
 (86) 国際出願番号 PCT/US2008/084261
 (87) 国際公開番号 WO2009/076033
 (87) 国際公開日 平成21年6月18日 (2009.6.18)
 (31) 優先権主張番号 11/951,924
 (32) 優先日 平成19年12月6日 (2007.12.6)
 (33) 優先権主張国 米国(US)

(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 78735 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (74) 代理人 100149641
 弁理士 池上 美穂
 (72) 発明者 ラファエリ、ジェホダ
 アメリカ合衆国 78749 テキサス州
 オースティン エドマンド コート 8
 709

最終頁に続く

(54) 【発明の名称】 設定可能なウェイの冗長を用いるキャッシュメモリのエラー検出器

(57) 【要約】

データ処理システム(10)は、第1(64,72)及び第2(66,74)ウェイを有するマルチウェイ・キャッシュを含むプロセッサを有する。第2ウェイは、第1ウェイに対して冗長であり、又は、第1ウェイに対して独立した、マルチウェイ・キャッシュのアソシエイティブウェイとして動作するように構成される。システムは、メモリ(18)を含み、プロセッサ(12)は、キャッシュ(60)におけるリードアドレスのヒットに応答して、リードアドレスをメモリ(18)に供給する。第2ウェイは、前記プロセッサ(12)において、エラー検出信号に応答して第1ウェイに対して冗長となるように動的に構成される。一形態では、第2ウェイが冗長に構成される場合、キャッシュ(60)におけるリードアドレスのヒットに応答して、リードアドレスのインデックス部分によりアドレス指定されたデータが第1および第2ウェイから供給されて互いに比較され、比較エラーが存在するかどうかが検出される。

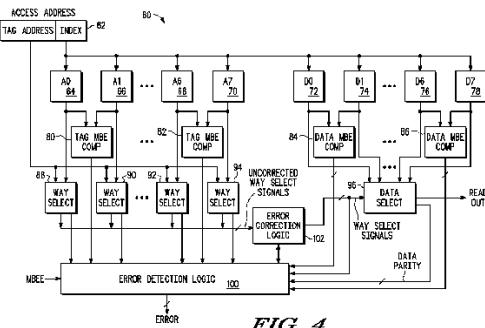


FIG. 4

【特許請求の範囲】**【請求項 1】**

データ処理システムであって、

第1ウェイ及び第2ウェイを有するマルチウェイ・キャッシュを含むプロセッサであって、前記第2ウェイは、前記第1ウェイに対して冗長であるか、又は、前記第1ウェイに対して独立した、前記マルチウェイ・キャッシュのアソシエイティブウェイとして動作するように構成可能である前記プロセッサと、

前記プロセッサに接続されたメモリと
を備え、

前記プロセッサは、前記マルチウェイ・キャッシュにおけるリードアドレスのミスに応答して、前記メモリに前記リードアドレスを供給する、データ処理システム。

【請求項 2】

前記第2ウェイは、前記プロセッサの動作中にエラー検出指示に応答して前記第1ウェイに対して冗長となるように動的に構成される、請求項1に記載のデータ処理システム。

【請求項 3】

前記第2ウェイが前記第1ウェイに対して冗長となるように構成される場合に、前記マルチウェイ・キャッシュにおける前記リードアドレスのヒットに応答して、前記リードアドレスのインデックス部分によりアドレス指定されたデータが、前記第1ウェイ及び前記第2ウェイから供給されて互いに比較され、比較エラーが存在するかどうかが検出される、請求項1に記載のデータ処理システム。

【請求項 4】

前記第2ウェイが前記第1ウェイに対して冗長に構成される場合、パリティ計算は、前記第1ウェイ及び前記第2ウェイの各々からの前記リードアドレスのインデックス部分によりアドレス指定された前記データに対して実行され、前記リードアドレスの前記インデックス部分によりアドレス指定された前記データ内に格納された対応するパリティビットを比較して、パリティエラーが存在するかどうかが検出される、請求項3に記載のデータ処理システム。

【請求項 5】

前記第1ウェイは、第1タグアレイ及び第1データアレイを含み、前記第2ウェイは、第2タグアレイ及び第2データアレイを含み、前記第2ウェイが前記第1ウェイに対して冗長に構成される場合、前記第2タグアレイは、前記第1タグアレイに対して冗長であり、前記第2データアレイは、前記第1データアレイに対して冗長であり、

前記マルチウェイ・キャッシュにおける前記リードアドレスのヒットに応答して、前記リードアドレスの前記インデックス部分によりアドレス指定される前記データは、互いに比較される前記第1タグアレイ及び前記第2タグアレイからの前記インデックス部分によりアドレス指定されたタグ情報、および互いに比較される前記第1データアレイ及び前記第2データアレイの両方からのインデックス部分によりアドレス指定されるデータ情報を含む、請求項3に記載のデータ処理システム。

【請求項 6】

データ処理システムであって、

第1ウェイ及び第2ウェイを有するマルチウェイ・キャッシュを含み、第1モード及び第2モードにて動作するように構成されるプロセッサであって、前記第1モードの動作において、前記第1ウェイ及び前記第2ウェイは、互いに独立して、前記マルチウェイ・キャッシュのアソシエイティブウェイとしてそれぞれ動作し、前記第2モードの動作において、前記第2ウェイは、前記マルチウェイ・キャッシュにおけるリードアドレスのヒットに応答して、前記リードアドレスのインデックス部分によりアドレス指定されるデータが前記第1ウェイおよび第2ウェイから供給されて互いに比較され、その比較に応答して比較エラーが存在するか否かを示す比較エラー信号を供給するように第1ウェイに対して冗長である、前記プロセッサを含み、前記プロセッサは、前記マルチウェイ・キャッシュにおける前記リードアドレスのミスに応答して、前記プロセッサに対する外部のメモリに前

10

20

30

40

50

記リードアドレスを供給する、データ処理システム。

【請求項 7】

前記マルチウェイ・キャッシュは、キャッシュ制御レジスタを含み、前記キャッシュ制御レジスタのエラー検出イネーブル領域に基づいて、第1モードまたは第2モードにおいて動作するように構成される、請求項6に記載のデータ処理システム。

【請求項 8】

前記第1ウェイおよび前記第2ウェイのそれからの前記リードアドレスの前記インデックス部分によりアドレス指定された前記データは、パリティビットを含む、請求項6に記載のデータ処理システム。

【請求項 9】

前記第2モードの動作において、パリティ計算は、前記第1ウェイおよび前記第2ウェイのそれからの前記リードアドレスの前記インデックス部分によりアドレス指定された前記データに対して実行されて、そのデータに対応するパリティビットが比較され、その比較に応答してパリティエラーが存在するか否かを示すパリティエラー信号が供給される、請求項8に記載のデータ処理システム。

【請求項 10】

前記第2モードの動作において、前記マルチウェイ・キャッシュは、前記比較エラー信号および前記パリティエラー信号に基づいてエラー信号を供給する、請求項9に記載のデータ処理システム。

【請求項 11】

前記マルチウェイ・キャッシュの前記第1ウェイは、第1タグアレイを含み、前記マルチウェイ・キャッシュの第2ウェイは、第2タグアレイを含み、前記第2モードの動作において、前記第2タグアレイは、前記インデックス部分によりアドレス指定されたタグは、前記第1タグアレイおよび前記第2タグアレイの両方から供給されて互いに比較され、前記比較エラー信号が供給されるように第1タグアレイに対して冗長である、請求項6に記載のデータ処理システム。

【請求項 12】

前記マルチウェイ・キャッシュの第1ウェイは、第1データアレイを含み、前記マルチウェイ・キャッシュの第2ウェイは、第2データアレイを含み、前記第2モードの動作において、前記第2データアレイは、前記インデックス部分によりアドレス指定された前記データが、前記第1データアレイおよび前記第2データアレイから供給されて互いに比較され、前記比較エラー信号が供給されるように前記第1データアレイに対して冗長である、請求項6に記載のデータ処理システム。

【請求項 13】

前記第2モードの動作において、前記第1データアレイおよび前記第2データアレイから供給される前記インデックス部分によりアドレス指定された前記データは、複数のバイトを含み、前記比較エラー信号は、前記複数のバイトの各バイトに比較エラーが存在するか否かを示す複数ビット信号である、請求項12に記載のデータ処理システム。

【請求項 14】

前記プロセッサに対する外部の前記メモリを含む、請求項6に記載のデータ処理システム。

【請求項 15】

前記マルチウェイ・キャッシュは、前記比較エラー信号に少なくとも部分的にに基づいて、前記リードアドレスの前記インデックス部分によりアドレス指定された前記データにおけるエラーを選択的に訂正するエラー訂正論理を含む、請求項6に記載のデータ処理システム。

【請求項 16】

データ処理システムであって、
nウェイ・アソシエイティブ・キャッシュを有し、第1モードまたは第2モードにおいて動作するプロセッサであって、前記第1モードの動作において、前記nウェイ・アソシ

10

20

30

40

50

エイティブ・キャッシュの各ウェイが、前記 n ウェイ・アソシエイティブ・キャッシュの独立したウェイとして動作し、前記第 2 モードの動作において、前記 n ウェイ・アソシエイティブ・キャッシュは、n / 2 ウェイ・キャッシュとして動作し、前記 n / 2 ウェイのそれぞれに対して、前記 n ウェイ・アソシエイティブ・キャッシュの他のウェイが、対応する冗長なウェイとして動作する、前記プロセッサを備える、データ処理システム。

【請求項 17】

前記第 2 モードの動作において、マルチウェイ・キャッシュにおけるリードアドレスのヒットに応答して、前記リードアドレスのインデックス部分によりアドレス指定された前記データが、前記 n / 2 ウェイおよび該 n / 2 ウェイに対応する冗長なウェイのそれぞれから供給されて互いに比較され、いくつかの比較エラーが存在するかどうかが検出される、請求項 16 に記載のデータ処理システム。

10

【請求項 18】

前記第 2 モードの動作において、パリティ計算は、前記 n / 2 ウェイおよび該 n / 2 ウェイに対応する冗長なウェイのそれぞれからの前記リードアドレスの前記インデックス部分によりアドレス指定された前記データに対して実行され、いくつかのパリティエラーが存在するかどうかが検出される、請求項 17 に記載のデータ処理システム。

【請求項 19】

n は、2 以上の整数であり、前記第 2 モードにおいて、n が 2 である場合に、前記 n ウェイ・アソシエイティブ・キャッシュが直接マップドキャッシュとして動作し、n が 2 より大きい場合、前記 n ウェイ・アソシエイティブ・キャッシュがセット・アソシエイティブ・キャッシュとして動作する、請求項 16 に記載のデータ処理システム。

20

【請求項 20】

マルチウェイ・キャッシュは、前記プロセッサの動作中に、プログラム可能なエラー検出指示に応答して、前記第 1 モードまたは前記第 2 モードにおける動作をするように動的に構成される、請求項 16 に記載のデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

この開示は、概してメモリに関し、また、この開示は、特にメモリに対するエラー検出及びエラー訂正の少なくとも一方のためのシステムに関する。

30

【背景技術】

【0002】

従来のキャッシュメモリは、バイトパリティを有する場合に、バイト毎に 1 つの欠陥のみを通常検出可能である。このようなキャッシュメモリでは、1 バイトのうち 2 ビットの値を変更すると、欠陥は、検出されない。必要な欠陥許容度のレベルが高いシステムでは、エラーを訂正するように使用されるコードのハミング距離は、4 つまで増加させることを要求される。しかしながら、増加されたハミング距離は、このようなキャッシュメモリを複雑にする。さらに、複雑なエラー訂正及びエラー検出は、キャッシュメモリの処理能力を低下させる。

【発明の概要】

【発明が解決しようとする課題】

【0003】

キャッシュメモリのあるユーザは、よりロバストなキャッシュメモリを有する限り、より低い処理能力に対応する不利益を受ける。しかしながら、キャッシュメモリの他のユーザは、キャッシュメモリのロバストネスについて認識せず、キャッシュメモリに関連する低い処理能力を好まない。従って、処理能力及びロバストネスの高いレベルを維持するとともに、両方のタイプのユーザを満足させる設定可能なキャッシュメモリが必要である。

40

【図面の簡単な説明】

【0004】

本発明は、例として説明され、付随する図面により制限されず、その図面では、同じ参

50

照が同様な要素を示す。その図面の要素は、簡潔かつ明確に説明され、必ずしも一定の縮尺で描かれていない。

【図1】キャッシュメモリに関連するデータ処理システムを示す。

【図2】例示的なキャッシュメモリを示す。

【図3】図2の例示的なキャッシュメモリ関連する例示的なキャッシュ制御部及び状態レジスタを示す。

【図4】図2の例示的なキャッシュメモリの例示的な部分を示す。

【図5】図2の例示的なキャッシュメモリに関連する例示的なエラー検出論理を示す。

【図6】図2の例示的なキャッシュメモリに関連するエラー検出及びエラー訂正を実行するための例示的な真理値表を示す。

【図7】図2の例示的なキャッシュメモリに関連するエラー検出及びエラー訂正を実行するための例示的な真理値表を示す。

【発明を実施するための形態】

【0005】

一形態では、プロセッサを含むデータ処理システムは、第1ウェイ及び第2ウェイを有する複数のキャッシュ・ウェイを備え、第2ウェイは、第1ウェイに対して冗長となるよう、又は第1ウェイに対して独立したマルチウェイ・キャッシュのアソシエイティブウェイ (associative way) として動作するように構成可能である。さらに、データ処理システムは、プロセッサに接続されたメモリを含み、プロセッサは、マルチウェイ・キャッシュにおけるリードアドレスのミスに応答して、メモリにリードアドレスを供給する。

【0006】

他の形態では、プロセッサを含むデータ処理システムが提供される。第1ウェイ及び第2ウェイを有するマルチウェイ・キャッシュを含むプロセッサは、第1モード又は第2モードにて動作するように構成可能であり、第1モードの動作では、第1ウェイ及び第2ウェイは、互いに独立してマルチウェイ・キャッシュのアソシエイティブウェイとしてそれぞれ動作し、第2モードの実行では、第2ウェイは、マルチウェイ・キャッシュにおけるリードアドレスのヒットに応答して、リードアドレスのインデックス部分によりアドレス指定されたデータが、第1ウェイ及び第2ウェイの両方から供給されて互いに比較され、比較エラーが存在するか否かの指示に応答して比較エラー信号が供給されるように第1ウェイに対して冗長であり、プロセッサは、マルチウェイ・キャッシュにおけるリードアドレスのミスに応答して、プロセッサ内のメモリにリードアドレスを供給する。

【0007】

さらに他の形態では、プロセッサを含むデータ処理システムが提供される。プロセッサは、第1モード又は第2モードにおいて動作するように構成可能であるn-ウェイ・アソシエイティブ・キャッシュ (n-way associative cache) を有し、第1モードの動作において、n-ウェイ・アソシエイティブ・キャッシュの各ウェイは、n-ウェイ・アソシエイティブ・キャッシュの独立したウェイとして動作し、第2モードの動作において、n-ウェイ・アソシエイティブ・キャッシュは、n/2-ウェイ・アソシエイティブ・キャッシュとして動作し、各n/2ウェイに対応するn-ウェイ・アソシエイティブ・キャッシュの他のウェイは、冗長なウェイとして動作する。

【0008】

本明細書にて用いられる「バス」という用語は、データ、アドレス、コントロール、又は状態等の1つ又はそれ以上の様々な情報を伝達するように使用される複数の信号又は導体について言及するように用いられる。本明細書にて説明される導体は、1つの導体、複数の導体、一方向の導体、又は双方向の導体に関して描写又は記述される。しかしながら、異なる実施形態では、導体の構成が変更されてもよい。例えば、個別の一方向の導体は、双方向の導体よりも使用され、その逆も同様である。また、複数の導体は、シリアルにより、又は時間多重化方式により複数の信号を伝達する単体の導体に置き換えてよい。同様に、複数の信号を伝達する単体の導体は、これらの信号のサブセットを伝達する様々な異なる導体に分離してもよい。従って、信号伝達のための多くの選択肢が存在する。

【0009】

「アサート」又は「セット」、及び「ネゲート」（「デアサート」又は「クリア」）という用語は、信号、状態ビット、又は同様な装置を、論理的に「正」、又は論理的に「負」の

状態にそれぞれするときに明細書にて用いられる。論理的に「正」の状態が論理レベル“1”の場合、論理的に「負」の状態が論理レベル“0”となる。論理的に「正」の状態が論理レベル“0”の場合、論理的に「負」の状態が論理レベル“1”となる。

【0010】

明細書に記載された各信号は、「正」の論理又は「負」の論理として構成され、「負」の論理は、信号名又は以下の名前の全てに対して、バーにより示される。負論理信号の場合では、信号はアクティブ・ローであり、論理的に「正」の状態は、論理レベル“0”に対応する。正論理信号の場合では、信号はアクティブ・ハイであり、論理的に「正」の状態は、論理レベル“1”に対応する。明細書にて記載された各信号は、負論理信号又は正論理信号として構成可能なことに留意されたい。従って、代替的な実施形態では、正論理信号として記載されたこれらの信号は、負論理信号として動作してもよく、負論理信号として記載されたこれらの信号は、正論理信号として動作してもよい。

10

【0011】

図1は、キャッシングメモリと連携されたデータ処理システム10を示す。データ処理システム10は、1次(L1)キャッシングメモリ12を有するプロセッサ12、2次(L2)キャッシングメモリ14、主メモリ18、及び周辺モジュール20を含む。プロセッサ12は、主メモリ18及び周辺モジュール20にシステムバス22を介して接続される。L2キャッシングメモリ16は、プロセッサ12にシステムバス22又は異なるバスを介して接続される。L1キャッシングメモリ14は、プロセッサ12の一部分として示されるが、L1キャッシングメモリ14は、プロセッサ12にシステムバス22を介して接続されてもよい。L1キャッシングメモリ14及びL2キャッシングメモリ16は、マルチウェイ・アソシエイティブ・キャッシングメモリ又は他の好適なキャッシングメモリに設定されてもよい。図1は構成の特有の数及びこれら構成の特有の装置を示すが、より多く、又はより少ない構成が設けられてもよく、これらは異なって配置されてもよい。

20

【0012】

図2は、好適なL1キャッシングメモリ14を示す。L1キャッシングメモリは、制御回路24、キャッシング制御および状態レジスタ(cache control and status register:CCSR)26、タグアレイ28、データアレイ30、キャッシングヒットおよびエラー検出論理38を含む。L1キャッシングメモリ14は、メインメモリ18へのリード/ライト動作に対応するアドレス及びデータの少なくとも1つを、プロセッサ12の内部に設けられたバス21を介して受信する。一実施形態では、タグアドレス等のアドレスは、アドレスバス32を介してタグアレイ28に送受信される。一実施形態では、データは、データバス34を介してデータアレイ30に送受信される。また、制御回路24は、タグアドレス及びデータ情報を、バス36を介して受信する。キャッシングヒットおよびエラー検出論理38は、バス44を介して制御回路と送受信する。キャッシングヒットおよびエラー検出論理38は、バス40を介してタグアレイ28と送受信し、バス42を介してデータアレイ30と送受信する。制御回路24は、CCSR26と連携し、CCSR26から状態情報を読み出し、又はCCSR26に制御情報を書き込む。図2は構成の特有の数及びこれら構成の特有の装置を示すが、より多く、又はより少ない構成が設けられてもよく、これらは異なって配置されてもよい。

30

40

【0013】

図3は、図2の好適なキャッシングメモリと連携する好適なキャッシング制御および状態レジスタ(CCSR)26を示す。CCSR26は、L1キャッシングメモリ14に関する様々な制御情報及び状態情報のための複数の領域を含む。例として、CCSR26は、WIDビット46、MBEEビット48、WDDビット50、WAMビット52、CWMビット54、CPEビット56、CORREビット57、及びCEビット58等の様々な制御

50

情報及び状態情報に関するビットを含む。WIDビット46は、L1キャッシュメモリ14の置換方式に関する。WIDビット46の一方は、ウェイ“0”に関し、他方は、ウェイ“1”に関する。WIDビットが「1」の場合、対応するウェイは、指示ミスラインが埋まることによる置換のために使用可能ではなく、しかし、一方、WIDビットが「0」の場合、対応するウェイは、指示ミスラインが埋まることによる置換のために使用可能となる。MBEEビット48は、マルチビットのエラー検出及びエラー訂正の少なくとも一方が有効となるか否かに関する。さらに、MBEEビット48の使用は、後述の構成にて説明される。WDDビット50は、L1キャッシュメモリ14のデータ置換方式に関する。WDDビットが「0」の場合、対応するウェイは、指示ミスラインが埋まることによる置換のために利用可能ではなく、しかし、一方、WDDビットが「1」の場合、対応するウェイは、指示ミスラインが埋まることによる置換のために利用可能となる。WAMビット52は、特有のアクセスタイプに基づく置換のために、ウェイが有効となるか否かに関する。例として、WAMビット52が「0」の場合、特有のアクセスタイプ（「データ」に対する「指示」）の置換が有効ではないウェイは、そのタイプのアクセスに対するキャッシュヒットについてチェックされ、特有のアクセスタイプのアクセスミスにより置換されない。一方、WAMビット52が「1」の場合、特有のアクセスタイプの置換が有効ではないウェイは、チェックされない。これにより、低消費電力となる。CWMビット54は、キャッシュ書き込みモード、即ちキャッシュメモリがライトスルーモード又はコピースルーモードにて動作するか否かに関する。CPEビット56は、キャッシュメモリパリティ検査が有効か否かに関する。CORREビット57は、エラー訂正が有効か否かに関する。CEビット58は、キャッシュメモリが有効か否かに関する。図3は、CCSR26の一部として特有のビット数及びビットタイプを示すが、CCSR26は、追加のビット数又は、より少ないビット数、及びビットの異なるタイプを含んでもよい。

【0014】

図4は、好適な図2のL1キャッシュメモリ14の一部分60を示す。図2に関して上述したように、L1キャッシュメモリ14は、タグアレイ28及びデータアレイ30を含む。タグアレイ28は、A0 64、A1 66、A6 68、及びA7 70を含むタグアドレスのアレイを有する。図4は、8つのタグアドレスのアレイのみを示すが、タグアレイ28は、追加のアレイ又はより少ないアレイを含んでもよい。L1キャッシュメモリ14のデータアレイ部分30は、D0 72、D1 74、D6 76、及びD7 78を含むデータのアレイを有する。図4は8つのデータのアレイのみを示すが、データアレイ30は、追加のアレイ又はより少ないアレイを含んでもよい。一実施形態では、L1キャッシュメモリ14は、第1ウェイがタグアレイA0, A2, A4, A6に対応し、第2ウェイがタグアレイA1, A3, A5, A7に対応する2ウェイセット・アソシエイティブ・キャッシュメモリである。しかしながら、第2ウェイに対応するタグアレイは、第1ウェイに対して冗長なタグアレイとして、又は第1ウェイに対応するタグアレイのアソシエイティブウェイとして動作する。即ち、一実施形態では、第2ウェイは、第1ウェイに対して冗長となるように、又は第1ウェイとは独立したマルチウェイ・キャッシュのアソシエイティブウェイとして動作するように構成可能である。例えば、プロセッサがエラー検出に応答して動作する間であっても、第2ウェイは、第1ウェイに対して冗長となるように動的に構成可能である。このように、例えば、タグアレイA1 66は、タグアレイA0 64に対して冗長なタグアレイである。加えて、第2ウェイが第1のウェイに対して冗長となるように構成されるとき、L1キャッシュメモリ14におけるリードアドレスのヒットに応答して、アドレスのインデックス部分（例えば、アクセスアドレス62のインデックス部分）によりアドレス指定されたデータが、第1ウェイ及び第2ウェイの両方から供給されて互いに比較され、比較エラーが存在するかどうかが検出される。例として、タグアレイA0 64及びタグアレイA1 66の両方からのデータは、タグMBE比較器80を用いて比較される。同様に、タグアレイA6 68及びタグアレイ70からのデータは、タグMBE比較器82を用いて比較される。

【0015】

10

20

30

30

40

50

さらに図4を参照すると、第2ウェイに対応するデータアレイは、第1ウェイに対する冗長なデータアレイとして、又は第1ウェイに対応するデータアレイのアソシエイティプウェイとして動作可能である。例えば、プロセッサがエラー検出に応答して動作するときであっても、第2のウェイは、第1ウェイに対して冗長となるように動的に構成される。このように、例えば、データアレイD1 74は、データアレイD0 72に対して冗長なデータアレイである。さらに、第2ウェイが第1ウェイに対して冗長となるように構成されるとき、L1キャッシュメモリ14におけるリードアドレスのヒットに応答して、アドレスのインデックス部分（例えば、アクセスアドレス62のインデックス部分）によりアドレス指定されるデータは、第1ウェイ及び第2ウェイの両方から供給されて互いに比較され、比較エラーが存在するかどうかが検出される。このように、例えば、データアレイD0 72及びデータアレイD74からのデータは、データMBE比較器84を用いて比較される。同様な機能では、データアレイ76及びデータアレイ78からのデータは、データMBE比較器86を用いて比較される。1ビット単位の比較によりこれらの2つのアレイのいずれかからの値が互いに異なることを示す場合、エラー検出論理100は、エラーを示す。一実施形態では、MBE信号、即ちマルチビットエラーイネーブル（multi-bit error enable）信号がアサートされるときのみ、エラー検出論理100は、エラーを生成する。プロセッサ12は、動作する場合にMBE信号をアサートし、プロセッサ12は、エラー検出論理100の構成をその場で変更可能である。図4は冗長モードにおいて4ウェイ・キャッシュとして構成可能な8ウェイ・キャッシュを示すが、ウェイはいくつでも使用可能である。さらに、図4は、特有の方式にて配置された特有の数の構成を示すが、異なって配置されたより少ない構成又は追加の構成を使用可能である。

【0016】

さらに図4に関して、ウェイ選択器88、ウェイ選択器90、ウェイ選択器92、及びウェイ選択器94は、タグアレイ（例えば、A0, A1, A6, A7）からのデータリードを用いてパリティを計算する。計算されたパリティは、読み出されたタグアドレスに対応する記憶されたパリティと比較されて、パリティエラーが存在するか否かが検出される。ウェイ選択器ロックの出力は、ウェイ選択器ロックにより生成されたパリティエラーをさらに処理可能となるようにエラー検出論理に接続される。また、データ選択器96は、データアレイ（例えば、D0, D1, D6, D7）から読み出されたデータに基づいてパリティの計算を実行する。生成されたパリティビットは、データパリティバスを介してエラー検出論理100に送受信される。要するに、第2ウェイが第1ウェイに対して冗長となるように構成されるとき、パリティ計算は、第1のウェイ及び第2のウェイの各々からのリードアドレスのインデックス部分によりアドレス指定されたデータに基づいて実行され、リードアドレスのインデックス部分によりアドレス指定されたデータ内に記憶された対応するパリティビットと比較され、パリティエラーが存在するかどうかが検出される。

【0017】

図5は、図2のキャッシュメモリに関する好適なエラー検出論理100を示す。例として、エラー検出論理100は、タグパリティエラー、マルチビットエラー、及びデータパリティエラーを検出する。一実施形態では、エラー検出論理100は、ORゲート104, 106, 110, 116を含む。さらに、エラー検出論理100は、アンドゲート108, 114を含む。さらに、エラー検出論理100は、MBE選択器ロック112を含む。ウェイ選択器モジュール（例えば、88, 90, 92, 94）により生成されたタグパリティエラーは、タグパリティ0~7のラインを介してオアゲート104の入力に連結される。例として、タグパリティエラーは、各タグパリティライン上にアサートされた論理“1”により示される。タグMBE比較器モジュール（例えば、80, 82）により生成されたマルチビットエラーは、タグMBE0~3のラインを介してオアゲート106の入力に連結される。オアゲート106の出力は、アンドゲート108の他の入力に連結される。例として、マルチビットエラーは、各タグMBEライン上にアサートされた論理“1”により示される。動作において、タグMBEラインのいずれかに論理“1”がアサ

10

20

30

40

50

ートされる場合、オアゲート 106 の出力は論理 “1” である。このように、オアゲート 106 の出力が論理 “1” 、また、MBEE 信号が論理 “1” の場合、アンドゲート 108 の出力は論理 “1” である。オアゲート 104 の出力は、オアゲート 110 の入力に連結され、アンドゲート 108 の出力は、オアゲート 110 の他の入力に連結される。このような構成により、オアゲート 104 の出力又はアンドゲート 108 の出力が論理 “1” の場合、タグパリティエラーのライン上に論理 “1” がアサートされる。要するに、一実施形態では、エラー検出論理 100 は、タグパリティエラーのライン上に論理 “1” をアサートする：(1) タグパリティエラーがあるとき、(2) マルチビットエラーがあるとき、(3) タグパリティエラー及びマルチビットエラーの両方があるとき。図 5 は、タグパリティエラーのライン上に論理 “1” をアサートするために特有の方式に基づいて配置された特有の数の構成を示すが、異なる配置により少ない構成又は追加の構成は使用可能である。

10

【0018】

さらに図 5 を参照すると、エラー検出論理 100 は、データパリティエラーのライン上にデータパリティエラーを生成する。例として、データ MBE 比較器ブロック（例えば、84, 86）により生成されたマルチビットエラーは、データ MBE 0 ~ 3 のラインを介して MBE 選択器 112 に連結される。MBE 選択器 112 は、ウェイ選択器のラインを介して受信された入力に基づいて、4 つの入力のうちの 1 つの入力を選択し、選択した入力を自身の出力に連結する。一実施形態では、MBE 選択器 112 は、4 つから 1 つを選択するマルチプレクサとして動作する。MBE 選択器 112 の出力は、アンドゲート 112 の入力に連結される。MBEE 信号は、アンドゲート 114 の他の入力に連結される。例として、マルチビットエラーは、各データ MBE のライン上に論理 “1” がアサートされることにより示される。動作において、データ MBE のライン上のいずれかに論理 “1” がアサートされる場合、MBE 選択器 112 の出力は、論理 “1” である。このように、MBE 選択器 112 の出力が、選択されたデータに対応するマルチビットエラーを示す論理 “1” 、また、MBEE 信号が論理 “1” の場合、アンドゲート 114 の出力は論理 “1” である。アンドゲート 114 の出力は、オアゲート 116 の入力に連結され、データパリティのラインは、オアゲート 116 の他の入力に接続される。このような構成により、アンドゲート 114 の出力が論理 “1” の場合、又はデータパリティエラーがある場合、オアゲート 116 の出力は、論理 “1” となる。これにより、データパリティエラーのライン上に論理 “1” がアサートされるという結果となる。図 5 は、データパリティエラーのライン上に論理 “1” をアサートするために、特有の方式に基づいて配置された特有の数の構成を示すが、異なる配置のより少ない構成又は追加の構成が使用可能である。エラー検出論理 100 に検出されたエラーは、エラーのラインを介して外部の構成に送信される。

20

【0019】

図 6 は、図 2 の好適なキャッシュメモリに関連するエラー訂正を実行するための好適な真理値表 120 を示す。真理値表 120 は、論理値 “1” 又は論理値 “0” を有することができて変更可能なセットに相当する列のセットを含む。真理値表 120 の行は、真理値表 120 の列のセットに対する好適な値を含む。列 122 は、未訂正のウェイ “0” に関する変数 U C W 0 に対する値を有する。列 124 は、未訂正のウェイ “1” に関する変数 U C W 1 に対する値を有する。列 126 は、エラー訂正が有効か否かに関する変数 C O R R _ E に対する値を有する。列 128 は、ウェイ “0” のデータにパリティエラーがあるか否かに関する変数 P E 0 に対する値を有する。列 130 は、ウェイ “1” のデータにパリティエラーがあるか否かに関する変数 P E 1 に対する値を有する。列 132 は、訂正されたウェイが選択されたか否かに関する変数 C W 0 に対する値を有する。真理値表 120 は、この表又は他の表に記憶された U C W 2 ~ 7 等のいくつかの変数及び他の変数に対する好適な値を単に示す。動作において、真理値表 120 の機能は、論理モジュール、ソフトウェア、及びソフトウェアとハードウェアとの組合せの少なくとも 1 つにより実行される。動作において、変数 C O R R _ E 126 の値を論理 “1” に設定することによりエラ

30

40

50

一訂正モードが有効の場合、訂正ウェイ適合信号は、未訂正のタグウェイビットのパリティチェックエラーに基づいて、2つの未訂正ウェイ適合信号から選択される。UCW0が論理“0”的場合、このことは、未訂正のウェイ“0”が選択されたウェイではないことを示す。UCW1が論理“0”的場合、このことは、未訂正のウェイ“1”が選択されたウェイではないことを示す。この場合、変数PE0, PE1の値に関わらず、訂正されたウェイ“0”は、選択されない。このことは、真理値表120においてUCW0及びUCW1の両方が論理“0”的場合に変数PE0, PE1に対応する「X」(無関係)及び変数CW0に対する論理“0”を有することにより示される。ウェイ“0”及びウェイ“1”から1つのウェイが選択される場合、訂正ウェイは、変数PE0, PE1の値に基づいて選択される。例として、真理値表120の第2行は、未訂正のウェイ“0”が選択されたウェイであることを示す変数UCW0が論理“1”である場合を示す。この場合、変数UCW1は、「無関係」であり、変数CORR_Eは、訂正が有効であることを示す論理“1”に設定される。PE0は、ウェイ“0”にパリティエラーがないことを示す“0”である。従って、CW0は、訂正されたウェイ“0”が選択されたことを示す論理“1”を有する。真理値表120の残りの行は、変数に対する異なる値と訂正されたウェイ“0”に対応する値とを有する追加の条件を示す。当業者は、図6に示された以外の値を用いた真理値表120を実行することができる。図6は、特有の方式に基づいて配置された特有の列数の変数及び特有の行数を示すけれども、より少ない列及び追加の列の少なくとも一方、より少ない行及び追加の行の少なくとも一方を異なる構成にて用いてもよい。

【0020】

10

20

30

40

50

図7は、図2の好適なキャッシュメモリに関連するエラー訂正を実行するための他の好適な真理値表を示す。一実施形態では、真理値表150の機能は、図4に示されたデータ選択器96の一部として実装される。データ選択器96は、2つのウェイのバイトパリティエラー情報に基づいて、2つのウェイのデータのうちの1つのウェイのデータを選択する。例えば、D0, D1からのバイト0は、図4に示すように、D0, D1のバイト0パリティエラー情報に基づいて選択される。図7は、簡単かつ明確という目的にてD0, D1及びバイト0のみを示す一実施形態を例示する。他の2つのウェイからのデータ選択及び他のバイト数は、同じスキームを用いて処理する。真理値表150は、論理値“1”又は論理値“0”を有することが可能な変数のセットに対応する列のセットを含む。真理値表150の行は、真理値表150の列のセットに対する好適な値を含む。列152は、D0バイト0(「0」はパリティエラーがないことを意味し、「1」はパリティエラーを意味する)に対するパリティエラーの論理状態を示す変数D0バイト0PEに対応する値を有する。列154は、D1バイト0(「0」はパリティエラーがないことを意味し、「1」はパリティエラーを意味し、「X」は、「無関係」を意味する)に対するパリティエラーの論理状態を示す変数D1バイト0PEに対応する値を有する。D0バイト0PEが「0」の場合、バイト0は、D1バイト0PEの状態に関係なく選択される。第2のケースでは、D0バイト0PEがパリティエラーを示す「1」、反対に、D1バイト0PEが「0」の場合、D1からのバイト0が選択される。この場合、D1のデータは、D0のデータと置き換えるように使用される。最後の事例では、D0バイト0PE及びD1バイト0PEが両方のウェイのバイトを示す「1」の場合、2つのデータブロックはエラーを有する。この場合、データバイトは、使用されず、エラーフラグがセットされる。この場合は、「X」としてのテーブルの最後の行を示す。当業者は、図7に示された以外の値を用いた真理値表150を実行可能である。図7は、特有の方式に基づいて構成された特有の列数の変数及び特有の行数を示すが、より少ない列及び追加の列の少なくとも一方、より少ない行及び追加の行の少なくとも一方を異なる構成にて用いてもよい。

【0021】

いくつかの上記の好適な実施形態は、様々な異なる情報処理システムを用いて実行されてもよい。例えば、図1及びその説明は好適なデータ処理アーキテクチャを説明するが、この好適なアーキテクチャは、本発明の様々な側面の説明から効果的な参照を単に提供

することを示す。勿論、アーキテクチャの説明は、説明の目的のために簡潔となっており、本発明に従って用いられる適切なアーキテクチャの複数の異なるタイプのうち一つのタイプのみである。当業者は、単に例示された論理ブロック間の境界は単に例示しただけであり、代替的な実施形態が、論理ブロック又は回路素子をマージするか又は、様々な論理ブロック又は回路素子に基づいて代替手段への機能分解を強いることを認識するだろう。

【0022】

10 このように、本明細書において説明されるアーキテクチャは単なる例示に過ぎず、実際には同じ機能を実現する多くの他のアーキテクチャを用いることができるところが理解し得る。要するに、同じ機能を実現するあらゆる構造の構成要素を効果的に「関連付ける」ことにより、所望の機能を実現することができる。従って、本明細書において特定の機能を実現するために組み合わされるいづれの2つの構成要素も、互いに「関連付ける」ことにより、所望の機能を、アーキテクチャまたは中間構成要素にかかわらず実現することができる。同様に、このようにして関連付けたいづれの2つの構成要素も、所望の機能を実現するために、互いに「動作可能に接続される」または「動作可能に連結される」ものとして見なすこともできる。

【0023】

また例えば、一実施形態では、例示されたデータ処理システム10の要素は、単体の集積回路又は同じデバイス内に配置される。代替的には、データ処理システム10では、いくつかに分離された集積回路又は分離したデバイスが、互いに相互に接続される。例えば、メモリ18は、プロセッサ12としての同じ集積回路、または分離された集積回路に配置され、またはシステム10の他の要素から分離された個別の周囲装置又はスレーブに配置される。周辺モジュール20は、分離された集積回路又はデバイスに配置される。例えば、データ処理システム又はその一部は、物質的な回路内の変更可能な論理的な表現を記述されたソフト又はコードである。そのように、データ処理システム10は、いづれかの適切なタイプのハードウェア記述言語が搭載される。

【0024】

さらに、当業者は、上記動作の機能境界を単に例示的なものとして認識するだろう。複数の動作機能は、追加動作として分配された1つの動作、および1つの動作機能の少なくとも1つが組み合わされる。さらにまた、代替的な実施形態は、特有動作の複数の例を含み、動作順序は、様々な他の実施形態において変更されてもよい。

【0025】

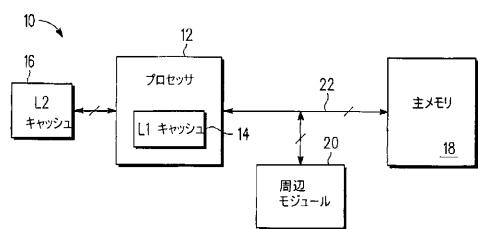
本発明について本明細書では、特定の実施形態を参照しながら説明してきたが、種々の変形及び変更を、請求項に示す本発明の範囲から逸脱しない限り加えることができる。従って、本明細書及び図面は制限的な意味ではなく例示として捉えられるべきであり、全てのこのような変形は本発明の範囲に包含されるべきものである。特定の実施形態に関して本明細書において説明されるいづれの効果、利点、または問題解決法も、いづれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。

【0026】

本明細書において用いられた「連結される」という用語は、直接的な連結または機械的な連結に制限されるべきではない。

特に記載がある場合以外は、「第1」、「第2」という用語は、こうした用語によって説明される要素を任意に区別するために使用されている。したがって、これらの用語がこうした要素の一時的あるいはその他の優先順位を必ずしも意味するとは限らない。

【図 1】



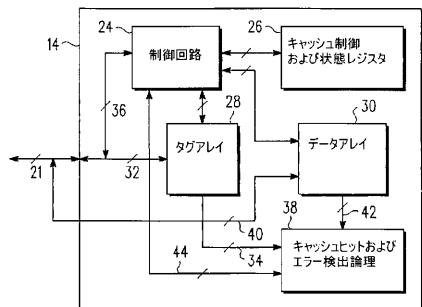
【図 3】

0	1	5	6	9	10	14	15	30	31
WID	MBEE	W D D	...	W A M	C W M	...	C P E	C O R R E	C E
46	48	50		52	54	56	57	58	

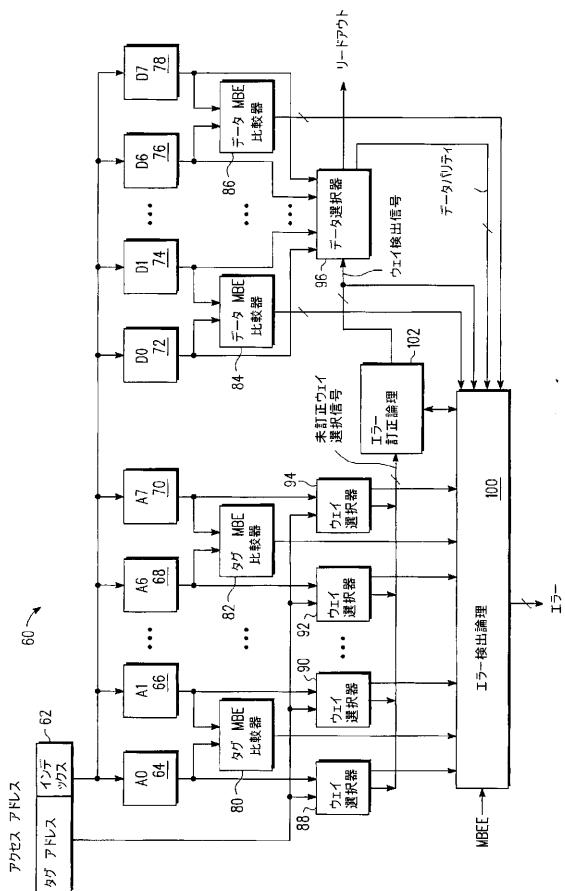
FIG. 3

26

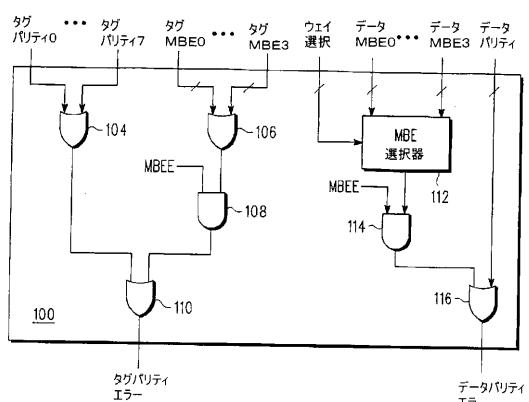
【図 2】



【図 4】



【図 5】



【図 6】

120	122	124	...	126	128	130	132
1	0	0		1	X	X	0
2	1	X		1	0	X	1
3	0	1		1	X	0	1
4	0	1		1	X	1	0
5	1	0		1	1	X	0
6	1	1		1	1	0	1
7	1	1		1	1	1	0
8	1	X		0	X	X	1
9	X	1		0	X	X	1

FIG. 6

【図7】

150 ↘

152	154	156
D0 バイト0 PE	D1 バイト0 PE	バイト0
0	X	バイト0 D0
1	0	バイト0 D1
1	1	X

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2008/084261
A. CLASSIFICATION OF SUBJECT MATTER		
G06F 11/22(2006.01)i, G06F 11/267(2006.01)i, G06F 11/30(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC8 : G06F or G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean Utility models and applications for Utility models since 1975 Japanese Utility models and applications for Utility models since 1975		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKIPASS(KIPO internal) "cache", "error", "detect or check", "multi or two or plural", "bit"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 6,898,738 B2 (CHARLES P, RYAN et al.) 24 May 2005 see abstract, column 5 line 26 - column 8 line 11, and figures 6-8.	1-5 6-20
A	US 2007-0136530 A1 (TETSUYA TANAKA) 14 June 2007 see abstract, pages 7-9, and figures 12-18.	1-20
A	US 6,480,975 B1 (RAVI KUMAR ARIMILLI et al.) 12 November 2002 see abstract, column 5 line 25 - column 6 line 61, and figure 3.	1-20
A	US 2004-0078702 A1 (SHUICHI YOSHIZAWA et al.) 22 April 2004 see abstract, pages 2-3, and figures 1, 7, 8.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>		
Date of the actual completion of the international search 29 JUNE 2009 (29.06.2009)	Date of mailing of the international search report 29 JUNE 2009 (29.06.2009)	
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer LEE, OK WOO Telephone No. 82-42-481-5761 	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2008/084261

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6898738 B2	24.05.2005	AT 289690 T DE 60203030 D1 DE 60203030 T2 EP 1278123 A1 EP 1278123 B1 EP 1278123 B9 US 2003-0018936 A1 US 2003-018936 A1	15.03.2005 31.03.2005 13.04.2006 22.01.2003 23.02.2005 24.08.2005 23.01.2003 23.01.2003
US 2007-0136530 A1	14.06.2007	KR 10-2006-0085677 A US 7502887 B2	27.07.2006 10.03.2009
US 6,480,975 B1	12.11.2002	NONE	
US 2004-0078702 A1	22.04.2004	JP 2004-038299 A JP 3953903 B2 US 7376868 B2	05.02.2004 08.08.2007 20.05.2008

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,T
R),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,
BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,K
G,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT
,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ボーゲンベルガー、フロリアン
ドイツ連邦共和国 85586 ポエング ズュートメーレンシュトラーセ 40
(72)発明者 エイファート、ジェームズ ビー。
アメリカ合衆国 78733 テキサス州 オースティン バレー ビュー ドライブ 800
F ターム(参考) 5B005 JJ01 MM01 TT02 WW02
5B018 GA05 HA04 MA03