



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0068205

(43) 공개일자 2015년06월19일

(51) 국제특허분류(Int. Cl.)

H03M 1/38 (2006.01)

(21) 출원번호 10-2013-0154142

(22) 출원일자 2013년12월11일

심사청구일자 2013년12월11일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

안길초

서울특별시 강남구 남부순환로365길 42 3동 1007호(도곡동, 도곡한신아파트)

최은주

인천광역시 동구 화수로 38 8동 601호 (송현동, 동부센트레빌아파트)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 7 항

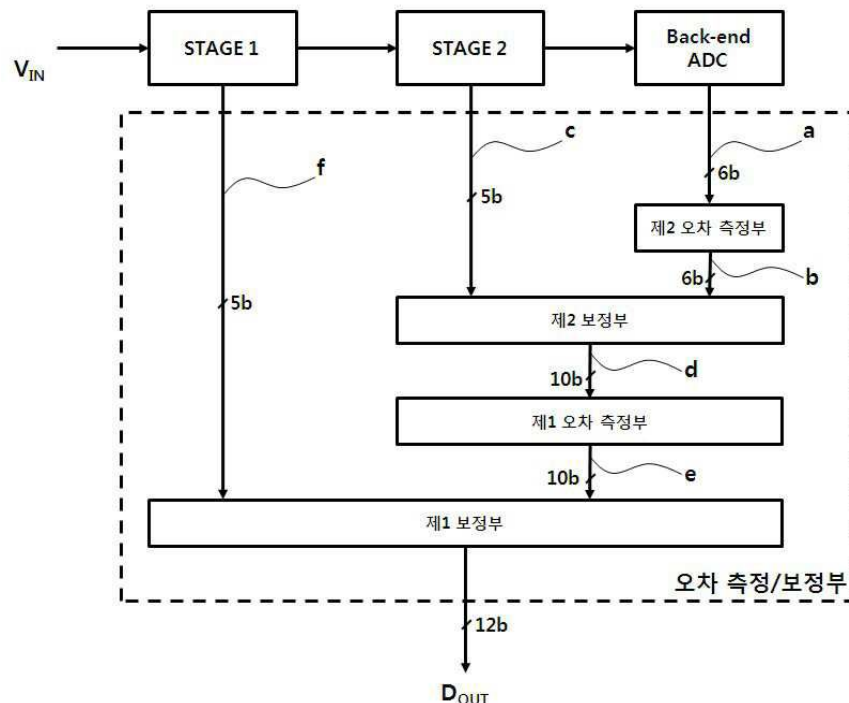
(54) 발명의 명칭 파이프라인 ADC

(57) 요약

본 발명은 SAR ADC 기반의 MDAC를 이용한 파이프라인 ADC에 관한 것이다. 특히 MDAC의 잔류 전압 증폭기를 SAR ADC 변환기의 비교기 내에 있는 프리앰프(preamp)로 대체하고, 이때 발생하는 잔류 전압 이득 오차를 디지털 영역에서 보상하되 선형적 근사를 이용하여 잔류 전압 이득 오차가 보상된 파이프라인 ADC를 제시하는 것이다.

(뒷면에 계속)

대표도 - 도2a



본 발명에 의한 파이프라인 ADC는 별도의 증폭기를 사용하지 않고 SAR ADC의 비교기(comparator)에 사용되는(비교기에 이미 구비되어 있는) 프리앰프(PA)를 이용하여 잔류 전압을 증폭시켜 전력 소모 및 칩의 면적을 줄일 수 있는 장점을 갖는다.

아울러 프리앰프의 이득의 비선형적 특성으로 야기되는 상기 증폭된 잔류 전압의 왜곡을 디지털 영역에서 보정을 하며, 이 보정에 수반되는 선형 근사를 수행함에 있어 기준 전압을 세분화함으로써 보정의 정확성을 제고시킬 수 있어 결국 파이프라인 ADC의 성능 확보를 도모할 수 있는 장점도 갖는다.

이 발명을 지원한 국가연구개발사업

과제고유번호	H0504-12-1016
부처명	미래창조과학부
연구관리전문기관	정보통신산업진흥원(NIPA)
연구사업명	대기업 연계 IT/SW 창의연구과정
연구과제명	DTV용 DVB-T2/C2용 12b 100M 고해상도 Analog to Digital Converter
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2012.09.01 ~ 2013.06.30이 발명을 지원한 국가연구개발사업
과제고유번호	1415128784
부처명	미래창조과학부
연구관리전문기관	정보통신산업진흥원(NIPA)
연구사업명	대학 IT연구센터 육성·지원사업
연구과제명	차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2013.01.01 ~ 2013.12.31

명세서

청구범위

청구항 1

SAR ADC(Successive Approximation Register ADC) 기반의 파이프라인 ADC에 있어서:

상기 파이프라인 ADC의 각 단(stage)의 입력 신호와 상기 입력 신호를 양자화(quantization)한 신호의 차분 신호(잔류 전압)가 증폭된 신호를 상기 파이프라인 ADC의 다음 단으로 전달하는 MDAC(Multiplying Digital to Analog Converter)을 포함하고,

상기 잔류 전압의 증폭은 상기 SAR ADC의 비교기 내에 구비된 프리앰프(preamp)를 이용하여 수행되는 것을 특징으로 하는 파이프라인 ADC.

청구항 2

제 1 항에 있어서,

상기 프리앰프 이득(gain)의 비선형적(비이상적) 특성에서 야기되는 상기 증폭된 잔류 전압의 오차(에러)를 측정하고, 상기 오차를 이용하여 상기 증폭된 잔류 전압을 선형적(이상적) 특성에 근사하도록 보정하는 오차 측정/보정부를 더 포함하는 것을 특징으로 하는 파이프라인 ADC.

청구항 3

제 2 항에 있어서,

상기 파이프라인 ADC는 3단 구성인 것을 특징으로 하는 파이프라인 ADC.

청구항 4

제 3 항에 있어서, 상기 오차의 측정은

상기 파이프라인 ADC의 두 번째 단(STAGE 2)의 MDAC 프리앰프 출력 오차를 구하는 경우에는 상기 파이프라인 ADC의 마지막 단(Back-end ADC)의 SAR ADC의 출력을 이용하여 이루어지고, 상기 파이프라인 ADC의 첫 번째 단(STAGE 1)의 MDAC 프리앰프 출력 오차(제1 오차)를 구하는 경우에는 상기 두 번째 단(STAGE 2)의 SAR ADC의 출력과 상기 마지막 단의 SAR ADC의 출력을 이용하여 이루어지는 것을 특징으로 하는 파이프라인 ADC.

청구항 5

제 4 항에 있어서, 상기 보정은

상기 증폭된 잔류 전압의 생성을 위한(상기 오차의 측정을 위한) 기준 신호에 따른 상기 증폭된 잔류 전압의 특성 곡선을 상기 기준 신호를 세분화하여 여러 구간으로 분할한 후, 상기 각 분할 구간에 해당하는 특성 곡선을 선형화(piecewise linearization)시켜 이루어지는 것을 특징으로 하는 파이프라인 ADC

청구항 6

제 5 항에 있어서, 상기 오차는

상기 각 분할 구간 단위로 이루어지는 것을 특징으로 하는 파이프라인 ADC.

청구항 7

제 6 항에 있어서, 상기 기준 신호는

상기 MDAC으로부터 직접 생성되어 상기 프리앰프의 입력으로 인가되는 것을 특징으로 하는 파이프라인 ADC.

발명의 설명

기술 분야

[0001] 본 발명은 파이프라인 ADC(Pipeline Analog to Digital Converter)에 관한 것으로, 보다 상세하게는 SAR ADC(Successive Approximation Register ADC) 기반의 파이프라인 ADC에 관한 것이다.

배경 기술

[0002] 최근 CMOS 공정 기술의 발달은 작은 면적, 저 전력 그리고 고속 동작이 가능한 디지털 회로의 구현을 가능하게 하고 있으며 아울러 다양하고 복잡한 신호처리가 디지털 영역에서 가능하게 하고 있다. 그러나 낮은 전원 전압과 스케일링된 디바이스의 특성 저하 등으로 인해 아날로그 회로는 설계가 더욱 어려워지고 있으며 디지털 회로에 비해 상대적으로 큰 면적과 소비전력을 필요로 하고 있다.

[0003] 따라서 공정 기술 발달에 따른 장점을 극대화하기 위하여 시스템 내부에서는 모든 신호를 디지털로 변환하여 처리하게 되었으며, 이를 위해 외부의 아날로그 입력 신호를 디지털 신호로 변환시켜주는 ADC의 역할이 매우 중요하게 되었다. 특히 통신 기술 및 High-Definition(HD), Ultra High-Definition(UHD) 등과 같은 디스플레이 기술의 발달은 고성능 멀티미디어 영상 시스템의 발전을 가속시키고 있으며, 요구되는 인터페이스 구현을 위해 12비트 이상의 고해상도와 고속 동작이 가능한 파이프라인 ADC 설계 기술 확보가 중요한 문제로 대두되고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국 등록특허공보 10-1287097, 2013.07.10 등록.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 SAR ADC 기반의 MDAC를 이용한 파이프라인 ADC의 MDAC으로부터 출력되는 잔류 전압의 증폭을 SAR ADC 변환기의 비교기 내에 구비되어 있는 프리앰프(preamp)가 수행토록 하고, 이때 발생하는 잔류 전압 이득 오차를 디지털 영역에서 보상하되 선형적 근사를 이용하여 잔류 전압 이득 오차를 보정(보상)하는 SAR ADC 기반의 파이프라인 ADC를 제시하는 것이다.

과제의 해결 수단

[0006] 상기와 같은 과제를 해결하기 위해 개시하는 파이프라인 ADC는

[0007] SAR ADC(Successive Approximation Register ADC) 기반의 파이프라인 ADC의 각 단(stage)의 입력 신호와 상기 입력 신호를 양자화(quantization)한 신호의 차분 신호(잔류 전압)가 증폭된 신호를 상기 파이프라인 ADC의 다음 단으로 전달하는 MDAC(Multiplying Digital to Analog Converter)을 포함하고, 상기 잔류 전압의 증폭은 상기 SAR ADC의 비교기 내에 구비된 프리앰프(preamp)를 이용하여 수행되도록 하여 상기한 과제를 해결한다.

발명의 효과

[0008] 본 발명에 의한 파이프라인 ADC는 별도의 증폭기를 사용하지 않고 SAR ADC의 비교기(comparator)에 사용되는(비교기에 이미 구비되어 있는) 프리앰프(PA)를 이용하여 잔류 전압을 증폭시켜 전력 소모 및 칩의 면적을 줄일 수 있는 장점을 갖는다.

[0009] 아울러 프리앰프 이득의 비선형적 특성으로 야기되는 상기 증폭된 잔류 전압의 오차(왜곡)를 디지털 영역에서 보정을 하며, 이 보정에 수반되는 선형적 근사를 수행함에 있어 오차 측정을 위한 기준 전압을 세분화하기 때문에 보정의 정확성을 제고시킬 수 있어 결국 파이프라인 ADC의 성능 확보를 도모할 수 있는 장점도 갖는다.

도면의 간단한 설명

[0010] 도 1a는 기존의 일반적인 파이프라인 ADC의 구성을 개략적으로 제시한 도면이다.

도 1b는 도 1a의 MDAC의 구성을 제시한 도면이다.

도 1c는 도 1a 내지 도 1b의 MDAC에 오프셋(offset) 및 잔류 전압 이득의 오차가 있는 경우의 잔류 전압 전달 특성을 제시한 도면이다.

도 2a는 본 발명에 의한 파이프라인 ADC의 구성을 제시한 도면이다.

도 2b는 본 발명에 의한 파이프라인 ADC의 각 단의 MDAC의 구성을 제시한 도면이다.

도 2c는 비선형 이득 특성만을 고려한 경우의 MDAC의 잔류 전압 전달 특성의 일례를 제시한 그래프이다.

도 2d는 도 2c에 제시된 그래프에서 입력 전압 V_{IN} 이 $0 \sim V_{REF}/32$ 에 해당하는 부분을 확대시킨 그래프이다.

도 2e는 도 2d의 선형적 근사를 이용하여 각 단의 MDAC 출력 전압의 오차를 계산하는 과정을 설명하기 위해 제시한 그래프이다.

도 2f는 오차 측정 모드에서 프리앰프 이득의 비선형 오차 측정을 위한 기준 전압들($V_{DAC_{REF}}$)을 제시한 도면이다.

도 2g 내지 도 2i는 도 2f에 제시된 여러 기준 전압들 중 하나인 $(7/256)V_{REF}$ 를 두 번째 단(STAGE 2)의 MDAC의 프리앰프에 적용하여 프리앰프 출력 오차를 측정하는 과정을 설명하기 위해 제시한 도면이다.

도 2j는 디지털 출력의 오차 보정을 위한 구간 정보 검출 회로를 제시한 도면이다.

도 3a는 오차 측정 모드에서의 타이밍 다이어그램을, 도 3b는 정상 모드에서의 타이밍 다이어그램을 제시한 도면이다.

도 4a 내지 도 4c는 본 발명에 의한 파이프라인 ADC의 동작 시뮬레이션 결과를 제시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명을 실시하기 위한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 기존 파이프라인 ADC의 구성 및 동작과 본 발명이 해결하려는 과제의 해결 방안의 개요를 우선 제시한다. 그리고 도면의 구성 요소들에 참조 번호(참조 부호)를 부여함에 있어서 동일 구성 요소에 대해서는 비록 다른 도면에 있더라도 동일 참조 번호(참조 부호)를 부여하였으며 당해 도면과 관련된 설명 시에 필요한 경우 다른 도면의 구성 요소를 인용할 수 있음을 미리 밝혀둔다.

[0012] 도 1a는 기존의 일반적인 파이프라인 ADC의 구성을 개략적으로 제시한 도면이다.

[0013] 각 단(Stage)은 샘플 앤 홀드 증폭기(Sample and Hold Amplifier, SHA)와 sub-ADC(n-bit A/D), sub-DAC(n-bit D/A), 감산기(subtractor), 그리고 잔류 전압 증폭기(G 는 잔류 전압 이득)로 이루어지며, 각 단이 서로 종속적으로 연결되어(cascade connection) 파이프라인 ADC가 구현된다. 이때 sub-DAC, 감산기, 그리고 잔류 전압 증폭기로 구성된 부분을 MDAC(Multiplying Digital to Analog Converter)이라 한다. MDAC은 각 단의 입력 신호(V_1)와 양자화된 출력 신호(D_{02})에 의해 발생하는 잔류 전압(Residue)을 증폭한 신호($V_2 = G \cdot \text{Residue}$)를 출력하여 다음 단의 입력 신호로 전달해 주며, 각 단의 출력 신호(V_2)의 정확도에 따라 파이프라인 ADC의 전체 성능이 결정된다.

[0014] 도 1b는 도 1a의 MDAC의 구성을 제시한 도면이다.

[0015] D_n (n 은 자연수)은 sub-ADC의 이진 코드(binary code) 출력으로서 단위 커패시터 열($C_1, C_2, \dots, C_n$)을 이용하여 생성되며 high인 경우 +1, low인 경우는 -1의 값을 갖는다. MDAC은 sub-ADC의 출력값 D_n 에 해당하는 아날로그 값(sub-DAC의 출력값)을 입력 신호 V_{IN} (SHA의 출력 신호)으로부터 뺀 잔류 전압(Residue)을 증폭한 출력 신호(V_{RES})를 생성한다. V_{RES} 는 아래 식(1)과 같으며, 잔류 전압 이득 G 는 아래 식(2)와 같이 커패시터 값 C_n, C_F , 그리고 증폭기의 전압 이득 A 에 의해 결정됨을 확인할 수 있다. 따라서 커패시터의 정합 및 증폭기의 전압 이득 A 는 MDAC의 전체 성능을 결정하는 중요한 팩터이다.

$$V_{RES} = \frac{\sum_{i=1}^{2^n} C_i}{C_F + \frac{\sum_{i=1}^{2^n} C_i + C_F}{A}} \left(V_{IN} - \frac{V_{REF} \sum_{i=1}^{2^n} (C_i \cdot D_i)}{\sum_{i=1}^{2^n} C_i} \right)$$

[0016]

--- 식(1).

$$G = \frac{\sum_{i=1}^{2^n} C_i}{C_F + \frac{\sum_{i=1}^{2^n} C_i + C_F}{A}}$$

[0017]

--- 식(2).

[0018]

도 1c는 도 1a 내지 도 1b의 MDAC에 오프셋(offset) 및 잔류 전압 이득의 오차가 있는 경우의 잔류 전압 전달 특성을 제시한 도면이다.

[0019]

도 1c에 제시된 특성으로부터 알 수 있는 사실은 잔류 전압 증폭기의 디지털 출력(Digital Output)의 선형성(linearity)이 오프셋(offset) 및 잔류 전압 이득의 오차에 의해 저하된다는 사실이다. ADC의 중요 성능 중 하나인 선형성을 확보하기 위해서는 정확한 전압 이득을 갖는 잔류 전압 증폭기가 필요한데, 이 사실은 본 발명에 의해 제시되는 디지털 보정 기법을 통해 증폭기의 부정확하고 비선형적인 전압 이득을 보정해야 하는 필요성을 제공한다.

[0020]

도 1c의 (a)는 잔류 전압 증폭기의 이득(A)이 이상적인 경우보다 작아 상기한 디지털 출력 전압에 missing 코드가 발생하는 경우이며, 도 1c의 (b)는 잔류 전압 증폭기의 이득(A)이 이상적인 경우보다 커서 중첩되는 출력 코드가 디지털 출력 전압에 발생하는 경우(Non-monotonicity)이다.

[0021]

잔류 전압 이득의 오차는 커패시터의 부정합, 증폭기의 유한한 전압 이득 등에 의한 것이며, 이 오차로 인해 각 단의 sub-ADC에 의해 결정되는 증폭된 잔류 전압 세그먼트들의 접경 부근에서 이상적인 경우의 출력 값과 비교하여 크거나 작은 출력(V_{RES})이 생성된다. 그 결과 파이프라인 ADC의 최종 출력에서 코드가 빠지거나 중복되어 출력되는 결과를 유발하여 신호의 왜곡을 발생시키며 파이프라인 ADC의 전체 성능을 저하시키는 요소로 작용한다.

[0022]

파이프라인 ADC는 MDAC 출력의 선형성 확보와 정확한 잔류 전압 이득을 구현하기 위해, 도 1b에 제시된 바와 같이, 피드백(feedback)을 이용한 op-amp 회로를 사용한다. 커패시터의 정합이 충분히 양호하다는 가정에서 MDAC의 잔류 전압 이득은 상기 식(2)를 참조하면 op-amp의 전압 이득 A에 의해서 결정되기 때문에 고해상도의 파이프라인 ADC 구현을 위해서는 높은 이득의 op-amp가 필요하다. 하지만 CMOS 공정의 미세화로 인해 단일 증폭단에서 구현 가능한 이득이 줄어들기 때문에 다단 구조의 op-amp(다단 증폭기)를 이용하여 MDAC에 요구되는 높은 잔류 전압 이득을 구현할 수 있다.

[0023]

그러나 다단 증폭기의 사용은 면적과 소비전력의 증가를 초래하는 문제를 내포하며 다단으로 구성된 op-amp를 피드백을 이용하여 사용할 경우 안정성에 문제가 발생할 수 있기 때문에 주파수 보상과 같은 추가적인 기법들을 사용해야 한다.

[0024]

파이프라인 ADC의 구성 요소 중 가장 높은 전력을 소비하는 것은 MDAC에 사용되는 op-amp이기 때문에 파이프라인 ADC의 전체적인 소비 전력을 줄이기 위해서는 op-amp의 소비 전력을 줄이는 것이 가장 중요하다. 이를 위해 op-amp 공유(op-amp sharing) 및 op-amp의 정적 전류 최소화와 같은 기법들이 제안되었다. 또한 소비 전력은 낮으나 이득 및 선형성 등 성능을 만족하지 못하는 아날로그 회로를 사용하고 그에 따른 신호 왜곡의 문제를 소정의 신호 처리를 이용하여 해결하고자하는 보정 기법(correction technique)에 대한 연구도 활발히 진행되고 있다.

[0025]

보정 기법은 크게 아날로그 영역에서의 보정(analog-domain correction)과 디지털 영역에서의 보정(digital-domain correction)으로 분류할 수 있다. 아날로그 영역에서의 보정 기법은 부가적인 아날로그 회로를 통해 파이프라인 ADC의 성능을 개선하는 방법으로 보정에 사용되는 아날로그 회로의 정확도에 따라 그 성능이 결정된다. 따라서 정확한 보정을 위한 소자 및 회로 블록의 추가로 면적과 소비 전력이 증가하게 된다. 하지만

디지털 영역에서의 보정 기법은 추가적인 아날로그 회로를 사용하지 않고 디지털 신호 처리만을 통해 성능을 개선하기 때문에 아날로그 영역에서의 보정 기법과 비교하여 회로나 소자의 정확도에 따른 영향이 적다. 특히, 최근 공정 미세화에 따라 디지털 회로 구현에 필요한 면적 및 소비 전력이 급격히 줄어들면서 저 전력, 고속, 고 해상도의 ADC 변환기 구현을 위한 핵심 기술로 그 중요성이 강조되고 있다.

[0026] 이러한 이유로 낮은 소비 전력을 갖는 12 비트 이상의 고해상도 파이프라인 ADC 구현을 위해 다양한 디지털 보정 기법이 이용되고 있지만 보정의 정확도를 높일수록 디지털 영역에서의 오차 신호 처리를 위한 디지털 보정 회로가 복잡해지면서 비용이 증가하는 문제가 있다.

[0027] 따라서 본 발명이 해결하려는 과제의 해결 방안의 개요는 파이프라인 ADC의 전력 소모를 줄이기 위해 기존의 MDAC의 잔류 전압 증폭 기능을 SAR ADC의 비교기(comparator) 내에 있는(비교기에 이미 구비되어 있는) 프리앰프(preamp)가 담당하게 하는 것이며, 보정 회로의 복잡도(complexity)를 개선하기 위해 잔류 전압 이득 오차(오프셋)를 디지털 영역에서 보정하도록 하는 것이다. 이러한 방안에 의해 추가적인 회로 구성없이(추가적인 증폭기 없이) 보정을 위한 기준 전압을 세분화함으로써 보정의 성능을 향상시킬 수 있으며, 기존 파이프라인 ADC의 잔류 전압 증폭기는 그 크기를 소형화할 수 있는데 한계가 존재하는데 프리앰프는 상대적으로 더 작은 면적으로 제작 가능하므로 미세 공정에서도 활용될 수 있도록 하는 것이다.

[0028] 이하, 본 발명을 실시하기 위한 구체적인 내용을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0029] 도 2a는 본 발명에 의한 파이프라인 ADC의 구성을 제시한 도면이다.

[0030] 본 발명에 의한 파이프라인 ADC는 기존의 일반적인 파이프라인 ADC와 유사하게 총 3개의 단(STAGE 1, STAGE 2, Back-end ADC)으로 이루어진 파이프라인 구조로 이루어져 있으며, 각 단의 sub-ADC는 동일 구조의 6 비트 SAR ADC(6b SAR ADC)로 구성되어 있고 각 단에는 MDAC도 구비되어 있다. 첫 번째와 두 번째 단의 인코딩 방식은 mid-tread로 구현된다. 한편 6 비트 SAR ADC를 첫 번째 단(STAGE 1)과 두 번째 단(STAGE 2)에 사용하는 이유는 이들 두 단으로부터 출력되는 프리앰프 출력의 오차 측정 및 보정(correction)을 위한 기준 전압의 생성과 mid-tread 방식의 잔류 전압 전달 특성을 구현하기 위해서이다.

[0031] 한편 신호 경로의 오프셋에 의해 증폭된 잔류 전압이 기준 전압(V_{REF})의 전체 영역(full scale)을 벗어나는 것(deviation)을 방지하기 위해 각 단 사이에 오프셋 보정(offset correction)을 위한 1 비트의 중첩(overlap) 영역을 이용하여 오프셋 오차 교정 범위를 갖는 5 비트 구조의 MDAC이 구현된다. 따라서 본 발명에 의한 파이프라인 ADC의 각 단의 최대 잔류 전압은 상기한 전체 영역의 1/32이며, 16배 증폭된 MDAC의 최대 출력은 전체 영역의 1/2이 되도록 한다. 본 발명에 의한 파이프라인 ADC의 출력 원 데이터(raw data)는 14 비트이며(5-5-6 구조), 제1 보정부에 의해 디지털 영역에서 보정되어 LSB 2 비트를 절삭(truncation)하여 파이프라인 ADC의 아날로그 입력(V_{IN})에 대한 최종 12 비트의 출력(D_{OUT})을 얻는다.

[0032] 도 2b는 본 발명에 의한 파이프라인 ADC의 각 단의 MDAC의 구성을 제시한 도면이다.

[0033] 위에서 언급한 바와 같이, 기존의 일반적인 파이프라인 A/D 변환기의 MDAC는 잔류 전압 증폭 이득의 정확성과 이 이득의 높은 선형성을 확보하기 위해 피드백 구조의 op-amp 응용 회로(증폭기)를 이용한다. 그러나 고속, 고 해상도의 동작에 요구되는 성능을 만족시키기 위해서는 높은 이득과 넓은 대역폭을 갖는 피드백 구조를 갖는 다수의 op-amp가 필요하며 이로 인해 회로(칩)의 면적 및 전력 소모가 증가하게 된다.

[0034] 이러한 문제점의 해결을 위해 본 발명에 의한 파이프라인 ADC는 별도의 증폭기를 사용하지 않고 SAR ADC의 비교기에 사용되는 프리앰프(PA)를 이용하여 잔류 전압을 증폭시켜 전력 소모 및 칩의 면적을 줄일 수 있도록 한다.

[0035] 도 2b를 참조하면, 본 발명에 의한 파이프라인 ADC의 각 단의 MDAC은 64개의 단위 커패시터(도 2b에서 각 커패시터의 C의 앞 숫자는 커패시터의 개수를 의미한다)를 이용하여 SAR ADC 동작을 위한 커패시터 열 기반의 6 비트 DAC로 구현된다. 비교기(Comparator)는 프리앰프(PA)와 latched comparator로 구성되며, 비교기내의 프리앰프(PA)의 개방 회로 이득 PAG는 16이다. 래치 비교기 앞 단에 프리앰프(PA)를 위치시켜 보다 큰 입력 신호를 래치 비교기에 인가해주는데, 이는 래치 비교기에 입력 신호가 인가된 후 디지털 출력이 나오는 때까지 걸리는 시간을 줄여 metastability 문제를 방지하기 위함이다.

[0036] 본 발명에 의한 파이프라인 ADC의 각 단의 MDAC은 SAR ADC의 마지막 비트가 결정된 후 비교기의 입력단에 인가

되는 잔류 전압을 증폭한 값(V_{RES})을 다음 단으로 전달한다. 그리고 스위치들의 스위칭 방식은 스위칭 제어부에 의해 이루어진다.

[0037] V_{IN} : sub-SAR ADC의 입력 전압.

[0038] V_{REF} : 외부 기준 전압으로 외부 입력 신호의 전체 범위(full scale)에 해당.

[0039] V_{RES} : 프리앰프를 통해 증폭된 잔류 전압.

[0040] V_{CM} : 공통 모드 전압(common-mode voltage).

[0041] 한편 정상 모드(normal mode, 이에 대한 자세한 사항은 후술한다)에서의 스위칭 방식은 종래의 공통 모드 기반(common-mode based) SAR ADC와 동일하다. 첫 번째 phase에서 커패시터의 top plate와 bottom plate에 각각 공통 모드 전압(V_{CM})과 변환하고자 하는 입력 신호(V_{IN})를 인가하여 입력 신호를 샘플링한다. 두 번째 phase에서 커패시터의 top plate 연결을 끊고 bottom plate를 공통 모드 전압(V_{CM})에 연결한 후 비교기가 구동되면 샘플링한 신호와 0을 비교하여 MSB(most significant bit)가 출력되며, 출력된 상위 비트값에 따라서 커패시터 열에 인가되는 기준 전압(V_{REF})이 달라지고 순차적으로 MSB부터 LSB(least significant bit)가 출력된다.

[0042] LSB가 출력된 후, 커패시터 열에는 잔류 전압에 해당하는 전하량이 저장되어 있다. 따라서 비교기 내 프리앰프의 차동 입력 단(V_{PA} , 커패시터 열의 top plate에 해당)에는 잔류 전압이 인가되고, 해당 잔류 전압을 프리앰프의 전압 이득 PAG로 증폭한 출력이 V_{RES} 이다. 증폭된 잔류 전압(V_{RES})은 다음 단의 입력으로 샘플링되고, 동일한 과정을 거쳐 디지털로 변환된다.

[0043] 본 발명에 의한 SAR ADC 기반의 파이프라인 ADC의 MDAC은 비교기 프리앰프를 통해 잔류 전압을 증폭하는데, 증폭된 잔류 전압 V_{RES} 은 프리앰프 이득의 비선형성에 의해 이상적인 파형(직선 형태)에서 벗어나 곡선 형태를 보인다(도 2c 참조, 따라서 전압 이득 V_{RES}/V_{IN} 도 비선형적 특성을 보인다). 이러한 비선형성은 파이프라인 ADC의 선형성을 저하시키기 때문에(이상적인 동작 특성에서 많이 벗어나기 때문에) 해상도가 제한되는 문제를 갖는다. 따라서 12비트 이상의 고해상도를 구현하기 위해서는 프리앰프 이득 PAG의 비선형성으로부터 유발되는 전압 이득의 비선형적 특성을 보정해 주어야 한다. 즉 전압 이득(프리앰프 이득)의 선형성이 보장되어야 파이프라인 ADC의 이상적 동작 특성의 발현을 보장할 수 있는 것이다.

[0044] 도 2d는 도 2c에 제시된 그래프에서 입력 전압 V_{PA} 가 0 ~ $V_{REF}/32$ 에 해당하는 부분을 확대시킨 그래프로, 0 ~ $V_{REF}/32$ 에 해당하는 부분을 여러 구간으로 분할하여 각 분할 구간에서 선형성을 갖도록(piecewise linear) 각 분할 구간의 MDAC 출력 전압(V_{RES})의 곡선을 직선(일차 함수)으로 근사시킨 선형적 근사(linear-approximation) 파형을 나타내고 있다. 이렇게 선형적 근사된 MDAC 출력 전압의 파형을 이용하면 간단한 연산을 통해 이상적인 경우(Ideal case)와의 대비 MDAC 출력 전압(증폭된 잔류 전압)의 오차(왜곡)를 측정하고 이에 대한 보정의 정확성을 높일 수 있다.

[0045] 도 2e는 도 2d의 선형적 근사를 이용하여 각 단의 MDAC 출력 전압의 오차를 계산하는 과정을 설명하기 위해 제시한 그래프이다.

[0046] 오차 측정 모드(error measurement mode, 오차 측정 모드에 관한 상세는 후술한다)에서 기준 전압 $V_{DAC,REF}(n)$ 과 $V_{DAC,REF}(n+1)$ 을 프리앰프(PA)의 입력 신호(V_{PA})로 인가하고 프리앰프에 의해 기준 전압이 증폭된 출력 신호를 양자화한 값 $D_{N,E,0}(n)$ 과 $D_{N,E,0}(n+1)$ 을 구한다. 이 때 프리앰프 출력 신호의 양자화를 위한 ADC는 오차를 측정하고자 하는 MDAC의 뒷단에 연결되는 파이프라인 구조를 이용하였으며 보정 순서를 뒷 단부터 적용하여 이상적인 양자화 특성을 갖는다고 가정한다. 오차 측정 모드를 통해 구한 $D_{N,E,0}(n)$, $D_{N,E,0}(n+1)$ 과 각 기준 전압 입력에 대한 이상적인 출력값 $D_{OUT,id1}(n)$, $D_{OUT,id1}(n+1)$ 을 이용하여 $D_{N,E,0}(n) \leq D(j) \leq D_{N,E,0}(n+1)$ 범위에 존재하는 양자화된 MDAC의 출력 $D(j)$ 에 대한 오차 $\alpha(j)$ 를 식(3)처럼 계산할 수 있다.

$$\alpha(j) = D_{N,E}(n) + \frac{D(j) - D_{N,E,0}(n)}{D_{N,E,0}(n+1) - D_{N,E,0}(n)} \times (D_{N,E}(n+1) - D_{N,E}(n))$$

[0047]

- [0048] --- 식(3).
- [0049] 이때 $D_{N,E}(n)$ 은 기준 전압 입력 $VDAC_{REF}(n)$ 에 대한 이상적인 프리앰프 출력의 양자화 값 $D_{OUT,id1}(n)$ 과 이상적이지 않은 경우의 측정값 $D_{N,E,0}(n)$ 의 차다.
- [0050] $D_{N,E}(n) = D_{OUT,id1}(n) - D_{N,E,0}(n)$ --- 식(4).
- [0051] 그러나 실제 측정되는 $D_{N,E,0}(n)$ 값을 이용하여 $D_{N,E}(n)$ 을 계산할 경우 $D_{N,E,0}(n)$ 에 포함된 양자화 잡음이 축적되어 디지털 보정의 정확도에 영향을 주게 된다. 이러한 문제를 해결하기 위해 $D_{N,E}(n)$ 에 해당하는 아날로그 값을 생성하여 양자화함으로써 보정값 계산 과정에서 발생하는 성능 저하를 최소화한다. 이에 대한 구체적인 구현 방법은 추후에 설명한다.
- [0052] 위와 같은 과정을 통해 양자화된 MDAC의 출력 $D(j)$ 와 그에 해당하는 오차 $\alpha(j)$ 를 계산하고, 두 값의 합을 계산하여 이상적인 출력에 근사한 $D_{CAL}(j)$ 를 구한다.
- [0053] $D_{CAL}(j) = D(j) + \alpha(j)$ --- 식(5).
- [0054] 한편 MDAC 출력 전압(증폭된 잔류 전압)의 오차의 근본적인 원인은 프리앰프의 이득 PAG의 비선형성에 기인한다고 위에서 언급하였다. 따라서 PAG의 비선형성을 선형으로 근사시켜 PAG를 보정할 필요가 있다.
- [0055] 우선 PAG의 비선형 오차를 측정해야 하는데, 오차 측정을 위한 기준 전압이 요구된다. 이러한 기준 전압은 통상 여러 개가 요구되는데 각 기준 전압 간 간격에 따라 보정의 정확도가 결정되며, 인접하는(neighboring) 두 개의 각 기준 전압으로 정의되는 구간이 많을수록 선형적 근사에 따른 오차가 줄어들어 보정의 정확도를 높일 수 있다.
- [0056] 도 2f는 오차 측정 모드에서 PAG의 비선형 오차 측정을 위한 기준 전압($VDAC_{REF}$)을 제시하고 있다. 본 발명에서는 파이프라인 ADC의 각 단마다 여러 개의 기준 전압에 대해 PAG의 비선형 오차를 측정한다.
- [0057] 도 2f에는 일례로서 $(-12/256)V_{REF}$, $(-11/256)V_{REF}$, ..., $(11/256)V_{REF}$, $(12/256)V_{REF}$ 의 25개의 기준 전압이 제시되어 있는데, 이 경우 인접하는 두 개의 각 기준 전압으로 정의되는 구간의 수는 24개이며 각 구간의 간격은 $(1/256)V_{REF}$ 이다. 구간의 수가 많을수록(각 구간의 간격이 좁아질수록) 선형적 근사에 따른 오차가 줄어들어 보정의 정확도를 높일 수 있다.
- [0058] 이때 프리앰프에 의해 증폭된 잔류 전압이 이상적인 출력 범위 $\pm 0.5V_{REF}$ 를 벗어날 경우(증폭된 잔류 전압이 이의 생성을 위한 기준 전압의 전체 영역($-V_{REF}/2 \sim V_{REF}/2$)을 벗어나는 경우)를 대비하여 추가적인 8개의 기준 전압(Extra reference 영역에 있는 기준 전압들)을 고려해준다.
- [0059] 본 발명에 의한 파이프라인 ADC는 증폭된 잔류 전압의 오차를 측정하기 위한 기준 전압을 생성하기 위해 기존과는 달리 추가적인 회로를 사용하지 않고 SAR ADC에 이미 포함된 커패시터 열 DAC를 이용하여 증폭된 잔류 전압의 오차를 측정하기 위한 기준 전압을 생성한다(도 2b 참조). 본 발명에 의한 파이프라인 ADC의 각 단은 6 비트의 SAR ADC를 사용하므로 커패시터 배열을 통해 생성해 낼 수 있는 증폭된 잔류 전압의 오차를 측정하기 위한 기준 전압의 최소 단위는 $(1/32)V_{REF}$ 이다. 한편 보정의 정확도를 높이기 위해 $(1/32)V_{REF}$ 보다 작은 기준 전압 간격을 생성할 수 있으며 이를 위해 저항 열(resistor ladder)을 사용할 수 있는데, 예를 들어 각 단의 6 비트 SAR ADC의 커패시터 열 DAC에 저항 열을 이용하여 스케일링된 외부 기준 전압 $(1/16)V_{REF}$ 를 인가함으로써 오차 측정 모드에 필요한 $(1/256)V_{REF}$ 간격의 기준 전압을 생성할 수 있다.
- [0060] 이하에서는 본 발명에 의한 파이프라인 ADC의 동작 모드(operation mode)에 따른 파이프라인 ADC의 동작 방식을 설명한다.
- [0061] 본 발명에 의한 파이프라인 ADC의 동작 모드에는 오차 측정 모드(error measurement mode)와 정상 모드(normal mode)의 두 가지 모드가 있다. 도 2a를 참조하여 본 발명에 의한 파이프라인 ADC의 동작 모드를 설명한다.
- [0062] 우선 오차 측정 모드에서의 동작을 설명하면 다음과 같다.
- [0063] 오차 측정 모드는 각 단의 MDAC의 비교기 프리앰프에 기준 전압들($VDAC_{REF}$)을 순차적으로 인가하여 출력되는 신

호를 뒤 단의 SAR ADC로 양자화하여 프리앰프 출력 오차를 측정하는 모드이다.

- [0064] 즉, 제2 오차 측정부는 입력 신호(V_{IN})를 디지털로 변환하는 마지막 단(Back-end ADC)의 디지털 출력(a)을 이용하여 두 번째 단(STAGE 2) MDAC의 프리앰프 출력 오차(제2 오차, b)를 6 비트로 측정하게 된다. 제2 오차(b)의 측정은 구체적으로 상기한 식(3)에 의해 이루어진다. 제2 보정부는 두 번째 단(STAGE 2) MDAC의 프리앰프 출력(c)에 제2 오차(b)를 반영하여 두 번째 단(STAGE 2) MDAC의 프리앰프 출력(c)을 보정(본 보정은 식(5)에 의해 후술할 정상 모드에서 이루어진다)하게 된다.
- [0065] 첫 번째 단(STAGE 1) MDAC의 프리앰프 출력 오차(제1 오차, e)는 제2 보정부에 의해 보정(본 보정은 식(5)에 의해 후술할 정상 모드에서 이루어진다)된 두 번째 단(STAGE 2) MDAC의 프리앰프 출력(d)과 마지막 단(Back-end ADC)의 디지털 출력(a)을 이용하여 제1 오차 측정부에 의해 10 비트로 측정된다. 제1 오차의 측정도 제2 오차 측정의 경우와 마찬가지로 식(3)에 의해 이루어질 수 있으며, 제1 보정부는 첫 번째 단(STAGE 1) MDAC의 프리앰프 출력(f)에 제1 오차(e)를 반영하여 첫 번째 단(STAGE 1) MDAC의 프리앰프 출력을 보정하게 되며(이 보정도 식(5)에 의해 후술할 정상 모드에서 이루어진다), 따라서 입력 신호(V_{IN})가 디지털화된 최종 출력(D_{OUT})이 생성된다. 한편 마지막 단(Back-end ADC)의 SAR ADC는 6 비트의 ENOB(Effective Number Of Bit) 특성을 갖는다고 가정한다.
- [0066] 두 번째 단(STAGE 2)의 MDAC 프리앰프 출력 오차(제2 오차)의 측정 과정을 보다 자세히 설명하면 다음과 같다.
- [0067] 1) 두 번째 단(STAGE 2)의 MDAC의 커패시터 열을 이용하여 비교기 프리앰프 입력 단에 원하는 기준 전압 $VDAC_{REF}(n)$ 을 인가한다.
- [0068] 2) 두 번째 단(STAGE 2)의 비교기 프리앰프를 통해 증폭된 기준 전압을 세 번째 단(Back-end ADC)의 SAR ADC의 커패시터 열에 샘플링 한다. 이 때 PA_2 와 ε_2 는 각각 두 번째 단 프리앰프의 이상적인 전압 이득과 실제로 적용된 프리앰프의 전압 이득 오차를 나타낸다.
- [0069] 3) 세 번째 단(Back-end ADC)의 SAR ADC의 커패시터 DAC을 이용하여 두 번째 단(STAGE 2)의 프리앰프의 이득이 이상적인 경우의 출력 값인 $VDAC_{REF}(n) \cdot PA_2$ 와 과정 2)를 통해 샘플링된 오차를 포함한 두 번째 단(STAGE 2)의 출력 신호 $VDAC_{REF}(n) \cdot (PA_2 - \varepsilon_2)$ 의 차, 즉 두 번째 단(STAGE 2)의 MDAC 프리앰프 출력 오차 $VDAC_{REF}(n) \cdot \varepsilon_2$ 를 구한다.
- [0070] 4) 과정 3)을 통하여 생성된 $VDAC_{REF}(n) \cdot \varepsilon_2$ 를 세 번째 단(Back-end ADC)의 SAR ADC를 이용하여 6 비트의 디지털 값으로 양자화한다.
- [0071] 도 2g 내지 도 2i는 도 2f에 제시된 여러 기준 전압들 중 하나인 $(7/256)V_{REF}$ 를 두 번째 단(STAGE 2)의 MDAC의 프리앰프에 적용하여 MDAC 출력 오차를 측정하는 과정을 설명하기 위해 제시한 도면이다.
- [0072] 우선 도 2g에서와 같이 두 번째 단(STAGE 2)의 MDAC의 차동 구조 커패시터 열 전하를 리셋(reset) 시킨다. 그리고 다음 위상에서 도 2h와 같이 각 차동 커패시터 열 중 $7C(= 4C + 2C + C)$ 를 $+V_{REF}/16$ 와 $-V_{REF}/16$ 로 연결하여 전하 재분배(charge redistribution)를 통해 두 번째 단(STAGE 2)의 MDAC의 프리앰프 차동 입력 V_{IN_PA2} 가 기준 전압 $(7/256)V_{REF}$ 가 되도록 한다. V_{IN_PA2} 는 프리앰프를 통해 증폭되어 세 번째 단의 SAR ADC 입력으로 샘플링 되는데, 이때 증폭된 기준 전압은 두 번째 단(STAGE 2)의 프리앰프의 비선형 오차를 포함하고 있다. 마지막으로 도 2i에서와 같이 세 번째 단(Back-end ADC)의 SAR ADC의 커패시터 DAC 배열을 스위칭하여 두 번째 단(STAGE 2)의 프리앰프의 이득 오차에 의해 발생된 신호 성분만 마지막 단(Back-end ADC)의 SAR ADC의 입력으로 제공한다. 마지막 단(Back-end ADC)의 SAR ADC는 샘플링된 오차를 6 비트의 디지털 값으로 변환한다. 동일한 방법으로 나머지 기준 전압들에 대해 두 번째 단(STAGE 2)의 프리앰프 오차를 측정한다.
- [0073] 두 번째 단(STAGE 2)의 MDAC 프리앰프 출력의 오차 측정이 완료되면 제1 오차 측정부에 의해 첫 번째 단(STAGE 1)의 MDAC 프리앰프 출력의 오차 측정이 이루어진다. 첫 번째 단(STAGE 1)의 MDAC 프리앰프 출력의 오차 측정 과정은 두 번째 단(STAGE 2)의 MDAC 프리앰프의 출력 오차의 측정 과정과 거의 동일하다. 다만 첫 번째 단(STAGE 1)의 MDAC 프리앰프 출력 오차는 두 번째 단(STAGE 2)과 마지막 단(Back-end ADC)을 이용하여 10 비트 디지털 값으로 측정되며 따라서 두 번째 단(STAGE 2)의 디지털 출력의 보정된 출력(d)을 이용해야 한다는 점이 두 번째 단(STAGE 2)의 오차를 측정하는 경우와 다르다. 모든 기준 전압에 대한 에러(오차) 측정이 완료되면 바로

언급할 정상 모드에서 상기 측정된 오차를 이용하여 MDAC 프리앰프의 출력을 보정하게 된다.

[0074] 다음으로 정상 모드에서의 동작을 설명하면 다음과 같다.

[0075] 정상 모드는 오차 측정 모드에서 측정된 프리앰프의 출력 오차를 이용하여 디지털 출력(MDAC 프리앰프의 출력)을 보정하고, 보정의 결과에 따라 일반적인 파이프라인 ADC와 동일한 방식으로 입력 신호(V_{IN})에 대한 양자화를 수행하는(D_{OUT} 을 생성하는) 모드이다.

[0076] 이때 각 단의 MDAC이 입력에 대한 잔류 전압을 출력하는데 필요한 클록 주기(clock period)는 sub-ADC의 해상도에 의해 결정된다. 일반적인 플래시(flash) 구조의 ADC 대신 SAR ADC를 사용하므로 비교기의 숫자는 줄어들지만 양자화에 필요한 시간은 증가하게 된다. 본 발명에 의한 파이프라인 ADC는 각 단계 6 비트의 SAR ADC를 사용하고 반 클록(half clock) 주기를 이용하여 6 비트의 출력을 얻는데 총 4 클록의 시간(전체 클록(full clock) 주기를 이용하는 경우에는 총 8 클록)이 필요하다.

[0077] 정상 모드에서 첫 번째 단(STAGE 1)과 두 번째 단(STAGE 2)의 디지털 출력(f, c)에 대한 보정값 $a(j)$ 는 상기한 식(3)을 이용하여 제1 오차 측정부, 제2 오차 측정부에 의해 구한다. 이때 상기한 $D(j)$ 가 포함된 구간 정보를 이용하여 구분적 선형 근사에 필요한 네 개의 값 $D_{N,E,0}(n)$, $D_{N,E,0}(n+1)$, $D_{N,E}(n)$, $D_{N,E}(n+1)$ 을 가져오게 된다. $D(j)$ 가 포함된 구간 정보는 아래 식(6)을 만족시키는 n 값이 되며 도 2j에 제시된 플래시 구조의 디지털 비교기(디지털 출력의 오차 보정을 위한 구간 정보 검출 회로)를 이용하여 구할 수 있다.

[0078] $D_{N,E,0}(n) \leq D(j) \leq D_{N,E,0}(n+1)$, $n = -12, -11, \dots, +11, +12$ --- 식(6).

[0079] 도 2j에 제시된 구간 정보 검출 회로는 $D(j)$ 를 오차 측정 모드에서 측정된 $D_{N,E,0}(k)$ ($k = -12 \sim +12$)와 비교하고 해당하는 구간 정보를 온도계 코드(Thermometer Code)로 출력한다. 아래의 표는 구간 정보 검출 회로의 온도계 코드 출력에 대한 구간 정보 n 을 나타낸다.

$D_T(+12)$	$D_T(+11)$	$D_T(+10)$	...	$D_T(-10)$	$D_T(-11)$	$D_T(-12)$	n
0	0	0	...	0	0	1	-12
0	0	0	...	0	1	1	-11
0	0	0	...	1	1	1	-10
...	...	...	...	...	...	...	...
0	0	1	...	1	1	1	11
0	1	1	...	1	1	1	12

[0080]

[0081] 도 3a는 오차 측정 모드에서의 타이밍 다이어그램을 제시한 도면이다.

[0082] 첫 번째 단(STAGE 1)의 경우 MDAC 출력의 오차 측정을 위한 기준 전압 $VDAC_{REF}$ 를 생성해서 최종 10 비트의 디지털 출력을 얻는데 총 9 클록의 지연(latency) 시간이 필요하다. 두 번째(STAGE 2)와 세 번째 단(Back-end ADC)은 각각 6 비트의 디지털 출력을 내보내는데 5 클록이 필요하다. 따라서 25개의 디지털 기준 전압에 대해 첫 번째 단(STAGE 1)의 오차를 측정하기 위해서는 총 79($= 4 + 5*25$) 클록이 소요된다.

[0083] 두 번째 단(STAGE 2)의 경우 MDAC 출력의 오차 측정을 위한 기준 전압 $VDAC_{REF}$ 를 생성해서 최종 6 비트의 디지털 출력을 얻는데 총 6 클록의 지연 시간이 필요하다. 이 때 세 번째 단(Back-end ADC)은 6 비트의 디지털 출력을 내보내는데 5 클록이 필요하다. 따라서 25개의 디지털 기준 전압에 대한 두 번째 단(STAGE 2)의 오차를 측정하기 위해서는 총 76($= 1 + 5*25$) 클록이 소요되며, 결국 오차 측정 모드 전체로는 155($= 79 + 76$) 클록이 필요하게 된다.

[0084] 도 3b는 정상 모드에서의 타이밍 다이어그램을 제시한 도면이다.

[0085] 각 단의 MDAC이 입력을 샘플링하여 디지털 출력과 증폭된 잔류 전압을 생성하는데 4 클록이 필요하며, 이때 각 단의 SAR ADC는 1/2 클록마다 디지털 출력을 내보낸다. 따라서 100[MS/s] 동작을 위해서는 각 단의 SAR ADC가 800[MHz]로 동작해야 한다.

[0086] 도 4a 내지 도 4c는 본 발명에 의한 파이프라인 ADC의 동작 시뮬레이션 결과를 제시한 도면이다.

[0087] 본 발명에 의한 파이프라인 ADC는 12 비트 100[MS/s] 동작을 가정하여 동작 모델 시뮬레이션을 수행하였다. 아울러 실제 설계 시 발생할 수 있는 회로 및 소자의 비이상적인 특성을 반영하였다. 스케일링된 외부 기준 전압

$\pm V_{REF}/16$ 을 생성하기 위해 사용된 저항 열(resistor ladder)에는 0.1[%]의 균등 분포를 갖는 상대적인 부정합(relative mismatch)을 적용하였으며, 커패시터는 12 비트의 정합을 가정하여 0.025[%]의 균등 분포를 갖는 상대적인 부정합을 적용하였다. 출력값 보정 대상 프리앰프는 절대적인 선형 이득(Absolute Linear Gain)의 경우 ± 10 [%]의 균등분포를 갖는 부정합을 적용하였으며, 비선형 이득(Non-linear Gain)은 절대적인 선형 이득을 기준으로 최대 출력에서 10[%]의 오차를 갖는 다차 함수를 이용하여 모델링 하였다. 프리앰프의 오프셋은 ± 5 [mV]로 설정하였다.

[0088] 도 4a는 회로 및 소자의 비이상적인 특성을 반영하여 본 발명에 의한 파이프라인 ADC에 대한 동작 시뮬레이션을 수행한 결과이다.

[0089] 보정 전의 출력 FFT 스펙트럼은 47.8[dB]의 SNDR(Signal-to-Noise and Distortion Ratio)과 60.5[dB]의 SFDR(Spurious Free Dynamic Range)를 나타내는데, 본 발명에 의한 보정 기법을 적용한 후 SNDR은 69.8[dB], SFDR은 88.8[dB]로 개선되었음을 확인할 수 있다.

[0090] 도 4b는 스케일링된 외부 기준 전압 $\pm V_{REF}/16$ 의 정확도가 본 발명에 의한 보정 기법의 성능에 미치는 영향을 확인하기 위한 시뮬레이션 결과를 제시한 도면이다.

[0091] 외부 기준 전압을 스케일링하기 위해 사용된 저항 열의 상대적인 부정합을 0.1[%]에서 1[%]까지 변화시키면서 각각의 경우에 대해 10개의 임의의 조건을 가지고 보정된 출력 신호에 대한 SNDR을 측정하였다. 이때 커패시터의 부정합은 0.025[%]와 0.05[%] 두 가지의 균등 분포를 갖는 조건을 적용하였으며 그 외의 조건은 도 4a에서의 동작 모델 시뮬레이션의 경우와 동일하다. 측정 결과에서 살펴볼 수 있듯이 저항 열의 부정합 조건이 1[%]인 경우에도 본 발명에 의한 ADC의 보정 후 SNDR 성능이 69[dB] 이상을 유지하고 있다.

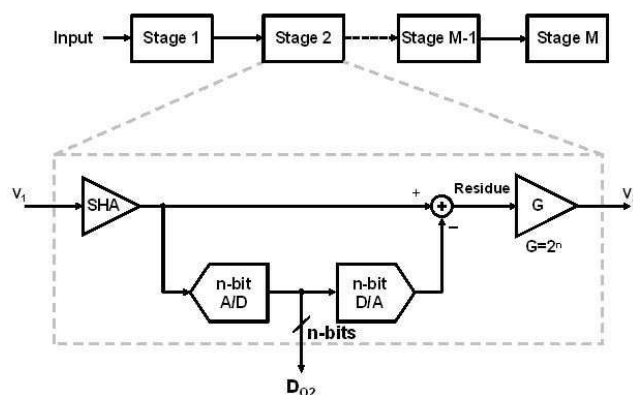
[0092] 도 4c는 동작 시뮬레이션의 DNL(Differential NonLinearity)과 INL(Integral NonLinearity)의 측정 결과를 제시한 도면이다.

[0093] 동일한 조건에서 보정을 적용하지 않았을 경우 DNL은 1[LSB], INL은 11.22[LSB]의 성능을 보여주고 있으나, 본 발명에 의한 보정 기법을 적용할 경우 DNL은 0.5[LSB], INL은 1.22[LSB]로 선형성이 개선됨을 확인할 수 있다.

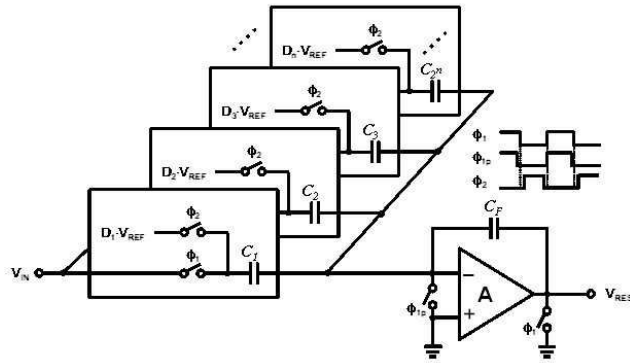
[0094] 이제까지 본 발명에 대하여 그 바람직한 실시예를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예는 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 균등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

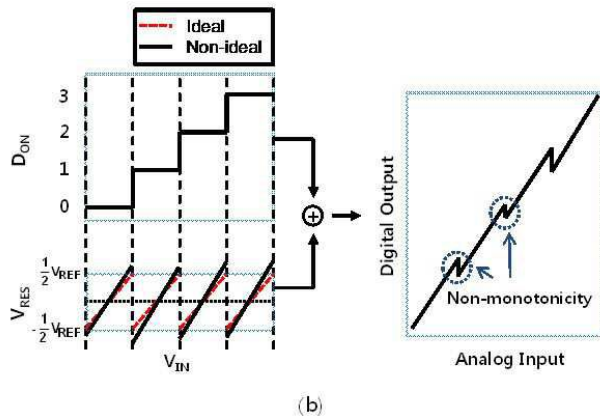
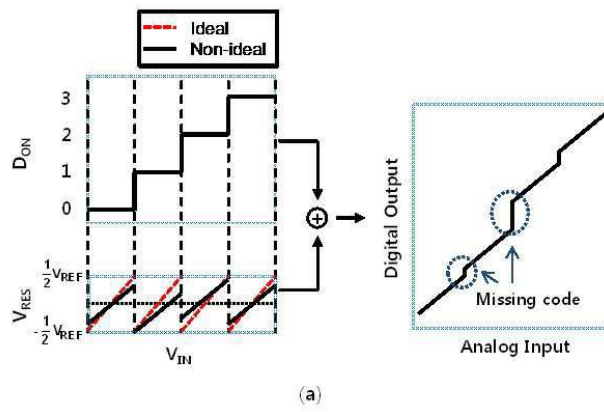
도면1a



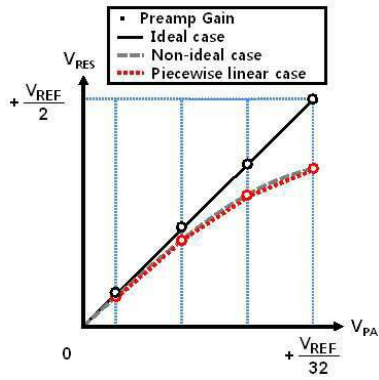
도면1b



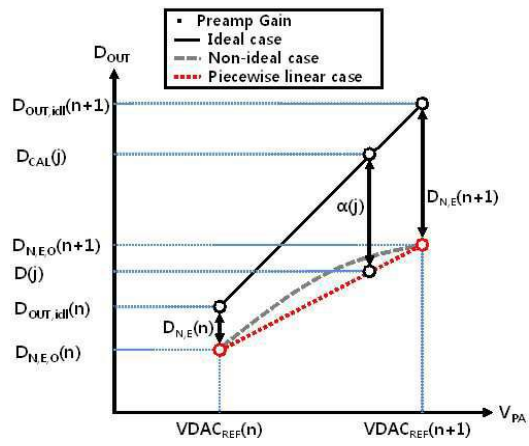
도면1c



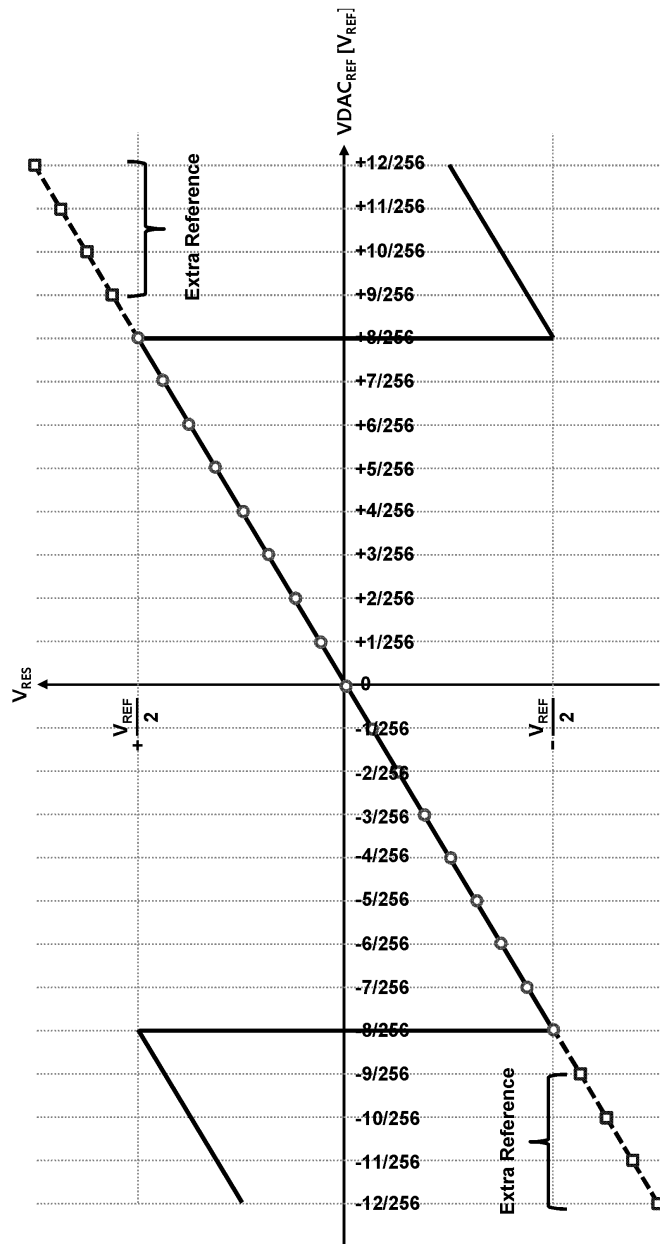
도면2d



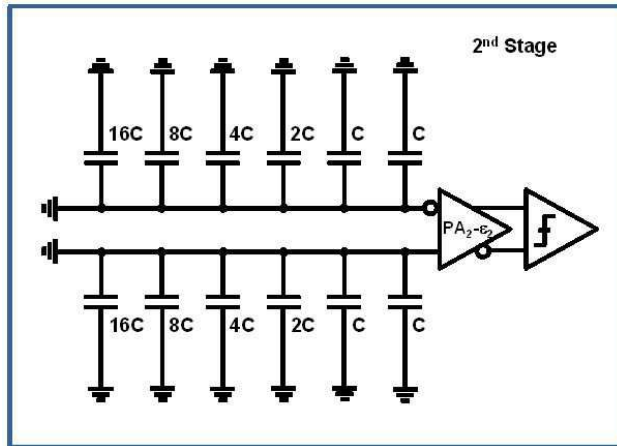
도면2e



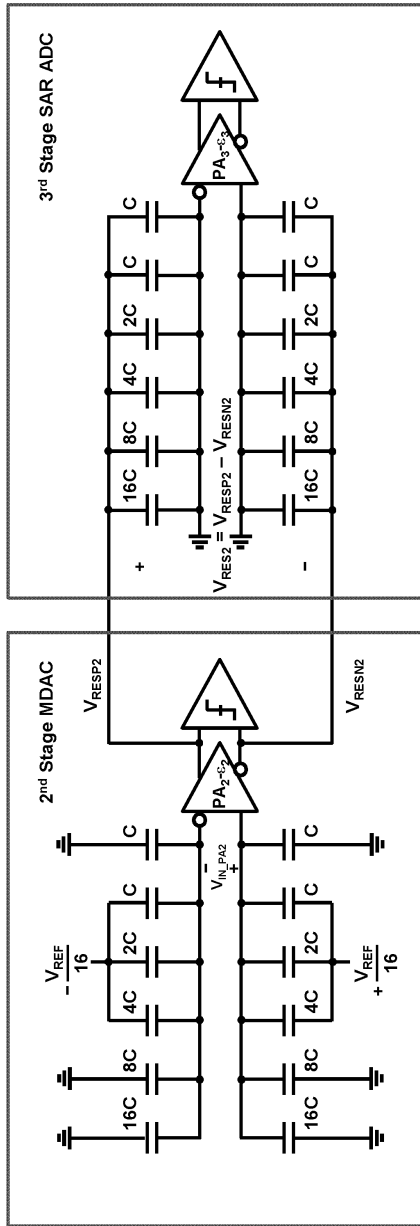
도면2f



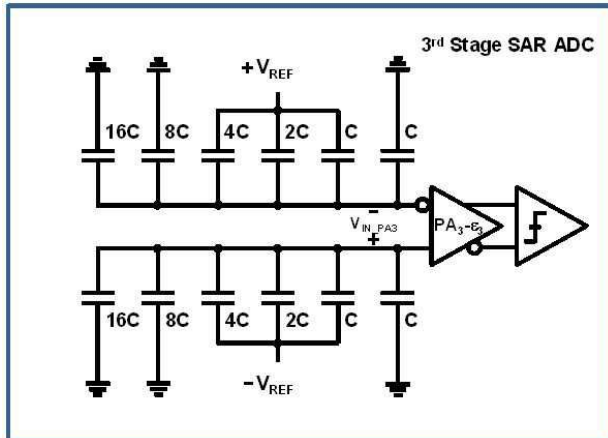
도면2g



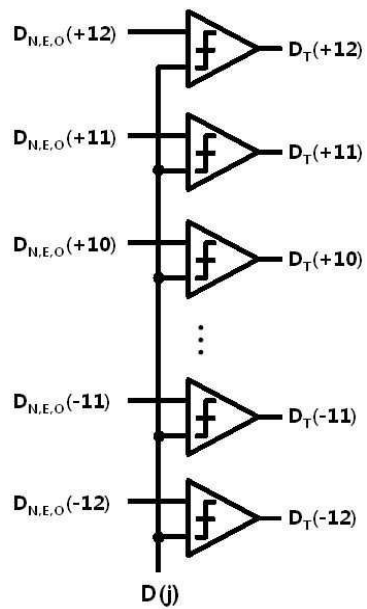
도면2h



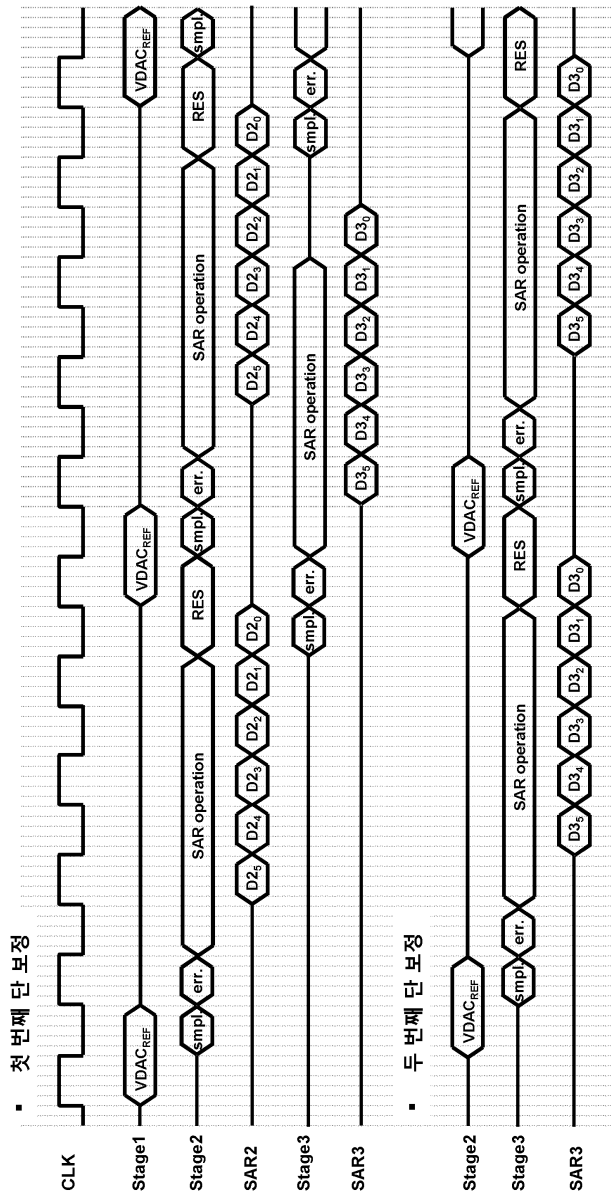
도면2i



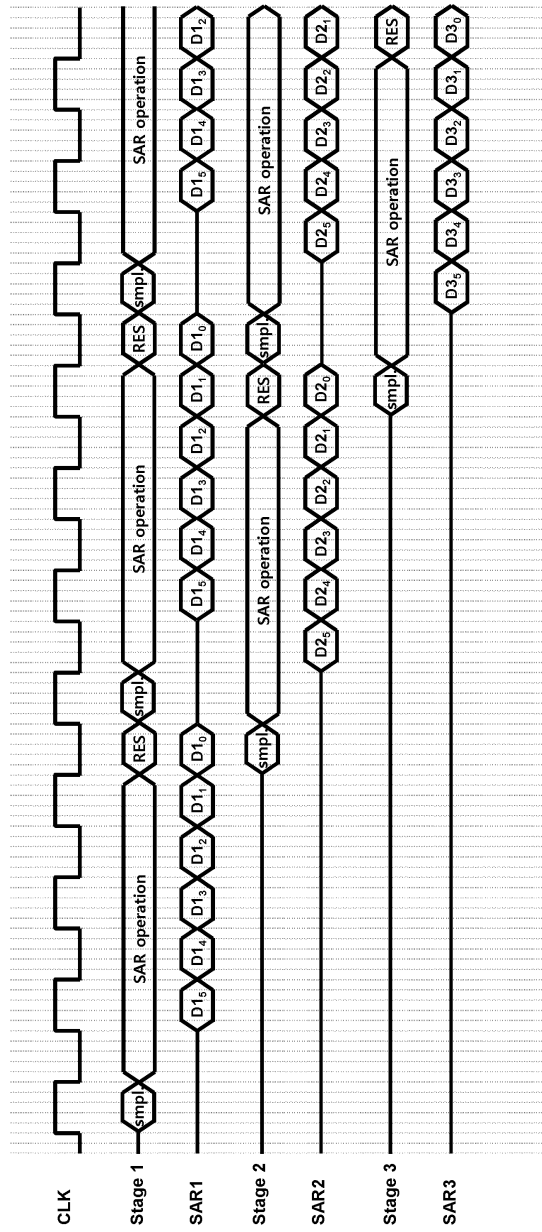
도면2j



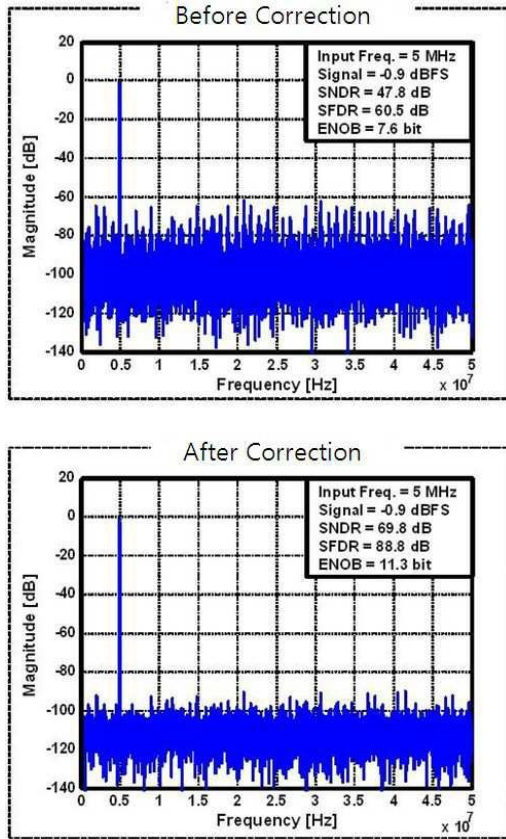
도면3a



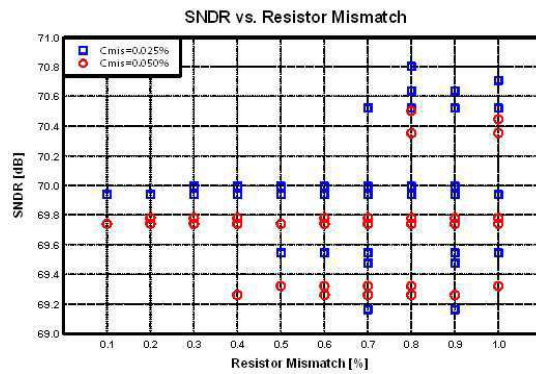
도면3b



도면4a



도면4b



도면4c

