



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0072855
(43) 공개일자 2013년07월02일

(51) 국제특허분류(Int. Cl.)

G11C 29/04 (2006.01)

(21) 출원번호 10-2011-0140460

(22) 출원일자 2011년12월22일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

정희권

경기도 이천시 부발읍 아미리 현대성우오스타
102-1003

(74) 대리인

김성남

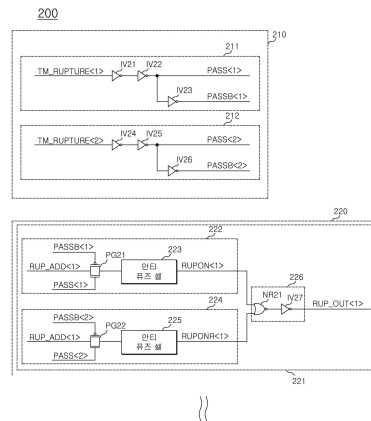
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **안티 퓨즈 회로 및 그 퓨즈 립처 방법**

(57) 요약

본 기술은 신뢰성있는 립처 동작이 가능하도록 한 안티 퓨즈 회로에 관한 것으로서, 제 1 테스트 신호 및 제 2 테스트 신호에 응답하여 제 1 제어 신호 및 제 2 제어 신호를 생성하도록 구성된 제어 블록; 및 상기 제 1 제어 신호에 응답하여 1차 퓨즈 립처(Rupture) 동작을 수행하고, 상기 제 2 제어 신호에 응답하여 2차 퓨즈 립처 동작을 수행하며, 상기 1차 퓨즈 립처 동작과 상기 2차 퓨즈 립처 동작 중에서 하나라도 성공하면 퓨즈 신호를 활성화 하시키도록 구성된 퓨즈 셋 블록을 포함할 수 있다.

대표도 - 도3a



특허청구의 범위

청구항 1

제 1 테스트 신호 및 제 2 테스트 신호에 응답하여 제 1 제어 신호 및 제 2 제어 신호를 생성하도록 구성된 제어 블록; 및

상기 제 1 제어 신호에 응답하여 1차 퓨즈 립치(Rupture) 동작을 수행하고, 상기 제 2 제어 신호에 응답하여 2차 퓨즈 립치 동작을 수행하며, 상기 1차 퓨즈 립치 동작과 상기 2차 퓨즈 립치 동작 중에서 하나라도 성공하면 퓨즈 신호를 활성화시키도록 구성된 퓨즈 셋 블록을 포함하는 안티 퓨즈 회로.

청구항 2

제 1 항에 있어서,

상기 퓨즈 셋 블록은

상기 제 1 제어 신호 및 립치 어드레스 신호에 응답하여 상기 1차 퓨즈 립치 동작을 수행하고, 상기 1차 퓨즈 립치 동작에 따른 제 1 예비 퓨즈 신호를 생성하도록 구성된 메인 퓨즈 셋,

상기 제 2 제어 신호 및 상기 립치 어드레스 신호에 응답하여 상기 2차 퓨즈 립치 동작을 수행하고, 상기 2차 퓨즈 립치 동작에 따른 제 2 예비 퓨즈 신호를 생성하도록 구성된 보조 퓨즈 셋, 및

상기 제 1 예비 퓨즈 신호와 상기 제 2 예비 퓨즈 신호 중에서 어느 하나라도 활성화되면 상기 퓨즈 신호를 활성화시키도록 구성된 신호 조합부를 포함하는 안티 퓨즈 회로.

청구항 3

제 2 항에 있어서,

상기 메인 퓨즈 셋은

안티 퓨즈 셀, 및

상기 제 1 제어 신호의 활성화에 응답하여 상기 립치 어드레스 신호를 상기 안티 퓨즈 셀에 제공하도록 구성된 패스 게이트를 포함하는 안티 퓨즈 회로.

청구항 4

제 2 항에 있어서,

상기 보조 퓨즈 셋은

안티 퓨즈 셀, 및

상기 제 2 제어 신호의 활성화에 응답하여 상기 립치 어드레스 신호를 상기 안티 퓨즈 셀에 제공하도록 구성된 패스 게이트를 포함하는 안티 퓨즈 회로.

청구항 5

제 2 항에 있어서,

상기 립치 어드레스 신호는

고전압 펄스 신호인 안티 퓨즈 회로.

청구항 6

하나의 퓨즈 신호에 대하여 할당된 제 1 안티 퓨즈 셀 및 제 2 안티 퓨즈 셀을 갖는 안티 퓨즈 회로의 퓨즈 립치 방법으로서,

제 1 구간 동안 상기 제 1 안티 퓨즈 셀에 고전압 펄스를 인가하는 단계;

제 2 구간 동안 상기 제 2 안티 퓨즈 셀에 고전압 펄스를 인가하는 단계; 및

상기 제 1 구간과 상기 제 2 구간 중에서 어느 한 구간에서라도 립처가 성공하면 상기 퓨즈 신호를 활성화시키는 단계를 포함하는 안티 퓨즈 회로의 퓨즈 립처 방법.

명세서

기술 분야

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 안티 퓨즈 회로 및 그 퓨즈 립처 방법에 관한 것이다.

배경 기술

[0002] 안티 퓨즈(Anti-fuse)는 트랜지스터 구조를 이용한 퓨즈로서, 게이트와 소스(또는 드레인)에 고전압을 인가하여 게이트 산화물질을 립처(Rupture) 즉, 파괴함으로써 트랜지스터가 도체 성능을 가지도록 하는 방식으로 사용되는 퓨즈이다.

[0003] 즉, 안티 퓨즈는 립처가 이루어지기 전에는 전기를 통과시키지 않고, 립처가 이루어진 후에는 전기를 통과시키도록 한 것이다.

[0004] 일반적인 퓨즈의 경우, 그 상태를 변화시키는 퓨즈 컷 동작 예를 들어, 퓨즈에 레이저를 인가하는 작업 등은 해당 퓨즈가 노출된 상태에서만 가능하므로 패키징 이전에만 퓨즈 컷이 가능하였다.

[0005] 그러나 안티 퓨즈는 퓨즈가 노출되지 않은 상태에서도 고전압만 인가해주면 립처가 가능하므로 그 활용범위가 넓은 장점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 신뢰성있는 립처 동작이 가능하도록 한 안티 퓨즈 회로 및 그 퓨즈 립처 방법을 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명의 실시예는 제 1 테스트 신호 및 제 2 테스트 신호에 응답하여 제 1 제어 신호 및 제 2 제어 신호를 생성하도록 구성된 제어 블록; 및 상기 제 1 제어 신호에 응답하여 1차 퓨즈 립처(Rupture) 동작을 수행하고, 상기 제 2 제어 신호에 응답하여 2차 퓨즈 립처 동작을 수행하며, 상기 1차 퓨즈 립처 동작과 상기 2차 퓨즈 립처 동작 중에서 하나라도 성공하면 퓨즈 신호를 활성화시키도록 구성된 퓨즈 셋 블록을 포함할 수 있다.

[0008] 본 발명의 실시예는 하나의 퓨즈 신호에 대하여 할당된 제 1 안티 퓨즈 셀 및 제 2 안티 퓨즈 셀을 갖는 안티 퓨즈 회로의 퓨즈 립처 방법으로서, 제 1 구간 동안 상기 제 1 안티 퓨즈 셀에 고전압 펄스를 인가하는 단계; 제 2 구간 동안 상기 제 2 안티 퓨즈 셀에 고전압 펄스를 인가하는 단계; 및 상기 제 1 구간과 상기 제 2 구간 중에서 어느 한 구간에서라도 립처가 성공하면 상기 퓨즈 신호를 활성화시키는 단계를 포함할 수 있다.

발명의 효과

[0009] 본 발명의 실시예는 안정적인 립처 동작을 통해 립처 동작의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 안티 퓨즈 회로(100)의 회로도,

도 2는 본 발명의 실시예에 따른 안티 퓨즈 회로(100)의 동작 타이밍도,

도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 안티 퓨즈 회로(200)의 회로도이고,

도 4는 본 발명의 다른 실시예에 따른 안티 퓨즈 회로(200)의 동작 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0012] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 안티 퓨즈 회로(100)는 제어 블록(110) 및 퓨즈 셋 블록(120)을 포함한다.
- [0013] 제어 블록(110)은 테스트 신호(TM_RUPTURE<1>)에 응답하여 제어 신호(PASS<1>, PASSB<1>)를 생성하도록 구성된다.
- [0014] 제어 블록(110)은 복수의 인버터(IV11 ~ IV13)를 포함한다.
- [0015] 제어 블록(110)은 테스트 신호(TM_RUPTURE<1>)가 활성화되면 제어 신호(PASS<1>, PASSB<1>)를 활성화시킨다.
- [0016] 퓨즈 셋 블록(120)은 제어 신호(PASS<1>, PASSB<1>) 및 립처 어드레스 신호(RUP_ADD<1:3>)에 응답하여 퓨즈 립처 동작을 수행하고, 퓨즈 립처 동작에 따른 퓨즈 신호(RUP_OUT<1:3>)를 생성하도록 구성된다.
- [0017] 퓨즈 셋 블록(120)은 복수의 퓨즈 셋 예를 들어, 제 1 내지 제 3 퓨즈 셋(121 ~ 123)을 포함한다.
- [0018] 제 1 퓨즈 셋(121)은 패스 게이트(PG11) 및 안티 퓨즈 셀(122)을 포함한다.
- [0019] 패스 게이트(PG11)는 제어 신호(PASS<1>, PASSB<1>)의 활성화에 응답하여 립처 어드레스 신호(RUP_ADD<1>)를 안티 퓨즈 셀(122)에 제공한다.
- [0020] 이때 립처 어드레스 신호(RUP_ADD<1>)는 고전압 펄스 신호로서, 이때 고전압이란 반도체 회로 예를 들어, 반도체 메모리에서 사용되는 펄핑 전압 VPP 등이 될 수 있다.
- [0021] 안티 퓨즈 셀(122)이 정상이고, 활성화된 립처 어드레스 신호(RUP_ADD<1>)가 정상적으로 안티 퓨즈 셀(122)에 제공된다면, 안티 퓨즈 셀(122)의 게이트 산화막을 파괴하는 립처 동작이 정상적으로 이루어질 것이다.
- [0022] 제 2 퓨즈 셋(131)은 패스 게이트(PG12) 및 안티 퓨즈 셀(132)을 포함한다.
- [0023] 패스 게이트(PG12)는 제어 신호(PASS<1>, PASSB<1>)의 활성화에 응답하여 립처 어드레스 신호(RUP_ADD<2>)를 안티 퓨즈 셀(132)에 제공한다.
- [0024] 안티 퓨즈 셀(132)이 정상이고, 활성화된 립처 어드레스 신호(RUP_ADD<2>)가 정상적으로 안티 퓨즈 셀(132)에 제공된다면, 안티 퓨즈 셀(132)의 게이트 산화막을 파괴하는 립처 동작이 정상적으로 이루어질 것이다.
- [0025] 제 3 퓨즈 셋(141)은 패스 게이트(PG13) 및 안티 퓨즈 셀(142)을 포함한다.
- [0026] 패스 게이트(PG13)는 제어 신호(PASS<1>, PASSB<1>)의 활성화에 응답하여 립처 어드레스 신호(RUP_ADD<3>)를 안티 퓨즈 셀(142)에 제공한다.
- [0027] 안티 퓨즈 셀(142)이 정상이고, 활성화된 립처 어드레스 신호(RUP_ADD<3>)가 정상적으로 안티 퓨즈 셀(122)에 제공된다면, 안티 퓨즈 셀(122)의 게이트 산화막을 파괴하는 립처 동작이 정상적으로 이루어질 것이다.
- [0028] 이와 같이 구성된 본 발명의 실시예의 안티 퓨즈 회로(100)의 동작을 도 2를 참조하여 설명하면 다음과 같다.
- [0029] 이때 립처 어드레스 신호(RUP_ADD<1:3>)가 로직 로우, 하이, 하이 즉, '0, 1, 1'이라고 가정한다. 립처 어드레스 신호(RUP_ADD<1:3>)는 립처 여부를 결정하는 정보로서, '0' 또는 '1'의 값을 가지며, '1'이 립처를 하는 것을 정의한다.
- [0030] 퓨즈 립처 동작을 수행하기 위해 설정 구간 동안 활성화되는 테스트 신호(TM_RUPTURE<1>)가 활성화된다.
- [0031] 테스트 신호(TM_RUPTURE<1>)에 응답하여 제어 신호(PASS<1>, PASSB<1>)가 활성화된다.
- [0032] 립처 어드레스 신호(RUP_ADD<1>)가 로직 로우이므로 제 1 퓨즈 셋(121)의 안티 퓨즈 셀(122)은 립처가 이루어지지 않고, 그에 따라 퓨즈 신호(RUP_OUT<1>)가 로직 로우로 출력된다.
- [0033] 한편, 립처 어드레스 신호(RUP_ADD<2>)는 로직 하이이므로 제 2 퓨즈 셋(131)의 안티 퓨즈 셀(132)은 립처가 이루어지고, 그에 따라 퓨즈 신호(RUP_OUT<2>)가 로직 하이로 출력된다.
- [0034] 립처 어드레스 신호(RUP_ADD<3>)는 로직 하이이므로 제 3 퓨즈 셋(141)의 안티 퓨즈 셀(142)은 립처가 이루어지고, 그에 따라 퓨즈 신호(RUP_OUT<2>)가 로직 하이로 출력되어야 한다. 그러나 내부 사정으로 립처가 실패하는 경우가 발생할 수도 있다.

- [0035] 이하에서는 도 3a 내지 도 4를 참조하여 본 발명의 다른 실시예에 따른 안티 퓨즈 회로(200)를 보다 상세히 설명하기로 한다.
- [0036] 먼저, 본 발명의 다른 실시예는 추가의 안티 퓨즈 셀을 구비하고, 1차 퓨즈 립치 동작이 실패할 경우, 추가적인 퓨즈 립치 동작이 가능하도록 한 것이다.
- [0037] 도 3a 및 도 3b에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 안티 퓨즈 회로(200)는 제어 블록(210) 및 퓨즈 셋 블록(220)을 포함한다.
- [0038] 도 3a에 도시된 바와 같이, 제어 블록(210)은 제 1 테스트 신호(TM_RUPTURE<1>) 및 제 2 테스트 신호(TM_RUPTURE<2>)에 응답하여 제 1 제어 신호(PASS<1>, PASSB<1>) 및 제 2 제어 신호(PASS<2>, PASSB<2>)를 생성하도록 구성된다.
- [0039] 제어 블록(210)은 제 1 제어부(211) 및 제 2 제어부(212)를 포함한다.
- [0040] 제 1 제어부(211)는 제 1 테스트 신호(TM_RUPTURE<1>)에 응답하여 제 1 제어 신호(PASS<1>, PASSB<1>)를 생성하도록 구성된다.
- [0041] 제 1 제어부(211)는 복수의 인버터(IV21 ~ IV23)를 포함한다.
- [0042] 제 1 제어부(211)는 제 1 테스트 신호(TM_RUPTURE<1>)가 활성화되면 제 1 제어 신호(PASS<1>, PASSB<1>)를 활성화시킨다.
- [0043] 제 2 제어부(212)는 제 2 테스트 신호(TM_RUPTURE<2>)에 응답하여 제 2 제어 신호(PASS<2>, PASSB<2>)를 생성하도록 구성된다.
- [0044] 제 2 제어부(212)는 복수의 인버터(IV24 ~ IV26)를 포함한다.
- [0045] 제 2 제어부(212)는 제 2 테스트 신호(TM_RUPTURE<2>)가 활성화되면 제 2 제어 신호(PASS<2>, PASSB<2>)를 활성화시킨다.
- [0046] 퓨즈 셋 블록(220)은 제 1 제어 신호(PASS<1>, PASSB<1>) 및 립치 어드레스 신호(RUP_ADD<1:3>)에 응답하여 1차 퓨즈 립치 동작을 수행하고, 제 2 제어 신호(PASS<2>, PASSB<2>) 및 립치 어드레스 신호(RUP_ADD<1:3>)에 응답하여 2차 퓨즈 립치 동작을 수행하며, 1차 퓨즈 립치 동작과 2차 퓨즈 립치 동작 중에서 하나라도 성공하면 퓨즈 신호(RUP_OUT<1:3>)를 활성화시키도록 구성된다.
- [0047] 도 3a 및 도 3b에 도시된 바와 같이, 퓨즈 셋 블록(220)은 복수의 퓨즈 셋 예를 들어, 제 1 내지 제 3 퓨즈 셋(221 ~ 241)을 포함한다.
- [0048] 제 1 퓨즈 셋(221)은 메인 퓨즈 셋(222), 보조 퓨즈 셋(224) 및 신호 조합부(226)를 포함한다.
- [0049] 메인 퓨즈 셋(222)은 제 1 제어 신호(PASS<1>, PASSB<1>) 및 립치 어드레스 신호(RUP_ADD<1>)에 응답하여 1차 퓨즈 립치 동작을 수행하고, 1차 퓨즈 립치 동작에 따른 제 1 예비 퓨즈 신호(RUPON<1>)를 생성하도록 구성된다.
- [0050] 메인 퓨즈 셋(222)은 패스 게이트(PG21) 및 안티 퓨즈 셀(223)을 포함한다.
- [0051] 패스 게이트(PG21)는 제어 신호(PASS<1>, PASSB<1>)의 활성화에 응답하여 립치 어드레스 신호(RUP_ADD<1>)를 안티 퓨즈 셀(223)에 제공한다.
- [0052] 이때 립치 어드레스 신호(RUP_ADD<1>)는 고전압 신호로서, 이때 고전압이란 반도체 회로 예를 들어, 반도체 메모리에서 사용되는 펌핑 전압 VPP 등이 될 수 있다.
- [0053] 안티 퓨즈 셀(223)이 정상이고, 활성화된 립치 어드레스 신호(RUP_ADD<1>)가 정상적으로 안티 퓨즈 셀(223)에 제공된다면, 안티 퓨즈 셀(223)의 게이트 산화막을 파괴하는 립치 동작이 정상적으로 이루어질 것이며, 그에 따라 제 1 예비 퓨즈 신호(RUPON<1>)가 활성화될 것이다.
- [0054] 보조 퓨즈 셋(224)은 제 2 제어 신호(PASS<2>, PASSB<2>) 및 립치 어드레스 신호(RUP_ADD<1>)에 응답하여 2차 퓨즈 립치 동작을 수행하고, 2차 퓨즈 립치 동작에 따른 제 2 예비 퓨즈 신호(RUPONR<1>)를 생성하도록 구성된

다.

[0055] 보조 퓨즈 셋(224)은 패스 게이트(PG22) 및 안티 퓨즈 셀(225)을 포함한다.

[0056] 패스 게이트(PG22)는 제 2 제어 신호(PASS<2>, PASSB<2>)의 활성화에 응답하여 립치 어드레스 신호(RUP_ADD<1>)를 안티 퓨즈 셀(225)에 제공한다.

[0057] 안티 퓨즈 셀(225)이 정상이고, 활성화된 립치 어드레스 신호(RUP_ADD<1>)가 정상적으로 안티 퓨즈 셀(225)에 제공된다면, 안티 퓨즈 셀(225)의 게이트 산화막을 파괴하는 립치 동작이 정상적으로 이루어질 것이며, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<1>)가 활성화될 것이다.

[0058] 이때 안티 퓨즈 셀(223)은 메인 퓨즈, 안티 퓨즈 셀(225)은 보조 퓨즈라 칭할 수 있다.

[0059] 신호 조합부(226)는 제 1 예비 퓨즈 신호(RUPON<1>)와 제 2 예비 퓨즈 신호(RUPONR<1>) 중에서 어느 하나라도 활성화되면 퓨즈 신호(RUP_OUT<1>)를 활성화시킨다.

[0060] 신호 조합부(226)는 낸드 게이트(NR21) 및 인버터(IV27)를 포함한다.

[0061] 도 3b에 도시된 바와 같이, 제 2 퓨즈 셋(231)은 메인 퓨즈 셋(232), 보조 퓨즈 셋(234) 및 신호 조합부(236)를 포함한다.

[0062] 메인 퓨즈 셋(232)은 제 1 제어 신호(PASS<1>, PASSB<1>) 및 립치 어드레스 신호(RUP_ADD<1>)에 응답하여 1차 퓨즈 립치 동작을 수행하고, 1차 퓨즈 립치 동작에 따른 제 1 예비 퓨즈 신호(RUPON<2>)를 생성하도록 구성된다.

[0063] 메인 퓨즈 셋(232)은 패스 게이트(PG23) 및 안티 퓨즈 셀(235)을 포함한다.

[0064] 패스 게이트(PG23)는 제어 신호(PASS<1>, PASSB<1>)의 활성화에 응답하여 립치 어드레스 신호(RUP_ADD<2>)를 안티 퓨즈 셀(233)에 제공한다.

[0065] 이때 립치 어드레스 신호(RUP_ADD<2>)는 고전압 신호로서, 이때 고전압이란 반도체 회로 예를 들어, 반도체 메모리에서 사용되는 펌핑 전압 VPP 등이 될 수 있다.

[0066] 안티 퓨즈 셀(233)이 정상이고, 활성화된 립치 어드레스 신호(RUP_ADD<2>)가 정상적으로 안티 퓨즈 셀(233)에 제공된다면, 안티 퓨즈 셀(233)의 게이트 산화막을 파괴하는 립치 동작이 정상적으로 이루어질 것이며, 그에 따라 제 1 예비 퓨즈 신호(RUPON<2>)가 활성화될 것이다.

[0067] 보조 퓨즈 셋(234)은 제 2 제어 신호(PASS<2>, PASSB<2>) 및 립치 어드레스 신호(RUP_ADD<2>)에 응답하여 2차 퓨즈 립치 동작을 수행하고, 2차 퓨즈 립치 동작에 따른 제 2 예비 퓨즈 신호(RUPONR<2>)를 생성하도록 구성된다.

[0068] 보조 퓨즈 셋(234)은 패스 게이트(PG24) 및 안티 퓨즈 셀(235)을 포함한다.

[0069] 패스 게이트(PG24)는 제 2 제어 신호(PASS<2>, PASSB<2>)의 활성화에 응답하여 립치 어드레스 신호(RUP_ADD<2>)를 안티 퓨즈 셀(235)에 제공한다.

[0070] 안티 퓨즈 셀(235)이 정상이고, 활성화된 립치 어드레스 신호(RUP_ADD<2>)가 정상적으로 안티 퓨즈 셀(235)에 제공된다면, 안티 퓨즈 셀(235)의 게이트 산화막을 파괴하는 립치 동작이 정상적으로 이루어질 것이며, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<2>)가 활성화될 것이다.

[0071] 신호 조합부(236)는 제 1 예비 퓨즈 신호(RUPON<2>)와 제 2 예비 퓨즈 신호(RUPONR<2>) 중에서 어느 하나라도 활성화되면 퓨즈 신호(RUP_OUT<2>)를 활성화시킨다.

[0072] 신호 조합부(236)는 낸드 게이트(NR22) 및 인버터(IV28)를 포함한다.

[0073] 도 3b에 도시된 바와 같이, 제 3 퓨즈 셋(241)은 메인 퓨즈 셋(242), 보조 퓨즈 셋(244) 및 신호 조합부(246)를 포함한다.

[0074] 메인 퓨즈 셋(242)은 제 1 제어 신호(PASS<1>, PASSB<1>) 및 립치 어드레스 신호(RUP_ADD<3>)에 응답하여 1차 퓨즈 립치 동작을 수행하고, 1차 퓨즈 립치 동작에 따른 제 1 예비 퓨즈 신호(RUPON<3>)를 생성하도록

구성된다.

- [0075] 메인 퓨즈 셋(242)은 패스 게이트(PG25) 및 안티 퓨즈 셀(243)을 포함한다.
- [0076] 패스 게이트(PG25)는 제어 신호(PASS<1>, PASSB<1>)의 활성화에 응답하여 립치 어드레스 신호(RUP_ADD<3>)를 안티 퓨즈 셀(243)에 제공한다.
- [0077] 이때 립치 어드레스 신호(RUP_ADD<3>)는 고전압 신호로서, 이때 고전압이란 반도체 회로 예를 들어, 반도체 메모리에서 사용되는 펌핑 전압 VPP 등이 될 수 있다.
- [0078] 안티 퓨즈 셀(243)이 정상이고, 활성화된 립치 어드레스 신호(RUP_ADD<3>)가 정상적으로 안티 퓨즈 셀(243)에 제공된다면, 안티 퓨즈 셀(243)의 게이트 산화막을 파괴하는 립치 동작이 정상적으로 이루어질 것이며, 그에 따라 제 1 예비 퓨즈 신호(RUPON<3>)가 활성화될 것이다.
- [0079] 보조 퓨즈 셋(244)은 제 2 제어 신호(PASS<2>, PASSB<2>) 및 립치 어드레스 신호(RUP_ADD<3>)에 응답하여 2차 퓨즈 립치 동작을 수행하고, 2차 퓨즈 립치 동작에 따른 제 2 예비 퓨즈 신호(RUPONR<3>)를 생성하도록 구성된다.
- [0080] 보조 퓨즈 셋(244)은 패스 게이트(PG26) 및 안티 퓨즈 셀(245)을 포함한다.
- [0081] 패스 게이트(PG26)는 제 2 제어 신호(PASS<2>, PASSB<2>)의 활성화에 응답하여 립치 어드레스 신호(RUP_ADD<3>)를 안티 퓨즈 셀(245)에 제공한다.
- [0082] 안티 퓨즈 셀(245)이 정상이고, 활성화된 립치 어드레스 신호(RUP_ADD<2>)가 정상적으로 안티 퓨즈 셀(245)에 제공된다면, 안티 퓨즈 셀(245)의 게이트 산화막을 파괴하는 립치 동작이 정상적으로 이루어질 것이며, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<3>)가 활성화될 것이다.
- [0083] 신호 조합부(246)는 제 1 예비 퓨즈 신호(RUPON<3>)와 제 2 예비 퓨즈 신호(RUPONR<3>) 중에서 어느 하나라도 활성화되면 퓨즈 신호(RUP_OUT<3>)를 활성화시킨다.
- [0084] 신호 조합부(246)는 낸드 게이트(NR23) 및 인버터(IV29)를 포함한다.
- [0085] 이와 같이 구성된 본 발명의 다른 실시예의 안티 퓨즈 회로(200)의 동작을 도 4를 참조하여 설명하면 다음과 같다.
- [0086] 이때 립치 어드레스 신호(RUP_ADD<1:3>)가 로직 로우, 하이, 하이 즉, '0, 1, 1'이라고 가정한다.
- [0087] 퓨즈 립치 동작을 수행하기 위해 설정 구간 동안 활성화되는 제 1 테스트 신호(TM_RUPTURE<1>)가 활성화된다.
- [0088] 제 1 테스트 신호(TM_RUPTURE<1>)에 응답하여 제 1 제어 신호(PASS<1>, PASSB<1>)가 활성화된다.
- [0089] 제 1 테스트 신호(TM_RUPTURE<1>)의 활성화 구간 동안 1차 퓨즈 립치가 이루어진다.
- [0090] 립치 어드레스 신호(RUP_ADD<1>)가 로직 로우이므로 제 1 퓨즈 셋(221)의 안티 퓨즈 셀(223)은 립치가 이루어지지 않고, 그에 따라 제 1 예비 퓨즈 신호(RUPON<1>)가 비 활성화되고, 그에 따라 퓨즈 신호(RUP_OUT<1>)가 비 활성화 레벨 즉, 로직 로우로 출력된다.
- [0091] 한편, 제 2 테스트 신호(TM_RUPTURE<2>)는 비 활성화 상태이므로 립치 어드레스 신호(RUP_ADD<1>)와 상관없이 안티 퓨즈 셀(225)은 립치가 이루어지지 않고, 그에 따라 퓨즈 신호(RUP_OUT<1>)가 로직 로우로 유지된다.
- [0092] 립치 어드레스 신호(RUP_ADD<2>)는 로직 하이이므로 제 2 퓨즈 셋(231)의 안티 퓨즈 셀(233)은 립치가 이루어져 제 1 예비 퓨즈 신호(RUPON<2>)가 활성화되고, 그에 따라 퓨즈 신호(RUP_OUT<2>)가 로직 하이로 출력된다.
- [0093] 한편, 제 2 테스트 신호(TM_RUPTURE<2>)는 비 활성화 상태이므로 립치 어드레스 신호(RUP_ADD<2>)와 상관없이 안티 퓨즈 셀(235)은 립치가 이루어지지 않고, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<2>)는 비 활성화 상태를 유지한다.
- [0094] 립치 어드레스 신호(RUP_ADD<3>)는 로직 하이이므로 제 3 퓨즈 셋(241)의 안티 퓨즈 셀(243)은 립치가 이루어져야 한다.
- [0095] 그러나 물리적 또는 전기적 문제 등으로 안티 퓨즈 셀(243)의 립치가 실패할 수 있다. 이와 같이, 립치가 실패할 경우, 제 1 예비 퓨즈 신호(RUPON<3>)가 비 활성화되고, 그에 따라 퓨즈 신호(RUP_OUT<3>)가 로직 로우로 출

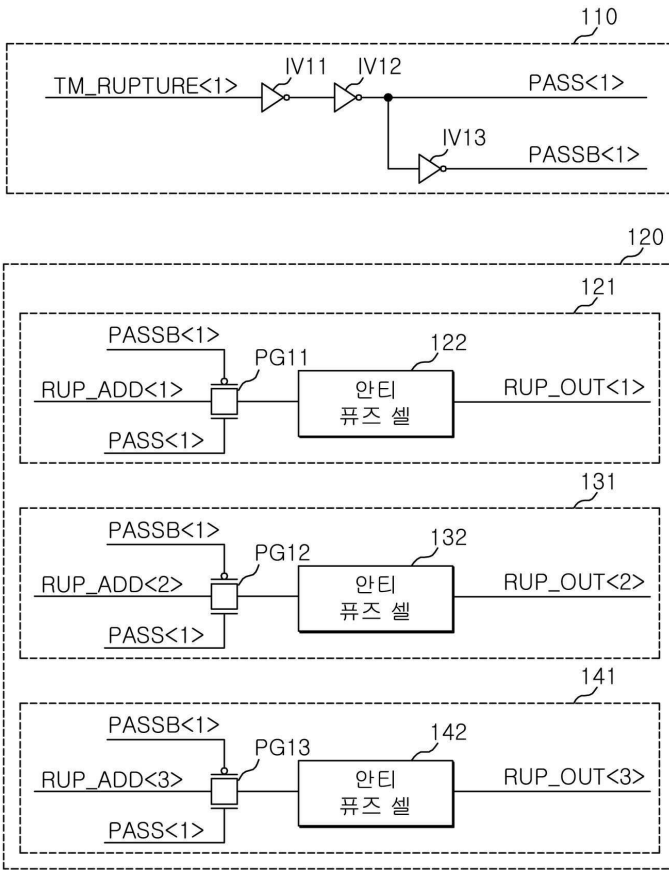
력된다.

- [0096] 한편, 제 2 테스트 신호(TM_RUPTURE<2>)는 비 활성화 상태이므로 립처 어드레스 신호(RUP_ADD<3>)와 상관없이 안티 퓨즈 셀(245)은 립처가 이루어지지 않고, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<3>) 또한 비 활성화 상태를 유지한다.
- [0097] 본 발명의 다른 실시예는 상술한 립처 실패에 대비하여 2차 퓨즈 립처 동작을 수행할 수 있도록 한 것이다.
- [0098] 즉, 제 1 테스트 신호(TM_RUPTURE<1>)의 비 활성화 이후, 설정된 타이밍 이후에 제 2 테스트 신호(TM_RUPTURE<2>)가 활성화된다.
- [0099] 제 2 테스트 신호(TM_RUPTURE<2>)에 응답하여 제 2 제어 신호(PASS<2>, PASSB<2>)가 활성화된다.
- [0100] 제 2 테스트 신호(TM_RUPTURE<2>)의 활성화 구간 동안 2차 퓨즈 립처가 이루어진다.
- [0101] 립처 어드레스 신호(RUP_ADD<1>)가 로직 로우이므로 제 2 테스트 신호(TM_RUPTURE<2>)가 활성화되더라도 제 1 퓨즈 셋(221)의 안티 퓨즈 셀(225)은 립처가 이루어지지 않고, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<1>)가 비 활성화되고, 그에 따라 퓨즈 신호(RUP_OUT<1>)가 비 활성화 레벨 즉, 로직 로우로 유지된다.
- [0102] 립처 어드레스 신호(RUP_ADD<2>)는 로직 하이이므로 제 2 퓨즈 셋(231)의 안티 퓨즈 셀(235)은 립처가 이루어지고, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<2>)는 활성화된다.
- [0103] 립처 어드레스 신호(RUP_ADD<3>)는 로직 하이이므로 제 3 퓨즈 셋(241)의 안티 퓨즈 셀(245)은 립처가 이루어지고, 그에 따라 제 2 예비 퓨즈 신호(RUPONR<3>)가 활성화된다.
- [0104] 이때 1차 퓨즈 립처 동작시 안티 퓨즈 셀(243)의 립처 실패로 제 1 및 제 2 예비 퓨즈 신호(RUPON<3>, RUPONR<3>)가 모두 비 활성화됨에 따라 퓨즈 신호(RUP_OUT<3>)가 활성화되지 못하였다.
- [0105] 그러나 2차 퓨즈 립처 동작으로 제 2 예비 퓨즈 신호(RUPONR<3>)가 활성화됨에 따라 퓨즈 신호(RUP_OUT<3>)가 활성화된다.
- [0106] 상술한 바와 같이, 본 발명은 내부의 어떤 문제로 인하여 퓨즈 립처가 실패하더라도 추가적인 립처 동작을 통해 정상적인 퓨즈 립처가 이루어지도록 한 것이다.
- [0107] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

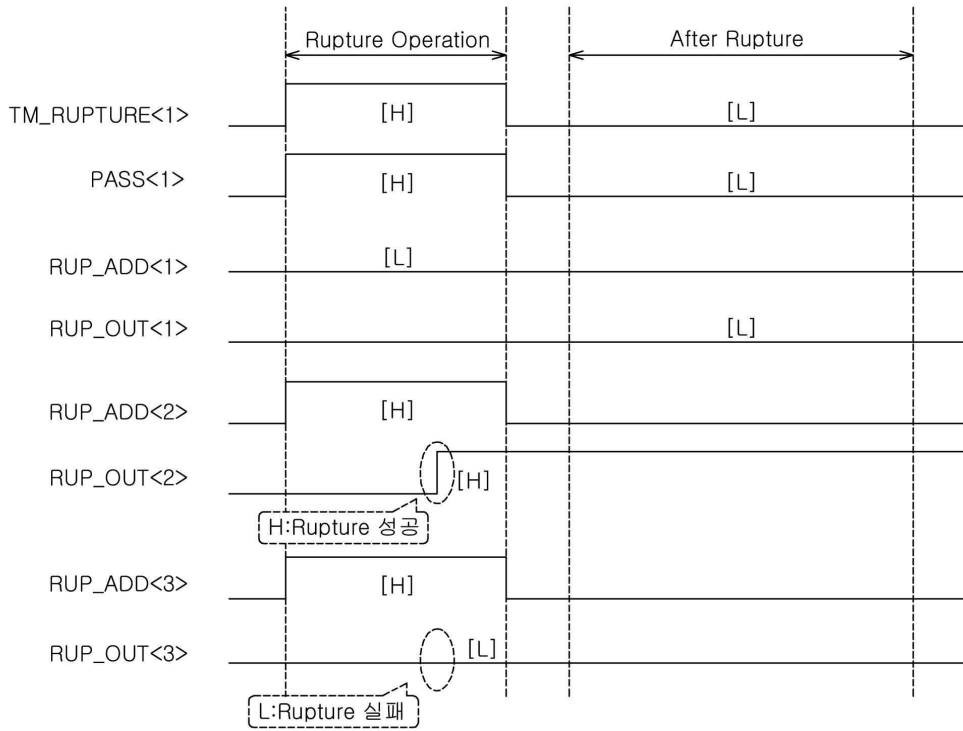
도면

도면1

100

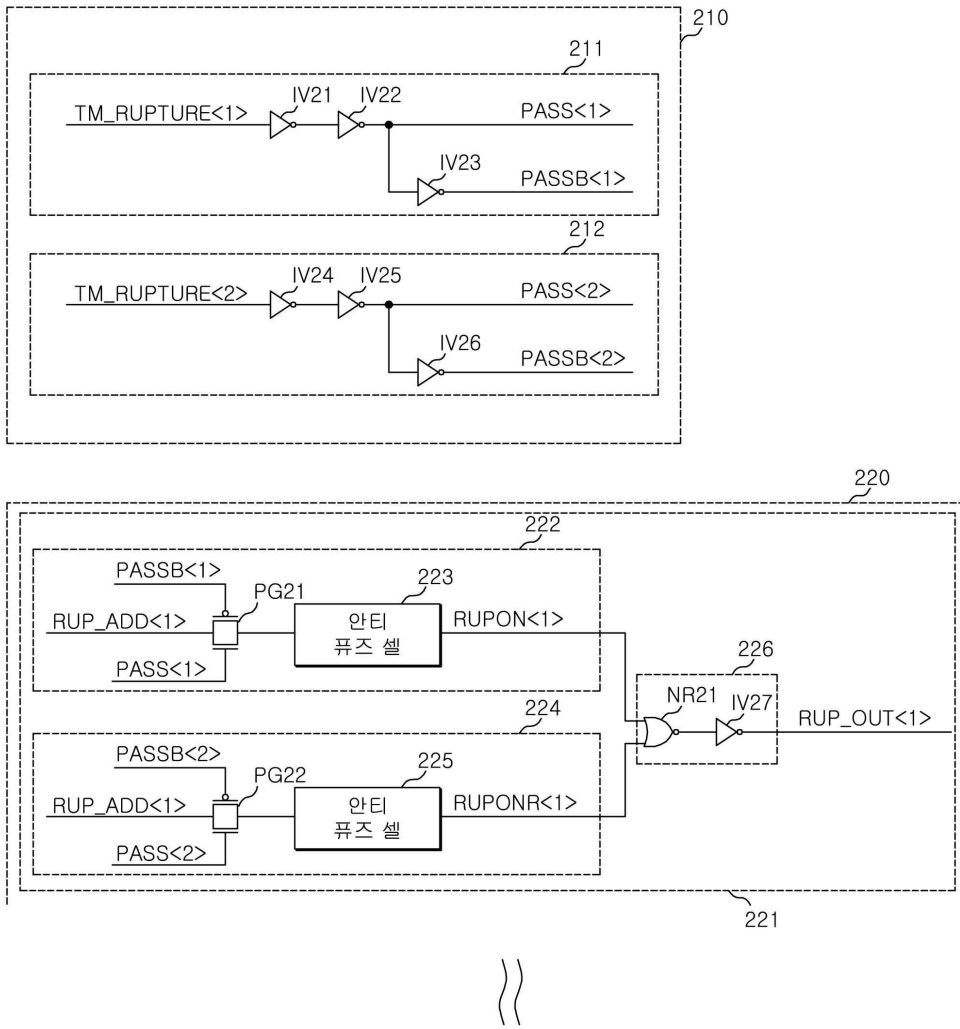


도면2

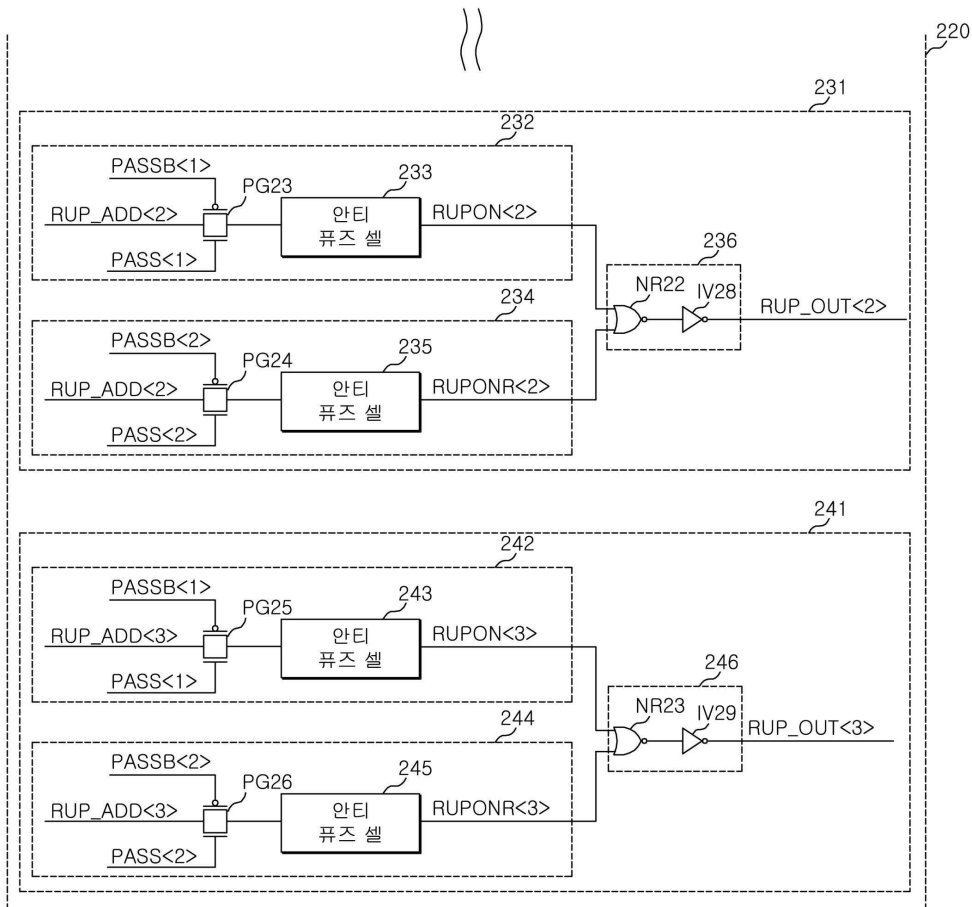


도면3a

200



도면3b



도면4

