

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. (45) 공고일자 2006년03월13일
G09G 3/28 (2006.01) (11) 등록번호 10-0560471
(24) 등록일자 2006년03월07일

(21) 출원번호 10-2003-0079094 (65) 공개번호 10-2005-0045135
(22) 출원일자 2003년11월10일 (43) 공개일자 2005년05월17일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김진성
충청남도천안시신방동한라아파트106동2310호
정우준
충청남도아산시탕정면호산1리삼성SDI기숙사홍익아파트106동204호
채승훈
경기도수원시팔달구영통동청명마을4단지아파트408동601호

(74) 대리인 유미특허법인

심사관 : 김민수

(54) 플라즈마 디스플레이 패널 및 그 구동 방법

요약

본 발명은 플라즈마 디스플레이 패널 및 그 구동 방법에 관하여 개시한다. 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법은 하나의 드라이버 IC 그룹에 포함된 다수의 드라이버 IC의 출력을 병렬 연결하여 상기 하나의 제1 전극에 구동 신호를 인가하며, 상기 다수의 제1 전극에 순차적으로 구동 신호를 인가하되, 다음 구동 신호가 인가되기 전 소정시간동안 이전 구동 신호를 출력하는 제1 드라이버 IC 그룹에 포함된 드라이버 IC와 다음 구동 신호를 출력하는 제2 드라이버 IC 그룹에 포함된 드라이버 IC의 출력을 플로팅시킨다. 이와 같이 하면 드라이버 IC의 구동 전류 및 전력 용량이 증가하여 소형 PDP에 사용되는 저용량의 드라이버 IC로 대형 PDP를 구동할 수 있다.

대표도

도 5

색인어

플라즈마 디스플레이 패널, 스캔 IC, 어드레스 IC, 플로팅

명세서

도면의 간단한 설명

도 1은 일반적인 플라즈마 디스플레이 패널의 일부 사시도이다.

도 2는 일반적인 플라즈마 디스플레이 패널의 전극 배열도이다.

도 3은 종래 기술에 따른 스캔 IC와 스캔 전극의 연결 상태를 나타낸 도이다.

도 4는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널을 나타내는 도면이다.

도 5는 본 발명의 제1 실시예에 따른 Y 전극 구동부에 포함된 스캔 IC와 Y 전극의 연결상태를 나타낸 도이다.

도 6은 본 발명의 제1 실시예에 따른 스캔 IC의 구동방법에 의하여 스캔 전극에 입력되는 파형을 나타낸 도이다.

도 7은 본 발명의 제2 실시예에 따른 스캔 IC의 구동방법에 의하여 스캔 전극에 입력되는 파형을 나타낸 도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)에 관한 것으로, 보다 상세하게는 플라즈마 디스플레이 패널의 구동회로에 관한 것이다.

최근 평면 디스플레이 장치 중에서 PDP는 다른 디스플레이 장치에 비해 휘도 및 발광 효율이 높고 시야각이 넓다는 장점으로 인하여 평면 디스플레이 장치로서 각광을 받고 있다.

플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 먼저 도 1 및 도 2를 참조하여 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.

도 1은 플라즈마 디스플레이 패널의 일부 사시도이며, 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

도 1에 나타낸 바와 같이, 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 개의 유리 기판(1, 6)을 포함한다. 유리 기판(1) 위에는 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 형성되어 있으며, 주사 전극(4)과 유지 전극(5)은 유전체층(2) 및 보호막(3)으로 덮여 있다. 유리 기판(6) 위에는 복수의 어드레스 전극(8)이 형성되어 있으며, 어드레스 전극(8)은 절연체층(7)으로 덮여 있다. 어드레스 전극(8) 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 격벽(9)이 형성되어 있다. 또한 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 유리 기판(1, 6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간(11)이 방전 셀(12)을 형성한다.

그리고 도 2에 나타낸 바와 같이, 플라즈마 디스플레이 패널의 전극은 $n \times m$ 의 매트릭스 구조를 가지고 있다. 복수의 어드레스 전극($A_1 - A_m$)이 세로 방향으로 배열되어 있고 가로 방향으로 복수의 주사 전극($Y_1 - Y_n$) 및 유지 전극($X_1 - X_n$)이 쌍으로 배열되어 있다.

일반적으로 플라즈마 디스플레이 패널은 1 프레임이 복수의 서브필드로 나누어져 구동되며, 서브필드의 조합에 의해 계조가 표현된다. 일반적으로 각 서브필드는 리셋 기간, 어드레스 기간, 유지 기간으로 이루어진다.

리셋 기간은 이전의 유지방전으로 형성된 벽 전하를 소거하고 다음의 어드레스 방전을 안정적으로 수행하기 위해 벽 전하를 셋업(setup) 하는 역할을 한다. 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 유지 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 유지 방전을 수행하는 기간이다.

이때, 벽전하란 각 전극에 가깝게 방전 셀의 벽(예를 들어, 유전체층)에 형성되어 전극에 축적되는 전하를 말한다. 이러한 벽전하는 실제로 전극 자체에 접촉되지는 않지만, 여기서는 벽전하가 전극에 "형성됨", "축적됨" 또는 "쌓임"과 같이 설명된다. 또한 벽전압은 벽전하에 의해서 방전 셀의 벽에 형성되는 전위차를 말한다.

한편, PDP의 어드레싱 동작은 스캔 IC와 어드레스 IC의 동작에 의하여 수행되며, 스캔 IC와 어드레스 IC는 각각 직렬 연결된 2개의 스위치를 포함하는 다수의 드라이버를 포함한다. 또한, 스캔 IC와 어드레스 IC의 출력은 각각 스캔 전극(Y 전극)과 어드레스 전극에 1:1로 대응된다. 일반적으로 하나의 드라이버 IC에는 다수의 드라이버가 포함되나 이하에서는 설명의 편의를 위하여 하나의 드라이버 IC에 하나의 드라이버가 포함된 것으로 가정한다.

도 3은 이러한 종래 기술에 따른 스캔 IC와 Y 전극의 연결 상태를 나타낸 도이다.

도 3에 도시된 바와 같이, 스캔 IC 1의 출력은 스캔 전극(Y1)에 연결되어 있고, 스캔 IC 2의 출력은 스캔 전극(Y2)에 연결되어 있다.

그런데, 최근에는 패널이 대형화되는 추세이며, 이에 따라 회로 소자의 용량도 점점 증가하고 있다. 따라서, 드라이버 IC(스캔 IC 및 어드레스 IC)의 용량도 대형화되어야 한다. 특히, 70인치급 PDP의 구동 전류는 40인치급 PDP의 구동 전류의 3배 정도이므로, 이러한 대용량의 전류를 감당할 수 있는 드라이버 IC의 필요성이 대두되고 있다. 그러나, 이러한 대형 PDP의 경우 40인치급보다 생산량이 적기 때문에 전용 드라이버 IC를 개발하는 것은 비용적인 측면에서 유리하지 못하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 저용량의 드라이버 IC를 이용하여 대형 PDP를 구동하기 위한 플라즈마 디스플레이 패널의 구동 회로를 제공하는 것이다.

발명의 구성 및 작용

이러한 기술적 과제를 달성하기 위한 본 발명의 특징에 따른 플라즈마 디스플레이 패널은 다수의 제1 전극을 포함하는 패널부; 및 상기 제1 전극에 순차적으로 주사 신호를 인가하며, 각각 다수의 드라이버 IC로 이루어진 다수의 드라이버 IC 그룹을 포함하는 구동부를 포함하며, 상기 하나의 드라이버 IC 그룹에 포함된 드라이버 IC의 출력을 병렬 연결한 출력단을 통하여 상기 제1 주사전극에 주사 신호를 인가한다.

이때, 상기 각각의 드라이버 IC는 상기 주사 신호에 해당하는 전압을 공급하는 제1 전원에 연결된 제1 스위치와, 제2 전원에 연결된 제2 스위치를 포함하며, 상기 하나의 드라이버 IC 그룹에 포함된 각각의 드라이버 IC의 제1 스위치가 동시에 온되고 제2 스위치가 동시에 오프되어 상기 제1 전극에 구동 신호가 인가된다.

또한, 상기 다수의 제1 전극에 차례로 구동 신호를 인가할 때, 다음 구동 신호를 인가하기 전에 소정시간동안 상기 다수의 드라이버 IC 그룹에 포함된 모든 스위치를 오프 시켜서 출력을 플로팅 시키거나,

상기 다수의 제1 전극에 차례로 구동 신호를 인가할 때, 다음 구동 신호를 인가하기 전에 소정시간동안 이전 구동 신호를 인가하는 드라이버 IC 그룹과 다음 구동 신호를 인가할 드라이버 IC 그룹에 포함된 모든 스위치를 오프 시켜서 출력을 플로팅 시킨다.

이때, 상기 제1 전극은 주사전극이거나 어드레스 전극인 것이 바람직하다.

본 발명의 특징에 따른 플라즈마 디스플레이 패널의 구동 방법은, 다수의 제1 전극과, 상기 제1 전극에 구동 신호를 인가하며 각각 다수의 드라이버 IC로 이루어진 다수의 드라이버 IC 그룹을 포함한 구동부를 포함하는 플라즈마 디스플레이 패널의 구동방법으로서,

상기 하나의 드라이버 IC 그룹에 포함된 다수의 드라이버 IC의 출력을 병렬 연결하여 상기 하나의 제1 전극에 구동 신호를 인가하며, 상기 다수의 제1 전극에 순차적으로 구동 신호를 인가하되, 다음 구동 신호가 인가되기 전 소정시간동안 이전 구동 신호를 출력하는 제1 드라이버 IC 그룹에 포함된 드라이버 IC와 다음 구동 신호를 출력하는 제2 드라이버 IC 그룹에 포함된 드라이버 IC의 출력을 플로팅 시킨다.

이때, 상기 소정시간동안 상기 다수의 드라이버 IC 그룹에 속한 모든 드라이버 IC의 출력을 플로팅 시키거나, 상기 제1 및 제2 드라이버 IC 그룹을 제외한 드라이버 IC 그룹에 포함된 드라이버 IC는 정상 동작시킬 수 있다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

먼저, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널에 대하여 도 4를 참고로 하여 상세하게 설명한다.

도 4는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널 장치의 도면이다.

도 4에 나타난 바와 같이, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널 장치는 플라즈마 패널(100), 어드레스 구동부(200), Y 전극 구동부(320), X 전극 구동부(340) 및 제어부(400)를 포함한다.

플라즈마 패널(100)은 열 방향으로 배열되어 있는 다수의 어드레스 전극(A1~Am), 행 방향으로 배열되어 있는 제1 전극(Y1~Yn)(이하, Y 전극이라고 함) 및 제2 전극(X1~Xn)(이하, X 전극이라고 함)을 포함한다.

어드레스 구동부(200)는 제어부(200)로부터 어드레스 구동 제어 신호(SA)를 수신하여 표시하고자 하는 방전 셀을 선택하기 위한 표시 데이터 신호를 각 어드레스 전극에 인가한다.

Y 전극 구동부(320) 및 X 전극 구동부(340)는 제어부(200)로부터 각각 Y 전극 구동신호(SY)와 X 전극 구동신호(SX)를 수신하여 X 전극과 Y전극에 인가한다.

제어부(400)는 외부로부터 영상신호를 수신하여, 어드레스 구동제어신호(SA), Y 전극 구동신호(SY) 및 X 전극 구동신호(SX)를 생성하여 각각 어드레스 구동부(200), Y 전극 구동부(320) 및 X 전극 구동부(340)에 전달한다.

도 5는 본 발명의 제1 실시예에 따른 Y 전극 구동부(320)에 포함된 스캔 IC와 Y 전극의 연결상태를 나타낸 도이다.

도 5에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 Y 전극 구동부(320)는 두 개의 스캔 IC(스캔 IC 1, 스캔 IC 3)의 출력을 병렬 연결하여 하나의 Y 전극(Y1)에 연결한다. 마찬가지로 두 개의 스캔 IC(스캔 IC 2, 스캔 IC 4)의 출력을 병렬 연결한 출력을 다음 Y 전극(Y2)에 연결한다.

이러한 회로를 통하여 Y 전극에 스캔 전압을 인가할 때에는, 스위치(M11)와 스위치(M31)를 동시에 온오프 시키고, 스위치(M12)와 스위치(M32)를 동시에 온오프 시킨다. 그러면, 두 개의 스위치는 병렬 연결된 상태이므로 스위치에 흐르는 전류를 50%로 줄일 수 있다.

그런데, 이러한 스캔 IC를 구성하는 스위치로서 동일한 모델을 사용한다 하더라도 각 스위치별로 온오프되는 스위칭 타임이 조금씩 다르기 때문에 온 되어야 할 스위치와 오프 되어야 할 스위치가 동시에 온 되는 현상이 발생할 수 있다.

예를 들어, 도 5에서 Y1에 스캔 펄스가 인가된 후에 Y2에 스캔 펄스가 인가될 때 Y1으로의 출력은 로우에서 하이로 변경되고 Y2로의 출력이 하이에서 로우로 변경된다. 따라서 스위치(M12, M32)는 온 상태에서 오프 상태로 되고, 스위치(M11, M31)는 오프 상태에서 온 상태로 된다. 또한, 스위치(M21, M41)는 온 상태에서 오프 상태로 되고, 스위치(M22, M42)는 오프 상태에서 온 상태로 된다.

그런데, 스위치(M31, M32)의 스위칭 타이밍이 스위치(M11, M12)의 스위칭 타이밍보다 빨라서 Y1에 스캔 펄스가 인가되는 순간에 스위치(M11)가 오프되고 스위치(M12)가 온 되기 전에, 스위치(M31)가 오프되고 스위치(M32)가 온 되는 경우가 발생할 수 있다. 마찬가지로, Y2에 스캔 펄스가 인가되는 순간에 스위치(M31)가 온 되고 스위치(M32)가 오프되기 전

에 스위치(M11)가 온되고 스위치(M12)가 온 되는 경우가 발생할 수 있다. 그러면 스위치(M11)와 스위치(M32)가 동시에 온 되거나 스위치(M12)와 스위치(M31)이 동시에 온 되어 회로가 쇼트되어 전극(Y1, Y2)으로 원하는 파형을 출력할 수 없게 된다.

이러한 단점을 보완하기 위하여, 스캔 전극에 스캔 펄스가 인가될 때마다 소정시간동안 모든 스캔 IC의 출력을 하이 임피던스로 만들어 플로팅 시킨 후에 다음 스캔 펄스가 인가되도록 한다.

그러면, 스캔 IC의 출력이 하이 임피던스를 유지하는 동안 모든 스위치가 오프된 상태이므로 스위칭 타이밍에 의해 회로가 쇼트되는 것을 방지할 수 있다.

도 6은 이러한 본 발명의 제1 실시예에 따른 스캔 IC의 구동방법에 의하여 스캔 전극(Y1, Y2, Y3, ...)에 입력되는 파형을 나타낸 도이다. 도 6에서 점선은 스캔 IC의 출력이 하이 임피던스 상태가 되어 출력 전압이 플로팅된 상태를 나타낸 것이다.

한편, 본 발명의 제1 실시예에서는 스캔 전극에 스캔 펄스가 인가될 때마다 모든 스캔 IC의 출력이 하이 임피던스 상태가 되도록 설정하였으나, 이와는 전압이 변하는 스캔 전극에 연결된 스캔 IC의 출력만이 하이 임피던스 상태가 되도록 설정할 수도 있다.

도 7은 본 발명의 제2 실시예에 따른 스캔 IC의 구동방법에 의하여 스캔 전극(Y1, Y2, Y3, ...)에 입력되는 파형을 나타낸 도이다.

도 7에 도시된 바와 같이, Y1에 스캔 펄스가 인가된 후 Y2에 스캔 펄스가 인가되기 전에 소정시간동안 Y1과 Y2를 구동하는 스캔 IC의 출력을 하이 임피던스 상태로 만들어서 Y1과 Y2의 전압이 플로팅 되도록 한다. 이때, Y3은 전압 변화가 없기 때문에 Y3을 구동하는 스캔 IC의 출력은 정상 상태를 유지한다.

마찬가지로, Y2에 스캔 펄스가 인가된 후 Y3에 스캔 펄스가 인가되기 전에 소정시간동안 Y2과 Y3를 구동하는 스캔 IC의 출력을 하이 임피던스 상태로 만들어서 Y2과 Y3의 전압이 플로팅 되도록 한다. 이때, Y1은 전압 변화가 없기 때문에 Y1을 구동하는 스캔 IC의 출력은 정상 상태를 유지한다.

본 발명의 제1 및 제2 실시예에서는 스캔 IC와 스캔 전극(Y 전극)의 경우를 예로 들어 설명하였으나, 본 발명의 제1 및 제2 실시예는 어드레스 IC와 어드레스 전극의 경우에도 동일하게 적용될 수 있다.

또한, 본 발명의 제1 및 제2 실시예에서는 2개의 드라이버 IC를 병렬 연결하여 하나의 전극을 구동하는 경우를 예로 들어 설명하였으나, 본 발명은 3개 이상의 드라이버 IC를 병렬 연결하여 하나의 전극을 구동하도록 할 수도 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명은 이에 한정되는 것은 아니며, 그 외의 다양한 변경이나 변형이 가능하다.

발명의 효과

이상에서와 같이 본 발명에 따르면 구동 전류 및 전력 용량을 증가시키기 위하여 2개의 드라이버 IC를 병렬 연결하여 하나의 스캔 전극 또는 어드레스 전극을 구동함으로써 소형 PDP에 사용되는 저용량의 드라이버 IC로 대형 PDP를 구동할 수 있다.

(57) 청구의 범위

청구항 1.

다수의 제1 전극을 포함하는 패널부; 및

상기 다수의 제1 전극에 순차적으로 주사 신호를 인가하며, 각각 다수의 드라이버 IC로 이루어진 다수의 드라이버 IC 그룹을 포함하는 구동부를 포함하며,

상기 하나의 드라이버 IC 그룹에 포함된 드라이버 IC의 출력을 병렬 연결한 출력단을 통하여 상기 제1 전극에 주사 신호를 인가하는

플라즈마 디스플레이 패널.

청구항 2.

제1항에 있어서,

상기 각각의 드라이버 IC는 상기 주사 신호에 해당하는 전압을 공급하는 제1 전원에 연결된 제1 스위치와, 제2 전원에 연결된 제2 스위치를 포함하며,

상기 하나의 드라이버 IC 그룹에 포함된 각각의 드라이버 IC의 제1 스위치가 동시에 온 되고 제2 스위치가 동시에 오프되어 상기 제1 전극에 구동 신호가 인가되는

플라즈마 디스플레이 패널.

청구항 3.

제2항에 있어서,

상기 다수의 제1 전극에 차례로 구동 신호를 인가할 때, 다음 구동 신호를 인가하기 전에 소정시간동안 상기 다수의 드라이버 IC 그룹에 포함된 모든 스위치를 오프 시켜서 출력을 플로팅 시키는

플라즈마 디스플레이 패널.

청구항 4.

제2항에 있어서,

상기 다수의 제1 전극에 차례로 구동 신호를 인가할 때, 다음 구동 신호를 인가하기 전에 소정시간동안 이전 구동 신호를 인가하는 드라이버 IC 그룹과 다음 구동 신호를 인가할 드라이버 IC 그룹에 포함된 모든 스위치를 오프 시켜서 출력을 플로팅 시키는

플라즈마 디스플레이 패널.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 전극은 주사전극인 것을 특징으로 하는

플라즈마 디스플레이 패널.

청구항 6.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 전극은 어드레스 전극인 것을 특징으로 하는

플라즈마 디스플레이 패널.

청구항 7.

다수의 제1 전극과, 상기 다수의 제1 전극에 구동 신호를 인가하며 각각 다수의 드라이버 IC로 이루어진 다수의 드라이버 IC 그룹을 포함한 구동부를 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 하나의 드라이버 IC 그룹에 포함된 다수의 드라이버 IC의 출력을 병렬 연결하여 상기 하나의 제1 전극에 구동 신호를 인가하며,

상기 다수의 제1 전극에 순차적으로 구동 신호를 인가하되,

다음 구동 신호가 인가되기 전 소정시간동안 이전 구동 신호를 출력하는 제1 드라이버 IC 그룹에 포함된 드라이버 IC와 다음 구동 신호를 출력하는 제2 드라이버 IC 그룹에 포함된 드라이버 IC의 출력을 플로팅시키는

플라즈마 디스플레이 패널의 구동방법.

청구항 8.

제7항에 있어서,

상기 소정시간동안 상기 다수의 드라이버 IC 그룹에 속한 모든 드라이버 IC의 출력을 플로팅시키는

플라즈마 디스플레이 패널의 구동방법.

청구항 9.

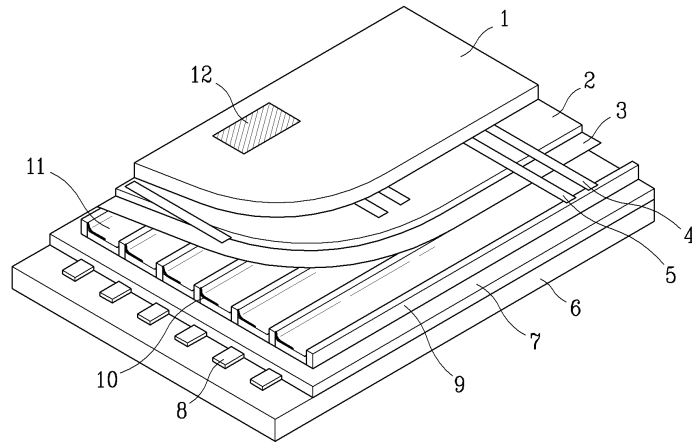
제7항에 있어서,

상기 제1 및 제2 드라이버 IC 그룹을 제외한 드라이버 IC 그룹에 포함된 드라이버 IC는 정상 동작시키는

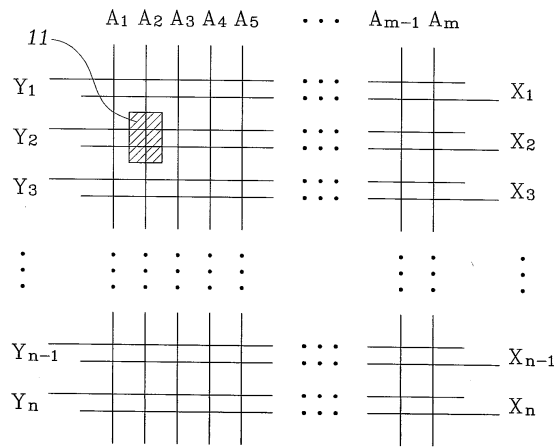
플라즈마 디스플레이 패널의 구동방법.

도면

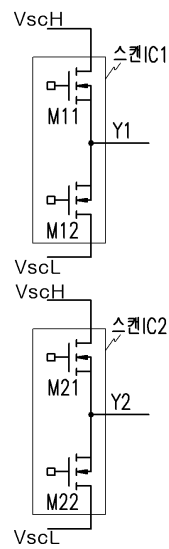
도면1



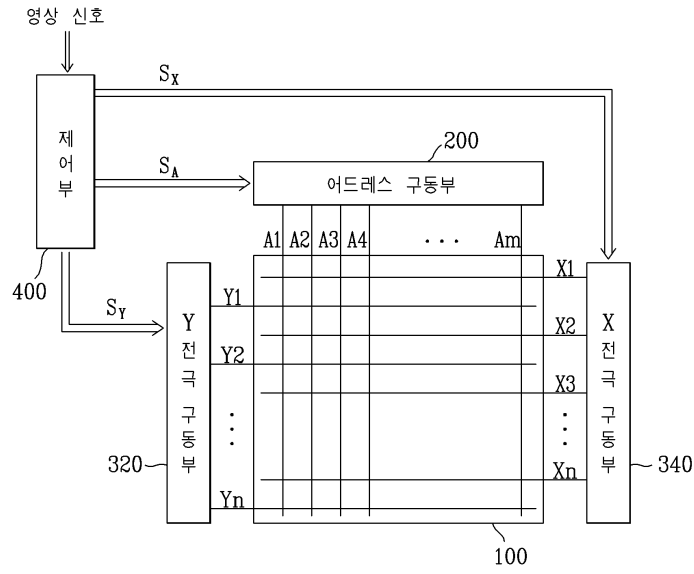
도면2



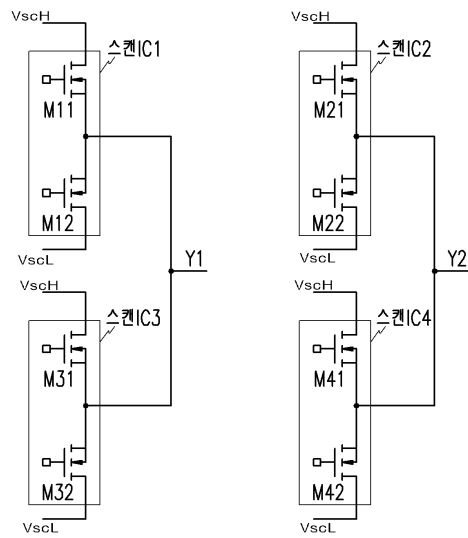
도면3



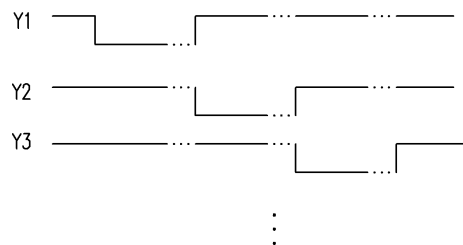
도면4



도면5



도면6



도면7

