

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2016-16573
(P2016-16573A)

(43) 公開日 平成28年2月1日(2016.2.1)

(51) Int.Cl.
B 4 1 J 5/30 (2006.01)

F I
B 4 1 J 5/30 Z

テーマコード (参考)
2 C 1 8 7

審査請求 未請求 請求項の数 5 O L (全 22 頁)

(21) 出願番号	特願2014-140237 (P2014-140237)	(71) 出願人	000005496
(22) 出願日	平成26年7月8日 (2014.7.8)		富士ゼロックス株式会社
			東京都港区赤坂九丁目7番3号
		(74) 代理人	110000039
			特許業務法人アイ・ピー・ウィン
		(72) 発明者	玉谷 光之
			神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内
		(72) 発明者	山田 和雄
			神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内
		Fターム(参考)	2C187 AD14 AE07 BF03 BG03 BG17 FC17 FD12 FD18

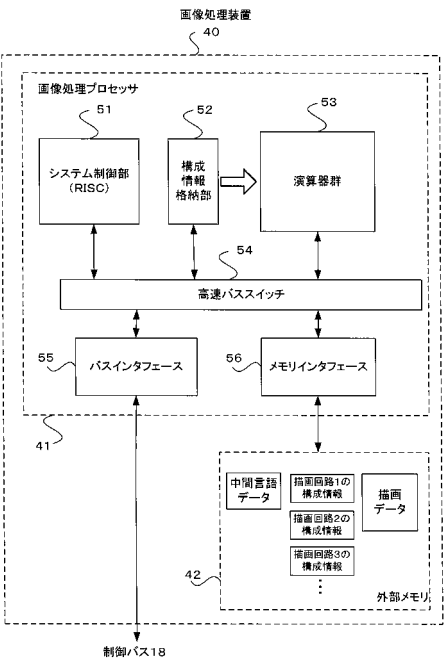
(54) 【発明の名称】 画像処理装置および画像形成装置

(57) 【要約】

【課題】複数のオブジェクトにより構成された画像データの描画処理を行う際、入力された描画要素を順番に描画処理する場合と比較して描画処理時間を短縮する。

【解決手段】システム制御部51は、送信されてきた中間言語データを外部メモリ42に格納し、この中間言語データに基づいてラスタ画像を描画する際、画像データ中においてN番目のオブジェクトに設定された領域とN+1番目のオブジェクトに設定された領域とが重なっておらず、N番目またはN+1番目のオブジェクトのデータ量が予め設定された値よりも小さい場合、N番目、N+1番目のオブジェクトの描画処理のための2つの描画回路の構成情報を外部メモリ42から読み出して構成情報格納部52に格納する。そして、システム制御部51は、N番目およびN+1番目のオブジェクトの描画処理のための2つの描画回路が演算器群53の複数の演算器により同時に実現されるよう制御する。

【選択図】図3



【特許請求の範囲】

【請求項 1】

複数の描画要素により構成された画像データ中の各描画要素に対する描画処理をそれぞれ行うための複数の描画回路の構成情報を記憶する記憶手段と、

複数の演算器と、前記複数の演算器を組み合わせる特定の画像処理機能を実現するための構成情報を事前に格納しておくための格納手段と、入力された指示に応じて前記記憶手段に記憶されている複数の描画回路の構成情報の中から必要な描画回路の構成情報を読み出して前記格納手段に格納させ、前記格納手段に格納されている構成情報に基づいて前記複数の演算器を再構成することにより要求された画像処理機能が前記複数の演算器により実現されるよう制御する制御手段とを備えた画像処理デバイスとを備え、

10

前記制御手段は、画像データ中において第 1 の描画要素に設定された領域と第 2 の描画要素に設定された領域とが重なっておらず、前記第 1 の描画要素または前記第 2 の描画要素のデータ量が予め設定された値よりも小さい場合、前記第 1 および第 2 の描画要素の描画処理を行うための複数の描画回路の構成情報を前記記憶手段から読み出して前記格納手段に格納させ、前記第 1 および第 2 の描画要素の描画処理を行うための複数の描画回路が前記複数の演算器により同時に実現されるよう制御する画像処理装置。

【請求項 2】

前記制御手段は、前記格納手段に格納しようとする複数の描画回路の構成情報が既に格納手段に格納されている場合、格納されている複数の描画回路の構成情報に基づいて前記複数の演算器を再構成させて要求された画像処理機能が前記複数の演算器により実現されるよう制御する請求項 1 記載の画像処理装置。

20

【請求項 3】

前記制御手段は、前記格納手段に格納しようとする複数の描画回路の構成情報が格納手段に格納されていない場合、描画処理が行われていない描画要素の中から、前記第 1 の描画要素に設定されている領域と重ならない領域が設定されており、描画処理に必要な描画回路の構成情報が既に格納手段に格納されている第 3 の描画要素を選択し、前記格納手段に既に格納されている構成情報に基づいて前記複数の演算器を再構成させて、描画処理を行う描画要素の順番を変更して前記第 1 および第 3 の描画要素に対する描画処理が実行されるよう制御する請求項 1 または 2 記載の画像処理装置。

【請求項 4】

30

前記制御手段は、前記第 1 の描画要素のデータ量が予め設定されたデータ量よりも大きく、横方向のデータサイズが予め設定された閾値サイズよりも小さい場合、当該第 1 の描画要素を複数の描画要素に分割する請求項 1 から 3 のいずれか 1 項記載の画像処理装置。

【請求項 5】

複数の描画要素により構成された画像データ中の各描画要素に対する描画処理をそれぞれ行うための複数の描画回路の構成情報を記憶する記憶手段と、

複数の演算器と、前記複数の演算器を組み合わせる特定の画像処理機能を実現するための構成情報を事前に格納しておくための格納手段と、入力された指示に応じて前記記憶手段に記憶されている複数の描画回路の構成情報の中から必要な描画回路の構成情報を読み出して前記格納手段に格納させ、前記格納手段に格納されている構成情報に基づいて前記複数の演算器を再構成することにより要求された画像処理機能が前記複数の演算器により実現されるよう制御する制御手段とを備えた画像処理デバイスと、

40

前記画像処理デバイスにより描画処理された画像データに基づいて画像を出力する出力手段とを備え、

前記制御手段は、画像データ中において第 1 の描画要素に設定された領域と第 2 の描画要素に設定された領域とが重なっておらず、前記第 1 の描画要素または前記第 2 の描画要素のデータ量が予め設定された値よりも小さい場合、前記第 1 および第 2 の描画要素の描画処理を行うための複数の描画回路の構成情報を前記記憶手段から読み出して前記格納手段に格納させ、前記第 1 および第 2 の描画要素の描画処理を行うための複数の描画回路が前記複数の演算器により同時に実現されるよう制御する画像形成装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像処理装置および画像形成装置に関する。

【背景技術】

【0002】

特許文献1には、画像、図形、文字など様々な種類の描画要素が混在する印刷データを、少ないハードウェア構成で高速に処理できるようにした印刷処理装置が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平10-278361号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、複数の描画要素（オブジェクト）により構成された画像データの描画処理を行う際に、入力された描画要素に対して順番に描画処理する場合と比較して、描画処理時間を短縮することが可能な画像処理装置および画像形成装置を提供することである。

【課題を解決するための手段】

【0005】

〔画像処理装置〕

請求項1に係る本発明は、複数の描画要素により構成された画像データ中の各描画要素に対する描画処理をそれぞれ行うための複数の描画回路の構成情報を記憶する記憶手段と、

複数の演算器と、前記複数の演算器を組み合わせる特定の画像処理機能を実現するための構成情報を事前に格納しておくための格納手段と、入力された指示に応じて前記記憶手段に記憶されている複数の描画回路の構成情報の中から必要な描画回路の構成情報を読み出して前記格納手段に格納させ、前記格納手段に格納されている構成情報に基づいて前記複数の演算器を再構成することにより要求された画像処理機能が前記複数の演算器により実現されるよう制御する制御手段とを備えた画像処理デバイスとを備え、

前記制御手段は、画像データ中において第1の描画要素に設定された領域と第2の描画要素に設定された領域とが重なっておらず、前記第1の描画要素または前記第2の描画要素のデータ量が予め設定された値よりも小さい場合、前記第1および第2の描画要素の描画処理を行うための複数の描画回路の構成情報を前記記憶手段から読み出して前記格納手段に格納させ、前記第1および第2の描画要素の描画処理を行うための複数の描画回路が前記複数の演算器により同時に実現されるよう制御する画像処理装置である。

【0006】

請求項2に係る本発明は、前記制御手段が、前記格納手段に格納しようとする複数の描画回路の構成情報が既に格納手段に格納されている場合、格納されている複数の描画回路の構成情報に基づいて前記複数の演算器を再構成させて要求された画像処理機能が前記複数の演算器により実現されるよう制御する請求項1記載の画像処理装置である。

【0007】

請求項3に係る本発明は、前記制御手段が、前記格納手段に格納しようとする複数の描画回路の構成情報が格納手段に格納されていない場合、描画処理が行われていない描画要素の中から、前記第1の描画要素に設定されている領域と重ならない領域が設定されており、描画処理に必要な描画回路の構成情報が既に格納手段に格納されている第3の描画要素を選択し、前記格納手段に既に格納されている構成情報に基づいて前記複数の演算器を再構成させて、描画処理を行う描画要素の順番を変更して前記第1および第3の描画要素

10

20

30

40

50

に対する描画処理が実行されるよう制御する請求項 1 または 2 記載の画像処理装置である。

【 0 0 0 8 】

請求項 4 に係る本発明は、前記制御手段が、前記第 1 の描画要素のデータ量が予め設定されたデータ量よりも大きく、横方向のデータサイズが予め設定された閾値サイズよりも小さい場合、当該第 1 の描画要素を複数の描画要素に分割する請求項 1 から 3 のいずれか 1 項記載の画像処理装置である。

【 0 0 0 9 】

[画像形成装置]

請求項 5 に係る本発明は、複数の描画要素により構成された画像データ中の各描画要素に対する描画処理をそれぞれ行うための複数の描画回路の構成情報を記憶する記憶手段と、

10

複数の演算器と、前記複数の演算器を組み合わせる特定の画像処理機能を実現するための構成情報を事前に格納しておくための格納手段と、入力された指示に応じて前記記憶手段に記憶されている複数の描画回路の構成情報の中から必要な描画回路の構成情報を読み出して前記格納手段に格納させ、前記格納手段に格納されている構成情報に基づいて前記複数の演算器を再構成することにより要求された画像処理機能が前記複数の演算器により実現されるよう制御する制御手段とを備えた画像処理デバイスと、

前記画像処理デバイスにより描画処理された画像データに基づいて画像を出力する出力手段とを備え、

20

前記制御手段は、画像データ中において第 1 の描画要素に設定された領域と第 2 の描画要素に設定された領域とが重なっておらず、前記第 1 の描画要素または前記第 2 の描画要素のデータ量が予め設定された値よりも小さい場合、前記第 1 および第 2 の描画要素の描画処理を行うための複数の描画回路の構成情報を前記記憶手段から読み出して前記格納手段に格納させ、前記第 1 および第 2 の描画要素の描画処理を行うための複数の描画回路が前記複数の演算器により同時に実現されるよう制御する画像形成装置である。

【 発明の効果 】

【 0 0 1 0 】

請求項 1 に係る本発明によれば、複数の描画要素により構成された画像データの描画処理を行う際に、入力された描画要素に対して順番に描画処理する場合と比較して、描画処理時間を短縮することが可能な画像処理装置を提供することができる。

30

【 0 0 1 1 】

請求項 2 に係る本発明によれば、複数の描画要素により構成された画像データの描画処理を行う際に、格納手段に既に格納されている構成情報を利用して要求されている画像処理機能を実現することが可能な画像処理装置を提供することができる。

【 0 0 1 2 】

請求項 3 に係る本発明によれば、複数の描画要素により構成された画像データの描画処理を行う際に、描画処理を行う描画要素の順番を変更することにより、描画回路の構成情報を記憶手段から読み出して格納手段に格納する処理を省いて要求されている画像処理機能を実現することが可能な画像処理装置を提供することができる。

40

【 0 0 1 3 】

請求項 4 に係る本発明によれば、複数の描画要素により構成された画像データの描画処理を行う際に、描画処理の処理効率が悪い縦長の描画要素については複数の描画要素に分割して描画処理を行うことにより、分割せずにそのまま描画処理する場合と比較して、描画処理時間を短縮することが可能な画像処理装置を提供することができる。

【 0 0 1 4 】

請求項 5 に係る本発明によれば、複数の描画要素により構成された画像データの描画処理を行う際に、入力された描画要素に対して順番に描画処理する場合と比較して、描画処理時間を短縮することが可能な画像形成装置を提供することができる。

【 図面の簡単な説明 】

50

【 0 0 1 5 】

【図 1】本発明の第 1 の実施形態の画像形成装置の構成を示す図である。

【図 2】本発明の第 1 の実施形態における画像処理装置 1 0 のハードウェア構成を示すブロック図である。

【図 3】本発明の第 1 の実施形態における画像処理装置 4 0 の構成を示すブロック図である。

【図 4】中間言語データにより表現された画像の一例を示す図である。

【図 5】本発明の第 1 の実施形態の画像処理装置 4 0 における概略動作を説明するためのフローチャートである。

【図 6】本発明の第 1 の実施形態の画像処理装置 4 0 においてソフトウェア処理とハードウェア処理とが並行して行われる様子を説明するためのシーケンスチャートである。 10

【図 7】中間言語データ中の各オブジェクトを、オブジェクト毎に順番に描画処理を行う際の様子を説明するための図である。

【図 8】2 つのオブジェクトを並列して描画処理を行う際の様子を説明するための図である。

【図 9】2 つのオブジェクトの描画処理を並列に行う場合の本発明の第 1 の実施形態の画像処理装置 4 0 の概略動作を示すフローチャートである。

【図 1 0】2 つのオブジェクトの描画処理を並列に行う場合の本発明の第 1 の実施形態の画像処理装置 4 0 の詳細な動作を示すフローチャートである。

【図 1 1】図 1 0 中のステップ S 4 0 5 の処理を説明するためのフローチャートである。 20

【図 1 2】3 つ以上のオブジェクトを並列して描画処理を行う際の様子を説明するための図である。

【図 1 3】本発明の第 2 の実施形態の画像処理装置 4 0 においてオブジェクトの処理順序を並び替える際の様子を説明するための図である。

【図 1 4】オブジェクトの処理順序の並び替えを行う本発明の第 2 の実施形態の画像処理装置 4 0 における概略動作を説明するためのフローチャートである。

【図 1 5】本発明の第 2 の実施形態の画像処理装置 4 0 の詳細な動作を示すフローチャートである。

【図 1 6】図 1 5 中に示したオブジェクトの並び替え判定処理を行うステップ S 7 0 1 の処理を説明するためのフローチャートである。 30

【図 1 7】本発明の第 3 の実施形態の画像処理装置 4 0 においてオブジェクトの処理順序を並び替える際の様子を説明するための図である。

【図 1 8】本発明の第 3 の実施形態の画像処理装置 4 0 におけるオブジェクトの並び替え判定処理を行うステップ S 7 0 1 a の処理を説明するためのフローチャートである。

【図 1 9】オブジェクトの形状に応じてデータ転送効率に変化する様子を説明するための図である。

【図 2 0】本発明の第 4 の実施形態の画像処理装置 4 0 におけるオブジェクト分割処理を説明するためのフローチャートである。

【図 2 1】本発明の第 4 の実施形態の画像処理装置 4 0 において分割処理が行われることにより 1 つのオブジェクトが分割される様子を説明するための図である。 40

【発明を実施するための形態】

【 0 0 1 6 】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 1 7 】

[第 1 の実施形態]

図 1 は本発明の第 1 の実施形態の画像形成システムの構成を示す図である。

【 0 0 1 8 】

本発明の第 1 の実施形態の画像形成システムは、図 1 に示されるように、ネットワーク 3 0 により相互に接続された画像形成装置 1 0、および端末装置 2 0 により構成される。端末装置 2 0 は、印刷データを生成して、ネットワーク 3 0 経由にて生成した印刷データ 50

を画像形成装置 10 に対して送信する。画像形成装置 10 は、端末装置 20 から送信された印刷データを受け付けて、印刷データに応じた画像を用紙上に出力する。なお、画像形成装置 10 は、印刷（プリント）機能、スキャン機能、複写（コピー）機能、ファクシミリ機能等の複数の機能を有するいわゆる複合機と呼ばれる装置である。

【0019】

次に、本実施形態の画像形成システムにおける画像形成装置 10 のハードウェア構成を図 2 に示す。

【0020】

画像形成装置 10 は、図 2 に示されるように、CPU 11、メモリ 12、ハードディスクドライブ（HDD）等の記憶装置 13、ネットワーク 30 を介して外部の装置等との間でデータの送信及び受信を行う通信インタフェース（IF）14、タッチパネル又は液晶ディスプレイ並びにキーボードを含むユーザインタフェース（UI）装置 15、スキャナ 16、プリントエンジン 17、画像処理装置 40 を有する。これらの構成要素は、制御バス 18 を介して互いに接続されている。

【0021】

CPU 11 は、メモリ 12 または記憶装置 13 に格納された制御プログラムに基づいて所定の処理を実行して、画像形成装置 10 の動作を制御する。

【0022】

画像処理装置 40 は、例えばページ記述言語（PDL：Page Description Language）等の印刷データから変換された中間言語データの描画処理を行うための装置である。プリントエンジン 17 は、画像処理装置 40 により描画処理されたラスト画像等の画像データに基づいて画像を印刷用紙等の記録媒体上に出力する出力手段である。

【0023】

次に、図 3 を参照して、図 2 中に示した画像処理装置 40 の構成について説明する。

【0024】

本実施形態における画像処理装置 40 は、図 3 に示されるように、画像処理プロセッサ 41 と、外部メモリ 42 とから構成されている。

【0025】

画像処理プロセッサ 41 は、複数の演算器を備えており、外部から入力された指示に応じて、この複数の演算器の接続を切り換えることにより、様々な画像処理機能を実現することが可能なデバイスである。具体的には、画像処理プロセッサ 41 は、動的にチップ内部の回路構成を切り替えることが可能な DRP（Dynamic Reconfigurable Processor）と呼ばれるプロセッサにより実現される。

【0026】

外部メモリ 42 は、画像処理プロセッサ 41 による処理途中の描画データ等を一旦格納するためのいわゆるページメモリとして機能する。また、外部メモリ 43 は、画像処理プロセッサ 41 が画像形成装置 10 の本体システムから受信した中間言語データを記憶しておくメモリとしても機能する。さらに、外部メモリ 43 は、文字、図形、画像（イメージ）等の複数のオブジェクト（描画要素）により構成された画像データ中の各オブジェクトに対する描画処理をそれぞれ行うための複数の描画回路（描画回路 1 の構成情報、描画回路 2 の構成情報、・・・）の構成情報を記憶する。

【0027】

例えば、中間言語により表現された画像データの各ページには、図 4 に示されるように、文字、図形、画像等の様々なオブジェクトにより構成されている。図 4 中において、例えば、オブジェクト 61 は、文字のオブジェクトであり、オブジェクト 62 ~ 64 は、図形のオブジェクトである。そして、オブジェクト 65 は、画像のオブジェクトである。

【0028】

そして、このようなオブジェクトをラスト画像に変換する場合には、オブジェクトの種類に応じた描画書類が必要となる。そのため、外部メモリ 43 に記憶されている描画回路 1、2、3、・・・は、このオブジェクトの種類に対応した描画処理を行うための描画回

10

20

30

40

50

路である。

【 0 0 2 9 】

例えば、文字のオブジェクトの描画処理を行うためにはフォント描画回路が用いられ、図形のオブジェクトの描画処理を行うためにはグラフィック描画回路が用いられ、画像のオブジェクトの描画処理を行うためにはイメージ描画回路が用いられる。

【 0 0 3 0 】

また、画像処理プロセッサ 4 1 は、システム制御部 5 1 と、構成情報格納部 5 2 と、演算器群 5 3 と、高速バススイッチ 5 4 と、バスインタフェース 5 5 と、メモリインタフェース 5 6 とから構成されている。

【 0 0 3 1 】

演算器群 5 3 は、加算器、乗算器等の複数の各種演算器により構成されている。構成情報格納部 5 2 は、演算器群 5 3 を構成する複数の各種演算器を組み合わせる特定の画像処理機能を実現するための構成情報（接続情報）を事前に格納しておくための格納手段である。つまり、演算器群 5 3 の複数の演算器により次に実現させる描画処理機能のための構成情報を格納しておくためのメモリである。

【 0 0 3 2 】

システム制御部 5 1 は、例えば R I S C（Reduced Instruction Set Computer）と呼ばれる C P U により構成され、画像処理プロセッサ 4 1 の動作を制御している。

【 0 0 3 3 】

具体的には、システム制御部 5 1 は、C P U 1 1 から送信されてきた中間言語データを外部メモリ 4 2 に格納しておき、この中間言語データに基づいてラスト画像を描画する際に、描画しようとするオブジェクトに応じて外部メモリ 4 2 に記憶されている複数の描画回路の構成情報の中から必要な描画回路の構成情報を読み出して構成情報格納部 5 2 に格納させる。そして、システム制御部 5 1 は、構成情報格納部 5 2 に格納されている構成情報に基づいて演算器群 5 3 の複数の演算器をリコンフィグ（再構成）することにより要求された画像処理機能が演算器群 5 3 の複数の演算器により実現されるような制御を行う。

【 0 0 3 4 】

高速バススイッチ 5 4 は、システム制御部 5 1、演算器群 5 3、メモリインタフェース 5 6、バスインタフェース 5 5 との間のデータ経路を高速に切り替えるためのバススイッチである。

【 0 0 3 5 】

バスインタフェース 5 5 は、制御バス 1 8 と接続されており、高速バススイッチ 5 4 と制御バス 1 8 との間でデータ転送を行うためのインタフェースである。

【 0 0 3 6 】

メモリインタフェース 5 6 は、外部メモリ 4 2 との間でデータの送受信を行うためのインタフェースである。

【 0 0 3 7 】

画像処理プロセッサ 4 1 は、このような構成となっていることにより、描画処理に必要な画像処理機能を、例えば数十 n s 程度の短時間で実現することができる。

【 0 0 3 8 】

次に、本実施形態の画像処理装置 4 0 における概略動作を図 5 のフローチャートを参照して説明する。

【 0 0 3 9 】

まず、制御バス 1 8 を介して C P U 1 1 から描画すべき中間言語データが画像処理プロセッサ 4 0 に送信されてくると、この中間言語データは外部メモリ 4 2 に格納される。

【 0 0 4 0 】

すると、システム制御部 5 1 は、中間言語データにおける最初のコマンドを解釈する（ステップ S 1 0 1）。そして、このコマンドにより指示された描画処理機能を実現するための描画回路に対応する構成情報を、外部メモリ 4 2 に格納されている描画回路の構成情報の中から選択して読み取り（ロードし）、構成情報格納部 5 2 に格納する（ステップ S

10

20

30

40

50

102)。

【0041】

そして、システム制御部51は、描画処理するオブジェクトのパラメータを構成情報格納部52に設定する(ステップS103)。

【0042】

そして、現在処理中のコマンドの前のコマンドに基づく前回の描画処理が終了すると(ステップS104においてyes)、システム制御部51は、構成情報格納部52に格納されている構成情報に基づいて演算器群53の各演算器のリコンフィグ(再構成)の指示を行うことにより、次の処理すべき中間言語データに対応する描画処理機能を実現する(ステップS105)。

10

【0043】

そして、システム制御部51は、必要な描画処理機能を実現された演算器群53に対して描画処理実行命令を行う(ステップS106)。そのため、演算器群53では、選択されたコマンドに対する描画処理の実行が開始される。

【0044】

そして、システム制御部51は、中間言語データ中の全てのコマンドの実行が終了していなければ(ステップS107においてno)、次のコマンドの解釈を実行し(ステップS101)、ステップS102~S106の処理を繰り返す。

【0045】

本実施形態における画像処理装置40では、上記のような処理が実行されることにより、演算器群53におけるハードウェア処理と、システム制御部51によるコマンド解釈、描画回路選択および構成情報の読み取り(ロード)、パラメータセット、リコンフィグの指示というソフトウェア処理とが並行して行われる。

20

【0046】

このようにして本実施形態の画像処理装置40においてソフトウェア処理とハードウェア処理とが並行して行われる様子を図6のシーケンスチャートを参照して説明する。

【0047】

具体的には、図6のシーケンスチャートを参照して説明するように、システム制御部51によるソフトウェア処理では、演算器群53におけるハードウェア処理で描画処理(ステップS201)が実行されている間に、コマンド解釈、回路選択・ロード、パラメータ

30

セット(S101~S103)という処理が行われ、描画処理が終了するとリコンフィグ実行、描画処理命令(S105、S106)という処理を行って演算器群53に次の描画処理を実行させている。

【0048】

ここで、システム制御部51によるソフトウェア処理の処理時間と、演算器群53におけるハードウェア処理の処理時間とが同程度の長さであれば、中間言語データの描画処理が効率的に行われることになる。

【0049】

しかし、描画対象のオブジェクトの処理負荷が小さく描画処理の処理量が小さい場合、中間言語データの各オブジェクトを順番に1つずつ描画していると、ハードウェア処理はすぐに終了してしまうのにソフトウェア処理に時間がかかりハードウェアである演算器群53において待ち時間が発生してしまうことになる。

40

【0050】

例えば、N番目、N+1番目のオブジェクトが文字のオブジェクトであり、これらのオブジェクトの描画にフォント描画回路が用いられる場合の様子を図7を参照して説明する。図7は、中間言語データ中の各オブジェクトを、オブジェクト毎に順番に描画処理を行う際の様子を説明するための図である。

【0051】

図7を参照すると、フォント描画回路により文字のオブジェクトの描画処理には比較的短い時間しかかからないため、演算器群53においてフォント描画回路を実現して描画処

50

理する時間よりも、システム制御部 5 1 により $N + 1$ 番目のオブジェクトの描画処理を行うための描画回路の構成情報を読み出してセットする方の時間が長くなっていることが分かる。そのため、ハードウェア処理では待ち時間が発生してしまっているのがわかる。

【0052】

このようなハードウェア処理の待ち時間発生による描画処理全体の非効率化を防ぐために、本実施形態の描画処理装置 4 0 では、図 8 に示すように 2 つのオブジェクトを並列して描画処理するようにする。

【0053】

例えば、図 8 に示した例では、演算器群 5 3 において N 番目のオブジェクトと $N + 1$ 番目のオブジェクトの描画処理を行うために必要な 2 つのフォント描画回路を演算器 5 3 により同時に実現させている。そして、システム制御部 5 1 によるソフトウェア処理では、ハードウェア処理と並行して、 $N + 2$ 番目、 $N + 3$ 番目のオブジェクトの描画処理を行うための 2 つの描画回路の構成情報のロード、パラメータセット等の処理を実行する。

【0054】

ただし、描画処理装置 4 0 において、常に 2 つのオブジェクトを並列して処理可能なわけではない。

【0055】

そのため、本実施形態におけるシステム制御部 5 1 は、画像データ中において N 番目のオブジェクト（第 1 の描画要素）に設定された領域と $N + 1$ 番目のオブジェクト（第 2 の描画要素）に設定された領域とが重なっておらず、 N 番目のオブジェクトまたは $N + 1$ 番目のオブジェクトのデータ量が予め設定された値よりも小さい場合、 N 番目のオブジェクトと $N + 1$ 番目のオブジェクトの描画処理を行うための 2 つの描画回路の構成情報を外部メモリ 4 2 から読み出して構成情報格納部 5 2 に格納させる。そして、システム制御部 5 1 は、 N 番目のオブジェクトおよび $N + 1$ 番目のオブジェクトの描画処理を行うための 2 つの描画回路が演算器群 5 3 の複数の演算器により同時に実現されるような制御を行う。

【0056】

ここで、 N 番目のオブジェクトに設定された領域と $N + 1$ 番目のオブジェクトに設定された領域とが重なっているか否かをどのように判定するかについて説明する。

【0057】

中間言語データでは、各オブジェクトにはそれぞれ外形形状が含まれるような矩形領域が設定されている。そのため、図 4 に示した画像例では、オブジェクト 6 3 とオブジェクト 6 4 とは、設定された領域どうしが重なっており、またオブジェクト 6 4 とオブジェクト 6 5 も設定された領域が重なっている。

【0058】

システム制御部 5 1 は、このように各オブジェクトに対して設定されている矩形領域が重なるか否かを判定することにより各オブジェクトどうしの重なりを判定する。

【0059】

なお、システム制御部 5 1 は、構成情報格納部 5 2 に格納しようとする複数の描画回路の構成情報が既に構成情報格納部 5 2 に格納されている場合、外部メモリ 4 2 から描画回路の構成情報をロードすることなく既に格納されている複数の描画回路の構成情報に基づいて演算器群 5 3 の複数の演算器をリコンフィグさせて要求された画像処理機能が演算器群 5 3 の複数の演算器により実現されるよう制御する。

【0060】

このように 2 つのオブジェクトの描画処理を並列に行う場合の、本実施形態の画像処理装置 4 0 の概略動作を図 9 のフローチャートに示す。

【0061】

図 9 に示したフローチャートは、オブジェクトを 1 つずつ順番に描画処理する際の画像処理装置 4 0 の概略動作を示した図 5 のフローチャートに対して、ステップ S 3 0 1 が追加された点のみが異なっている。

【0062】

10

20

30

40

50

この図 9 のフローチャートでは、システム制御部 5 1 は、コマンド解釈を行った後に（ステップ S 1 0 1）、2 つのオブジェクトを同時に描画処理することが可能か否かを判定するオブジェクト並列（パラレル）適用可否判定を行う（ステップ S 3 0 1）。

【 0 0 6 3 】

このように 2 つのオブジェクトの描画処理を並列に行う場合の本実施形態の画像処理装置 4 0 の詳細な動作を図 1 0、図 1 1 のフローチャートを参照して説明する。

【 0 0 6 4 】

先ず、システム制御部 5 1 は、N に 1 を設定し（ステップ S 4 0 1）、N 番目のオブジェクト（OBJ（N））と N + 1 番目のオブジェクト（OBJ（N + 1））のコマンド解釈を行う（ステップ S 4 0 2）。

10

【 0 0 6 5 】

そして、システム制御部 5 1 は、N 番目のオブジェクトに対して設定されている領域と N + 1 番目のオブジェクトに対して設定されている領域とが重なるか否かを判定する（ステップ S 4 0 3）。そして、N 番目のオブジェクトと N + 1 番目のオブジェクトの領域が重ならないと判定された場合（ステップ S 4 0 3 において y e s）、システム制御部 5 1 は、N 番目のオブジェクトのデータサイズが予め設定された閾値 T H より小さいか、または N + 1 番目のオブジェクトのデータサイズが予め設定された閾値 T H より小さいか否かの判定を行う（ステップ S 4 0 4）。

【 0 0 6 6 】

ここで、オブジェクト並列適用可否判定における予め設定された閾値 T H としては、システム制御部 5 1 が 1 つの描画回路の構成情報をロード、パラメータセット、リコンフィグ処理するために必要なソフトウェア処理時間に対応する描画処理時間となるデータサイズを設定するようにしてもよい。

20

【 0 0 6 7 】

なお、このステップ S 4 0 3、S 4 0 4 の処理がオブジェクト並列適用可否判定処理であり、図 9 のフローチャートにおけるステップ S 3 0 1 の処理に該当する。

【 0 0 6 8 】

そして、ステップ S 4 0 3 またはステップ S 4 0 4 のいずれかにおいて n o と判定された場合、つまりオブジェクト並列適用可否判定において並列処理ができないと判定された場合、システム制御部 5 1 は、N 番目のオブジェクトのみの描画処理を実行する（ステップ S 4 0 5）。このステップ S 4 0 5 の処理については図 1 1 を参照して説明する。

30

【 0 0 6 9 】

N 番目のオブジェクトの描画処理を行う場合、システム制御部 5 1 は、先ず N 番目のオブジェクトの描画のために必要な描画回路の構成情報が構成情報格納部 5 2 に既に格納されているか否かを判定する（ステップ S 5 0 1）。そして、その構成情報が構成情報格納部 5 2 に格納されていない場合（ステップ S 5 0 1 において n o）、システム制御部 5 1 は、N 番目のオブジェクトの描画のために必要な描画回路の構成情報を外部メモリ 4 2 から読み出して構成情報格納部 5 2 に格納する（ステップ S 5 0 2）。

【 0 0 7 0 】

そして、N 番目のオブジェクトの描画のために必要な描画回路の構成情報が構成情報格納部 5 2 に格納されている場合（ステップ S 5 0 1 において y e s）、システム制御部 5 1 は、構成情報のロード処理を行うことなくステップ S 5 0 3 に処理を進める。

40

【 0 0 7 1 】

ステップ S 5 0 3 では、システム制御部 5 1 は、N 番目のオブジェクトのパラメータをセットし（ステップ S 5 0 3）、N - 1 番目のオブジェクトの描画処理が終了すると（ステップ S 5 0 4 において y e s）、リコンフィグ処理を実行して、N 番目のオブジェクトを描画するための描画回路を実現させる（ステップ S 5 0 5）。

【 0 0 7 2 】

そして、システム制御部 5 1 は、N に 1 を加算して（ステップ S 5 0 6）、処理を終了する。

50

【 0 0 7 3 】

次に、ステップ S 4 0 3、S 4 0 4 のオブジェクト並列適用可否判定において並列処理が可能であると判定された場合（ステップ S 4 0 4 において y e s ）、システム制御部 5 1 は、先ず N 番目のオブジェクトの描画のために必要な描画回路の構成情報と N + 1 番目のオブジェクトの描画のために必要な描画回路の構成情報とが構成情報格納部 5 2 に既に格納されているか否かを判定する（ステップ S 4 0 6 ）。

【 0 0 7 4 】

そして、その 2 つの構成情報が構成情報格納部 5 2 に格納されていない場合（ステップ S 4 0 6 において n o ）、システム制御部 5 1 は、N 番目のオブジェクトの描画のために必要な描画回路の構成情報と N + 1 番目のオブジェクトの描画のために必要な描画回路の構成情報とを外部メモリ 4 2 から読み出して構成情報格納部 5 2 に格納する（ステップ S 4 0 7 ）。

10

【 0 0 7 5 】

そして、N 番目のオブジェクトの描画のために必要な描画回路の構成情報と N + 1 番目のオブジェクトの描画のために必要な描画回路の構成情報がともに構成情報格納部 5 2 に格納されている場合（ステップ S 4 0 6 において y e s ）、システム制御部 5 1 は、構成情報のロード処理を行うことなくステップ S 4 0 8 に処理を進める。

【 0 0 7 6 】

ステップ S 4 0 8 では、システム制御部 5 1 は、N 番目のオブジェクトと N + 1 番目のオブジェクトのパラメータをセットし（ステップ S 4 0 8 ）、N - 1 番目のオブジェクトの描画処理が終了すると（ステップ S 4 0 9 において y e s ）、リコンフィグ処理を実行して、N 番目のオブジェクトを描画するための描画回路と N + 1 番目のオブジェクトを描画するための描画回路という 2 つの描画回路を実現させる（ステップ S 4 1 0 ）。

20

【 0 0 7 7 】

そして、システム制御部 5 1 は、N に 2 を加算して（ステップ S 4 1 1 ）、ステップ S 4 0 2 の処理に戻る。

【 0 0 7 8 】

なお、本実施形態では、2 つのオブジェクトを並列して描画処理する場合を用いて説明しているが、演算器群 5 3 において物理的に可能であれば、図 1 2 に示すように 3 つ以上のオブジェクトを並列に描画処理するようにしても良い。

30

【 0 0 7 9 】

例えば、図 1 2 に示すように、演算器群 5 3 において N ~ N + 3 番目のオブジェクトという 4 つのオブジェクトの描画処理を並列して行うようにし、システム制御部 5 1 では N + 4 ~ N + 7 番目のオブジェクトの構成情報のロード、パラメータセット等のソフトウェア処理を行うようにする。

【 0 0 8 0 】

[第 2 の実施形態]

次に、本発明の第 2 の実施形態の画像処理装置について説明する。

【 0 0 8 1 】

本実施形態の画像処理装置は、上記で説明した第 1 の実施形態の画像処理装置 4 0 の構成に対して、システム制御部 5 1 の制御動作が一部異なったものとなっている。そのため、本実施形態では、図 3 に示した第 1 の実施形態の画像処理装置 4 0 の構成を参照して説明を行う。

40

【 0 0 8 2 】

上記第 1 の実施形態の画像処理装置 4 0 は、N 番目、N + 1 番目という処理順序が連続した 2 つのオブジェクトの並列処理を行う際に、この 2 つのオブジェクトの描画処理を行うために必要な構成情報が構成情報格納部 5 2 に格納されていない場合には、システム制御部 5 1 は外部メモリ 4 2 から必要な構成情報を読み取って構成情報格納部 5 2 に格納させるロード処理を行うものであった。これに対して本実施形態の画像処理装置 4 0 は、N 番目、N + 1 番目の 2 つのオブジェクトの描画処理を行うために必要な構成情報が構成情

50

報格納部 5 2 に格納されていない場合には、オブジェクトの処理順序を入れ替える（並び替える）ことによりロード処理の回数を削減するようにしたものである。

【0083】

具体的には、本実施形態の画像処理装置 4 0 におけるシステム制御部 5 1 は、N 番目、N + 1 番目のオブジェクトの描画処理のための 2 つの描画回路の構成情報が構成情報格納部 5 2 に格納されていない場合、N + 2 番目のオブジェクトが N 番目のオブジェクトに設定されている領域と重ならない領域が設定されているか否か、及び N 番目、N + 2 番目のオブジェクトの描画処理のための 2 つの描画回路の構成情報が構成情報格納部 5 2 に格納されているか否かを判定する。そして、N + 2 番目のオブジェクトが N 番目のオブジェクトに設定されている領域と重ならない領域が設定されており、描画処理に必要な描画回路の構成情報が既に構成情報格納部 5 2 に格納されている場合、システム制御部 5 1 は、構成情報格納部 5 2 に既に格納されている構成情報に基づいて演算器群 5 3 の複数の演算器をリコンフィグ（再構成）させて、描画処理を行うオブジェクトの順番を変更して N 番目のオブジェクトおよび N + 2 番目のオブジェクトに対する描画処理が実行されるような制御を行う。

10

【0084】

次に、本実施形態の画像処理装置 4 0 においてオブジェクトの処理順序を並び替える際の様子を図 1 3 に示す。図 1 3 では、N + 3 番目のオブジェクト（OBJ（N + 3））と N + 4 番目のオブジェクト（OBJ（N + 4））とが入れ替えられた場合の様子が示されている。

20

【0085】

この図 1 3 に示したような場合、N 番目のオブジェクトと N + 1 番目のオブジェクトが図形のオブジェクトであるため、構成情報格納部 5 2 には、2 つのグラフィック描画回路の構成情報が格納されている。そのため、次の処理において、オブジェクトの処理順序を並び替えて N + 3 番目のオブジェクトと N + 4 番目のオブジェクトを並列処理することにすれば、構成情報格納部 5 2 に格納されている 2 つのグラフィック描画回路の構成情報をそのまま用いて次の描画処理を行うことができる。

【0086】

そのため、図 1 3 に示した例では、並び替え前の状態では構成情報のロード処理が 2 回必要であったものが、並び替え後では構成情報のロード処理が 1 回のみで良くなっていることが分かる。

30

【0087】

このようなオブジェクトの処理順序の並び替えを行う本実施形態の画像処理装置 4 0 の概略動作を図 1 4 のフローチャートに示す。

【0088】

図 1 4 に示したフローチャートは、第 1 の実施形態の画像処理装置 4 0 の概略動作を示した図 9 のフローチャートに対して、オブジェクト並列適用可否判定処理のステップ S 3 0 1 と回路選択・ロード処理のステップ S 1 0 2 との間に、オブジェクトの並び替え判定処理のステップ S 6 0 1 が追加された点のみが異なっている。

次に、このオブジェクトの並び替え判定処理を行う本実施形態の画像処理装置 4 0 の詳細な動作を図 1 5、図 1 6 のフローチャートを参照して説明する。

40

【0089】

図 1 5 に示したフローチャートは、図 1 0 に示した第 1 の実施形態の動作を示したフローチャートに対して、ステップ S 4 0 7 がオブジェクトの並び替え判定を行うステップ S 7 0 1 に置き換えられた点のみが異なり、それ以外の処理については同様であるため説明は省略する。

【0090】

次に、図 1 5 中に示したオブジェクトの並び替え判定処理を行うステップ S 7 0 1 の処理の詳細を図 1 6 を参照して説明する。

【0091】

50

このステップ S 7 0 1 は、図 1 5 のステップ S 4 0 6 において N 番目のオブジェクト、N + 1 番目のオブジェクトの描画処理を行うための描画回路の構成情報が構成情報格納部 5 2 に格納されていない場合（ステップ S 4 0 6 において n o ）に実行される。

【 0 0 9 2 】

そして、システム制御部 5 1 は、N + 2 番目のオブジェクトのコマンド解釈を行う（ステップ S 8 0 1 ）。そして、システム制御部 5 1 は、N 番目のオブジェクトに対して設定されている領域と N + 2 番目のオブジェクトに対して設定されている領域とが重なるか否かを判定する（ステップ S 8 0 2 ）。そして、N 番目のオブジェクトと N + 2 番目のオブジェクトの領域が重ならないと判定された場合（ステップ S 8 0 2 において y e s ）、システム制御部 5 1 は、N 番目のオブジェクトの描画のために必要な描画回路の構成情報と N + 2 番目のオブジェクトの描画のために必要な描画回路の構成情報とが構成情報格納部 5 2 に既に格納されているか否かを判定する（ステップ S 8 0 3 ）。

10

【 0 0 9 3 】

そして、N 番目のオブジェクト、N + 2 番目のオブジェクトの描画処理を行うための両方の描画回路の構成情報が構成情報格納部 5 2 に格納されている場合（ステップ S 8 0 3 において y e s ）、システム制御部 5 1 は、N + 1 番目のオブジェクトと N + 2 番目のオブジェクトの描画順序を並び替える（ステップ S 8 0 4 ）。そのため、N 番目のオブジェクトと N + 2 番目のオブジェクトの 2 つのオブジェクトの並列処理が実行される。

【 0 0 9 4 】

そして、ステップ S 8 0 2 またはステップ S 8 0 3 のいずれかにおいて n o と判定された場合には、描画順序の入れ替えは実行されずに、N 番目のオブジェクトと N + 1 番目のオブジェクトの描画のための構成情報のロード処理が行われる（ステップ S 8 0 5 ）。そして、N 番目のオブジェクトと N + 1 番目のオブジェクトの 2 つのオブジェクトの並列処理が実行される。

20

【 0 0 9 5 】

[第 3 の実施形態]

次に、本発明の第 3 の実施形態の画像処理装置について説明する。

【 0 0 9 6 】

本実施形態の画像処理装置も、上記で説明した第 1 の実施形態の画像処理装置 4 0 の構成に対して、システム制御部 5 1 の制御動作が一部異なったものとなっている。そのため、本実施形態では、図 3 に示した第 1 の実施形態の画像処理装置 4 0 の構成を参照して説明を行う。

30

【 0 0 9 7 】

上記で説明した本発明の第 2 の実施形態の画像処理装置 4 0 は、N 番目、N + 1 番目の 2 つのオブジェクトの描画処理を行うために必要な構成情報が構成情報格納部 5 2 に格納されていない場合には、N + 1 番目のオブジェクトと N + 2 番目のオブジェクトの処理順序を入れ替えてロード処理の回数を削減するものであった。これに対して、本実施形態の画像処理装置 4 0 は、N 番目、N + 1 番目の 2 つのオブジェクトの描画処理を行うために必要な構成情報が構成情報格納部 5 2 に格納されていない場合には、N + 1 番目のオブジェクトと描画処理が行われていない後続のオブジェクトの中から構成情報のロードが必要なくなるオブジェクトを選択して処理順序を入れ替えてロード処理の回数を削減するものである。

40

【 0 0 9 8 】

具体的には、本実施形態の画像処理装置 4 0 におけるシステム制御部 5 1 は、N 番目、N + 1 番目のオブジェクトの描画処理のための 2 つの描画回路の構成情報が構成情報格納部 5 2 に格納されていない場合、描画処理が行われていないオブジェクトの中から、N 番目のオブジェクトに設定されている領域と重ならない領域が設定されており、描画処理に必要な描画回路の構成情報が既に構成情報格納部 5 2 に格納されているオブジェクト（第 3 の描画要素）を選択する。そして、システム制御部 5 1 は、構成情報格納部 5 2 に既に格納されている構成情報に基づいて演算器群 5 3 の複数の演算器をリコンフィグ（再構成

50

）させて、描画処理を行うオブジェクトの順番を変更してN番目のオブジェクトおよび選択したオブジェクトに対する描画処理が実行されるような制御を行う。

【0099】

次に、本実施形態の画像処理装置40においてオブジェクトの処理順序を並び替える際の様子を図17に示す。図17では、並び替え前の処理順序では、N、N+1、・・・、N+9となっていた10個のオブジェクトが、並び替え処理後には、N、N+1、N+2、N+4、N+8、N+9、N+3、N+5、N+6、N+7と並び替えられている。

【0100】

この図17に示したような場合、N+8番目、N+9番目のオブジェクトの並列処理後に、N+3番目、N+5番目のオブジェクトの描画処理に必要な2つのイメージ描画回路の構成情報のロード処理を行うだけで良い。

10

【0101】

そのため、図17に示した例では、並び替え前の状態では構成情報のロード処理が3回必要であったものが、並び替え後では構成情報のロード処理が1回のみで良くなっていることが分かる。

【0102】

このようなオブジェクトの処理順序の並び替えを行う本実施形態の画像処理装置40の動作を図18のフローチャートを参照して説明する。

【0103】

本実施形態の画像処理装置40における動作は、上記で説明した第3の実施形態における動作に対して、図16のオブジェクトの並び替え判定処理（ステップS701）を、図18に示したオブジェクトの並び替え判定処理（ステップS701a）に置き換えたものであり、それ以外の処理については同様であるためその説明は省略する。

20

【0104】

このステップS701aは、図15のステップS406においてN番目のオブジェクト、N+1番目のオブジェクトの描画処理を行うための描画回路の構成情報が構成情報格納部52に格納されていない場合（ステップS406においてno）に実行される。

【0105】

本実施形態の画像処理装置40では、システム制御部51は、先ずMに1を設定する（ステップS901）。そして、システム制御部51は、N+1+M番目のオブジェクトのコマンド解釈を行う（ステップS902）。そして、システム制御部51は、N番目のオブジェクトに対して設定されている領域とN+1+M番目のオブジェクトに対して設定されている領域とが重なるか否かを判定する（ステップS903）。そして、N番目のオブジェクトとN+1+M番目のオブジェクトの領域が重ならないと判定された場合（ステップS903においてyes）、システム制御部51は、N番目のオブジェクトの描画のために必要な描画回路の構成情報とN+1+M番目のオブジェクトの描画のために必要な描画回路の構成情報とが構成情報格納部52に既に格納されているか否かを判定する（ステップS904）。

30

【0106】

そして、N番目のオブジェクト、N+1+M番目のオブジェクトの描画処理を行うための両方の描画回路の構成情報が構成情報格納部52に格納されている場合（ステップS904においてyes）、システム制御部51は、N+1番目のオブジェクトとN+1+M番目のオブジェクトの描画順序を並び替える（ステップS907）。そのため、N番目のオブジェクトとN+1+M番目のオブジェクトの2つのオブジェクトの並列処理が実行される。

40

【0107】

そして、ステップS903またはステップS904のいずれかにおいてnoと判定された場合には、システム制御部51は、N+1+M番目のオブジェクトが描画処理順序において最後のオブジェクトであるか否かの判定を行う（ステップS905）。そして、N+1+M番目のオブジェクトが最後のオブジェクトでない場合（ステップS905において

50

n o)、システム制御部 5 1 は、M に 1 を加算し (ステップ S 9 0 6)、ステップ S 9 0 2 の処理に戻る。

【 0 1 0 8 】

そして、N + 1 + M 番目のオブジェクトが最後のオブジェクトである場合 (ステップ S 9 0 5 において y e s)、システム制御部 5 1 は、描画順序の入れ替えを実行せずに、N 番目のオブジェクトと N + 1 番目のオブジェクトの描画のための構成情報のロード処理を実行する (ステップ S 9 0 8)。そして、N 番目のオブジェクトと N + 1 番目のオブジェクトの 2 つのオブジェクトの並列処理が実行される。

【 0 1 0 9 】

[第 4 の実施形態]

次に、本発明の第 4 の実施形態の画像処理装置について説明する。

【 0 1 1 0 】

本実施形態の画像処理装置も、上記で説明した第 1 の実施形態の画像処理装置 4 0 の構成に対して、システム制御部 5 1 の制御動作が一部異なったものとなっている。そのため、本実施形態では、図 3 に示した第 1 の実施形態の画像処理装置 4 0 の構成を参照して説明を行う。

【 0 1 1 1 】

上記で説明した本発明の第 1 ~ 第 3 の実施形態の画像処理装置 4 0 は、異なる 2 つのオブジェクトの並列処理を行うものであった。これに対して、本発明の第 4 の実施形態の画像処理装置 4 0 は、データサイズが大きい、つまり処理負荷が大きいオブジェクトについては、オブジェクトの形状に応じて分割し、分割した複数のオブジェクトを並列処理するようにしたものである。

【 0 1 1 2 】

一般的に外部メモリ 4 2 は、S D R A M (Synchronous Dynamic Random Access Memory) 等の D R A M により実現される。そして、C P U が S D R A M にアクセスしてデータの読み出し / 書き込みを行う際には、バースト長と呼ばれる一定量のデータ単位でアクセスが行われる。そのため、S D R A M に格納された画像データにアクセスする場合、アクセスしたデータは不要なデータが含まれることになる。そして、オブジェクトの形状が縦長の場合には、不要なデータが含まれる率が高くなりデータの転送効率が悪くなる。

【 0 1 1 3 】

このようにオブジェクトの形状に応じてデータ転送効率が変化する様子を図 1 9 を参照して説明する。図 1 9 (A) は縦長のオブジェクトの一例であり、図 1 9 (B) は横長のオブジェクトの一例を示したものである。図 1 9 (A)、図 1 9 (B) とともに斜線で示した領域が有効なデータ領域である。

【 0 1 1 4 】

図 1 9 (A) を参照すると横長のオブジェクトを扱う場合には、不要なデータの比率は小さいが、図 1 9 (B) を参照すると縦長のオブジェクトを扱う場合には、不要なデータの比率が大きくなっていることがわかる。

【 0 1 1 5 】

そのため、本実施形態の画像処理装置 4 0 におけるシステム制御部 5 1 は、上記で説明したような描画処理を行う際に、N 番目のオブジェクトのデータ量が予め設定されたデータ量 (T H) よりも大きく、横方向のデータサイズ (T H x) が予め設定された閾値サイズよりも小さい場合、この N 番目のオブジェクトを複数のオブジェクトに分割して、分割された複数のオブジェクトを並列処理する。

【 0 1 1 6 】

このような本実施形態の画像処理装置 4 0 におけるオブジェクト分割処理を図 2 0 のフローチャートを参照して説明する。

【 0 1 1 7 】

先ず、システム制御部 5 1 は、N 番目のオブジェクトのデータサイズ (O B J サイズ) が予め設定された閾値 T H 以上であるか否かを判定する (ステップ S 1 0 0 1)。そして

10

20

30

40

50

、N番目のオブジェクトのデータサイズが予め設定された閾値TH以上である場合（ステップS1001においてyes）、システム制御部51は、N番目のオブジェクトの横幅のサイズ（Xサイズ）が閾値THxより小さいか否かを判定する（ステップS1002）。

【0118】

このステップS1001、S1002の処理によりN番目のオブジェクトが縦長オブジェクトであるか否かを判定する縦長判定処理が行われる。

【0119】

そして、N番目のオブジェクトの横幅のサイズが閾値THxより小さい場合（ステップS1002においてyes）、システム制御部51は、N番目のオブジェクトは縦長オブジェクトであると判定して、このオブジェクトサイズの半分のデータサイズが閾値THより大きいかなどの判定を行う（ステップS1003）。

10

【0120】

N番目のオブジェクトサイズの半分のデータサイズが閾値THより大きくない場合（ステップS1003においてno）、システム制御部51は、このN番目のオブジェクトを2分割する（ステップS1004）。

【0121】

また、N番目のオブジェクトサイズの半分のデータサイズが閾値THより大きい場合（ステップS1003においてyes）、システム制御部51は、このオブジェクトサイズの4分の1のデータサイズが閾値THより大きいかなどの判定を行う（ステップS1005）。

20

【0122】

N番目のオブジェクトサイズの4分の1のデータサイズが閾値THより大きくない場合（ステップS1005においてno）、システム制御部51は、このN番目のオブジェクトを2分割する（ステップS1004）。

【0123】

また、N番目のオブジェクトサイズの4分の1のデータサイズが閾値THより大きい場合（ステップS1005においてyes）、システム制御部51は、このN番目のオブジェクトを4分割する（ステップS1006）。

【0124】

上記のような分割処理が行われることにより1つのオブジェクトが分割される様子を図21を参照して説明する。

30

【0125】

例えば、1つのオブジェクトが2分割される場合、分割された2つのオブジェクトは、演算器群53において実現された2つのグラフィック描画回路により並列処理される。また、例えば、1つのオブジェクトが4分割される場合、分割された4つのオブジェクトは、演算器群53において実現された4つのグラフィック描画回路により並列処理される。

【符号の説明】

【0126】

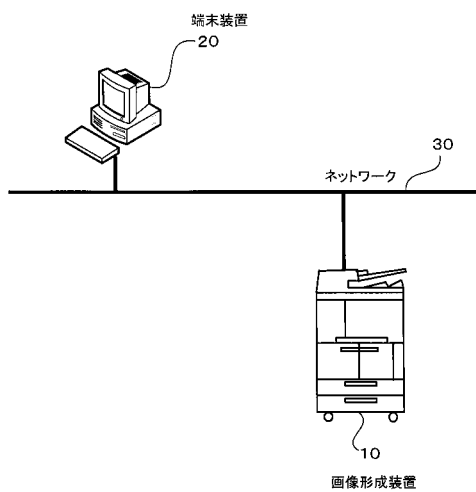
- 10 画像形成装置
- 11 CPU
- 12 メモリ
- 13 記憶装置
- 14 通信インタフェース（IF）
- 15 ユーザインタフェース（UI）装置
- 16 スキャナ
- 17 プリントエンジン
- 18 制御バス
- 20 端末装置
- 30 ネットワーク

40

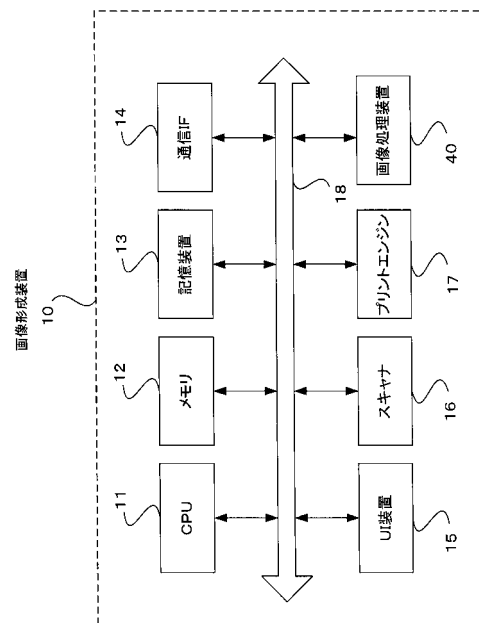
50

- 4 0 画像処理装置
- 4 1 画像処理プロセッサ
- 4 2 外部メモリ
- 5 1 システム制御部
- 5 2 構成情報格納部
- 5 3 演算器群
- 5 4 高速バススイッチ
- 5 5 バスインタフェース
- 5 6 メモリインタフェース
- 6 1 ~ 6 5 オブジェクト（描画要素）

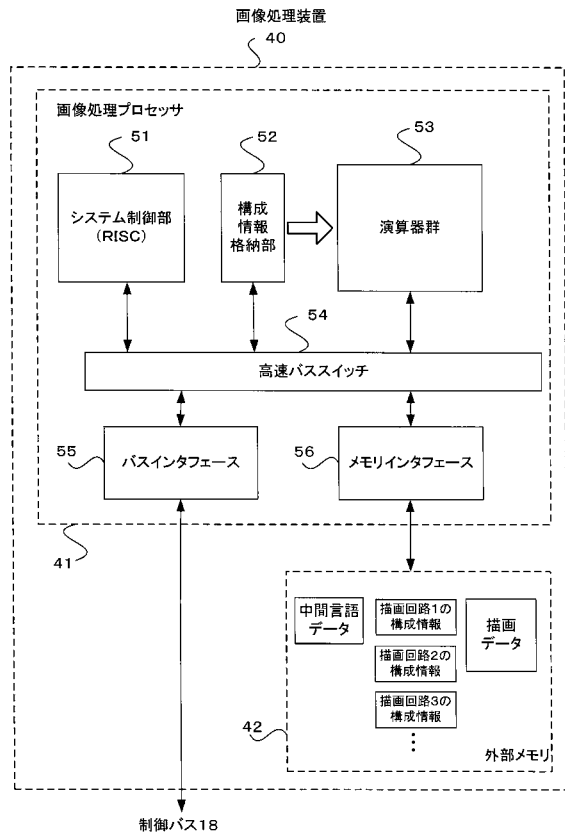
【 図 1 】



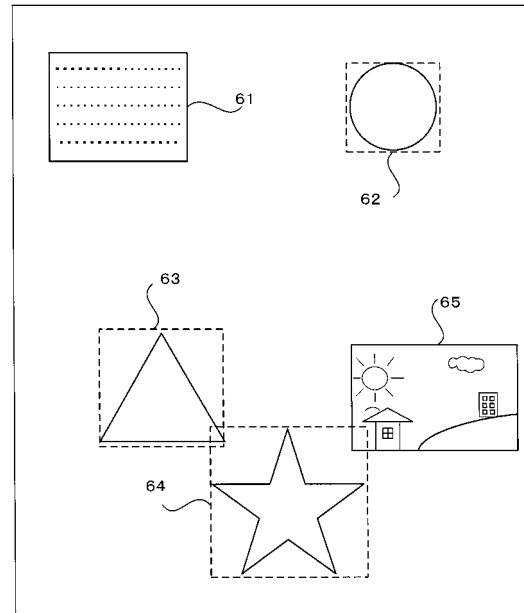
【 図 2 】



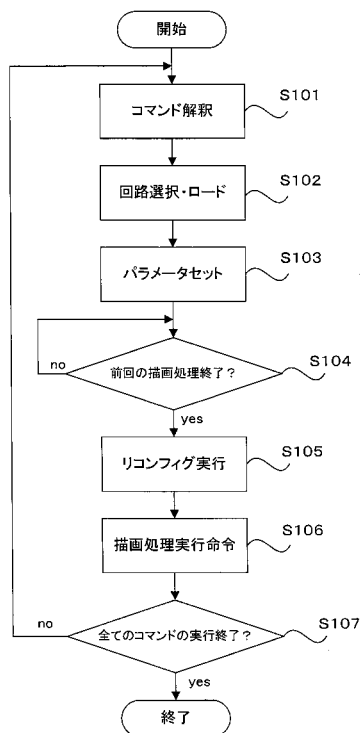
【図 3】



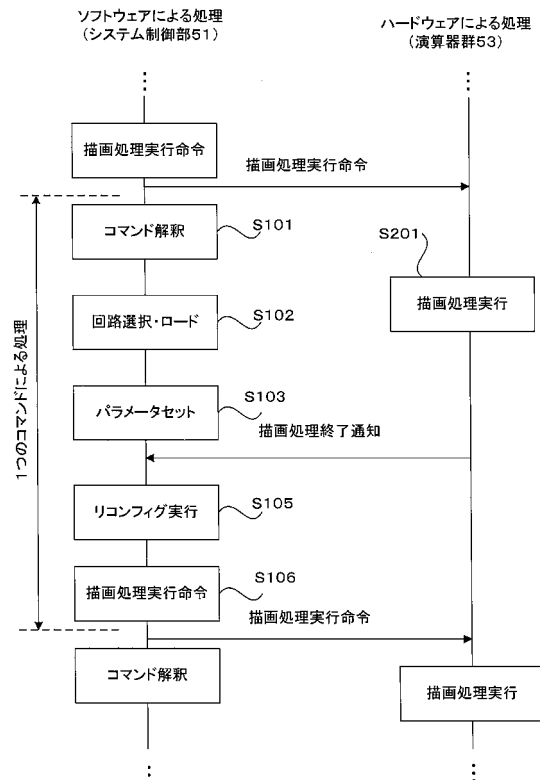
【図 4】



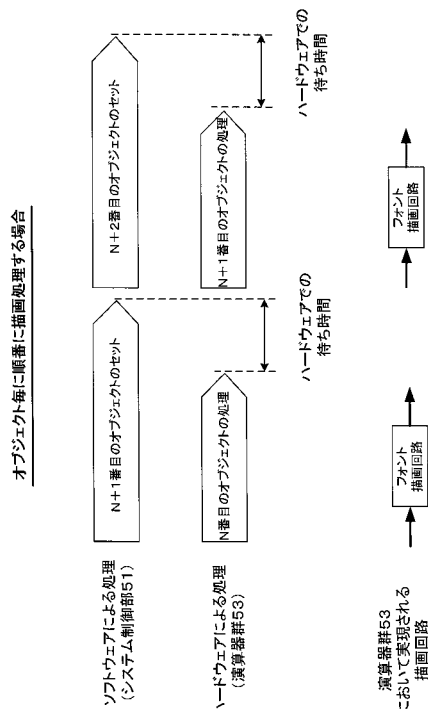
【図 5】



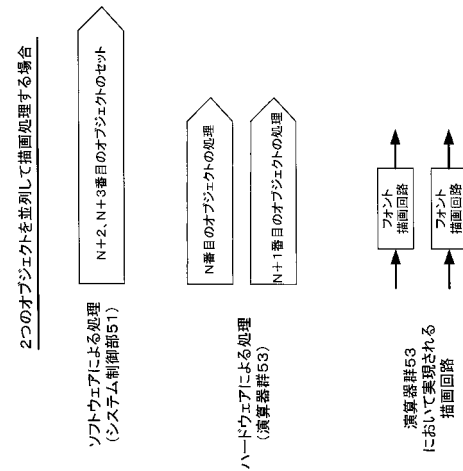
【図 6】



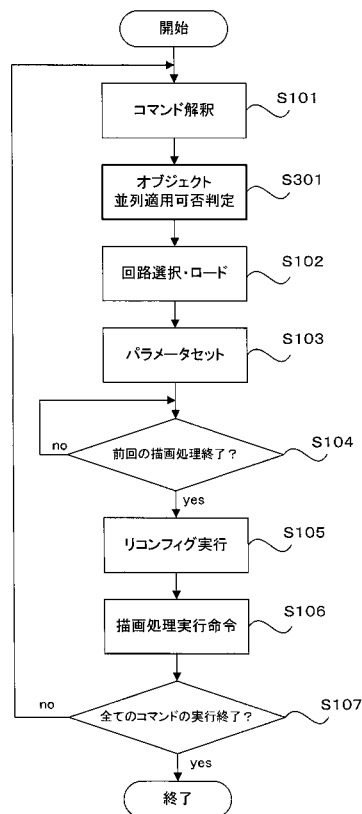
【図 7】



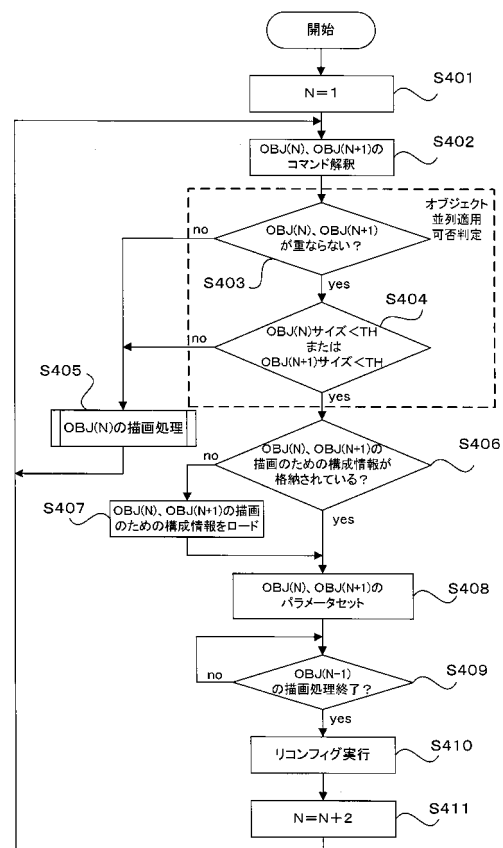
【図 8】



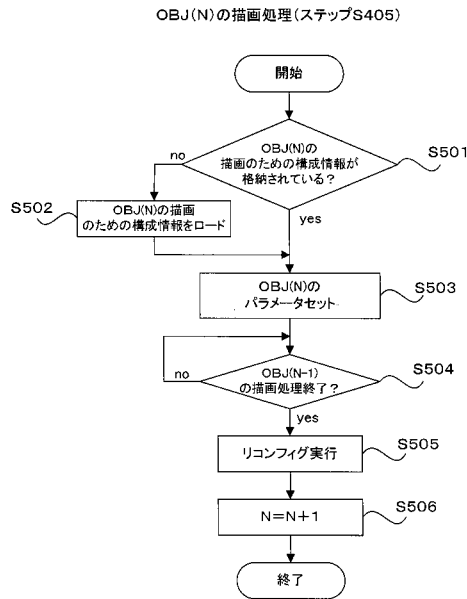
【図 9】



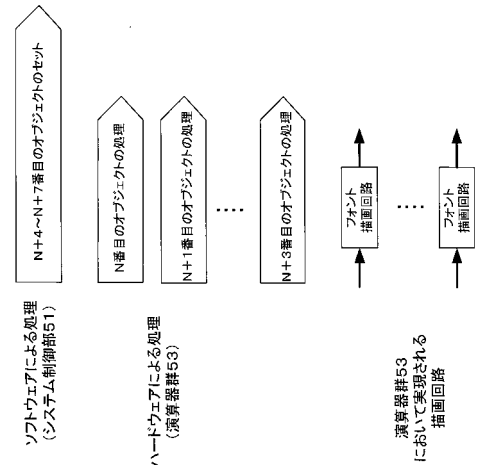
【図 10】



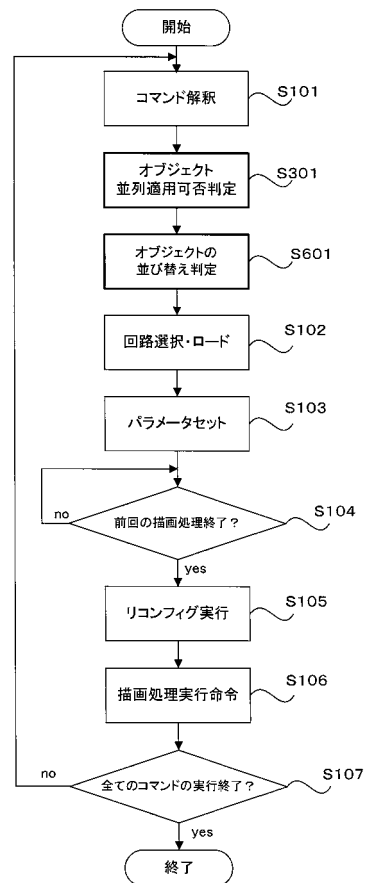
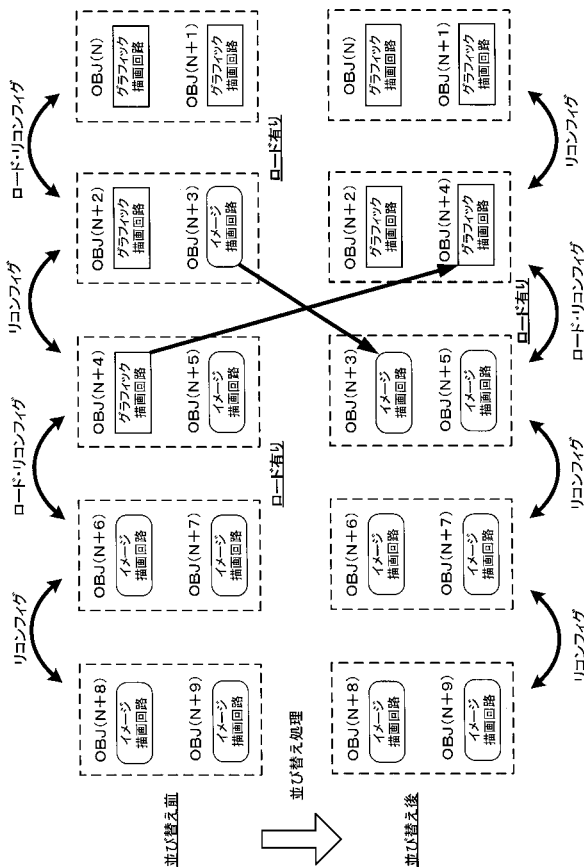
【 図 1 2 】



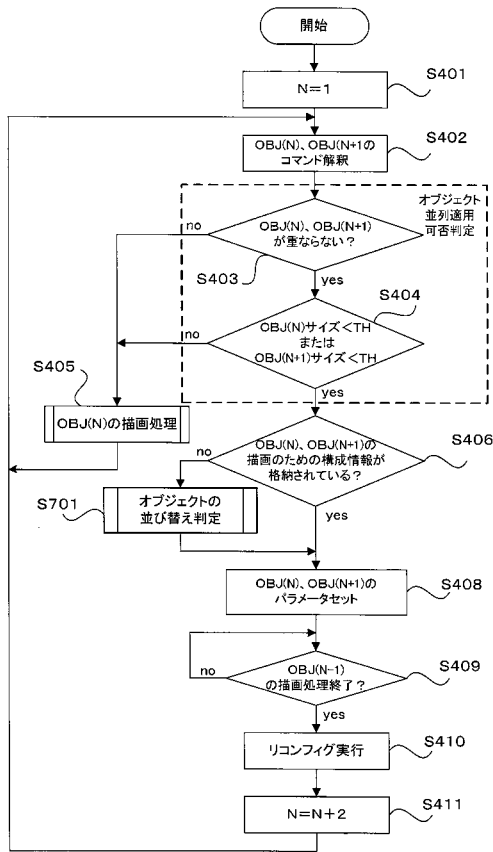
3つ以上のオブジェクトを並列して描画処理する場合



【 図 1 4 】

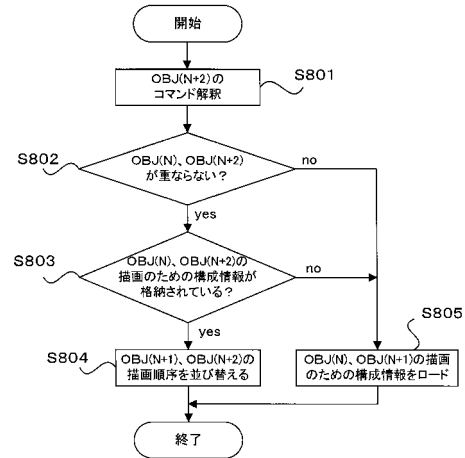


【図 15】

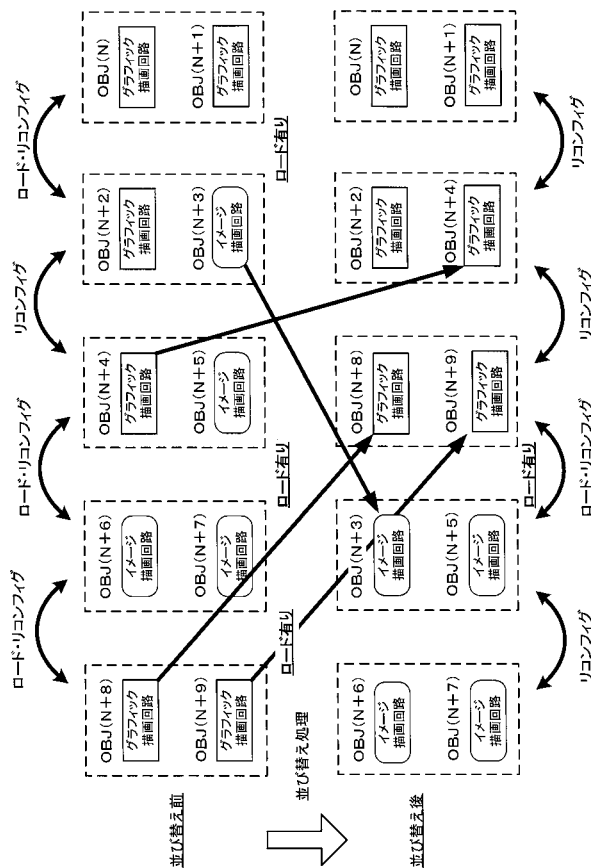


【図 16】

オブジェクトの並び替え判定処理(ステップS701)

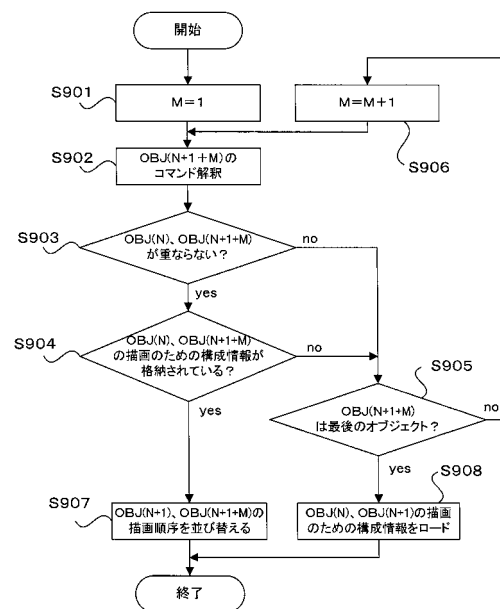


【図 17】

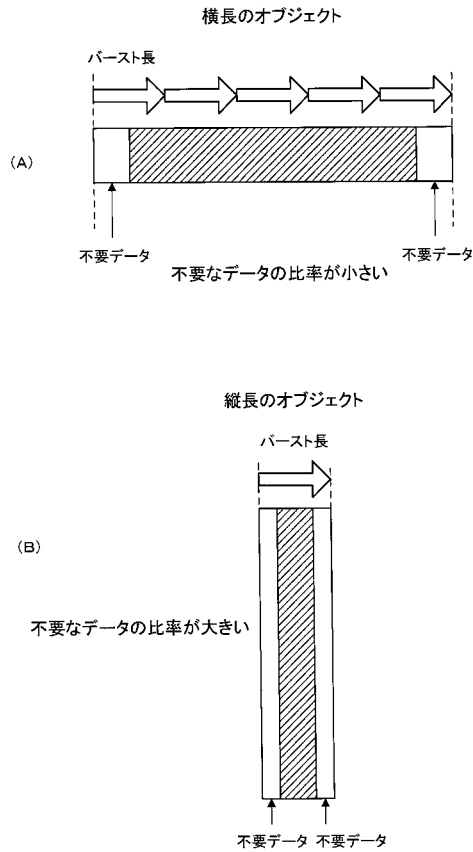


【図 18】

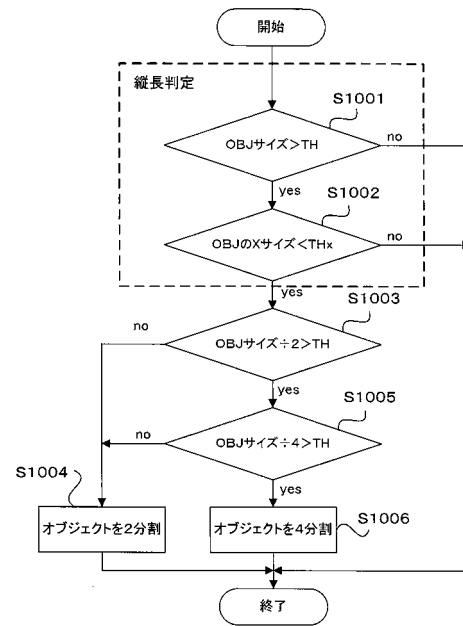
オブジェクトの並び替え判定処理(ステップS701a)



【図 19】



【図 20】



【図 21】

