

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/02 (2006.01)

H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510083335.5

[45] 授权公告日 2009 年 3 月 11 日

[11] 授权公告号 CN 100468732C

[22] 申请日 2005.7.13

[21] 申请号 200510083335.5

[30] 优先权

[32] 2004.7.13 [33] JP [31] 2004-206129

[73] 专利权人 三洋电机株式会社

地址 日本国大阪府

[72] 发明人 赤井一雅 金武行雄 石塚智子

[56] 参考文献

US3968382A 1976.7.6

US2001/0050411A1 2001.12.13

JP5-335493A 1993.12.17

JP11-289056A 1999.10.19

JP11-220093A 1999.8.10

JP2004-172634A 2004.6.17

JP5-136328A 1993.6.1

审查员 周 江

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 李香兰

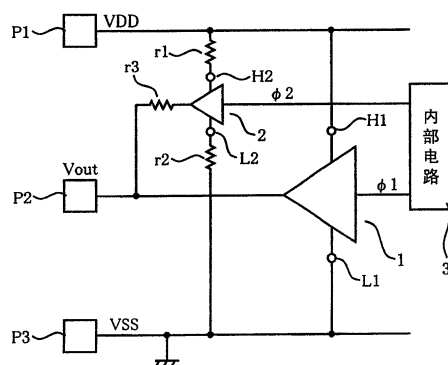
权利要求书 1 页 说明书 6 页 附图 6 页

[54] 发明名称

输出电路

[57] 摘要

本发明提供一种输出电路，在缩小图案面积的同时能够充分确保抗静电破坏强度。本发明的输出电路中，第 1 放大器(1)和第 2 放大器(2)的各输出与 1 个输出焊盘(P2)连接，由来自内部电路(3)的信号($\phi 1$ 、 $\phi 2$)驱动。第 1 放大器(1)具有比第 2 放大器(2)更大的驱动能力。电源电压 VDD 通过第 1 保护电阻元件(r1)供给到第 2 放大器(2)的高电压侧电源端子(H2)上，接地电压 VSS 通过第 2 保护电阻元件(r2)供给到其低电压侧电源端子(L2)上。此外，第 3 保护电阻元件(r3)连接在第 2 放大器(2)的输出与输出端子(P2)之间。优选这第 1 至第 3 保护电阻元件(r1、r2、r3)由金属布线形成、电阻值为 10 Ω 左右。



1、一种输出电路，其特征在于，
具备：第1放大器，包括第1晶体管；
第2放大器，包括第2晶体管，且具有比所述第1放大器小的驱动能力；和

输出端子，

所述第2晶体管，根据尺寸比所述第1晶体管小的的设计规则进行设计，并且所述第2放大器的输出端、高电压侧电源端子、或者低电压侧电源端子中的至少一个上，串联连接有保护电阻元件，所述第1放大器和所述第2放大器的输出连接在所述输出端子上。

2、一种输出电路，其特征在于，
具备：第1放大器，包括第1晶体管；
第2放大器，包括第2晶体管，且具有比所述第1放大器小的驱动能力；和，

输出端子，

所述第2晶体管，根据尺寸比所述第1晶体管小的的设计规则进行设计，并且所述第2放大器的高电压侧电源端子、或者低电压侧电源端子中的至少一个上，串联连接有保护电阻元件，所述第2放大器的输出被供给到半导体集成电路内的内部电路中，所述第1放大器的输出连接在所述输出端子上。

3、根据权利要求2所述的输出电路，其特征在于，
所述第2放大器是电平移动电路。

输出电路

技术领域

本发明涉及输出电路，特别涉及具备第1及第2放大器的输出电路。

背景技术

一般来说，如果 MOS 晶体管被施加由外来噪声所引起的过大电压，则会产生静电破坏（ESD）。为此，特别对连接在输入输出端子上的 MOS 晶体管实施各种保护对策。在图 8 中所示的输出电路中，第 1 放大器 1 和第 2 放大器 2 的各输出连接在一个输出焊盘 P2（输出端子）上，由来自内部电路 3 的信号 $\phi 1$ 、 $\phi 2$ 驱动。第 1 放大器具有比第 2 放大器更大的驱动能力，通过实施控制以使第 1 放大器或第 2 放大器的任一方或者两方动作，可改变放大器的驱动能力。

电源电压 VDD 被从电源焊盘 P1 供给到第 1 放大器 1 的高电压侧电源端子 H1，接地电压 VSS 被从接地焊盘 P3 供给到其低电压侧电源端子 L1 上。同样，电源电压 VDD 被从电源焊盘 P1 供给到第 2 放大器 2 的高电压侧电源端子 H2，接地电压 VSS 被从接地焊盘 P3 供给到其低电压侧电源端子 L2 上。

第 1 放大器 1 和第 2 放大器 2，包括例如由 P 沟道型的 MOS 晶体管和 N 沟道型的 MOS 晶体管构成的 CMOS 反相器。为了令第 1 放大器 1 的 MOS 晶体管，以比第 2 放大器 2 的 MOS 晶体管低的电阻导通，将其晶体管尺寸（栅极宽度 GW）设计得较大。

此外，为了防止分别施加在电源焊盘 P1、输出焊盘 P2 以及接地焊盘 P3 上的外来噪声所引起的所述 MOS 晶体管的静电破坏，对第 1 放大器 1 和第 2 放大器 2 双方，根据最小设计规则，将与各个焊盘直接连接的 MOS 晶体管的触点的大小、触点和栅极之间的距离、栅极长度以及背栅极（back gate）与源·漏极之间的距离，分别设计为相当大的尺寸。（ESD 对应设计规则）。

然而，如果如述那样，对第1放大器1和第2放大器2这两方，根据ESD对应的设计规则进行设计，则存在构成它们的MOS晶体管的尺寸变大、LSI的芯片尺寸变大这样的问题。

【专利文献1】特开平5-335493号公报

发明内容

本发明的输出电路，正是鉴于上述问题点而提出的，其特征在于，具备：第1放大器，包括第1晶体管；第2放大器，包括第2晶体管，且具有比所述第1放大器小的驱动能力；和输出端子，所述第2晶体管，根据尺寸比所述第1晶体管小的的设计规则进行设计，并且所述第2放大器的输出端、高电压侧电源端子、或者低电压侧电源端子中的至少一个上，串联连接有保护电阻元件，所述第1放大器和所述第2放大器的输出连接在输出端子上。

根据本发明，上述第2晶体管，通过根据尺寸比所述第1晶体管小的设计规则进行设计，并且在上述第2放大器的输出端子、高电压侧电源端子或低电压侧电源端子中的至少一个上连接保护电阻元件，来缩小第2放大器的尺寸，同时可以充分确保其抗静电破坏强度。

另外，本发明的另一侧面，提供一种输出电路，其特征在于，具备：第1放大器，包括第1晶体管；第2放大器，包括第2晶体管，且具有比所述第1放大器小的驱动能力；和，输出端子，所述第2晶体管，根据尺寸比所述第1晶体管小的的设计规则进行设计，并且所述第2放大器的高电压侧电源端子、或者低电压侧电源端子中的至少一个上，串联连接有保护电阻元件，所述第2放大器的输出被供给到半导体集成电路内的内部电路中，所述第1放大器的输出连接在所述输出端子上。

附图说明

图1是有关本发明的第1实施方式的输出电路的电路图。

图2是有关本发明的第1实施方式的第1放大器及第2放大器的电路图。

图3是构成第1放大器的N沟道型MOS晶体管及构成第2放大器的N沟道型MOS晶体管的图案图。

图4是构成本发明的第2放大器的N沟道型MOS晶体管及第3保护电阻元件的图案图。

图5是有关本发明的第2实施方式的输出电路的电路图。

图6是有关本发明的第3实施方式的输出电路的电路图。

图7是有关本发明的第4实施方式的输出电路的电路图。

图8是有关现有例的电路图。

具体实施方式

接下来,参照图1对本发明的第1实施方式的输出电路进行说明。该输出电路,第1放大器1和第2放大器2的各输出与一个输出焊盘P2(输出端子)连接,由来自内部电路3的信号 $\phi 1$ 、 $\phi 2$ 驱动。第1放大器1具有比第2放大器2更大的驱动能力,通过按照使第1放大器或者第2放大器的任一方或者两方动作的方式进行控制,可使放大器的驱动能力可变。

电源电压VDD被从电源焊盘P1供给到第1放大器1的高电压侧电源端子H1,接地电压VSS被从接地焊盘P3供给到其低电压侧电源端子L1上。与此相对,电源电压VDD通过第1保护电阻元件r1从电源焊盘P1供给到第2放大器2的高电压侧电源端子H2,接地电压VSS通过第2保护电阻元件r2从接地焊盘P3供给到其低电压侧电源端子L2上。此外,第3保护电阻元件r3连接在第2放大器2的输出与输出端子P2之间。这第1至第3保护电阻元件r1、r2、r3,如后文所述用金属布线形成,优选它们的电阻值为 10Ω 左右。

外来噪声有可能被施加在电源焊盘P1、输出焊盘P2、接地焊盘P3的任一个上。在外来噪声施加在电源焊盘P1上时第1保护电阻元件r1限制噪声电流、在外来噪声施加在接地焊盘P3上时第2保护电阻元件r2限制噪声电流、在外来噪声施加在输出焊盘P2上时第3保护电阻元件r3限制噪声电流,来保护第2放大器2。因此,虽然通过插入第1保护电阻元件r1、第2保护电阻元件r2、第3保护电阻元件r3的任一个都有一定效果,但要对所有的外来噪声采取静电破坏对策,就优选插入所有的保护电阻元件。

接着,参照图2对有关本发明第1实施方式的第1放大器1、第2放大器2的具体的电路构成例进行说明。图2(a)是第1放大器1的输出部的电路图,图2(b)是第2放大器2的输出部的电路图。

第1放大器1的输出部,由CMOS反相器构成,电源电压VDD从电源焊盘P1供给到P沟道型MOS晶体管M1的源极上,接地电压VSS从接地焊盘P3供给到N沟道型MOS晶体管M2的源极上。此外,P沟道型的MOS晶体管M1的漏极和N沟道型MOS晶体管M2的漏极连接,其连接点(即第1放大器1的输出端子)与输出焊盘P2连接。此外,信号 $\phi 1$ 施加在P沟道型MOS晶体管M1的栅极及N沟道型MOS晶体管M2的栅极上。

此外,第2放大器2的输出部也由MOS反相器构成,但电源电压VDD通过第1保护电阻元件r1从电源焊盘P1供给到P沟道型MOS晶体管M3的源极,接地电压VSS通过第2保护电阻元件r2从接地焊盘P3供给到N沟道型MOS晶体管M4的源极上。此外,在该CMOS反相器的输出与输出焊盘P2之间连接第3保护端子元件。

接下来,参照图3对构成第1放大器1的所述N沟道型MOS晶体管M2、以及构成第2放大器2的所述N沟道型MOS晶体管M4的图案进行说明。图3(a)是N沟道型MOS晶体管M2的平面图,图3(b)是N沟道型MOS晶体管M4的平面图。

在N沟道型MOS晶体管M2中,在源极11及漏极12上分别配置触点13S、13D。源极11经触点13S与金属布线14电连接,漏极12经触点13D与金属布线15电连接。在此,N沟道型MOS晶体管M2,根据ESD对应设计规则而设计,分别将栅极10的栅长GL1(例如 $1.2\mu\text{m}$)、栅极10和触点13S、13D之间的间隔EX1、触点的宽度C1形成得较大。此外,为了具有第1放大器1的驱动能力,N沟道型MOS晶体管M2的尺寸(栅宽GW)设计得较大,例如为 $7500\mu\text{m}$ 。

此外,在构成第2放大器2的N沟道型MOS晶体管M4中,触点23S、23D分别配置在源极21以及漏极22上。源极21经触点23S与金属布线24电连接,漏极22经触点23D与金属布线25电连接。在此,N沟道型MOS晶体管M4不遵守ESD对应规则,而是根据比其尺寸更小的设计规

则、优选最小设计规则进行设计,分别将栅极 20 的栅长 GL2(例如 $0.8\mu\text{m}$)、栅极 20 与触点 23S、23D 之间的间隔 EX2、触点的宽度 C2 形成得较细。此外,由于第 2 放大器 2 的驱动能力,比第 1 放大器 1 小,因此 N 沟道型 MOS 晶体管 M4 的尺寸(栅宽 GW)设计得较小。例如为 $20\sim 30\mu\text{m}$ 。

再有,构成第 1 放大器 1 的所述 P 沟道型 MOS 晶体管 M1、和构成第 2 放大器 2 的所述 P 沟道型 MOS 晶体管 M3 之间的关系也相同。并且,如图 4 所示,与 N 沟道型 MOS 晶体管 M4 的源极 21 连接的金属布线 24 在半导体芯片上延伸,形成由迂回图案形状构成的第 2 保护电阻元件 r2。第 1 保护电阻元件 r1 及第 3 保护电阻元件 r3,优选也与第 2 保护电阻元件 r2 相同,令金属布线迂回,有效活用 LSI 芯片内的金属布线的空闲空间来形成。

根据本实施方式,由于对第 1 放大器 1,以 ESD 对应设计规则设计,因此,能较好地抵御静电破坏,此外由于对第 2 放大器 2,以比 ESD 对应设计规则更小的设计规则进行设计,因此可减小这部分图案面积,并且由于插入了保护电阻元件,因此能够限制外来噪声所引起的噪声电流,作为输出电路整体可确保足够的抗静电破坏强度。此外,由于第 2 放大器 2 的驱动能力小,因此与第 1 放大器 1 相比,因插入保护电阻元件而对输出阻抗造成的影响较小。

接下来,参照图 5 对本发明的第 2 实施方式的输出电路进行说明。该输出电路,第 1 放大器 1 的输出通过第 2 保护电阻元件 r2 施加在第 2 放大器 2 的低电压侧电源端子 L2 上。即如果输入到第 2 放大器 2 上的信号 $\phi 2$ 具有 VDD 与 VSS 之间的振幅,则该第 2 放大器 2 是将该信号 $\phi 2$ 变换为 VDD 与第 1 放大器 1 的输出电压 V_{out} 之间的振幅的电平移动电路。该第 2 放大器 2 的输出输入到内部电路 3 中。其他结构与第 1 实施方式相同。

接下来,参照图 6 对本发明的第 3 实施方式的输出电路进行说明。电荷泵电路 6,是对从电源焊盘 P4 供给的电源电压 VDD 进行升压的电路,通过放大器 7、8 分别向输出焊盘 P5、P6 输出 $2V_{\text{DD}}$ 、 $3V_{\text{DD}}$ 的电压。放大器 7、8 具有与第 1 以及第 2 实施方式的第 1 放大器 1 相当的结构。

4 是第 1 电平移动电路，其输出控制电荷泵电路 6 内的电荷传送 MOS 晶体管的开关。在第 1 电平移动电路 4 上，通过保护电阻元件 r6、r7 分别供给 2VDD、VDD，具有与第 1 及第 2 实施方式的第 2 放大器 2 相当的结构。

5 是第 2 电平移动电路，其输出控制电荷泵电路 6 内的其他电荷传送 MOS 晶体管的开关。在此第 2 电平移动电路 5 上，通过保护电阻元件 r4、r5 分别供给 3VDD、2VDD，具有相当于第 1 及第 2 实施方式的第 2 放大器 2 的结构。

接着，参照图 7 对本发明的第 4 实施方式的输出电路进行说明。电荷泵电路 10，是从接地焊盘 P7 获得接地电位 VSS、生成负电压的电路，通过放大器 11，对输出焊盘 P8 输出 -VDD 的电压。放大器 11 具有相当于第 1 以及第 2 实施方式的第 1 放大器 1 的结构。12 是电平移动电路，其输出控制电荷泵电路 10 内的电荷传送 MOS 晶体管的开关。在电平移动电路 12 上，通过保护电阻元件 r8、r9，分别供给 VSS、-VDD，具有相当于第 1 及第 2 实施方式的第 2 放大器 2 的结构。

再有，在上述实施方式中，关于构成第 1 放大器 1 以及第 2 放大器 2 的 MOS 晶体管（例如 M1、M2、M3、M4）的种类，就 ESD 对策而言，优选以下任一组合。第 1 组合为，第 1 放大器 1 以及第 2 放大器 2 的 MOS 晶体管，都由低耐压 MOS 晶体管构成。第 2 组合为，第 1 放大器 1 以及第 2 放大器 2 的 MOS 晶体管都由高耐压 MOS 晶体管构成。第 3 组合为，第 1 放大器 1 的 MOS 晶体管由低耐压 MOS 晶体管构成，第 2 放大器 2 的 MOS 晶体管由高耐压 MOS 晶体管构成。

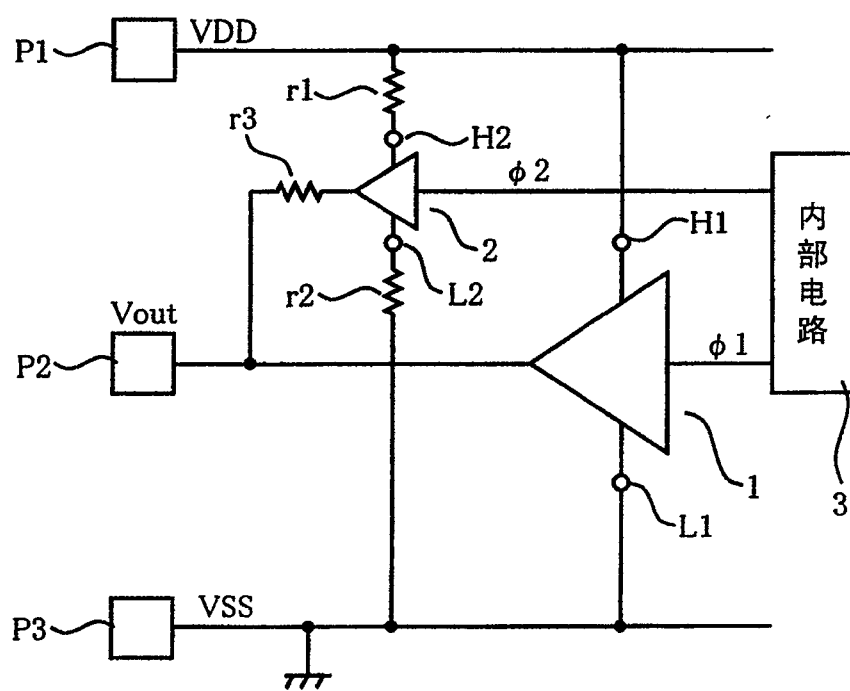


图 1

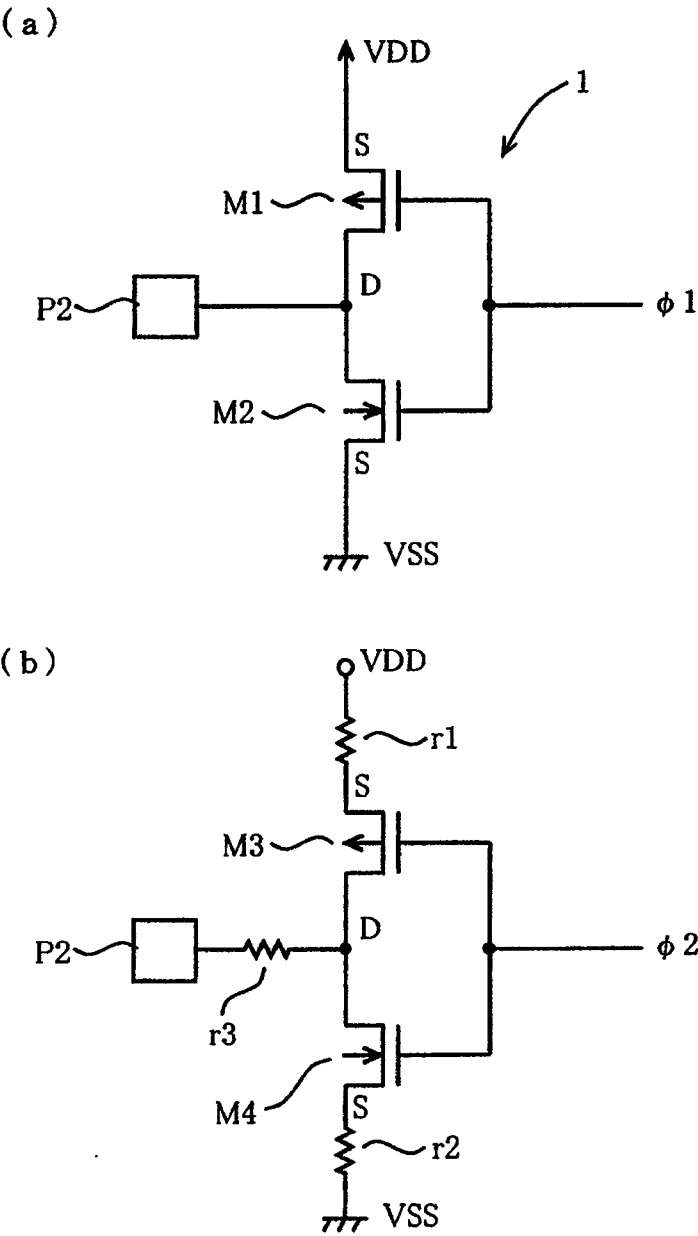


图 2

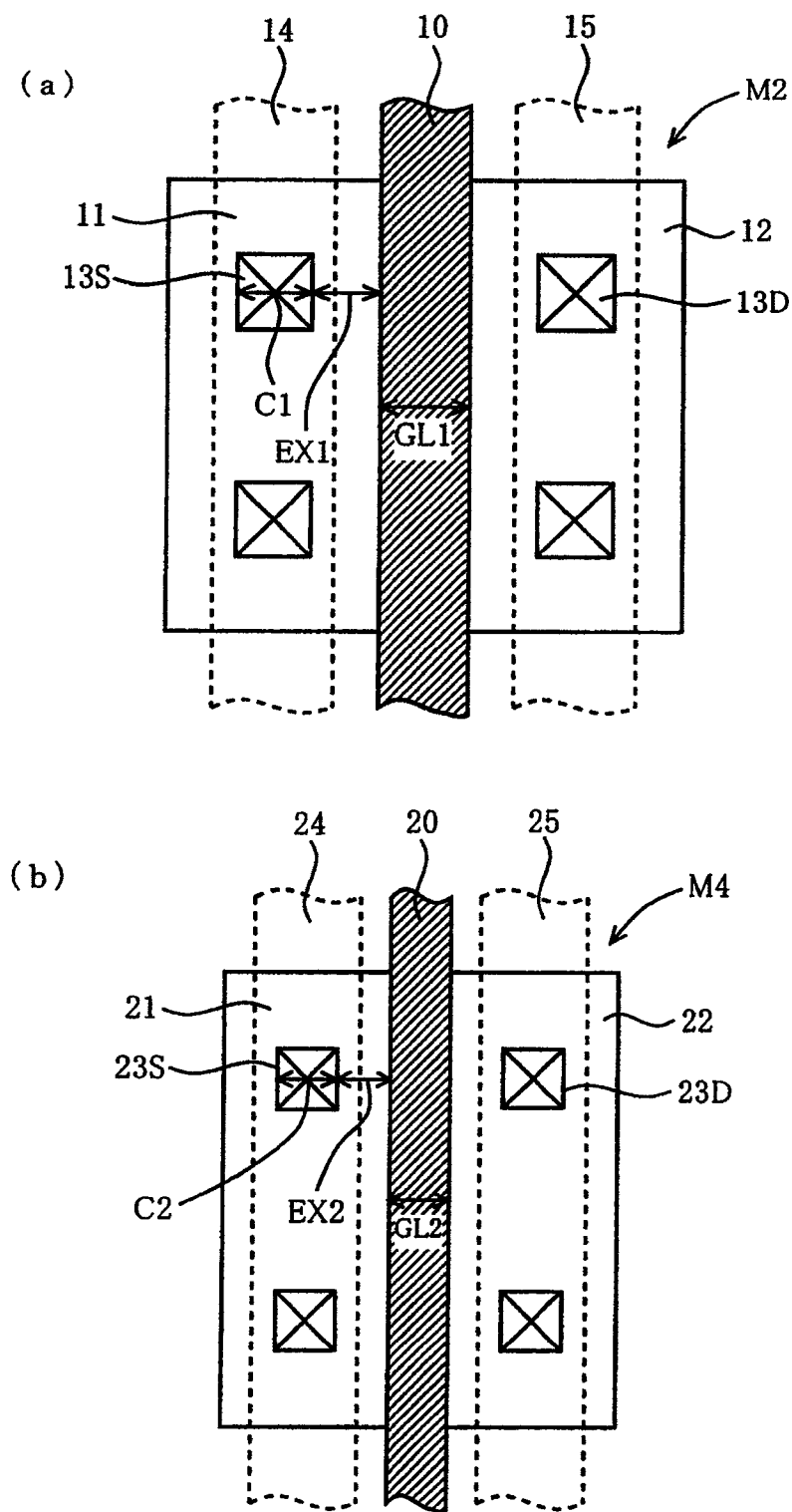


图 3

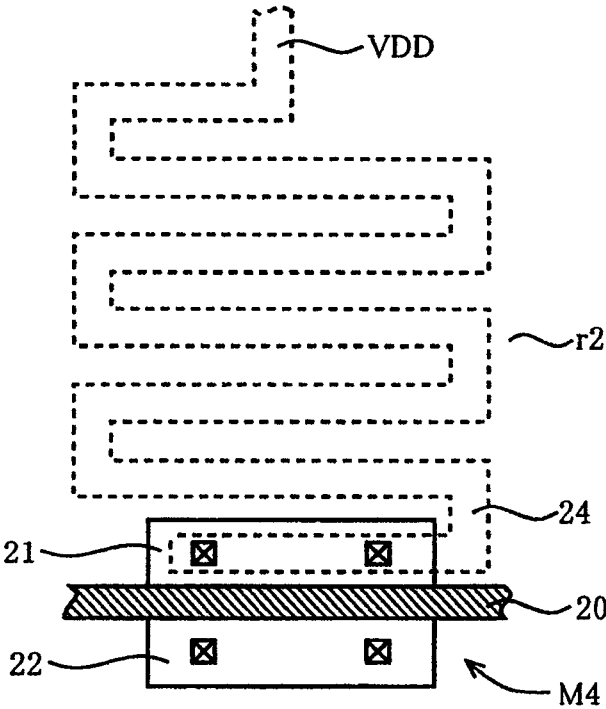


图 4

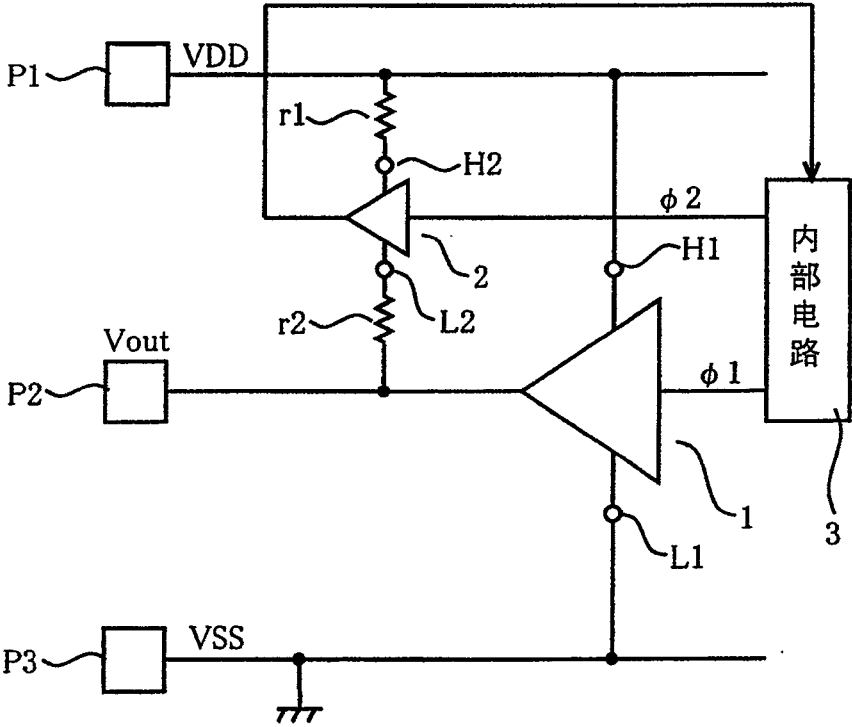


图 5

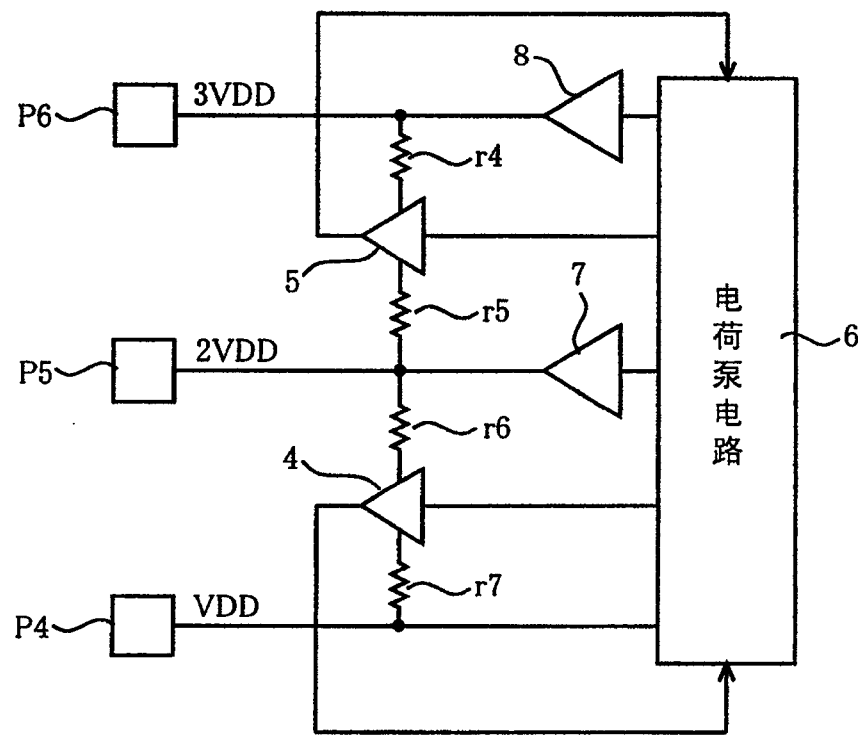


图 6

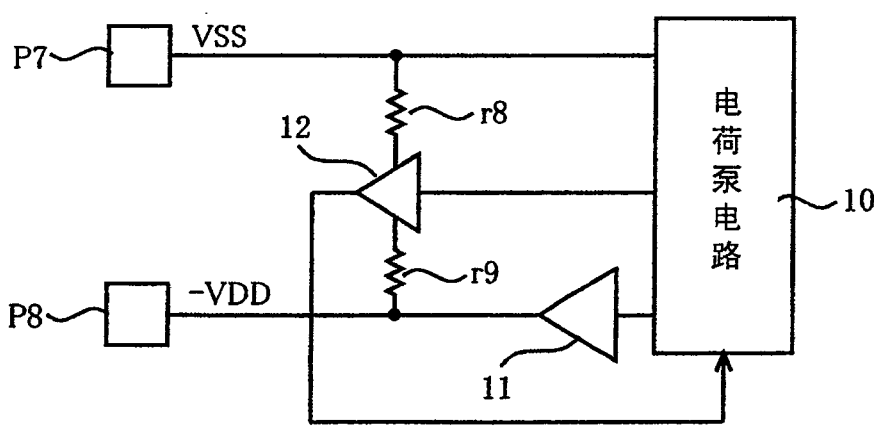


图 7

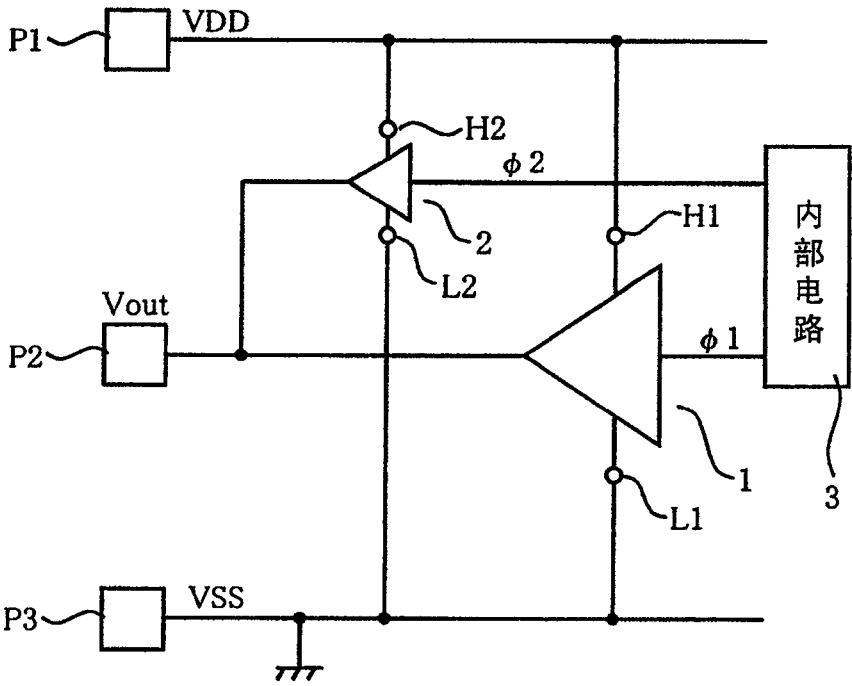


图 8