



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0107917
(43) 공개일자 2016년09월19일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(52) CPC특허분류

G09G 3/20 (2013.01)

G09G 2310/0286 (2013.01)

(21) 출원번호 10-2015-0031497

(22) 출원일자 2015년03월06일

심사청구일자 2015년03월06일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

남형식

인천광역시 연수구 독배로40번길 48, 105동 605호(옥련동, 우정1차아파트)

송석정

부산광역시 북구 덕천로276번길 5, 3동 508호(만덕동, 동원맨션)

(74) 대리인

김연권

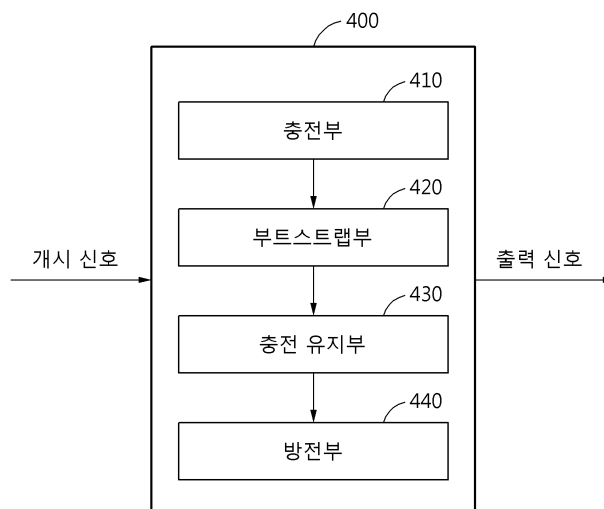
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법

(57) 요약

본 발명은 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압(VGH) 레벨로 충전하는 충전부, 상기 제1 클럭 신호보다 선연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑(bootstrapping)하는 부트스트래핑부, 상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 출력 신호를 상기 게이트 하이 전압 레벨로 유지하는 충전 유지부 및 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압(VGL1) 레벨로 방전하고, 상기 출력 신호를 제2 게이트 로우 전압(VGL2) 레벨로 방전하는 방전부를 포함하는 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법을 개시한다.

대표도 - 도4



명세서

청구범위

청구항 1

개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압(VGH) 레벨로 충전하는 충전부;

상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑(bootstrapping)하는 부트스트래핑부;

상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 출력 신호를 상기 게이트 하이 전압 레벨로 유지하는 충전 유지부; 및

제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압(VGL1) 레벨로 방전하고, 상기 출력 신호를 제2 게이트 로우 전압(VGL2) 레벨로 방전하는 방전부

를 포함하는 직류 타입 쉬프트 레지스터.

청구항 2

제1항에 있어서,

옥사이드 실리콘(oxide silicon)을 포함하는 제1 내지 제9 스위칭 TFT(thin film transistor), 제3 보조 스위칭 TFT 및 제4 보조 스위칭 TFT와 부트스트랩 캐패시터를 이용하여 상기 게이트 하이 전압, 상기 제1 게이트 로우 전압 및 상기 제2 게이트 로우 전압을 선택적으로 공급하는 것을 특징으로 하는 직류 타입 쉬프트 레지스터.

청구항 3

제2항에 있어서,

상기 충전부는

상기 제1 스위칭 TFT가 턴온(turn on)되어 상기 개시 신호 또는 상기 직전단 쉬프트 레지스터의 구동 신호와 상기 제1 클럭 신호를 상기 제1 노드에 공급하고,

상기 제3 스위칭 TFT와 직렬로 연결되는 상기 제3 보조 스위칭 TFT가 턴오프(turn off)되어 상기 제1 노드를 상기 게이트 하이 전압 레벨로 충전하며,

상기 충전된 제1 노드에 의해 상기 제6 스위칭 TFT가 턴온되어 상기 제1 노드와 제2 노드 사이에 존재하는 상기 부트스트랩 캐패시터를 상기 게이트 하이 전압 레벨로 충전하고,

상기 충전된 제1 노드에 의해 상기 제4 보조 스위칭 TFT, 제4 스위칭 TFT 및 상기 제5 스위칭 TFT가 턴온되어 제3 노드를 상기 제1 게이트 로우 전압 레벨로 방전하며,

상기 방전된 제3 노드에 의해 상기 제7 스위칭 TFT 및 상기 제9 스위칭 TFT가 턴오프되고,

상기 충전된 제1 노드에 의해 상기 제8 스위칭 TFT가 턴온되어 상기 출력 신호를 충전하되,

상기 출력 신호는 상기 게이트 하이 전압 레벨과 상기 제8 스위칭 TFT의 문턱 전압 간의 차이로 충전되는

직류 타입 쉬프트 레지스터.

청구항 4

제2항에 있어서,

상기 부트스트래핑부는

상기 제1 스위칭 TFT와 상기 제3 보조 스위칭 TFT가 턴오프되어 상기 충전된 제1 노드를 플로팅(floating)하고,

상기 제6 스위칭 TFT가 턴온되어 상기 제2 클럭 신호를 상기 제2 노드에 공급하며,

상기 부트스트랩 캐패시터에 의해 상기 플로팅된 제 1노드를 부트스트래핑하여 상기 게이트 하이 전압 레벨 이상으로 충전하고,

상기 부트스트래핑된 제1 노드에 의해 상기 제8 스위칭 TFT가 턴온되어 상기 출력 신호를 상기 게이트 하이 전압 레벨로 충전하는

직류 타입 쉬프트 레지스터.

청구항 5

제2항에 있어서,

상기 방전부는

상기 제2 스위칭 TFT가 턴온되어 상기 제1 클럭 반전 신호 및 상기 제2 클럭 반전 신호를 상기 제3 스위칭 TFT 및 상기 제3 보조 스위칭 TFT에게 공급하고,

상기 제3 스위칭 TFT 및 상기 제3 보조 스위칭 TFT가 턴온되어 상기 제1 노드를 상기 제1 게이트 로우 전압 레벨로 방전하며,

상기 제1 게이트 로우 전압 레벨로 방전된 제1 노드에 의해 상기 제4 보조 스위칭 TFT, 상기 제5 스위칭 TFT, 상기 제6 스위칭 TFT 및 상기 제8 스위칭 TFT가 턴오프되고,

상기 제4 보조 스위칭 TFT 및 상기 제5 스위칭 TFT가 턴오프되어 제4 노드를 플로팅하며,

상기 플로팅된 제4 노드를 부트스트래핑하여 상기 게이트 하이 전압 레벨 이상으로 충전하고,

상기 부트스트래핑된 제4 노드에 의해 상기 제4 스위칭 TFT가 턴온되어 상기 제3 노드를 게이트 하이 전압 레벨로 충전하며,

상기 충전된 제3 노드에 의해 상기 제7 스위칭 TFT 및 상기 제9 스위칭 TFT가 턴온되어 상기 제2 노드를 상기 제1 게이트 로우 전압 레벨로 방전하고 상기 출력 신호를 상기 제2 게이트 로우 전압 레벨로 방전하는

직류 타입 쉬프트 레지스터.

청구항 6

N개의 쉬프트 레지스터에서 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 직류 타입 구동 장치에 있어서,

n번째 쉬프트 레지스터(상기 n은 1이상 상기 N이하의 자연수)는,

개시 신호 또는 n-1번째 쉬프트 레지스터의 n-1번째 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 레벨로 충전하는 충전부;

상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑하는 부트스트래핑부;

상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 n번째 구동 신호를 상기 게이트 하이 전압 레벨로 유지하는 충전 유지부; 및

제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압 레벨로 방전하고, 및 상기 n번째 구동 신호를 제2 게이트 로우 전압 레벨로 방전하는 방전부

를 포함하는 직류 타입 구동 장치.

청구항 7

복수 개의 쉬프트 레지스터에서 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 직류 타입 구동 장치에 있어서,

상기 복수 개의 쉬프트 레지스터;

옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 상기 각 쉬프트 레지스터에게 상기 직류 타입의 전원을 공급하는 전원 공급부; 및

상기 각 쉬프트 레지스터에서 충전, 부트스트래핑, 충전 유지 및 방전 중 적어도 하나의 동작을 수행하기 위한 클럭 신호를 발생하는 클럭 발생부

를 포함하는 직류 타입 구동 장치.

청구항 8

제7항에 있어서,

상기 직류 타입의 전원 및 상기 발생된 클럭 신호가 상기 복수 개의 쉬프트 레지스터에게 제공되도록 제어하는 제어부

를 더 포함하는 직류 타입 구동 장치.

청구항 9

제7항에 있어서,

상기 클럭 발생부는

상기 각 쉬프트 레지스터에서 제1 노드를 게이트 하이 전압 레벨로 충전하기 위한 제1 클럭 신호를 발생하는 제1 클럭 발생부;

상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑하기 위한 상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호를 발생하는 제2 클럭 발생부;

상기 제1 클럭 신호의 반전된 신호인 제1 클럭 반전 신호를 발생하는 제1 반전 클럭 발생부; 및

상기 제2 클럭 신호의 반전된 신호인 제2 클럭 반전 신호를 발생하는 제2 반전 클럭 발생부

를 포함하는 직류 타입 구동 장치.

청구항 10

제8항 또는 제9항에 있어서,

상기 제어부는

상기 선정된 지연에 의해 상기 서로 이웃하는 쉬프트 레지스터에 대한 상기 구동 신호의 일부분이 오버랩핑되도록 제어하되,

상기 각 쉬프트 레지스터에서 상기 제1 클럭 반전 신호 및 상기 제2 클럭 반전 신호에 기초하여 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압 레벨로 방전되고, 상기 구동 신호를 제2 게이트 로우 전압 레벨로 방전되도록 제어하는

직류 타입 구동 장치.

청구항 11

개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 (VGH) 레벨로 충전하는 단계;

상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑(bootstrapping)하는 단계;

상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 출력 신호를 상기 게이트 하이 전압 레벨로 유지하는 단계; 및

제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압 (VGL1) 레벨로 방전하고, 상기 출력 신호를 제2 게이트 로우 전압(VGL2) 레벨로 방전하는 단계

를 포함하는 직류 타입 쉬프트 레지스터의 동작 방법.

청구항 12

N개의 쉬프트 레지스터에서 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 직류 타입 구동 장치의 동작 방법에 있어서,

n번째 쉬프트 레지스터(상기 n은 1이상 상기 N이하의 자연수)의 동작 방법은,

개시 신호 또는 n-1번째 쉬프트 레지스터의 n-1번째 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 레벨로 충전하는 단계;

상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트랩핑하는 단계;

상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트랩핑된 제1 노드에서 출력되는 n번째 구동 신호를 상기 게이트 하이 전압 레벨로 유지하는 단계; 및

제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트랩핑된 제1 노드를 제1 게이트 로우 전압 레벨로 방전하고, 및 상기 n번째 구동 신호를 제2 게이트 로우 전압 레벨로 방전하는 단계

를 포함하는 직류 타입 구동 장치의 동작 방법.

청구항 13

복수 개의 쉬프트 레지스터에서 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 직류 타입 구동 장치의 동작 방법에 있어서,

옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 상기 각 쉬프트 레지스터에게 상기 직류 타입의 전원을 공급하는 단계; 및

상기 각 쉬프트 레지스터에서 충전, 부트스트랩핑, 충전 유지 및 방전 중 적어도 하나의 동작을 수행하기 위한 클럭 신호를 발생하는 단계

를 포함하는 직류 타입 구동 장치의 동작 방법.

청구항 14

제11항 내지 제13항 중 어느 한 항의 방법을 수행하기 위한 프로그램이 기록된 컴퓨터로 판독 가능한 기록 매체.

발명의 설명

기술 분야

[0001] 본 발명은 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법에 관한 것으로, 보다 상세하게는 저전력 구동을 위한 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 교류(AC, alternating current) 타입 쉬프트 레지스터(shift register)는 복수 개의 박막트랜지스터(TFT, thin film transistor)에 기반하여 구성되고, 출력단에 풀업 박막트랜지스터(pull-up TFT)와 클럭 신호가 연결된다.

[0003] 또한, 교류 타입 쉬프트 레지스터는 풀업 박막트랜지스터의 부트스트랩핑(bootstrapping) 효과를 이용하여 Q 노드에 대한 전압을 높일 수 있고, 출력의 펄스폭에 대한 자유도가 커질 수 있다.

[0004] 한편, 교류 타입 쉬프트 레지스터는 클럭 신호에 존재하는 용량성 부하(capacitive load)로 인하여 풀업 박막트랜지스터의 전력 소모가 증가하는 문제점이 존재한다.

[0005] 상기 기술한 문제점을 개선시키기 위해 최근에는 출력단에 클럭 신호를 대신하여 고정 전압의 직류(DC, direct

current) 타입 전원이 연결되는 직류 타입 쉬프트 레지스터 기술이 개발되었다.

[0006] 출력단에 클럭 신호를 대신하여 고정 전압의 직류 타입 전원이 연결되는 종래기술로, 아몰퍼스 실리콘(a-si, amorphous silicon)이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 기술(종래기술 1)과, 옥사이드 실리콘(oxide silicon)이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 기술(종래기술 2)이 있다.

[0007] 종래기술 1 및 종래기술 2는 클럭 신호에 존재하는 용량성 부하를 줄여 클럭 신호단의 전력 소모를 줄일 수 있다.

[0008] 그러나, 종래기술 1 및 종래기술 2는 11개 및 22개 등 많은 박막트랜지스터를 사용하여 여전히 전력 소모가 증가하는 문제점이 존재하고, 이웃하는 박막트랜지스터에서 존재하는 출력 신호들 간의 오버랩(overlap) 조절이 어려운 문제점이 존재하였다.

[0009] 따라서, 교류 타입 쉬프트 레지스터의 클럭 신호에 인하여 발생하는 전력 소모와 직류 타입의 복수 개 박막트랜지스터에 인하여 발생하는 전력 소모를 줄이는 과제 해결 수단 및 직류 타입 쉬프트 레지스터에서 출력 신호들 간에 오버랩을 조절하는 과제 해결 수단이 필요하다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 출력단에 고정 전압의 직류 타입 전원을 연결하여 클럭 신호에 인하여 발생하는 전력의 소모를 줄이는 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법을 제공한다.

[0011] 본 발명은 옥사이드 실리콘의 동작 특성에 적합한 최소 개의 박막트랜지스터를 이용하여 저전력으로 구동되는 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법을 제공한다.

[0012] 본 발명은 제1 클럭 신호 및 제2 클럭 신호 등 입력 클럭 신호들의 선정된 지연에 의해 회로변경 없이 출력 신호들 간에 오버랩을 조절하여 출력 시간을 증가시키는 직류 타입 쉬프트 레지스터, 구동 장치 및 그 동작 방법을 제공한다.

과제의 해결 수단

[0013] 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터는 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압(VGH) 레벨로 충전하는 충전부, 상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑(bootstrapping)하는 부트스트래핑부, 상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 출력 신호를 상기 게이트 하이 전압 레벨로 유지하는 충전 유지부 및 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압(VGL1) 레벨로 방전하고, 상기 출력 신호를 제2 게이트 로우 전압(VGL2) 레벨로 방전하는 방전부를 포함한다.

[0014] 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터는 옥사이드 실리콘(oxide silicon)을 포함하는 제1 내지 제9 스위칭 TFT(thin film transistor), 제3 보조 스위칭 TFT 및 제4 보조 스위칭 TFT와 부트스트랩 캐패시터를 이용하여 상기 게이트 하이 전압, 상기 제1 게이트 로우 전압 및 상기 제2 게이트 로우 전압을 선택적으로 공급하는 것을 특징으로 할 수 있다.

[0015] 상기 충전부는 상기 제1 스위칭 TFT가 턴온(turn on)되어 상기 개시 신호 또는 상기 직전단 쉬프트 레지스터의 구동 신호와 상기 제1 클럭 신호를 상기 제1 노드에 공급하고, 상기 제3 스위칭 TFT와 직렬로 연결되는 상기 제3 보조 스위칭 TFT가 턴오프(turn off)되어 상기 제1 노드를 상기 게이트 하이 전압 레벨로 충전하며, 상기 충전된 제1 노드에 의해 상기 제6 스위칭 TFT가 턴온되어 상기 제1 노드와 제2 노드 사이에 존재하는 상기 부트스트랩 캐패시터를 상기 게이트 하이 전압 레벨로 충전하고, 상기 충전된 제1 노드에 의해 상기 제4 보조 스위칭 TFT, 제4 스위칭 TFT 및 상기 제5 스위칭 TFT가 턴온되어 제3 노드를 상기 제1 게이트 로우 전압 레벨로 방전하며, 상기 방전된 제3 노드에 의해 상기 제7 스위칭 TFT 및 상기 제9 스위칭 TFT가 턴오프되고, 상기 충전된 제1 노드에 의해 상기 제8 스위칭 TFT가 턴온되어 상기 출력 신호를 충전하되, 상기 출력 신호는 상기 게이트 하이 전압 레벨과 상기 제8 스위칭 TFT의 문턱 전압 간의 차이로 충전될 수 있다.

[0016] 상기 부트스트래핑부는 상기 제1 스위칭 TFT와 상기 제3 보조 스위칭 TFT가 턴오프되어 상기 충전된 제1 노드를

플로팅(floating)하고, 상기 제6 스위칭 TFT가 턴온되어 상기 제2 클럭 신호를 상기 제2 노드에 공급하며, 상기 부트스트랩 캐패시터에 의해 상기 플로팅된 제 1노드를 부트스트래핑하여 상기 게이트 하이 전압 레벨 이상으로 충전하고, 상기 부트스트래핑된 제1 노드에 의해 상기 제8 스위칭 TFT가 턴온되어 상기 출력 신호를 상기 게이트 하이 전압 레벨로 충전할 수 있다.

[0017] 상기 방전부는 상기 제2 스위칭 TFT가 턴온되어 상기 제1 클럭 반전 신호 및 상기 제2 클럭 반전 신호를 상기 제3 스위칭 TFT 및 상기 제3 보조 스위칭 TFT에게 공급하고, 상기 제3 스위칭 TFT 및 상기 제3 보조 스위칭 TFT가 턴온되어 상기 제1 노드를 상기 제1 게이트 로우 전압 레벨로 방전하며, 상기 제1 게이트 로우 전압 레벨로 방전된 제1 노드에 의해 상기 제4 보조 스위칭 TFT, 상기 제5 스위칭 TFT, 상기 제6 스위칭 TFT 및 상기 제8 스위칭 TFT가 턴오프되고, 상기 제4 보조 스위칭 TFT 및 상기 제5 스위칭 TFT가 턴오프되어 제4 노드를 플로팅하며, 상기 플로팅된 제4 노드를 부트스트래핑하여 상기 게이트 하이 전압 레벨 이상으로 충전하고, 상기 부트스트래핑된 제4 노드에 의해 상기 제4 스위칭 TFT가 턴온되어 상기 제3 노드를 게이트 하이 전압 레벨로 충전하며, 상기 충전된 제3 노드에 의해 상기 제7 스위칭 TFT 및 상기 제9 스위칭 TFT가 턴온되어 상기 제2 노드를 상기 제1 게이트 로우 전압 레벨로 방전하고 상기 출력 신호를 상기 제2 게이트 로우 전압 레벨로 방전할 수 있다.

[0018] 본 발명의 실시예에 따른 구동 장치는 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버래핑하는 N개의 쉬프트 레지스터를 포함한다.

[0019] N개의 쉬프트 레지스터에서 n번째 쉬프트 레지스터(상기 n은 1이상 상기 N이하의 자연수)는 개시 신호 또는 n-1번째 쉬프트 레지스터의 n-1번째 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 레벨로 충전하는 충전부, 상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑하는 부트스트랩부, 상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 n번째 구동 신호를 상기 게이트 하이 전압 레벨로 유지하는 충전 유지부 및 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압 레벨로 방전하고, 및 상기 n번째 구동 신호를 제2 게이트 로우 전압 레벨로 방전하는 방전부를 포함한다.

[0020] 복수 개의 쉬프트 레지스터에서 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버래핑하는 본 발명의 다른 실시예에 따른 직류 타입 구동 장치는 상기 복수 개의 쉬프트 레지스터, 옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 상기 각 쉬프트 레지스터에게 상기 직류 타입의 전원을 공급하는 전원 공급부 및 상기 각 쉬프트 레지스터에서 충전, 부트스트래핑, 충전 유지 및 방전 중 적어도 하나의 동작을 수행하기 위한 클럭 신호를 발생하는 클럭 발생부를 포함한다.

[0021] 본 발명의 다른 실시예에 따른 구동 장치는 상기 직류 타입의 전원 및 상기 발생된 클럭 신호가 상기 복수 개의 쉬프트 레지스터에게 제공되도록 제어하는 제어부를 더 포함할 수 있다.

[0022] 상기 클럭 발생부는 상기 각 쉬프트 레지스터에서 제1 노드를 게이트 하이 전압 레벨로 충전하기 위한 제1 클럭 신호를 발생하는 제1 클럭 발생부, 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑하기 위한 상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호를 발생하는 제2 클럭 발생부, 상기 제1 클럭 신호의 반전된 신호인 제1 클럭 반전 신호를 발생하는 제1 반전 클럭 발생부 및 상기 제2 클럭 신호의 반전된 신호인 제2 클럭 반전 신호를 발생하는 제2 반전 클럭 발생부를 포함할 수 있다.

[0023] 상기 제어부는 상기 선정된 지연에 의해 상기 서로 이웃하는 쉬프트 레지스터에 대한 상기 구동 신호의 일부분이 오버래핑되도록 제어하되, 상기 각 쉬프트 레지스터에서 상기 제1 클럭 반전 신호 및 상기 제2 클럭 반전 신호에 기초하여 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압 레벨로 방전되고, 상기 구동 신호를 제2 게이트 로우 전압 레벨로 방전되도록 제어할 수 있다.

[0024] 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터의 동작 방법은 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압(VGH) 레벨로 충전하는 단계, 상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트래핑(bootstrapping)하는 단계, 상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트래핑된 제1 노드에서 출력되는 출력 신호를 상기 게이트 하이 전압 레벨로 유지하는 단계 및 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트래핑된 제1 노드를 제1 게이트 로우 전압(VGL1) 레벨로 방전하고, 상기 출력 신호를 제2 게이트 로우 전압(VGL2) 레벨로 방전하는 단계를 포함한다.

[0025] 본 발명의 실시예에 따른 직류 타입 구동 장치의 동작 방법은 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 N개의 쉬프트 레지스터의 동작 방법을 포함한다.

[0026] N개의 쉬프트 레지스터에서 n번째 쉬프트 레지스터(상기 n은 1이상 상기 N이하의 자연수)의 동작 방법은 개시 신호 또는 n-1번째 쉬프트 레지스터의 n-1번째 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 레벨로 충전하는 단계, 상기 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트랩핑하는 단계, 상기 제2 클럭 신호가 공급되는 동안에 상기 부트스트랩핑된 제1 노드에서 출력되는 n번째 구동 신호를 상기 게이트 하이 전압 레벨로 유지하는 단계 및 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 상기 부트스트랩핑된 제1 노드를 제1 게이트 로우 전압 레벨로 방전하고, 및 상기 n번째 구동 신호를 제2 게이트 로우 전압 레벨로 방전하는 단계를 포함한다.

[0027] 복수 개의 쉬프트 레지스터에서 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 본 발명의 다른 실시예에 따른 직류 타입 구동 장치의 동작 방법은 옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 상기 각 쉬프트 레지스터에게 상기 직류 타입의 전원을 공급하는 단계 및 상기 각 쉬프트 레지스터에서 충전, 부트스트랩핑, 충전 유지 및 방전 중 적어도 하나의 동작을 수행하기 위한 클럭 신호를 발생하는 단계를 포함한다.

발명의 효과

[0028] 본 발명은 출력단에 고정 전압의 직류 타입 전원을 연결하여 클럭 신호에 인하여 발생하는 전력의 소모를 줄일 수 있다.

[0029] 본 발명은 옥사이드 실리콘의 동작 특성에 적합한 최소 개의 박막트랜지스터를 이용하여 저전력으로 구동될 수 있다.

[0030] 본 발명은 제1 클럭 신호 및 제2 클럭 신호 등 입력 클럭 신호들의 선정된 지연에 의해 회로변경 없이 출력 신호들 간에 오버랩을 조절하여 출력 시간을 증가시킬 수 있다.

도면의 간단한 설명

[0031] 도 1a는 교류 타입 구동 장치를 예시한 블록도이다.

도 1b는 도 1a의 교류 타입 쉬프트 레지스터 회로를 예시한 도면이다.

도 1c는 도 1a의 교류 타입 쉬프트 레지스터에 대한 타이밍도를 예시한 도면이다.

도 2a는 교류 타입 쉬프트 레지스터에 대한 출력단을 예시한 도면이다.

도 2b는 직류 타입 쉬프트 레지스터에 대한 출력단을 예시한 도면이다.

도 3a는 아몰퍼스 실리콘이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 회로를 예시한 도면이다.

도 3b는 옥사이드 실리콘이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 회로를 예시한 도면이다.

도 4는 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터를 도시한 블록도이다.

도 5는 도 4의 직류 타입 쉬프트 레지스터에 대한 회로를 예시한 도면이다.

도 6a는 도 5의 충전 구간에 대한 회로의 동작을 예시한 도면이다.

도 6b는 도 5의 부트스트랩 구간에 대한 회로의 동작을 예시한 도면이다.

도 6c는 도 5의 충전 유지 구간에 대한 회로의 동작을 예시한 도면이다.

도 6d는 도 5의 방전 구간에 대한 회로의 동작을 예시한 도면이다.

도 6e는 도 5의 네 개의 구간에 대한 타이밍도를 예시한 도면이다.

도 7은 본 발명의 실시예에 따른 직류 타입 구동 장치를 도시한 블록도이다.

도 8은 본 발명의 다른 실시예에 따른 직류 타입 구동 장치를 도시한 블록도이다.

도 9a는 도 8의 16개 쉬프트 레지스터를 포함하는 직류 타입 구동 장치에 대한 회로를 예시한 도면이다.

도 9b는 도 9a의 16개 쉬프트 레지스터에 기초하여 문턱 전압이 음수 값일 때 출력 파형을 예시한 도면한 도면이다.

도 9c는 도 9a의 16개 쉬프트 레지스터에 기초하여 문턱 전압이 10V 증가 했을 때 출력 파형을 예시한 도면이다.

도 10은 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터의 동작 방법을 도시한 흐름도이다.

도 11은 본 발명의 실시예에 따른 직류 타입 구동 장치의 동작 방법을 도시한 흐름도이다.

도 12는 본 발명의 다른 실시예에 따른 직류 타입 구동 장치의 동작 방법을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [0033] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0034] 도 1a는 교류 타입 구동 장치를 예시한 블록도이고, 도 1b는 도 1a의 교류 타입 쉬프트 레지스터 회로를 예시한 도면이며, 도 1c는 도 1a의 교류 타입 쉬프트 레지스터에 대한 타이밍도를 예시한 도면이다.
- [0035] 도 1a를 참조하면, 교류(AC, alternating current) 타입 구동 장치는 복수 개의 교류 타입 쉬프트 레지스터(shift register), 전원 공급부(도시되지 않음) 및 클럭 발생부(도시되지 않음)를 포함한다.
- [0036] 각각의 교류 타입 쉬프트 레지스터는 도 1b에 도시된 바와 같이, 복수 개의 박막트랜지스터(TFT, thin film transistor)(N1 내지 N8)를 포함할 수 있고, 출력단에 풀업 박막트랜지스터(pull-up TFT)(N7)와 클럭 신호(CLK)가 연결될 수 있다.
- [0037] 전원 공급부는 복수 개의 박막트랜지스터를 포함하는 각 교류 타입 쉬프트 레지스터에게 교류 타입의 전원을 공급할 수 있다.
- [0038] 클럭 발생부는 클럭 신호를 각각의 교류 타입 쉬프트 레지스터의 풀업 박막트랜지스터(N7)와 연결된 출력단에 공급할 수 있다.
- [0039] 여기서, 교류 타입 쉬프트 레지스터는 풀업 박막트랜지스터(N7)의 부트스트래핑(bootstrapping) 효과를 이용하여 Q 노드(Q[n])에 대한 전압을 높일 수 있고, 출력의 펄스폭에 대한 자유도가 커질 수 있다.
- [0040] 예를 들어 도 1c를 참조하면, 교류 타입 쉬프트 레지스터는 클럭 발생부를 통하여 원하는 라인에 클럭 신호를 제공할 수 있고, Q 노드의 플로팅(floating) 상태에서 라이징 트랜지션(rising transition)이 발생되어 부트스트래핑 효과가 발생될 수 있으며, 부트스트래핑 효과에 의해 Q 노드에 대한 전압이 전원 레벨보다 높아져 출력 신호에 대한 전압(G[n])과 전원 레벨을 맞출 수 있다.
- [0041] 한편, 교류 타입 쉬프트 레지스터는 클럭 신호에 존재하는 용량성 부하(capacitive load)로 인하여 풀업 박막트랜지스터의 전력 소모가 증가하는 문제점이 존재한다. 이하, 전술한 문제점을 개선시키기 위해 도 2a, 도 2b, 도 3a 및 도 3b를 참조하여 고정 전압의 직류(DC, direct current) 타입 전원이 연결되는 직류 타입 쉬프트 레지스터를 상세히 설명하기로 한다.
- [0042] 도 2a는 교류 타입 쉬프트 레지스터에 대한 출력단을 예시한 도면이고, 도 2b는 직류 타입 쉬프트 레지스터에 대한 출력단을 예시한 도면이다.

- [0043] 도 2a를 참조하면, 교류 타입 쉬프트 레지스터의 장점은 풀업 박막트랜지스터의 부트스트랩핑 효과를 이용하여 Q 노드에 대한 전압을 높일 수 있고, 출력의 펄스폭에 대한 자유도가 커질 수 있다.
- [0044] 한편, 교류 타입 쉬프트 레지스터는 클럭 신호에 존재하는 용량성 부하(capacitive load)로 인하여 풀업 박막트랜지스터의 전력 소모가 증가할 수 있다.
- [0045] 도 2b를 참조하면, 직류 타입 쉬프트 레지스터의 장점은 출력단에 고정 전압의 직류 타입 전원(VGH)을 연결하여 클럭 신호에 존재하는 용량성 부하를 줄일 수 있어, 전력 소모를 줄일 수 있다.
- [0046] 직류 타입 쉬프트 레지스터는 Q 노드의 전압을 부트스트랩핑하기 위해 별도의 부트스트랩 캐패시터(bootstrap capacitor)가 존재할 수 있다.
- [0047] 또한, 직류 타입 쉬프트 레지스터의 단점은 박막트랜지스터의 개수가 증가할 수 있으므로, 복수 개 박막트랜지스터에 인하여 발생하는 전력 소모가 증가할 수 있고, 회로의 면적이 커질 수 있다.
- [0048] 도 3a는 아몰퍼스 실리콘이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 회로를 예시한 도면이고, 도 3b는 옥사이드 실리콘이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 회로를 예시한 도면이다.
- [0049] 도 3a 및 도 3b를 참조하면, 아몰퍼스 실리콘(a-si, amorphous silicon)이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 회로(종래기술 1)는 11개의 박막트랜지스터(도 3a의 M1 내지 M11)가 포함될 수 있고, 옥사이드 실리콘(oxide silicon)이 포함된 박막트랜지스터를 이용한 직류 타입 쉬프트 레지스터 회로(종래기술 2)는 22개의 박막트랜지스터(도 3b의 N1 내지 N22)가 포함될 수 있다.
- [0050] 종래기술 1 및 종래기술 2는 클럭 신호에 존재하는 용량성 부하를 줄여 클럭 신호단의 전력 소모를 줄일 수 있다.
- [0051] 그러나, 종래기술 1 및 종래기술 2는 11개 및 22개 등 많은 박막트랜지스터를 사용하여 여전히 전력 소모가 증가하는 문제점이 존재할 수 있고, 이웃하는 박막트랜지스터에서 존재하는 출력 신호들 간의 오버랩(overlap) 조절이 어려운 문제점이 존재할 수 있다.
- [0052] 이하에서는 교류 타입 쉬프트 레지스터의 클럭 신호에 인하여 발생하는 전력 소모와 직류 타입의 복수 개 박막트랜지스터에 인하여 발생하는 전력 소모를 줄이고, 직류 타입 쉬프트 레지스터에서 출력 신호들 간에 오버랩을 조절하는 본 발명의 실시예를 상세히 설명하기로 한다.
- [0053] 도 4는 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터를 도시한 블록도이다.
- [0054] 도 4를 참조하면, 직류 타입 쉬프트 레지스터(400)는 충전부(410), 부트스트랩부(420), 충전 유지부(430) 및 방전부(440)를 포함한다. 여기서, 직류 타입 쉬프트 레지스터(400)의 충전부(410), 부트스트랩부(420), 충전 유지부(430) 및 방전부(440)는 복수의 스위칭 TFT(thin film transistor)와 부트스트랩 캐패시터를 이용하여 동작할 수 있다.
- [0055] 도 5는 도 4의 직류 타입 쉬프트 레지스터에 대한 회로를 예시한 도면이다.
- [0056] 도 5를 참조하면, 직류 타입 쉬프트 레지스터(400)에 대한 회로는 옥사이드 실리콘(oxide silicon)을 포함하는 제1 내지 제9 스위칭 TFT(thin film transistor) (T1, T2, ..., T9), 제3 보조 스위칭 TFT(T3a) 및 제4 보조 스위칭 TFT(T4a)와 부트스트랩 캐패시터(C1)를 이용하여 게이트 하이 전압(VGH), 제1 게이트 로우 전압(VGL1) 및 제2 게이트 로우 전압(VGL2)을 선택적으로 공급하는 것을 특징으로 할 수 있다.
- [0057] 또한, 직류 타입 쉬프트 레지스터(400)는 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2), 제1 클럭 반전 신호(CLK1b) 및 제2 클럭 반전 신호(CLK2b) 등 4개의 클럭 신호와 게이트 하이 전압(VGH), 제1 게이트 로우 전압(VGL1) 및 제2 게이트 로우 전압(VGL2) 등 직류 타입의 전원에 의해 제1 내지 제9 스위칭 TFT(T1, T2, ..., T9), 제3 보조 스위칭 TFT(T3a) 및 제4 보조 스위칭 TFT(T4a)와 부트스트랩 캐패시터(C1)를 동작할 수 있고, 4가지 동작 구간(충전 구간, 부트스트랩 구간, 충전 유지 구간 및 방전 구간 등)으로 구분하여 동작할 수 있다.
- [0058] 여기서, 제1 게이트 로우 전압(VGL1)은 제8 스위칭 TFT(T8) 및 제9 스위칭 TFT(T9)가 온전히 턴오프되기 위한

공핍 모드를 고려하기 때문에, 제2 게이트 로우 전압(VGL2)보다 더 낮은 전압일 수 있다.

- [0059] 예를 들어, 제3 스위칭 TFT(T3)와 직렬로 연결되는 제3 보조 스위칭 TFT(T3a)에 기반하여, 제1 게이트 로우 전압(VGL1)은 제2 게이트 로우 전압(VGL2)보다 더 낮은 전압일 수 있다.
- [0060] 보다 상세하게는, 직류 타입 쉬프트 레지스터(400)는 제3 보조 스위칭 TFT(T3a)가 게이트 하이 전압(VGH) 레벨로 유지되기 때문에, 제1 노드(Q[n])의 플로팅 상태에서 제1 게이트 로우 전압(VGL1)으로 누설 전압이 발생되지 않도록 방지할 수 있다.
- [0061] 따라서, 직류 타입 쉬프트 레지스터(400)는 제3 보조 스위칭 TFT(T3a)가 공핍 모드일 경우라도 제1 노드(Q[n])를 게이트 하이 전압(VGH) 레벨로 유지할 수 있다.
- [0062] 도 5에 도시된 바와 같이, 제1 스위칭 TFT(T1)는 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호(Q[n-1])에 의해 스위칭되고, 제1 스위칭 TFT(T1)의 일단은 제1 클럭 신호에 연결되며, 타단은 제1 노드(Q[n])에 연결될 수 있다.
- [0063] 제2 스위칭 TFT(T2)는 제2 클럭 반전 신호(CLK2b)에 의해 스위칭되고, 제2 스위칭 TFT(T2)의 일단은 제1 클럭 반전 신호(CLK1b)에 연결되며, 타단은 제3 스위칭 TFT(T3)에 연결될 수 있다.
- [0064] 제3 스위칭 TFT(T3)는 제2 스위칭 TFT(T2)로부터 인가되는 반전 신호(A[n])에 의해 스위칭되고, 제3 스위칭 TFT(T3) 일단은 제2 노드(B[n])에 연결되며, 타단은 제1 게이트 로우 전압(VGL1)에 연결될 수 있다.
- [0065] 제3 보조 스위칭 TFT(T3)는 제2 스위칭 TFT(T2)로부터 인가되는 반전 신호(A[n])에 의해 스위칭되고, 제3 보조 스위칭 TFT(T3a) 일단은 제1 노드(Q[n])에 연결되며, 타단은 제2 노드(B[n])에 연결될 수 있다.
- [0066] 또한, 제3 보조 스위칭 TFT(T3)는 문턱 전압이 음수일 때도 제1 노드(Q[n])를 플로팅(floating) 상태로 유지할 수 있다.
- [0067] 제4 보조 스위칭 TFT(T4a)는 제1 노드(Q[n])에 의해 스위칭되고, 제4 보조 스위칭 TFT(T4a) 일단은 게이트 하이 전압(VGH)에 연결되며, 타단은 제4 노드(D[n])에 연결될 수 있다.
- [0068] 제4 스위칭 TFT(T4)는 제4 노드(D[n])에 의해 스위칭되고, 제4 스위칭 TFT(T4)의 일단은 게이트 하이 전압(VGH)에 연결되며, 타단은 제3 노드(Qb[n])에 연결될 수 있다.
- [0069] 제5 스위칭 TFT(T5)는 제1 노드(Q[n])에 의해 스위칭되고, 제5 스위칭 TFT(T5)의 일단은 제3 노드(Qb[n])에 연결되며, 타단은 제1 게이트 로우 전압(VGL1)에 연결될 수 있다.
- [0070] 제6 스위칭 TFT(T6)은 제1 노드(Q[n])에 의해 스위칭되고, 제6 스위칭 TFT(T6)의 일단은 제2 클럭 신호(CLK2)에 연결되며, 타단은 제2 노드(B[n])에 연결될 수 있다.
- [0071] 제7 스위칭 TFT(T7)은 제3 노드(Qb[n])에 의해 스위칭되고, 제7 스위칭 TFT(T7)의 일단은 제2 노드(B[n])에 연결되며, 타단은 제1 게이트 로우 전압(VGL1)에 연결될 수 있다.
- [0072] 제8 스위칭 TFT(T8)는 제1 노드(Q[n])에 의해 스위칭되고, 제8 스위칭 TFT(T8)의 일단은 게이트 하이 전압(VGH)에 연결되며, 타단은 제9 스위칭 TFT(T9)에 연결될 수 있다.
- [0073] 제9 스위칭 TFT(T9)는 제3 노드(Qb[n])에 의해 스위칭되고, 제9 스위칭 TFT(T9) 일단은 제8 스위칭 TFT(T8)에 연결되며, 타단은 제2 게이트 로우 전압(VGL2)에 연결될 수 있다. 이 때, 출력 신호(V_g[n])는 제8 스위칭 TFT(T8) 타단과 제9 스위칭 TFT(T9) 일단 사이에 존재할 수 있다.
- [0074] 부트스트랩 캐패시터(C1)의 일단은 제1 노드(Q[n])에 연결되고, 타단은 제2 노드(B[n])에 연결될 수 있다.
- [0075] 여기서, 제1 노드(Q[n])는 제1 스위칭 TFT(T1), 제3 보조 스위칭 TFT(T3a), 제4 보조 스위칭 TFT(T4a), 제5 스위칭 TFT(T5), 제6 TFT 스위칭 TFT(T6), 제8 스위칭 TFT 및 부트스트랩 캐패시터(C1)와 연결될 수 있다.
- [0076] 또한, 제2 노드(B[n])는 제3 스위칭 TFT(T3), 제3 보조 스위칭 TFT(T3a), 제6 스위칭 TFT(T6), 제7 스위칭 TFT(T7) 및 부트스트랩 캐패시터(C1)와 연결될 수 있다.
- [0077] 또한, 제3 노드(Qb[n])는 제4 스위칭 TFT(T4), 제5 스위칭 TFT(T5), 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)와 연결될 수 있고, 제4 노드(D[n])은 제4 보조 스위칭 TFT(T4a)와 제4 스위칭 TFT(T4)에 연결될 수 있다.

- [0078] 이하, 도 6a 내지 도 6e를 참조하여 직류 타입 쉬프트 레지스터(400)를 동작 구간별로 상세히 설명하기로 한다.
- [0079] 도 6a는 도 5의 충전 구간에 대한 회로의 동작을 예시한 도면이다.
- [0080] 도 6a를 참조하면, 충전부(410)는 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호($Q[n-1]$)와 제1 클럭 신호(CLK1)에 의해 제1 노드($Q[n]$)를 게이트 하이 전압(VGH) 레벨로 충전한다.
- [0081] 예를 들어, 직류 타입 쉬프트 레지스터(400)가 첫번째 시작하는 레지스터인 경우, 충전부(410) 개시 신호와 제1 클럭 신호(CLK1)에 의해 제1 노드($Q[n]$)를 게이트 하이 전압(VGH) 레벨로 충전할 수 있다.
- [0082] 또한, 직류 타입 쉬프트 레지스터(400)가 첫번째 시작하는 레지스터가 아닌 경우, 충전부(410) 직전단 쉬프트 레지스터의 구동 신호($Q[n-1]$)와 제1 클럭 신호(CLK1)에 의해 제1 노드($Q[n]$)를 게이트 하이 전압 레벨(VGH)로 충전할 수 있다.
- [0083] 여기서, n 은 1이상 N 이하의 자연수이고, 직류 타입 쉬프트 레지스터(400)는 n 번째 레지스터이며, 전체 쉬프트 레지스터의 개수는 N 이다.
- [0084] 실시예에 따르면, 충전부(410)는 제1 스위칭 TFT(T1), 제4 보조 스위칭 TFT(T4a), 제5 스위칭 TFT(T5), 제6 스위칭 TFT(6), 제8 스위칭 TFT(T8) 및 부트스트랩 캐패시터(C1)을 포함할 수 있다.
- [0085] 예를 들어, 충전부(410)는 제1 스위칭 TFT(T1), 제4 보조 스위칭 TFT(T4a), 제5 스위칭 TFT(T5), 제6 스위칭 TFT(6), 제8 스위칭 TFT(T8)가 턴온(turn on)되어 제1 노드를 게이트 하이 전압(VGH) 레벨로 충전할 수 있다. 이 때, 제3 보조 스위칭 TFT(T3a), 제3 스위칭 TFT(T3), 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)는 턴오프(turn off)된다.
- [0086] 보다 상세하게는, 충전부(410)는 제1 스위칭 TFT(T1)가 턴온(turn on)되어 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호($Q[n-1]$)와 제1 클럭 신호(CLK1)를 제1 노드($Q[n]$)에 공급하고, 제3 스위칭 TFT(T3)와 직렬로 연결되는 제3 보조 스위칭 TFT(T3a)가 턴오프(turn off)되어 제1 노드($Q[n]$)를 게이트 하이 전압(VGH) 레벨로 충전하며, 충전된 제1 노드($Q[n]$)에 의해 제6 스위칭 TFT(T3)가 턴온되어 제1 노드($Q[n]$)와 제2 노드($B[n]$) 사이에 존재하는 부트스트랩 캐패시터(C1)를 게이트 하이 전압(VGH) 레벨로 충전하고, 충전된 제1 노드($Q[n]$)에 의해 제4 보조 스위칭 TFT(T4a), 제4 스위칭 TFT(T4) 및 제5 스위칭 TFT(T5)가 턴온되어 제3 노드($Qb[n]$)를 제1 게이트 로우 전압(VGL1) 레벨로 방전할 수 있다. 이 때, 제2 노드($B[n]$)는 충전된 제1 노드($Q[n]$)에 의해 제6 스위칭 TFT(T6)가 턴온되어 제1 게이트 로우 전압(VGL1) 레벨이 될 수 있다.
- [0087] 또한, 충전부(410)는 방전된 제3 노드($Qb[n]$)에 의해 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)가 턴오프되고, 충전된 제1 노드($Q[n]$)에 의해 제8 스위칭 TFT(T8)가 턴온되어 상기 출력 신호($V_g[n]$)를 충전하되, 출력 신호($V_g[n]$)는 게이트 하이 전압(VGH) 레벨과 제8 스위칭 TFT의 문턱 전압(V_{TH8}) 간의 차이로 충전될 수 있다.
- [0088] 실시예에 따르면, 교류 타입 쉬프트 레지스터인 경우, 출력단에 클럭 신호와 연결되는 반면, 본 발명의 직류 타입 쉬프트 레지스터(400)의 출력단은 직류 타입의 전원과 연결된다.
- [0089] 따라서, 직류 타입 쉬프트 레지스터(400)는 출력단에 고정 전압의 직류 타입 전원을 연결하여 클럭 신호에 인하여 발생하는 전력의 소모를 줄일 수 있다.
- [0090] 도 6b는 도 5의 부트스트랩 구간에 대한 회로의 동작을 예시한 도면이다.
- [0091] 도 6b를 참조하면, 부트스트랩부(420)는 제1 클럭 신호(CLK1)보다 선정된 지연을 갖는 제2 클럭 신호(CLK2)에 의해 게이트 하이 전압(VGH) 레벨로 충전된 제1 노드($Q[n]$)를 상기 게이트 하이 전압(VGH) 레벨 이상으로 부트스트랩핑한다.
- [0092] 선정된 지연은 제1 노드($Q[n]$)에서 출력되는 출력 신호($V_g[n]$)와 직후단 쉬프트 레지스터의 구동 신호($V_g[n+1]$) 간에 오버랩핑되는 시간(T_d)일 수 있고, 제1 클럭 신호(CLK1)의 시간과 제2 클럭 신호(CLK2) 시간의 차(T_d)일 수 있다.
- [0093] 실시예에 따르면, 부트스트랩부(420)는 제4 보조 스위칭 TFT(T4a), 제4 스위칭 TFT(T4), 제5 스위칭 TFT(T5),

제6 스위칭 TFT(T6), 제8 스위칭 TFT(T8) 및 부트스트랩 캐패시터(C1)을 포함할 수 있다.

- [0094] 예를 들어, 부트스트랩부(420)는 제4 보조 스위칭 TFT(T4a), 제4 스위칭 TFT(T4), 제5 스위칭 TFT(T5), 제6 스위칭 TFT(T6), 제8 스위칭 TFT(T8)가 턴온되어 제1노드(Q[n])를 부트스트랩핑하여 게이트 하이 전압(VGH) 레벨 이상으로 충전할 수 있다. 이 때, 제1 스위칭 TFT 내지 제3 스위칭 TFT(T1 내지 T3), 제3 보조 스위칭 TFT(T3a) 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)는 제1 게이트 로우 전압(VGL1) 또는 제2 게이트 로우 전압(VGL2) 레벨이므로 턴오프된다.
- [0095] 보다 상세하게는, 부트스트랩부(420)는 제1 스위칭 TFT(T1)와 제3 보조 스위칭 TFT(T3a)가 턴오프되어 충전된 제1 노드(Q[n])를 플로팅(floating)하고, 제6 스위칭 TFT(T6)가 턴온되어 제2 클럭 신호(CLK2)를 제2 노드(B[n])에 공급하며, 부트스트랩 캐패시터(C1)에 의해 플로팅된 제1노드(Q[n])를 부트스트랩핑하여 게이트 하이 전압 레벨(VGH) 이상으로 충전하고, 부트스트랩핑된 제1 노드(Q[n])에 의해 제8 스위칭 TFT(T8)가 턴온되어 출력 신호를 게이트 하이 전압(VGH) 레벨로 충전할 수 있다.
- [0096] 본 발명의 일측에 따르면, 제1 노드(Q[n])와 연결되는 제3 보조 스위칭 TFT(T3a) 일단은 제3 보조 스위칭 TFT(T3a) 타단의 제2 클럭신호의 높은 전압이 연결되기 때문에, 음수의 문턱 전압일 때도 완벽하게 턴오프될 수 있다.
- [0097] 도 6c는 도 5의 충전 유지 구간에 대한 회로의 동작을 예시한 도면이다.
- [0098] 도 6c를 참조하면, 충전 유지부(430)는 제2 클럭 신호(CLK2)가 공급되는 동안에 부트스트랩핑된 제1 노드(Q[n])에서 출력되는 출력 신호($V_g[n]$)를 게이트 하이 전압(VGH) 레벨로 유지한다.
- [0099] 충전 유지부(430)에서 각각의 스위칭 TFT(T1 내지 T9, T3a 및 T4a)의 동작은 부트스트랩부(430)에서 스위칭 TFT(T1 내지 T9, T3a 및 T4a)의 동작과 동일할 수 있다.
- [0100] 따라서, 본 발명의 직류 타입 쉬프트 레지스터(400)는 회로 변경이 없이 제1 클럭 신호(CLK1)와 제2 클럭 신호(CLK2)의 타이밍에 의해 출력 신호($V_g[n]$)와 직후단 쉬프트 레지스터의 구동 신호($V_g[n+1]$) 간의 오버래핑 시간을 조절할 수 있다.
- [0101] 도 6d는 도 5의 방전 구간에 대한 회로의 동작을 예시한 도면이다.
- [0102] 도 6d를 참조하면, 방전부(440)는 제1 클럭 반전 신호(CLK1b) 및 제2 클럭 반전 신호(CLK2b)에 의해 부트스트랩핑된 제1 노드(Q[n])를 제1 게이트 로우 전압(VGL1)로 방전하고 출력 신호($V_g[n]$)를 제2 게이트 로우 전압(VGL1) 레벨로 방전한다.
- [0103] 여기서, 제1 클럭 반전 신호(CLK1b)는 제1 클럭 신호(CLK1)에 대한 반전 신호이고, 제2 클럭 반전 신호(CLK2b)는 제2 클럭 신호(CLK2)에 대한 반전 신호이다.
- [0104] 실시예에 따르면, 방전부(440)는 제2 스위칭 TFT 내지 제4 스위칭 TFT(T2 내지 T4), 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)를 포함할 수 있다.
- [0105] 예를 들어, 방전부(440)는 제2 스위칭 TFT 내지 제4 스위칭 TFT(T2 내지 T4), 제3 보조 스위칭 TFT(T3a), 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)가 턴온되어 부트스트랩핑된 제1 노드(Q[n]) 및 출력 신호($V_g[n]$)를 방전할 수 있다. 이 때, 제1 스위칭 TFT(T1), 제4 보조 스위칭 TFT(T4a), 제5 스위칭 TFT(T5), 제6 스위칭 TFT(T6) 및 제8 스위칭 TFT(T8)는 턴오프된다.
- [0106] 보다 상세하게는, 방전부(440)는 제2 스위칭 TFT(T2)가 턴온되어 제1 클럭 반전 신호(CLK1b) 및 제2 클럭 반전 신호(CLK2b)를 제3 스위칭 TFT(T3) 및 제3 보조 스위칭 TFT(T3)에게 공급하고, 제3 스위칭 TFT(T3) 및 제3 보조 스위칭 TFT(T3a)가 턴온되어 제1 노드(Q[n])를 제1 게이트 로우 전압(VGL1) 레벨로 방전하며, 제1 게이트 로우 전압(VGL1) 레벨로 방전된 제1 노드(Q[n])에 의해 제4 보조 스위칭 TFT(T4a), 제5 스위칭 TFT(T5), 제6 스위칭 TFT(T6) 및 제8 스위칭 TFT(T8)가 턴오프되고, 제4 보조 스위칭 TFT(T4a) 및 제5 스위칭 TFT(T5)가 턴오프되어 제4 노드(D[n])를 플로팅하며, 플로팅된 제4 노드를 부트스트랩핑하여 게이트 하이 전압(VGH) 레벨 이상으로 충전하고, 부트스트랩핑된 제4 노드(D[n])에 의해 제4 스위칭 TFT(T4)가 턴온되어 제3 노드(Qb[n])를 게이트

트 하이 전압(VGH) 레벨로 충전하며, 충전된 제3 노드(Qb[n])에 의해 제7 스위칭 TFT(T7) 및 제9 스위칭 TFT(T9)가 턴온되어 제2 노드(B[n])를 제1 게이트 로우 전압(VGL1) 레벨로 방전하고 출력 신호($V_g[n]$)를 제2 게이트 로우 전압(VGL2) 레벨로 방전할 수 있다.

[0107] 여기서, 방전부(440)는 제4 보조 스위칭 TFT(T4a) 및 제5 스위칭 TFT(T5)가 턴오프되어 제4 노드(d[n])를 플로팅되기 때문에, 제3 노드(Qb[n])의 라이징(rising) 부트스트랩핑을 통하여 제4 노드(d[n])를 게이트 하이 전압(VGH) 레벨 이상으로 충전할 수 있다.

[0108] 따라서, 방전부(440)는 제4 스위칭 TFT(T4)와 제5 스위칭 TFT(T5)로 구성된 인버터 회로에 연결되는 제4 보조 스위칭 TFT(T4a)를 이용하여 제3 노드(Qb[n])를 게이트 하이 전압(VGH) 레벨로 도달할 수 있다. 이 때, 제3 노드(Qb[n])가 게이트 하이 전압(VGH) 레벨로 도달되면, 제9 스위칭 TFT의 문턱 전압(V_{Th9})에 대한 이동에서 정상으로 동작할 수 있어, 회로 동작의 신뢰성을 향상시킬 수 있다.

[0109] 도 6e는 도 5의 네 개의 구간에 대한 타이밍도를 예시한 도면이다.

[0110] 도 6e를 참조하면, 직류 타입 쉬프트 레지스터(400)는 충전 구간(Q-charging), 부트스트랩 구간(Bootstrapping), 충전 유지 구간(Holding) 및 방전 구간(Q-discharging)으로 구분하여 동작할 수 있다.

[0111] 본 발명의 직류 타입 쉬프트 레지스터(400)는 도 6e에 도시된 바와 같이, 제1 클럭 신호(CLK1)와 제2 클럭 신호(CLK2)의 타이밍에 의해 출력 신호($V_g[n]$)와 직후단 쉬프트 레지스터의 구동 신호($V_g[n+1]$) 간의 오버래핑 시간을 조절할 수 있다.

[0112] 도 7은 본 발명의 실시예에 따른 직류 타입 구동 장치를 도시한 블록도이다.

[0113] 도 7을 참조하면, 직류 타입 구동 장치(700)는 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버래핑하는 N개의 쉬프트 레지스터를 포함한다.

[0114] N개의 쉬프트 레지스터에서 n번째 쉬프트 레지스터(n 은 1이상 N이하의 자연수)는 충전부(710n), 부트스트랩부(720n), 충전 유지부(730n) 및 방전부(740n)를 포함한다. 여기서, n번째 쉬프트 레지스터(700n)의 충전부(710n), 부트스트랩부(720n), 충전 유지부(730n) 및 방전부(740n)는 복수의 스위칭 TFT와 부트스트랩 캐패시터를 이용하여 동작할 수 있다.

[0115] 보다 상세하게는, n번째 쉬프트 레지스터(700n)는 옥사이드 실리콘을 포함하는 제1 내지 제9 스위칭 TFT, 제3 보조 스위칭 TFT 및 제4 보조 스위칭 TFT와 부트스트랩 캐패시터를 이용하여 게이트 하이 전압, 제1 게이트 로우 전압 및 제2 게이트 로우 전압을 선택적으로 공급하는 것을 특징으로 할 수 있다.

[0116] 또한, n번째 쉬프트 레지스터(700n)는 제1 클럭 신호, 제2 클럭 신호, 제1 클럭 반전 신호 및 제2 클럭 반전 신호 등 4개의 클럭 신호와 게이트 하이 전압, 제1 게이트 로우 전압 및 제2 게이트 로우 전압 등 직류 타입의 전원에 의해 제1 내지 제9 스위칭 TFT, 제3 보조 스위칭 TFT 및 제4 보조 스위칭 TFT와 부트스트랩 캐패시터를 동작할 수 있고, 4가지 동작 구간(충전 구간, 부트스트랩 구간, 충전 유지 구간 및 방전 구간 등)으로 구분하여 동작할 수 있다.

[0117] 여기서, n번째 쉬프트 레지스터(700n)의 각각의 구성 요소 별 동작은 전술한 도 4 및 도 5를 참조하기로 한다.

[0118] 도 8은 본 발명의 다른 실시예에 따른 직류 타입 구동 장치를 도시한 블록도이다.

[0119] 도 8을 참조하면, 직류 타입 구동 장치(800)는 복수 개의 쉬프트 레지스터(810-1, 810-2, ..., 810-N), 전원 공급부(820) 및 클럭 발생부(830)를 포함한다.

[0120] 복수 개의 쉬프트 레지스터(810-1, 810-2, ..., 810-N)는 옥사이드 실리콘을 포함하는 복수의 스위칭 TFT를 이용할 수 있다.

[0121] 보다 상세하게는, 각각의 쉬프트 레지스터(810-1, 810-2, ..., 810-N)는 옥사이드 실리콘을 포함하는 제1 내지 제9 스위칭 TFT, 제3 보조 스위칭 TFT 및 제4 보조 스위칭 TFT와 부트스트랩 캐패시터를 이용하고, 네 개의 동

작 구간(충전 구간, 부트스트랩 구간, 충전 유지 구간 및 방전 구간 등)으로 구분하여 동작할 수 있다.

- [0122] 여기서, 각각의 쉬프트 레지스터(810-1, 810-2, ..., 810-N)의 네 개의 동작 구간은 전술한 도 4 및 도 5를 참조하기로 한다.
- [0123] 전원 공급부(820)는 옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 각 쉬프트 레지스터(810-1, 810-2, ..., 810-N)에게 직류 타입의 전원을 공급한다.
- [0124] 클럭 발생부(830)는 각 쉬프트 레지스터에서 충전, 부트스트래핑, 충전 유지 및 방전 중 적어도 하나의 동작을 수행하기 위한 클럭 신호를 발생한다.
- [0125] 또한, 클럭 발생부(830)는 제1 클럭 발생부, 제2 클럭 발생부, 제1 반전 클럭 발생부 및 제2 반전 클럭 발생부를 포함할 수 있다.
- [0126] 제1 클럭 발생부는 각 쉬프트 레지스터에서 제1 노드를 게이트 하이 전압 레벨로 충전하기 위한 제1 클럭 신호를 발생할 수 있다.
- [0127] 제2 클럭 발생부는 게이트 하이 전압 레벨로 충전된 제1 노드를 게이트 하이 전압 레벨 이상으로 부트스트래핑하기 위한 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호를 발생할 수 있다.
- [0128] 선정된 지연은 제1 노드에서 출력되는 출력 신호와 직후단 쉬프트 레지스터의 구동 신호 간에 오버랩핑되는 시간일 수 있고, 제1 클럭 신호의 시간과 제2 클럭 신호 시간의 차이일 수 있다.
- [0129] 제1 반전 클럭 발생부는 제1 클럭 신호의 반전된 신호인 제1 클럭 반전 신호를 발생할 수 있고, 제2 반전 클럭 발생부는 제2 클럭 신호의 반전된 신호인 제2 클럭 반전 신호를 발생할 수 있다.
- [0130] 본 발명의 다른 실시예에 따른 구동 장치(800)는 직류 타입의 전원 및 발생된 클럭 신호가 복수 개의 쉬프트 레지스터(810-1, 810-2, ..., 810-N)에게 제공되도록 제어하는 제어부(840)를 더 포함할 수 있다.
- [0131] 제어부(840)는 선정된 지연에 의해 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑되도록 제어하고, 각 쉬프트 레지스터(810-1, 810-2, ..., 810-N)에서 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 기초하여 부트스트래핑된 제1 노드 및 구동 신호를 게이트 로우 전압 레벨로 방전되도록 제어할 수 있다.
- [0132] 보다 상세하게는, 제어부(840)는 선정된 지연에 의해 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하여 출력 시간을 증가시키도록 제어할 수 있다.
- [0133] 도 9a는 도 8의 16개 쉬프트 레지스터를 포함하는 직류 타입 구동 장치에 대한 회로를 예시한 도면이다.
- [0134] 도 9a를 참조하면, 직류 타입 구동 장치(800)는 옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 각 쉬프트 레지스터에게 직류 타입의 전원을 공급할 수 있다.
- [0135] 도 9b는 도 9a의 16개 쉬프트 레지스터에 기초하여 문턱 전압이 음수 값일 때 출력 파형을 예시한 도면이고, 도 9c는 도 9a의 16개 쉬프트 레지스터에 기초하여 문턱 전압이 10V 증가 했을 때 출력 파형을 예시한 도면이다.
- [0136] 도 9b 및 도 9c에 도시된 바와 같이, 왼쪽 상단에서 왼쪽 하단 순서로 16개 쉬프트 레지스터들의 출력 파형들이 나열되어 있다.
- [0137] 도 9b 및 도 9c를 참조하면, 본 발명의 16개 각각의 쉬프트 레지스터는 문턱 전압이 음수 값 또는 10V 증가 했을 때 정상적으로 동작함을 확인할 수 있다.
- [0138] 도 10은 본 발명의 실시예에 따른 직류 타입 쉬프트 레지스터의 동작 방법을 도시한 흐름도이다.
- [0139] 도 10을 참조하면, 직류 타입 쉬프트 레지스터는 단계 1010에서, 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 레벨로 충전한다.
- [0140] 보다 상세하게는, 직류 타입 쉬프트 레지스터는 단계 1010에서, 제1 스위칭 TFT(T1)가 턴온되어 개시 신호 또는 직전단 쉬프트 레지스터의 구동 신호와 제1 클럭 신호를 제1 노드에 공급하고, 제3 스위칭 TFT와 직렬로 연결되는 제3 보조 스위칭 TFT(T3a)가 턴오프되어 제1 노드를 게이트 하이 전압레벨로 충전하며, 충전된 제1 노드에 의해 제6 스위칭 TFT가 턴온되어 제1 노드와 제2 노드 사이에 존재하는 부트스트랩 캐패시터를 게이트 하이 전압 레벨로 충전하고, 충전된 제1 노드에 의해 제4 보조 스위칭 TFT, 제4 스위칭 TFT 및 제5 스위칭 TFT가 턴온

되어 제3 노드를 제1 게이트 로우 전압 레벨로 방전할 수 있다. 이 때, 제2 노드는 충전된 제1 노드에 의해 제6 스위칭 TFT가 턴온되어 제1 게이트 로우 전압 레벨이 될 수 있다.

[0141] 또한, 직류 타입 쉬프트 레지스터는 단계 1010에서, 방전된 제3 노드에 의해 제7 스위칭 TFT 및 제9 스위칭 TFT가 턴오프되고, 충전된 제1 노드에 의해 제8 스위칭 TFT가 턴온되어 상기 출력 신호를 충전하되, 출력 신호는 게이트 하이 전압 레벨과 제8 스위칭 TFT의 문턱 전압 간의 차이로 충전될 수 있다.

[0142] 직류 타입 쉬프트 레지스터는 단계 1020에서, 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 상기 게이트 하이 전압 레벨로 충전된 제1 노드를 상기 게이트 하이 전압 레벨 이상으로 부트스트랩핑한다.

[0143] 보다 상세하게는, 직류 타입 쉬프트 레지스터는 단계 1020에서, 제1 스위칭 TFT와 제3 보조 스위칭 TFT가 턴오프되어 충전된 제1 노드를 플로팅하고, 제6 스위칭 TFT가 턴온되어 제2 클럭 신호를 제2 노드에 공급하며, 부트스트랩 캐패시터에 의해 플로팅된 제1 노드를 부트스트랩핑하여 게이트 하이 전압 레벨 이상으로 충전하고, 부트스트랩핑된 제1 노드에 의해 제8 스위칭 TFT가 턴온되어 출력 신호를 게이트 하이 전압 레벨로 충전할 수 있다.

[0144] 선정된 지연은 제1 노드에서 출력되는 출력 신호와 직후단 쉬프트 레지스터의 구동 신호 간에 오버랩핑되는 시간일 수 있고, 제1 클럭 신호의 시간과 제2 클럭 신호 시간의 차이일 수 있다.

[0145] 직류 타입 쉬프트 레지스터는 단계 1030에서, 제2 클럭 신호가 공급되는 동안에 부트스트랩핑된 제1 노드에서 출력되는 출력 신호를 게이트 하이 전압 레벨로 유지한다.

[0146] 직류 타입 쉬프트 레지스터는 단계 1040에서, 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 부트스트랩핑된 제1 노드를 제1 게이트 로우 전압로 방전하고 출력 신호를 제2 게이트 로우 전압 레벨로 방전한다.

[0147] 여기서, 제1 클럭 반전 신호는 제1 클럭 신호에 대한 반전 신호이고, 제2 클럭 반전 신호는 제2 클럭 신호에 대한 반전 신호이다.

[0148] 실시예에 따르면, 직류 타입 쉬프트 레지스터는 단계 1040에서, 제2 스위칭 TFT가 턴온되어 제1 클럭 반전 신호 및 제2 클럭 반전 신호를 제3 스위칭 TFT 및 제3 보조 스위칭 TFT에게 공급하고, 제3 스위칭 TFT 및 제3 보조 스위칭 TFT가 턴온되어 제1 노드를 제1 게이트 로우 전압 레벨로 방전하며, 제1 게이트 로우 전압 레벨로 방전된 제1 노드에 의해 제6 스위칭 TFT 및 제8 스위칭 TFT가 턴오프되고, 제4 노드에 의해 제4 보조 스위칭 TFT가 턴온되어 제3 노드를 충전하며, 충전된 제3 노드에 의해 제7 스위칭 TFT 및 제9 스위칭 TFT(가 턴온되어 제2 노드를 제1 게이트 로우 전압 레벨로 방전하고 출력 신호를 제2 게이트 로우 전압 레벨로 방전할 수 있다.

[0149] 도 11은 본 발명의 실시예에 따른 직류 타입 구동 장치의 동작 방법을 도시한 흐름도이다.

[0150] 직류 타입 구동 장치는 서로 이웃하는 쉬프트 레지스터에 대한 구동 신호의 일부분이 오버랩핑하는 N개의 쉬프트 레지스터를 포함한다.

[0151] 도 11을 참조하면, N개의 쉬프트 레지스터에서 n번째 쉬프트 레지스터(n은 1이상 N이하의 자연수)는 단계 1110에서, 개시 신호 또는 n-1번째 쉬프트 레지스터의 n-1번째 구동 신호와 제1 클럭 신호에 의해 제1 노드를 게이트 하이 전압 레벨로 충전한다.

[0152] n번째 쉬프트 레지스터는 단계 1120에서, 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호에 의해 게이트 하이 전압 레벨로 충전된 제1 노드를 게이트 하이 전압 레벨 이상으로 부트스트랩핑한다.

[0153] n번째 쉬프트 레지스터는 단계 1130에서, 제2 클럭 신호가 공급되는 동안에 부트스트랩핑된 제1 노드에서 출력되는 n번째 구동 신호를 게이트 하이 전압 레벨로 유지한다.

[0154] n번째 쉬프트 레지스터는 단계 1140에서, 제1 클럭 반전 신호 및 제2 클럭 반전 신호에 의해 부트스트랩핑된 제1 노드를 제1 게이트 로우 전압로 방전하고 n번째 구동 신호를 제2 게이트 로우 전압 레벨로 방전한다.

[0155] 도 12는 본 발명의 다른 실시예에 따른 직류 타입 구동 장치의 동작 방법을 도시한 흐름도이다.

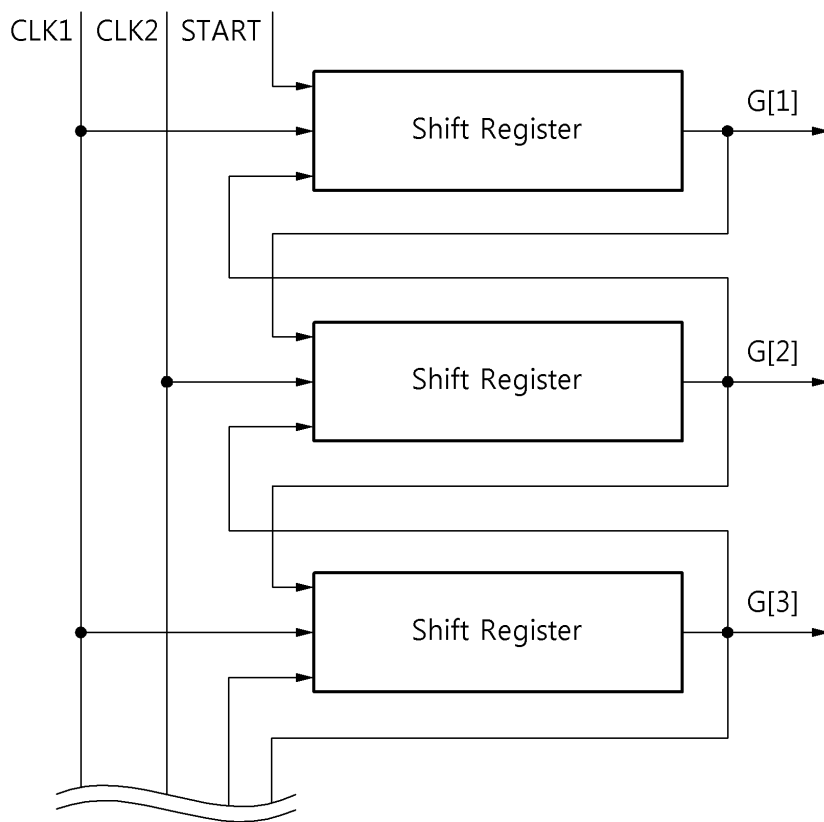
- [0156] 도 12를 참조하면, 직류 타입 구동 장치는 단계 1210에서, 옥사이드 실리콘의 특성을 고려한 선정된 개수의 스위칭 TFT 및 부트스트랩 캐패시터를 포함하는 각 쉬프트 레지스터에게 직류 타입의 전원을 공급한다.
- [0157] 직류 타입 구동 장치는 단계 1220에서, 각 쉬프트 레지스터에서 충전, 부트스트래핑, 충전 유지 및 방전 중 적어도 하나의 동작을 수행하기 위한 클럭 신호를 발생한다.
- [0158] 여기서, 클럭 신호는 각 쉬프트 레지스터에서 제1 노드를 게이트 하이 전압 레벨로 충전하기 위한 제1 클럭 신호, 게이트 하이 전압 레벨로 충전된 제1 노드를 게이트 하이 전압 레벨 이상으로 부트스트래핑하기 위한 제1 클럭 신호보다 선정된 지연을 갖는 제2 클럭 신호, 제1 클럭 신호의 반전된 신호인 제1 클럭 반전 신호 및 제2 클럭 신호의 반전된 신호인 제2 클럭 반전 신호일 수 있다.
- [0159] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0160]
- [0161] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0162]
- [0163] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

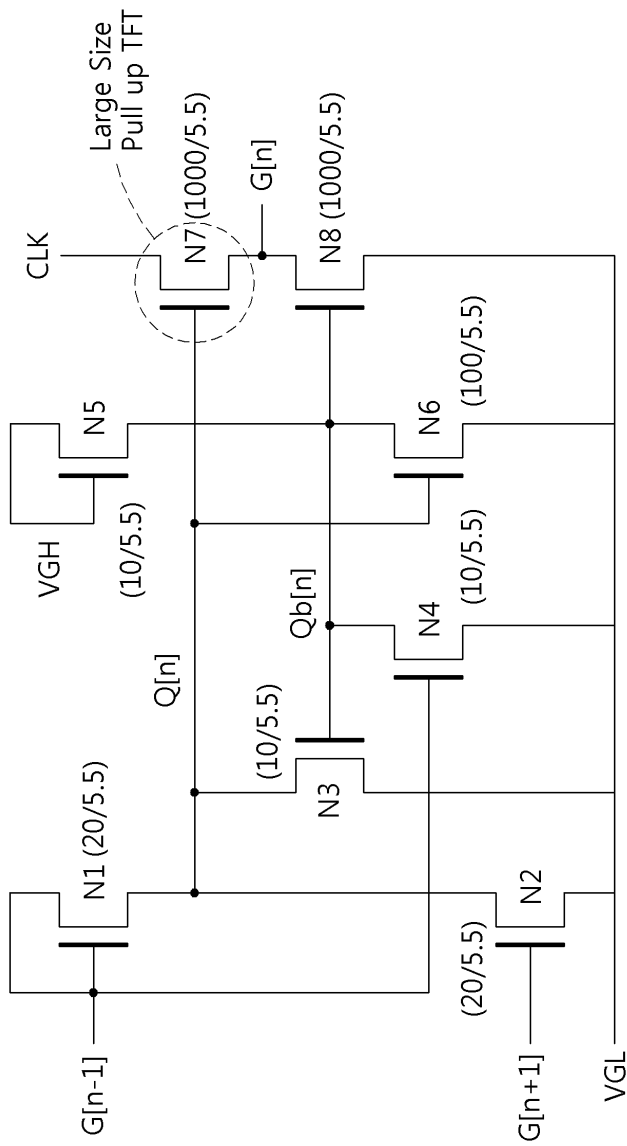
- [0164] 400: 직류 타입 쉬프트 레지스터
- 410: 충전부
- 420: 부트스트랩부
- 430: 충전 유지부
- 440: 방전부

도면

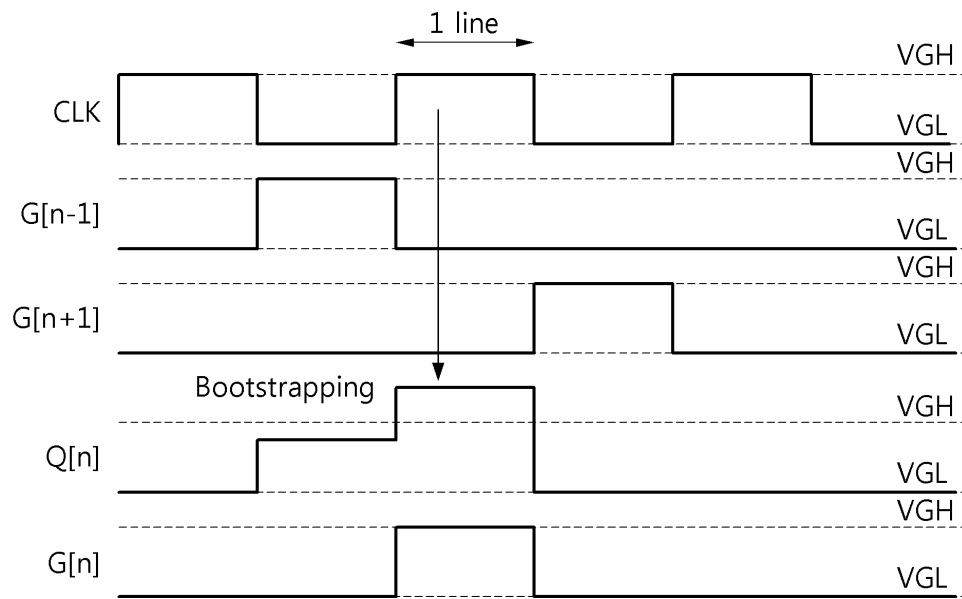
도면1a



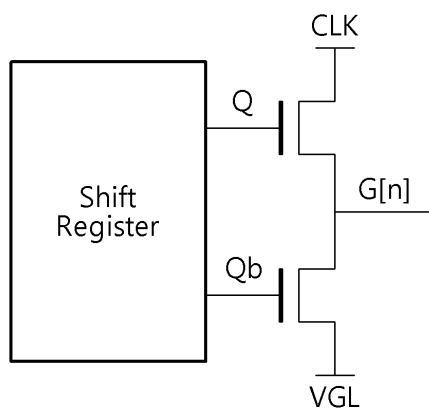
도면1b



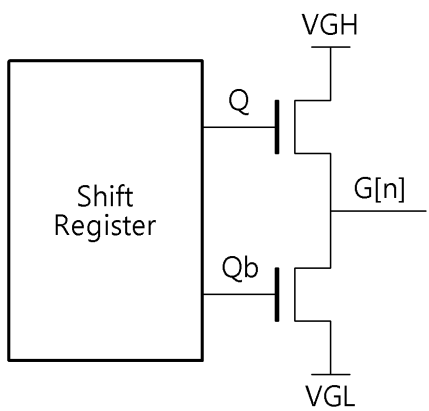
도면1c



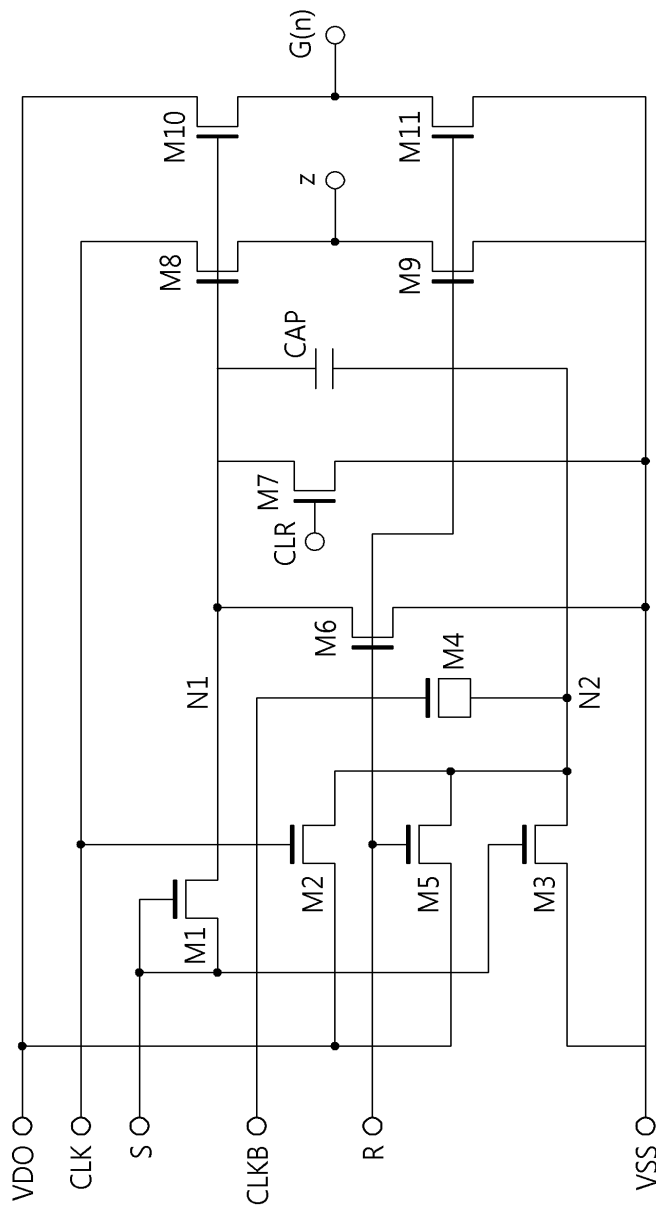
도면2a



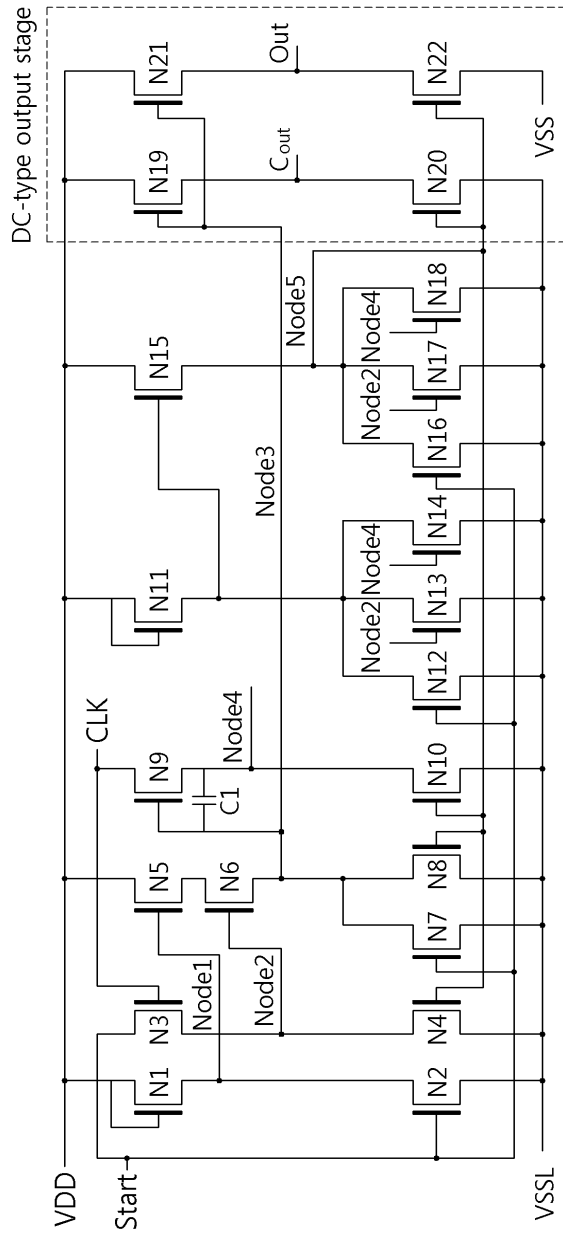
도면2b



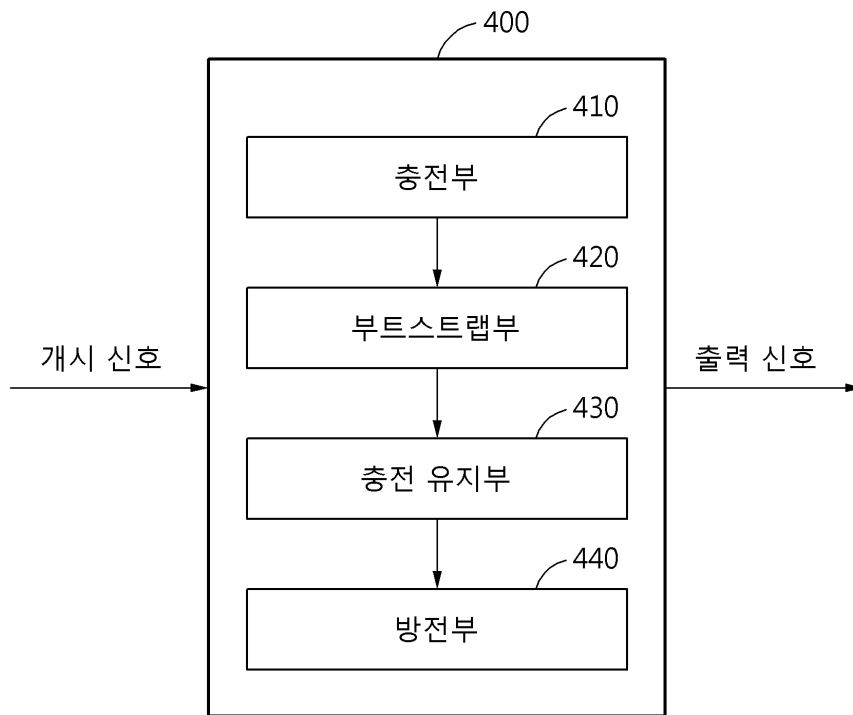
도면3a



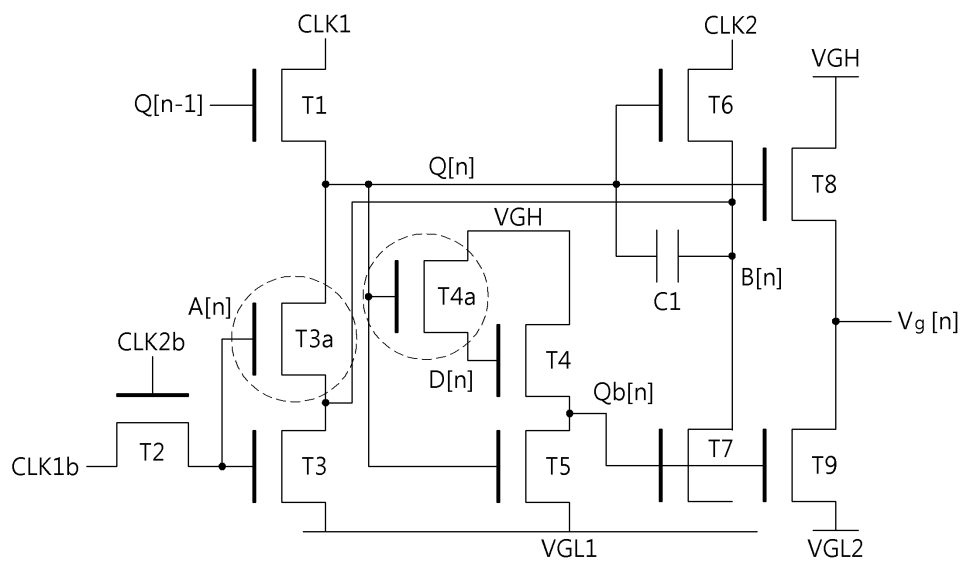
도면3b



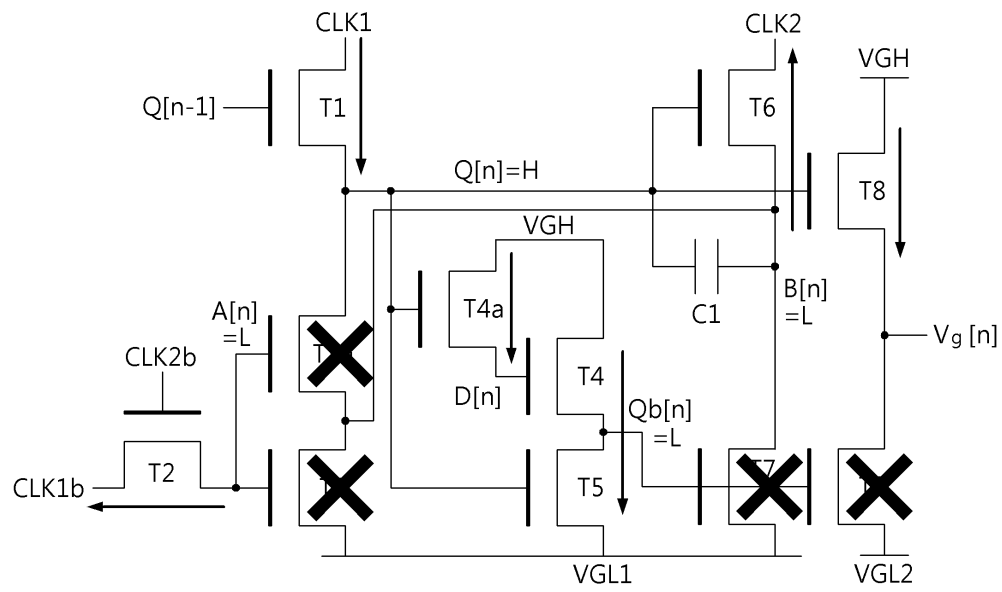
도면4



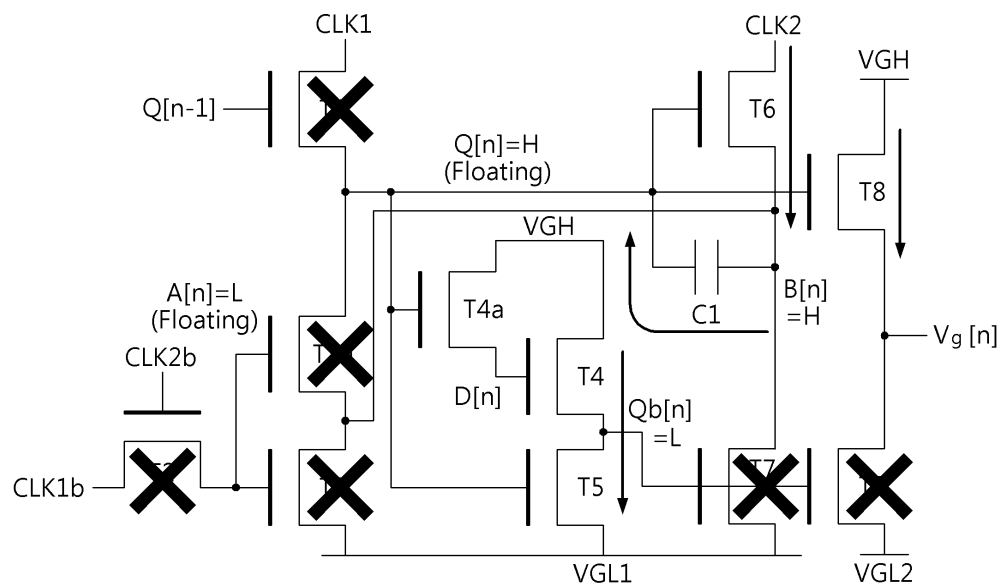
도면5



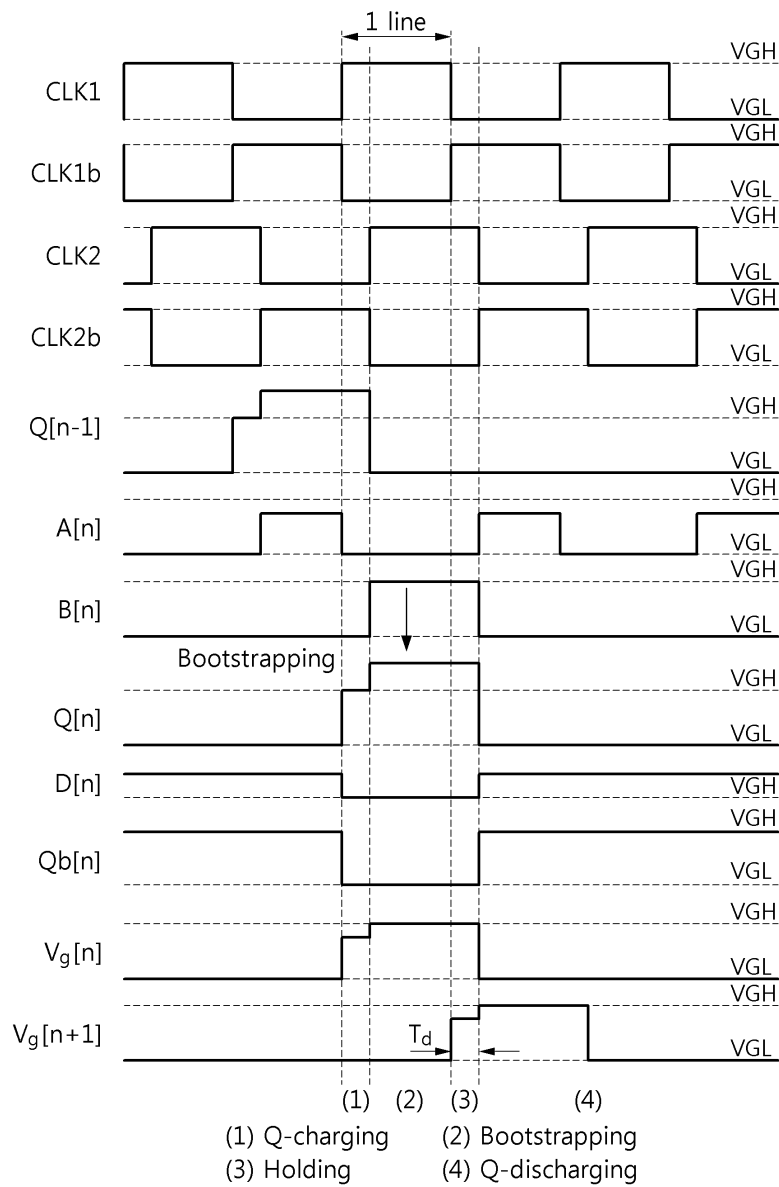
도면6a



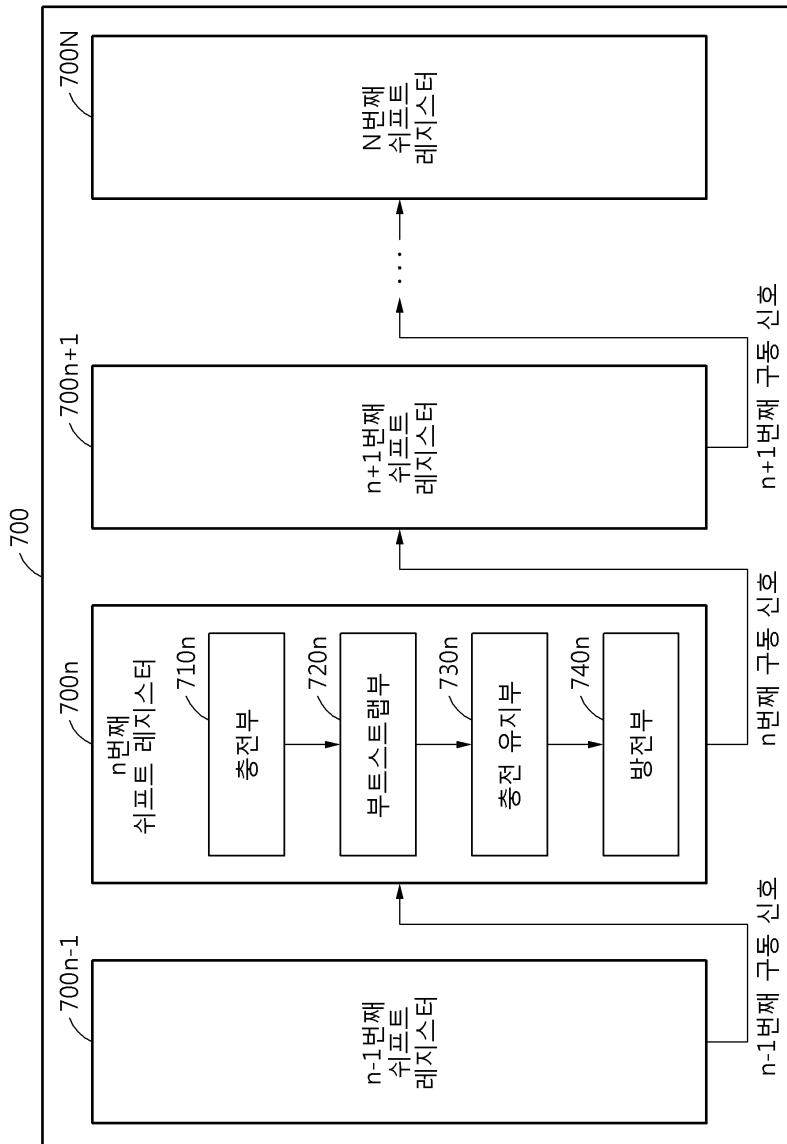
도면 6b



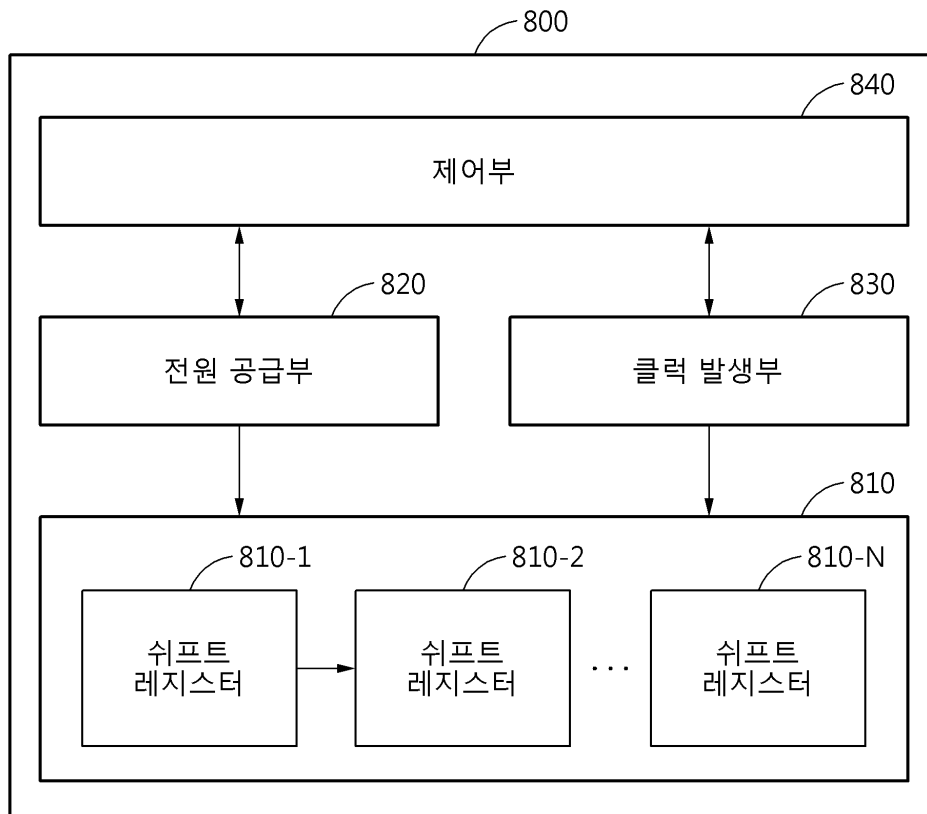
도면6e



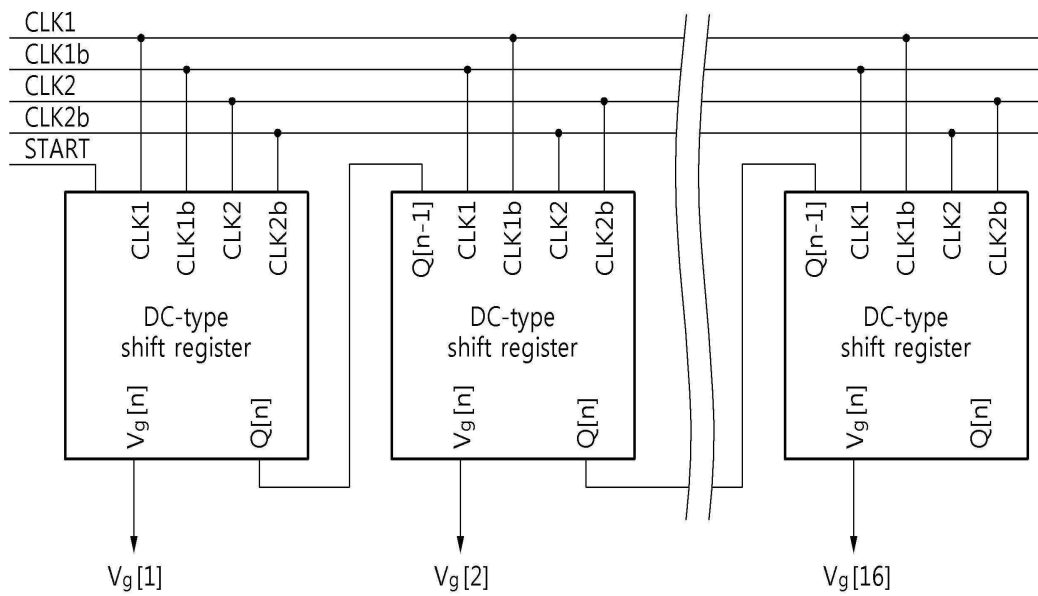
도면7



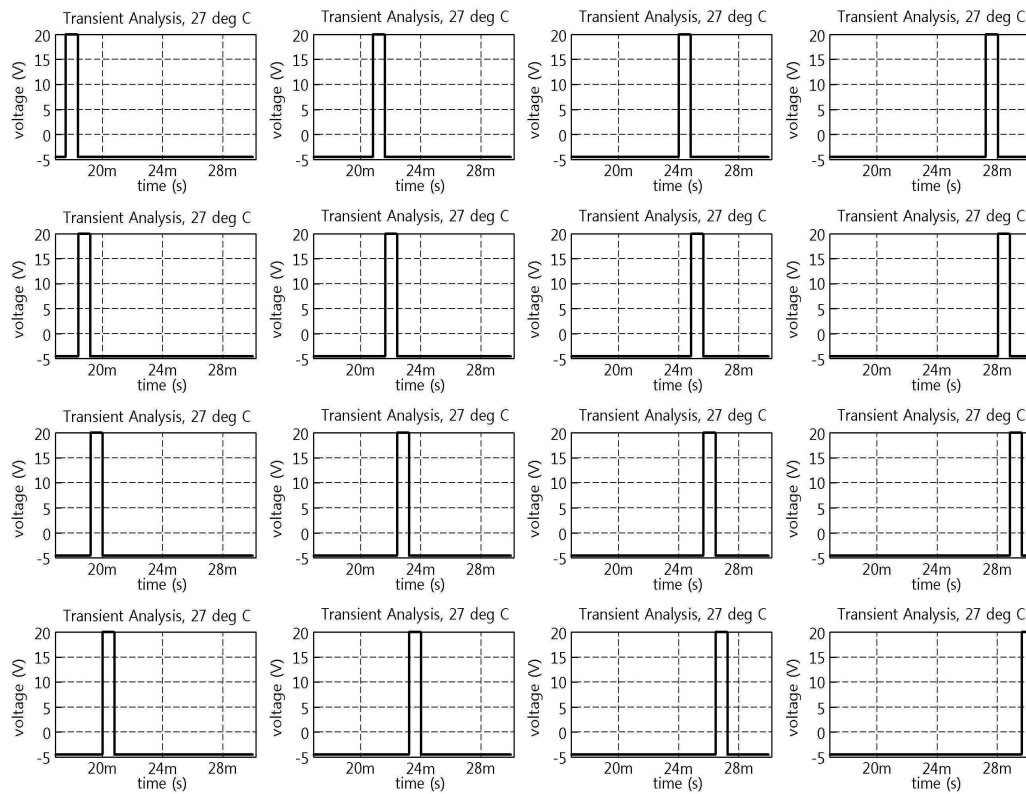
도면8



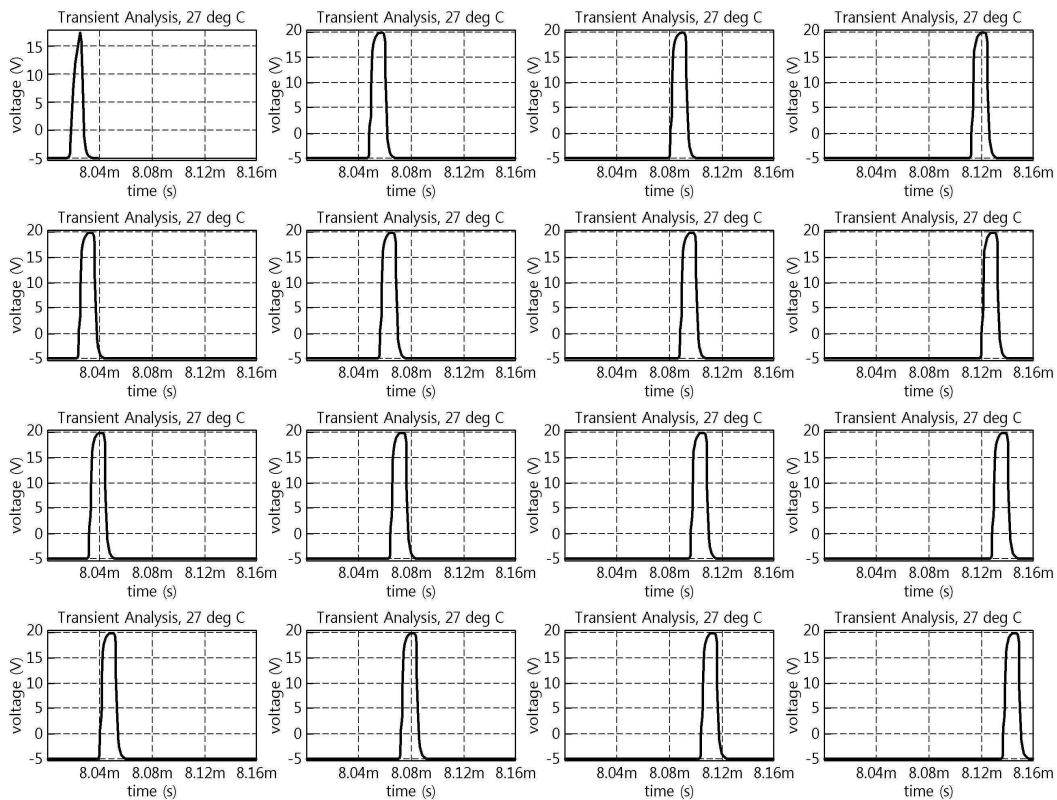
도면9a



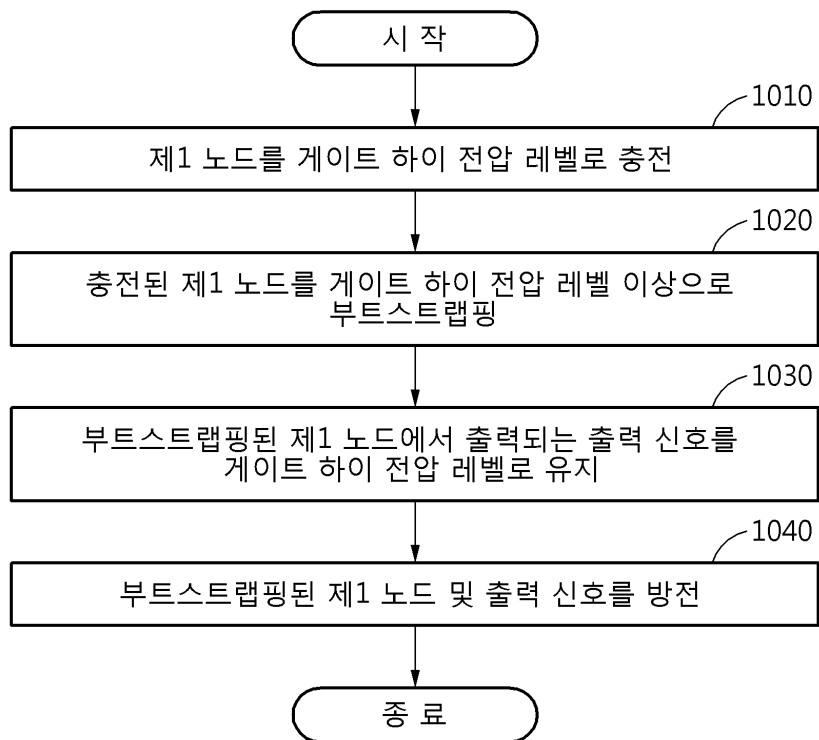
도면9b



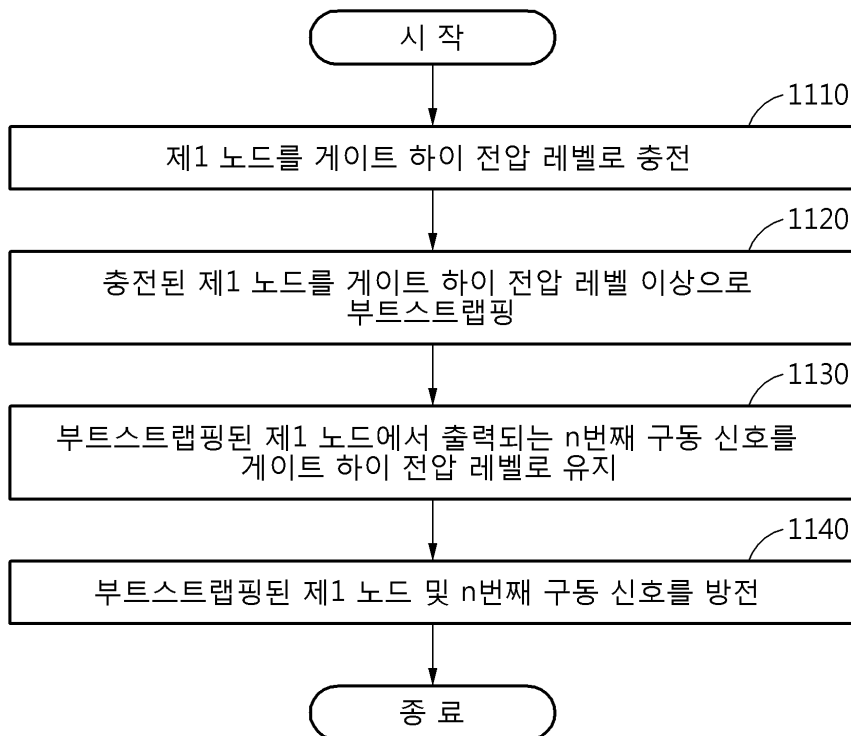
도면9c



도면10



도면11



도면12

