



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201712840 A

(43)公開日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：104140189

(22)申請日：中華民國 104 (2015) 年 12 月 01 日

(51)Int. Cl. : H01L23/58 (2006.01)

H01L29/66 (2006.01)

H01L29/49 (2006.01)

(30)優先權：2015/09/18 美國

62/220,280

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

文顯電子股份有限公司 (中華民國) WIN-HOUSE ELECTRONIC CO., LTD. (TW)

新北市中和區員山路 502 號 5 樓之 4

(72)發明人：張景堯 CHANG, JING YAO (TW)；張道智 CHANG, TAO CHIH (TW)；高國書 KAO, KUO SHU (TW)；呂芳俊 LEU, FANG JUN (TW)；林欣翰 LIN, HSIN HAN (TW)；曾志銘 TZENG, CHIH MING (TW)；張孝民 CHANG, HSIAO MING (TW)；沈志明 SHEN, CHIH MING (TW)

(74)代理人：祁明輝；林素華；涂綺玲

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 27 頁

(54)名稱

半導體封裝結構

SEMICONDUCTOR PACKAGE STRUCTURE

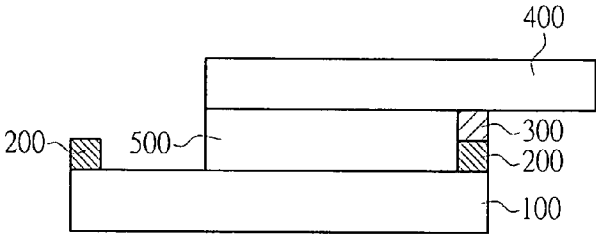
(57)摘要

本揭露內容係提供一種半導體封裝結構。半導體封裝結構包括一半導體晶片、一保護環(guard ring)、一膠層以及一第一引線架(lead frame)。保護環設置於半導體晶片上，膠層設置於保護環上。第一引線架電性連接至半導體晶片，膠層位於保護環和第一引線架之間。

A semiconductor package structure is provided. The semiconductor package structure includes a semiconductor chip, a guard ring, a gel layer, and a first lead frame. The guard ring is disposed on the semiconductor chip, and the gel layer is disposed on the guard ring. The first lead frame is electrically connected to the semiconductor chip, and the gel layer is located between the guard ring and the first lead frame.

指定代表圖：

- 符號簡單說明：
- 10 . . . 半導體封裝結構
 - 100 . . . 半導體晶片
 - 200 . . . 保護環
 - 300 . . . 膠層
 - 400 . . . 第一引線架
 - 500 . . . 焊料



第 1B 圖

發明摘要

104140189

※ 申請案號：

※ 申請日：104.12.01

※IPC 分類：H01L 23/58 (2006.01)

H01L 29/66 (2006.01)

H01L 29/49 (2006.01)

【發明名稱】(中文/英文)

半導體封裝結構/ SEMICONDUCTOR PACKAGE
STRUCTURE

【中文】

本揭露內容係提供一種半導體封裝結構。半導體封裝結構包括一半導體晶片、一保護環(guard ring)、一膠層以及一第一引線架(lead frame)。保護環設置於半導體晶片上，膠層設置於保護環上。第一引線架電性連接至半導體晶片，膠層位於保護環和第一引線架之間。

【英文】

A semiconductor package structure is provided. The semiconductor package structure includes a semiconductor chip, a guard ring, a gel layer, and a first lead frame. The guard ring is disposed on the semiconductor chip, and the gel layer is disposed on the guard ring. The first lead frame is electrically connected to the semiconductor chip, and the gel layer is located between the guard ring and the first lead frame.

【代表圖】

【本案指定代表圖】：第（ 1B ）圖。

【本代表圖之符號簡單說明】：

10：半導體封裝結構

100：半導體晶片

200：保護環

300：膠層

400：第一引線架

500：焊料

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體封裝結構/ SEMICONDUCTOR PACKAGE
STRUCTURE

【技術領域】

【0001】 本揭露內容是有關於一種半導體封裝結構。

【先前技術】

【0002】 經由電力電子技術，可在瞬間大電壓下對電能進行變換和控制，並且，電源控制的數位化已成為未來趨勢，因而使得電力電子技術日益重要。其中，功率元件模組更對電力電子市場的發展具有相當大的影響，其應用範圍不僅在新能源設備、風力發電、太陽能、電動車、綠建築等領域扮演舉足輕重的角色，日常生活中所使用的高速鐵路、智慧電網、變頻家電等，也與電力電子技術息息相關。

【0003】 功率元件模組封裝技術包括：功率元件封裝電、熱模擬技術及功率模組系統封裝(system in package；SiP)製程整合、晶片接合製程(die attach)及打線接合製程(wire bonding)等技術。由於功率半導體晶片的尺寸與厚度隨著科技進步不斷的縮小與變薄，目前甚至已經有尺寸為 50 微米(μm)的金氧半電晶體(MOSFET)問世，換言之，現今之薄型晶片組裝實際上面臨更嚴苛考驗。因此，相關業者均致力於研發功率元件模組封裝技術以提高組裝良率與可靠度。

【發明內容】

【0004】 本揭露內容係有關於一種半導體封裝結構。實施例中，膠層位於保護環和第一引線架之間，因而可以降低保護環周圍的電場效應，進而維持住整體元件的較高耐電壓，且同時具有保護半導體晶片以及支撐整體結構的效果。

【0005】 根據本揭露內容之一實施例，係提出一種半導體封裝結構。半導體封裝結構包括一半導體晶片、一保護環(guard ring)、一膠層以及一第一引線架(lead frame)。保護環設置於半導體晶片上，膠層設置於保護環上。第一引線架電性連接至半導體晶片，膠層位於保護環和第一引線架之間。

【0006】 根據本揭露內容之另一實施例，係提出一種半導體封裝結構。半導體封裝結構包括一半導體晶片、一保護環、一焊料(solder)、一第一引線架以及一膠層。保護環和焊料設置於半導體晶片上。第一引線架經由焊料以電性連接至半導體晶片。膠層設置於半導體晶片上並位於半導體晶片和第一引線架之間，且膠層的高度等於或大於焊料的高度。

【0007】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，作詳細說明如下：

【圖式簡單說明】**【0008】**

第 1A 圖繪示本揭露內容之一實施例之半導體封裝結構之上視圖。

第 1B 圖繪示沿剖面線 1B-1B'之剖面示意圖。

第 2A 圖繪示本揭露內容之另一實施例之半導體封裝結構之

上視圖。

第 2B 圖繪示沿剖面線 2B-2B'之剖面示意圖。

第 3A 圖繪示本揭露內容之再一實施例之半導體封裝結構之上視圖。

第 3B 圖繪示沿剖面線 3B-3B'之剖面示意圖。

第 4A 圖繪示本揭露內容之又一實施例之半導體封裝結構之上視圖。

第 4B 圖繪示沿剖面線 4B-4B'之剖面示意圖。

第 5 圖繪示本揭露內容之更一實施例之半導體封裝結構之示意圖。

第 6 圖繪示本揭露內容之更另一實施例之半導體封裝結構之示意圖。

第 7 圖繪示本揭露內容之再另一實施例之半導體封裝結構之上視圖。

第 8A 圖繪示本揭露內容之又另一實施例之半導體封裝結構之上視圖。

第 8B 圖繪示沿剖面線 8B-8B'之剖面示意圖。

【實施方式】

【0009】 本揭露內容之實施例中，膠層位於保護環和第一引線架之間，因而可以降低保護環周圍的電場效應，進而維持住整體元件的較高耐電壓，且同時具有保護半導體晶片以及支撐整體結構的效果。以下係詳細敘述本揭露內容之實施例。實施例所提出的細部組成為舉例說明之用，並非對本揭露內容欲保護之範圍做限縮。具有通常知識者當可依據實際實施態樣的需要對該些組

成加以修飾或變化。

【0010】 第 1A 圖繪示本揭露內容之一實施例之半導體封裝結構之上視圖，第 1B 圖繪示沿剖面線 1B-1B'之剖面示意圖。如第 1A~1B 圖所示，半導體封裝結構 10 包括一半導體晶片 100、一保護環(guard ring)200、一膠層 300 以及一第一引線架(lead frame)400。保護環 200 設置於半導體晶片 100 上，膠層 300 設置於保護環 400 上。第一引線架 400 電性連接至半導體晶片 100，膠層 300 位於保護環 200 和第一引線架 400 之間。

【0011】 一般常見的製程中，通常以打線方式電性連接至半導體晶片，如此一來，線和晶片的接觸面積相對較小(線徑大約為 280~380 微米(μm))，此線徑面積也就是打線和晶片的接觸點，當此面積太小，不僅造成半導體晶片的散熱不均勻，也會造成電流僅分佈在局部區域(例如是線和接觸點上)，也造成元件的局部區域的電流密度太高，同時也造成線的散熱不易。相對地，根據本揭露內容之實施例，以第一引線架 400 電性連接至半導體晶片 100，第一引線架 400 和半導體晶片 100 之間的焊接面積相對較大，大接觸面積不僅使得散熱較快速且較均勻，且大面積接觸區域的電流密度也可以因此較小，而較小的電流密度也使得電阻和熱阻都可以下降，而可以達到元件之均溫和均電流的效果，進而提升整體元件的性能和穩定性。

【0012】 再者，根據本揭露內容之實施例，膠層 300 位於保護環 200 和第一引線架 400 之間，因而可以降低保護環 200 周圍的電場效應，進而維持住整體元件的較高耐電壓，且同時具有保護半導體晶片 100 以及支撐整體結構的效果。更進一步，膠層 300

的製作僅需要一個額外的點膠製程，不需要額外開發新製程，因此可以採用既有的半導體製程、且因應不同的半導體晶片 100 之尺寸或形狀等變異性輕易調整，還可以達到支撐住第一引線架 400 並使其不會傾斜的效果，進而達到提升電流傳輸特性與導熱特性。

【0013】 一些實施例中，半導體晶片 100 可以是金氧半電晶體(MOSFET)、絕緣柵雙極電晶體(IGBT)、接面場效電晶體(JFET)或一二極體(diode)。

【0014】 實施例中，膠層 300 的材質係為絕緣材料，例如可包括矽膠(silicon gel)和環氧樹脂(epoxy resin)之至少其中之一。

【0015】 如第 1A~1B 圖所示，實施例中，半導體封裝結構 10 更包括一焊料(solder)500。焊料 500 設置於半導體晶片 100 上，且半導體晶片 100 經由焊料 500 電性連接至第一引線架 400。

【0016】 實施例中，焊料 500 的材質可包括無鉛焊料、高鉛錫料、奈米銀燒結材料和雙相固液交互擴散接點(dual-phase solid-liquid interdiffusion bonding；dual-phase SLID bonding)之至少其中之一。

【0017】 如第 1A 圖所示，實施例中，第一引線架 400 具有一第一寬度 $W1$ ，半導體晶片 100 暴露於保護環 200 之外的區域沿第一寬度 $W1$ 的方向具有一第二寬度 $W2$ ，第一寬度 $W1$ 例如是第二寬度 $W2$ 的 40~100%。舉例而言，半導體晶片 100 沿第一寬度 $W1$ 的總寬度例如是大約 3 毫米(mm)，保護環 200 的寬度大約是 30~700 微米(μm)，而第一寬度 $W1$ 例如是 2.3~2.97 毫米。

【0018】 實施例中，第一引線架 400 的材質例如是導電金

屬。舉例而言，第一引線架 400 可以包括銅、或表面鍍鎳的鋁或鐵。

【0019】 如第 1A 圖所示，膠層 300 沿第一寬度 $W1$ 的方向具有一長度 L 。一些實施例中，長度 L 等於或小於第一寬度 $W1$ ，因此第一引線架 400 和保護環 200 可以完全被膠層 300 所分隔開來。如第 1A 圖所示的實施例中，膠層 300 沿保護環 200 延伸的長度 L 實質上等於第一引線架 400 的第一寬度 $W1$ 。另一實施例中，膠層 300 的長度 L 亦可以小於第一引線架 400 的第一寬度 $W1$ (未繪示於圖中)。

【0020】 第 2A 圖繪示本揭露內容之另一實施例之半導體封裝結構之上視圖，第 2B 圖繪示沿剖面線 2B-2B' 之剖面示意圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。本實施例與第 1A~1B 圖所示的實施例之差別主要在於膠層 300 的設計。

【0021】 如第 2A~2B 圖所示的實施例中，半導體封裝結構 20 的膠層 300 包覆保護環 200 的一側面 200s 及半導體晶片 100 的一側面 100s。

【0022】 根據本揭露內容之實施例，膠層 300 包覆保護環 200 的側面 200s 和半導體晶片 100 的側面 100s，如此一來，可以避免半導體晶片 100 下方的銲錫擠到半導體晶片 100 的側面 100s、避免半導體晶片 100 的上方的焊料 500 和下方的銲錫橋接短路、以及避免焊料 500 或第一引線架 400 接觸或太靠近保護環 200 而影響半導體晶片 100 的運作功能，進而改善焊料 500/銲錫接觸半

導體晶片 100 的側面 100s 與橋接的問題，尚能進一步調控半導體晶片 100 上方的焊料 500 與第一引線架 400 的焊接面積與高度。

【0023】 實施例中，如第 2A~2B 圖所示，膠層 300 沿保護環 200 延伸的長度 L 大於第一引線架 400 的第一寬度 $W1$ ，使得第一引線架 400 和保護環 200 可以完全被膠層 300 所分隔開來。並且，沿長度 L 延伸的範圍中，膠層 300 包覆保護環 200 的頂表面 200a 及兩個側面 200s。

【0024】 第 3A 圖繪示本揭露內容之再一實施例之半導體封裝結構之上視圖，第 3B 圖繪示沿剖面線 3B-3B' 之剖面示意圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。本實施例與前述實施例之差別主要在於膠層 300 的設計。

【0025】 如第 3A~3B 圖所示的實施例中，半導體封裝結構 30 的膠層 300 完全包覆保護環 200。以絕緣材料製作的膠層 300 完全包覆保護環 200 及半導體晶片 100，如此一來，可以解決焊料 500 擠到半導體晶片 100 的側邊、半導體晶片 100 之上方和下方的焊料 500/鉚錫橋接短路、及焊料 500 或與第一引線架 400 接觸或太靠近保護環 200 之影響電性的問題，不僅能有效控制半導體晶片 100 的焊料 500/鉚錫面積，也能控制半導體晶片 100 的溢錫問題，而能夠大幅提高組裝良率與可靠度。

【0026】 如第 3A 圖所示，半導體晶片 100 暴露於膠層 300 之外的區域沿第一寬度 $W1$ 的方向具有一第三寬度 $W3$ 。一些實施例中，第一寬度 $W1$ 等於或小於第三寬度 $W3$ 。如第 3A 圖所示的實施例中，第一寬度 $W1$ 小於第三寬度 $W3$ 。另一實施例中，

第一寬度 $W1$ 亦可以等於第三寬度 $W3$ (未繪示於圖中)。

【0027】 第 4A 圖繪示本揭露內容之又一實施例之半導體封裝結構之上視圖，第 4B 圖繪示沿剖面線 4B-4B' 之剖面示意圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。

【0028】 如第 4A~4B 圖所示的實施例中，半導體封裝結構 40 更包括一基板 900 以及一第二引線架 600，半導體晶片 100 之一閘極接點 100G 經由第二引線架 600 電性連接至基板 900。

【0029】 實施例中，半導體晶片 100 例如是金氧半電晶體(MOSFET)或絕緣柵雙極電晶體(IGBT)，半導體封裝結構 40 更可包括額外的引線架(未繪示於圖中)，半導體晶片 100 之射極(emitter)接點可經由此額外的引線架而電性連接至基板 900。

【0030】 實施例中，基板 900 例如是直接電鍍銅(direct plated copper, DPC)基板、直接覆銅(direct bonded copper, DBC)基板、金屬基板、或印刷電路(PCB)基板，而金屬基板的材質可包括銅、鋁或不銹鋼等。基板 900 可具有單層或多層結構。

【0031】 第 5 圖繪示本揭露內容之更一實施例之半導體封裝結構之示意圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。

【0032】 如第 5 圖所示的實施例中，半導體封裝結構 50 更包括基板 900、一外殼(housing)700、一電極層 710 以及一第三引線架 800。外殼 700 用以容置基板 900 及半導體晶片 100。電極層

710 設置於外殼 700 上，基板 900 經由第三引線架 800 電性連接至外殼 700 上的電極層 710。

【0033】 實施例中，基板 900 例如是多層結構，包括金屬層 910、陶瓷層 920 及圖案化金屬層 930，半導體晶片 100 經由焊料 510 連接至圖案化金屬層 930。並且，半導體封裝結構 50 更可選擇性地包括一底板 960，基板 900 經由焊料 520 設置於底板 960 上。底板 960 例如是一金屬基板，其材質可包括銅、鋁或不銹鋼等。

【0034】 第 6 圖繪示本揭露內容之更另一實施例之半導體封裝結構之示意圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。

【0035】 如第 6 圖所示的實施例中，半導體封裝結構 60 中，基板 900 經由第三引線架 800 電性連接至一外部電源(未繪示於圖中)。

【0036】 並且，如第 6 圖所示，實施例中，半導體封裝結構 60 更可包括一封裝膠層 980，封裝膠層 980 包覆半導體晶片 100、保護環 200、膠層 300、第一引線架 400 以及部分的第三引線架 800。

【0037】 第 7 圖繪示本揭露內容之再另一實施例之半導體封裝結構之上視圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。

【0038】 如第 7 圖所示的實施例中，半導體封裝結構 70 的基

板 900 為印刷電路板。

【0039】 第 8A 圖繪示本揭露內容之又另一實施例之半導體封裝結構之上視圖，第 8B 圖繪示沿剖面線 8B-8B' 之剖面示意圖。本實施例中與前述實施例相同或相似之元件係沿用同樣或相似的元件標號，且相同或相似元件之相關說明請參考前述，在此不再贅述。本實施例與第 1A~1B 圖所示的實施例之差別主要在於膠層 300 的設計。

【0040】 如第 8A~8B 圖所示，半導體封裝結構 80 包括半導體晶片 100、保護環 200、焊料 500、第一引線架 400 以及膠層 300。保護環 200 和焊料 500 設置於半導體晶片 100 上，第一引線架 400 經由焊料 500 以電性連接至半導體晶片 100。膠層 300 設置於半導體晶片 100 上並位於半導體晶片 100 和第一引線架 400 之間。一些實施例中，膠層 300 的高度 H1 例如是等於或大於焊料 500 的高度 H2。

【0041】 如第 8A~8B 圖所示的實施例中，膠層 300 的高度 H1 實質上等於焊料 500 的高度 H2。另一實施例中，膠層 300 的高度 H1 可以是大大於焊料 500 的高度 H2(未繪示於圖中)。更進一步，如第 8A~8B 圖所示的實施例中，膠層 300 的高度 H1 大大於保護環 200 的高度 H3。

【0042】 實施例中，如第 8A~8B 圖所示，膠層 300 位於保護環 200 和焊料 500 之間。

【0043】 一些實施例中，膠層 300 的長度 L 可以等於或大大於第一引線架 400 的第一寬度 W1。如第 8A 圖所示，本實施例中，膠層 300 的長度 L 大大於第一引線架 400 的第一寬度 W1。

【0044】 如第 8A~8B 圖所示，實施例中，保護環 200、膠層 300 和焊料 500 彼此係分隔開來。一些實施例中，保護環 200、膠層 300 和焊料 500 之間的任意兩者亦可以彼此接觸(未繪示於圖中)。

【0045】 需注意的是，本文第 5~7 圖所述之實施例中之基板 900、外殼 700、電極層 710、第三引線架 800、焊料 510 和 520 及封裝膠層 980 等之結構配置與本文第 1A~4B、8A~8B 圖所述之實施例之結構配置均可依實際狀況互相替換更動應用。

【0046】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0047】

- 10、20、30、40、50、60、70、80：半導體封裝結構
- 100：半導體晶片
- 100G：閘極接點
- 100s：側面
- 200：保護環
- 200a：頂表面
- 200s：側面
- 300：膠層
- 400：第一引線架

500、510、520：焊料

600：第二引線架

700：外殼

710：電極層

800：第三引線架

900：基板

910：金屬層

920：陶瓷層

930：圖案化金屬層

960：底板

980：封裝膠層

1B-1B'、2B-2B'、3B-3B'、4B-4B'、8B-8B'：剖面線

H1、H2、H3：高度

L：長度

W1：第一寬度

W2：第二寬度

W3：第三寬度

申請專利範圍

1. 一種半導體封裝結構，包括：
 - 一半導體晶片；
 - 一保護環(guard ring)，設置於該半導體晶片上；
 - 一膠層，設置於該保護環上；以及
 - 一第一引線架(lead frame)，電性連接至該半導體晶片，其中該膠層位於該保護環和該第一引線架之間。
2. 如申請專利範圍第 1 項所述之半導體封裝結構，其中該膠層包覆該保護環的一側面及該半導體晶片的一側面。
3. 如申請專利範圍第 1 項所述之半導體封裝結構，其中該膠層完全包覆該保護環。
4. 如申請專利範圍第 1 項所述之半導體封裝結構，其中該膠層包括矽膠(silicon gel)和環氧樹脂(epoxy resin)之至少其中之一。
5. 如申請專利範圍第 1 項所述之半導體封裝結構，其中該半導體晶片係為一金氧半電晶體(MOSFET)、一絕緣柵雙極電晶體(IGBT)、一接面場效電晶體(JFET)或一二極體(diode)。
6. 如申請專利範圍第 1 項所述之半導體封裝結構，更包括：
 - 一焊料(solder)，設置於該半導體晶片上，其中該半導體晶

片經由該焊料電性連接至該第一引線架。

7. 如申請專利範圍第 6 項所述之半導體封裝結構，其中該焊料包括一無鉛焊料、高鉛錒料、奈米銀燒結材料和一雙相固液交互擴散接點(dual-phase solid-liquid interdiffusion bonding；dual-phase SLID bonding)之至少其中之一。

8. 如申請專利範圍第 1 項所述之半導體封裝結構，其中該第一引線架具有一第一寬度，該半導體晶片暴露於該保護環之外的區域沿該第一寬度的方向具有一第二寬度，該第一寬度係為該第二寬度的 40~100%。

9. 如申請專利範圍第 1 項所述之半導體封裝結構，更包括：
一基板；以及
一第二引線架，該半導體晶片之一閘極接點經由該第二引線架電性連接至該基板。

10. 如申請專利範圍第 1 項所述之半導體封裝結構，更包括：
一基板；以及
一外殼(housing)，用以容置該基板及該半導體晶片；
一電極層，設置於該外殼上；以及
一第三引線架，該基板經由該第三引線架電性連接至該外殼上的該電極層。

11. 如申請專利範圍第 1 項所述之半導體封裝結構，更包括：
一基板；以及
一第三引線架，該基板經由該第三引線架電性連接至一外部電源。

12. 一種半導體封裝結構，包括：
一半導體晶片；
一保護環(guard ring)，設置於該半導體晶片上；
一焊料(solder)，設置於該半導體晶片上；
一第一引線架(lead frame)，經由該焊料以電性連接至該半導體晶片；以及
一膠層，設置於該半導體晶片上並位於該半導體晶片和該第一引線架之間，其中該膠層的一高度等於或大於該焊料的一高度。

13. 如申請專利範圍第 12 項所述之半導體封裝結構，其中該膠層位於該保護環和該焊料之間。

14. 如申請專利範圍第 12 項所述之半導體封裝結構，其中該膠層包括矽膠(silicon gel)和環氧樹脂(epoxy resin)之至少其中之一。

15. 如申請專利範圍第 12 項所述之半導體封裝結構，其中該半導體晶片係為一金氧半電晶體(MOSFET)、一絕緣柵雙極電

晶體(IGBT)、一接面場效電晶體(JFET)或一二極體(diode)。

16. 如申請專利範圍第 12 項所述之半導體封裝結構，其中該焊料包括一無鉛焊料、高鉛錒料、奈米銀燒結材料和一雙相固液交互擴散接點(dual-phase solid-liquid interdiffusion bonding；dual-phase SLID bonding)之至少其中之一。

17. 如申請專利範圍第 12 項所述之半導體封裝結構，其中該第一引線架具有一第一寬度，該半導體晶片暴露於該保護環之外的區域沿該第一寬度的方向具有一第二寬度，該第一寬度係為該第二寬度的 40~100%。

18. 如申請專利範圍第 12 項所述之半導體封裝結構，更包括：

一基板；以及

一第二引線架，該半導體晶片之一閘極接點經由該第二引線架電性連接至該基板。

19. 如申請專利範圍第 12 項所述之半導體封裝結構，更包括：

一基板；以及

一外殼(housing)，用以容置該基板及該半導體晶片；

一電極層，設置於該外殼上；以及

一第三引線架，該基板經由該第三引線架電性連接至該外殼

上的該電極層。

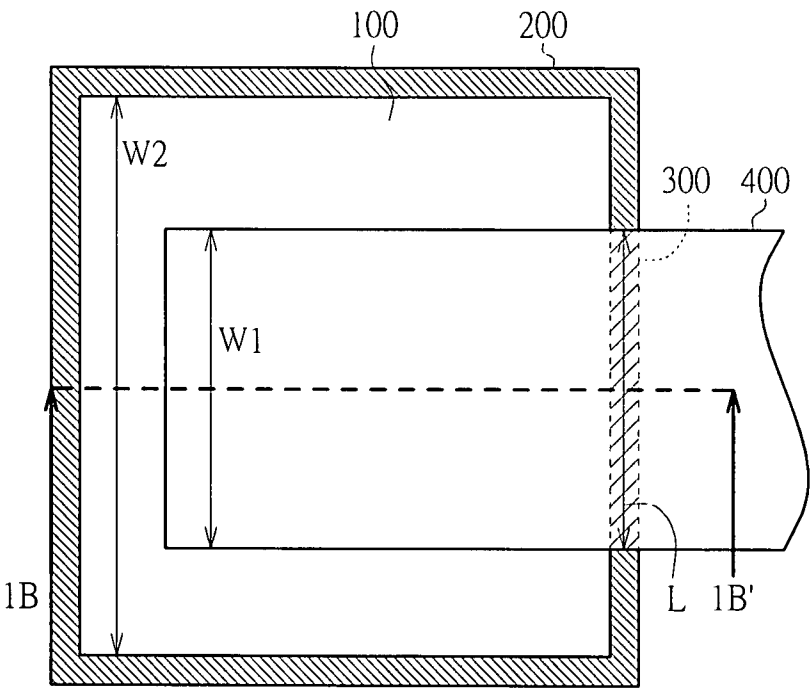
20. 如申請專利範圍第 12 項所述之半導體封裝結構，更包括：

一基板；以及

一第三引線架，該基板經由該第三引線架電性連接至一外部電源。

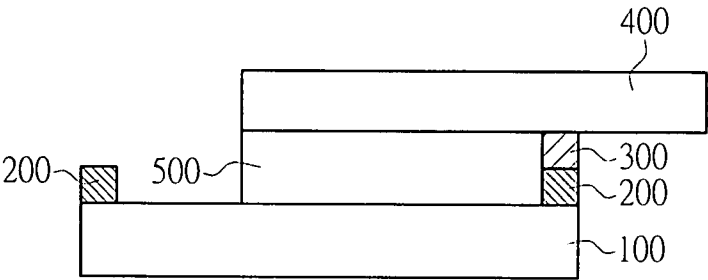
圖式

10



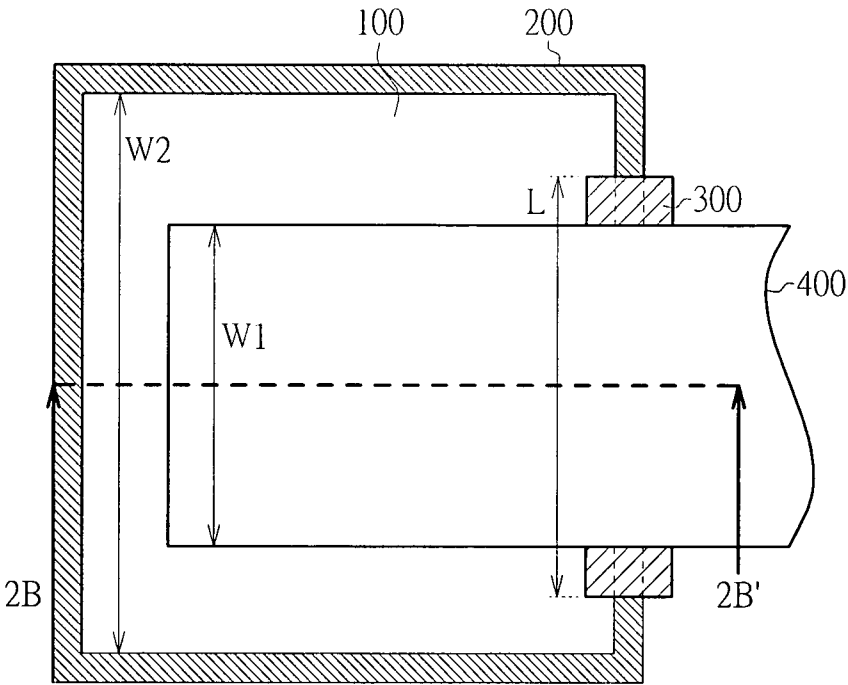
第 1A 圖

10



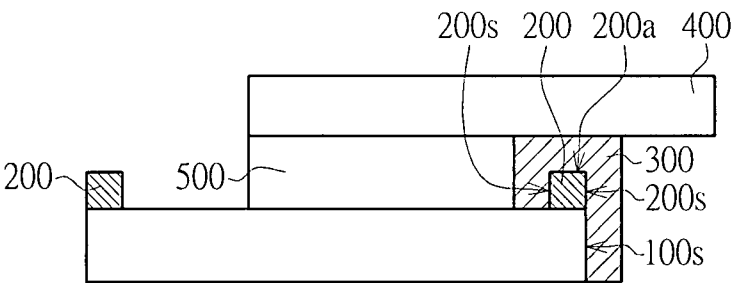
第 1B 圖

20



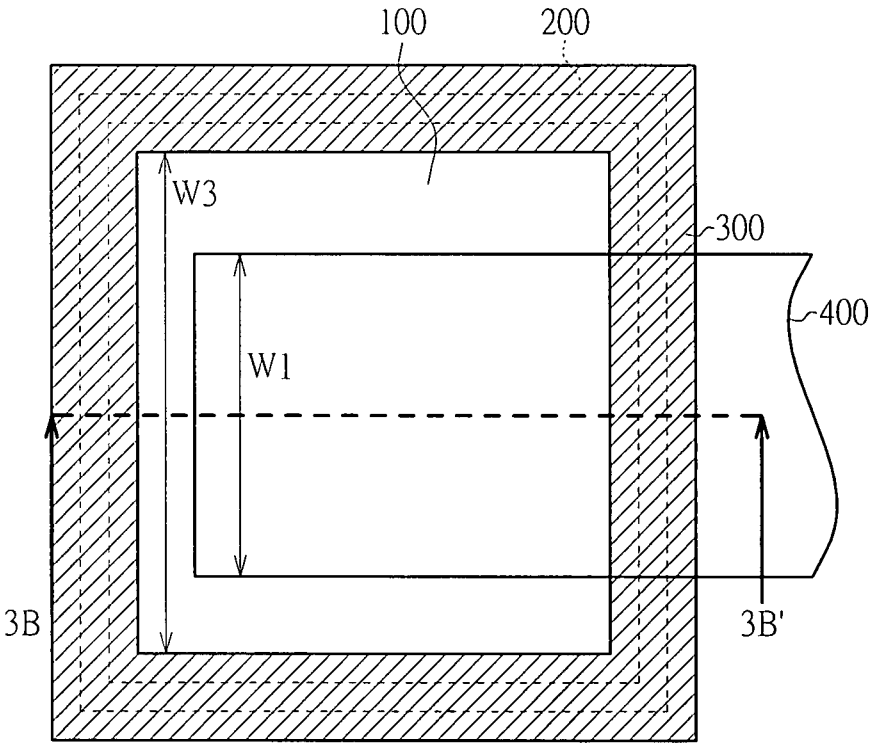
第 2A 圖

20



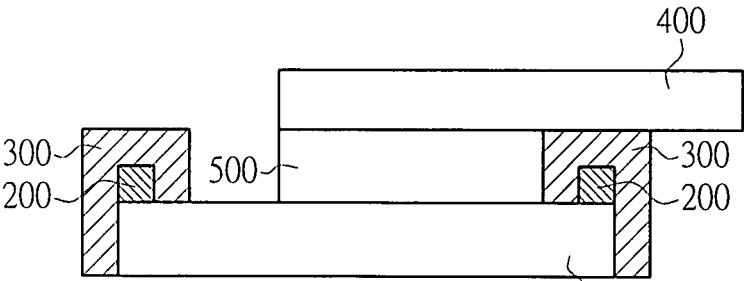
第 2B 圖

30



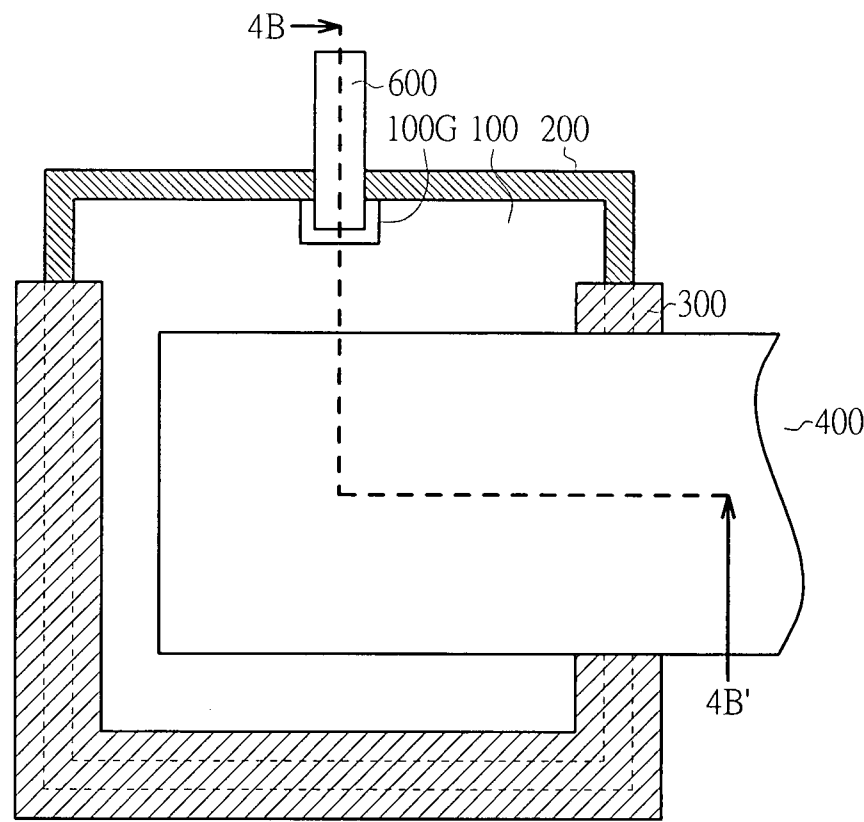
第 3A 圖

30



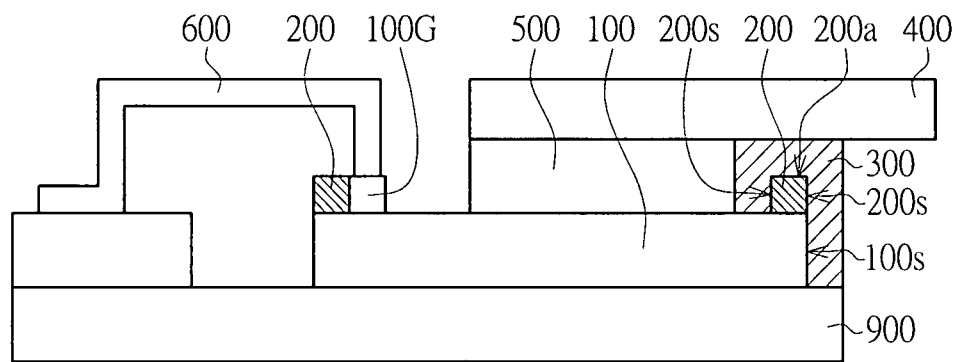
第 3B 圖

40



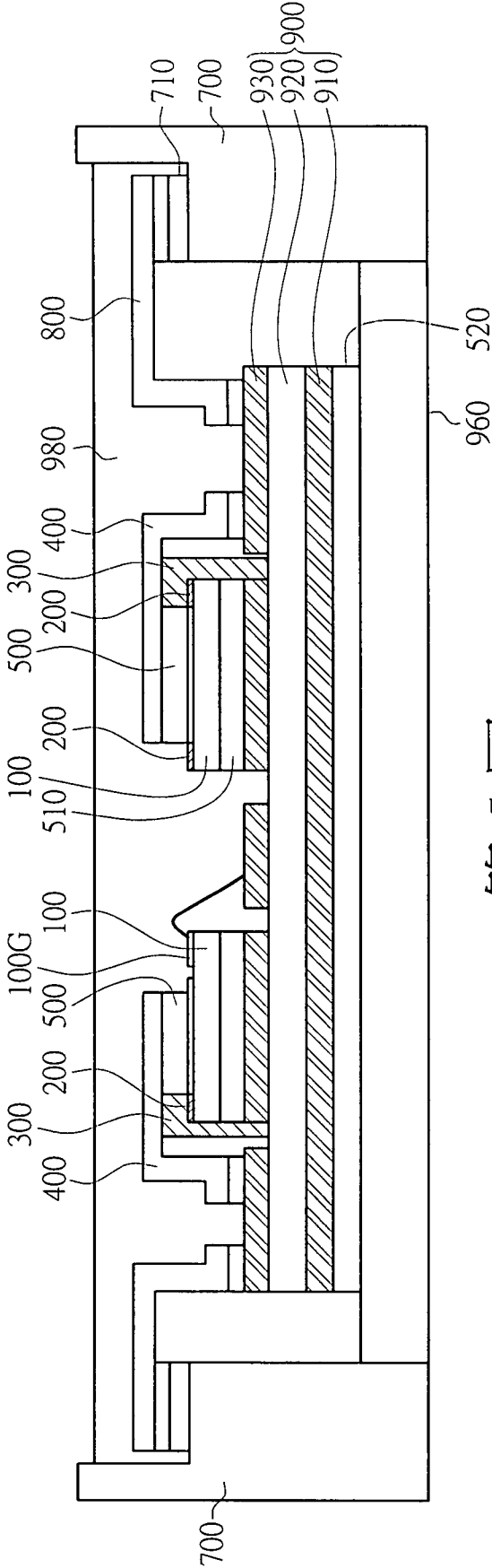
第 4A 圖

40



第 4B 圖

50



第5圖

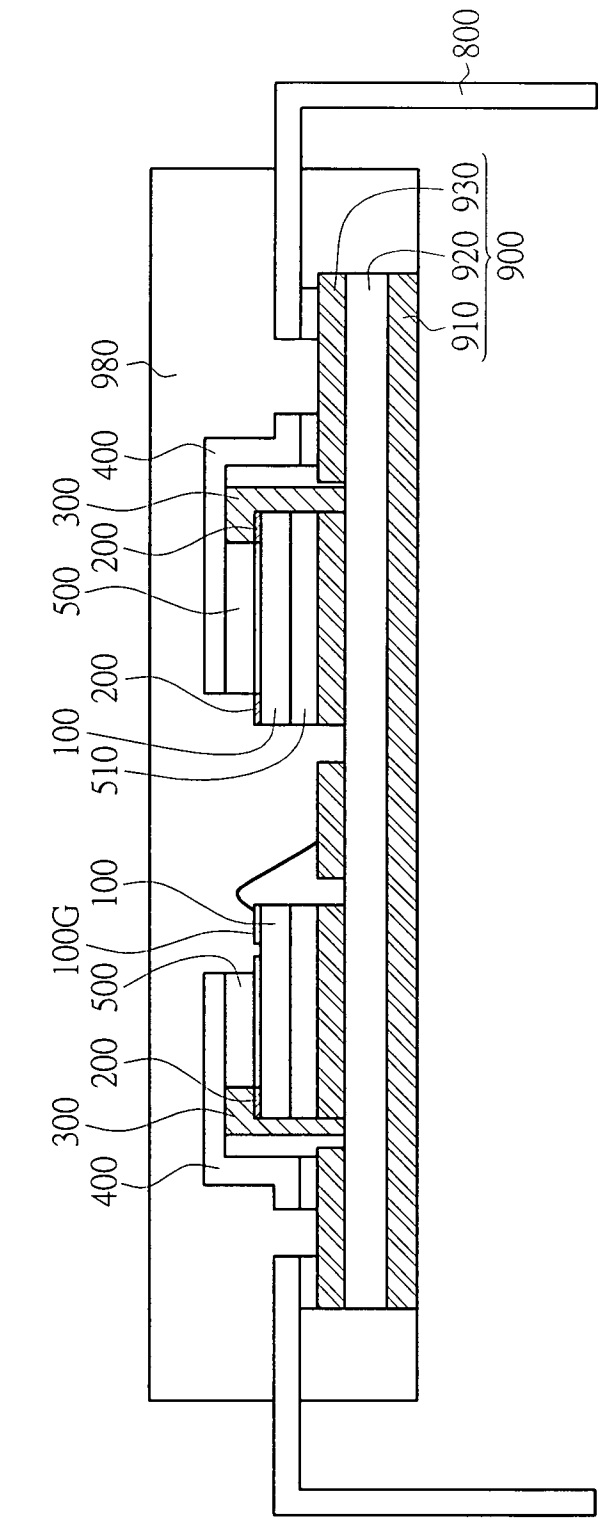
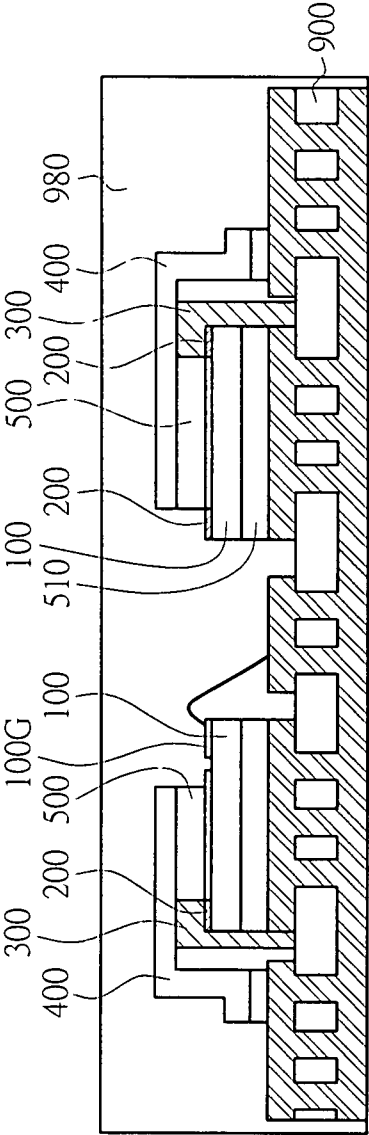


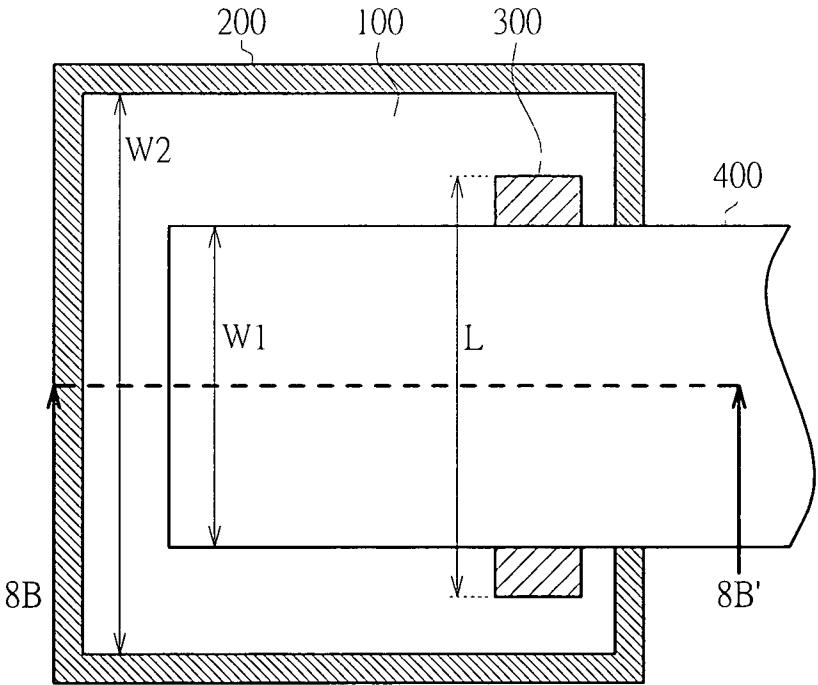
圖
6
紙

70



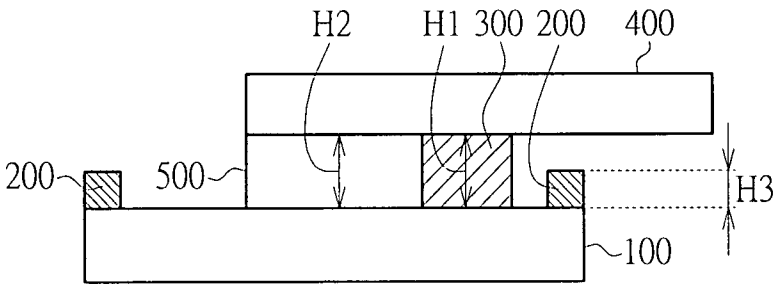
第7圖

80



第 8A 圖

80



第 8B 圖