



(12) 发明专利申请

(10) 申请公布号 CN 103779338 A

(43) 申请公布日 2014. 05. 07

(21) 申请号 201310501554. 5

(22) 申请日 2013. 10. 23

(30) 优先权数据

2012-234525 2012. 10. 24 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 吉川泰弘 諏访元大

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51) Int. Cl.

H01L 25/00 (2006. 01)

H01L 23/48 (2006. 01)

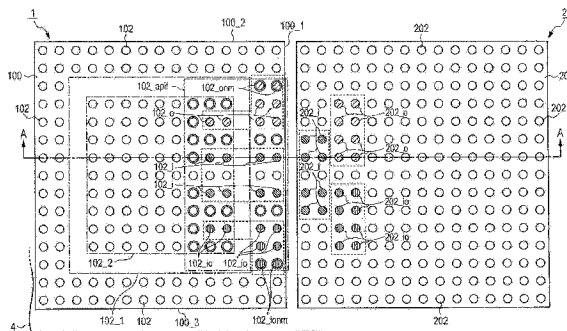
权利要求书5页 说明书18页 附图10页

(54) 发明名称

电子设备和半导体器件

(57) 摘要

本公开涉及电子设备和半导体器件。存在着减轻或减少在键合丝线或者器件基板内的丝线之间的串扰的需要。一种选择配置根据功能将多路复用的端子分组划分成三个分组,不同于用于将多路复用的端子分组划分成两个分组的另一种选择配置。第一多引脚半导体器件被配置使得分组沿着芯片的一个边缘连续地布置。第一半导体器件经由多路复用的端子分组与第二半导体器件连接。多路复用的端子分组包括在信号输入/输出配置方面彼此不同的第一至第三接口端子分组。



1. 一种电子设备,包括:

安装板;

安装于所述安装板之上的第一半导体器件,所述第一半导体器件包括第一布线基板、安装于所述第一布线基板的芯片安装表面之上的第一半导体芯片、以及与所述第一半导体芯片电连接的且形成于与所述第一布线基板的所述芯片安装表面相反的安装面上的多个外部端子;以及

安装于所述安装板之上的且与所述第一半导体器件电连接的第二半导体器件,所述第二半导体器件包括第二布线基板、安装于所述第二布线基板的芯片安装表面之上的第二半导体芯片、以及与所述第一半导体器件电连接的且形成于与所述第二布线基板的所述芯片安装表面相反的安装面上的多个外部端子,

其中在平面图中,所述第一半导体器件的所述外部端子按多个行形成并且沿着所述第一布线基板的所述安装面的每个边缘来布置,

其中所述第一半导体器件的所述外部端子包括布置于所述第一布线基板的所述安装面的外周边部分侧的第一外部端子分组、以及与所述第一外部端子分组相比布置得更靠近所述第一布线基板的所述安装面的中心部分侧的第二外部端子分组,

其中在所述第一外部端子分组与所述第二外部端子分组之间的间隔大于每个所述外部端子的直径,

其中所述第一半导体器件被安装于所述安装板之上使得所述第一布线基板的所述安装面的边缘中的第一边缘面向所述第二半导体器件,

其中所述第一半导体器件的所述外部端子包括与所述第二半导体器件连接的多个接口端子,

其中所述接口端子沿着所述第一布线基板的所述安装面的所述第一边缘布置,并且与所述第一布线基板的所述安装面的所述中心部分相比被布置得更靠近于所述第一布线基板的所述安装面的所述第一边缘侧,

其中所述接口端子包括多路复用的端子,例如,具有彼此不同的信号输入/输出配置的第一接口端子分组、第二接口端子分组和第三接口端子分组,

其中所述第一接口端子分组、所述第二接口端子分组和所述第三接口端子分组被指派给所述第一外部端子分组和所述第二外部端子分组,

其中在所述平面图中,所述第二接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的一个端部的第二边缘之间,并且

其中在所述平面图中,所述第三接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的另一端部的第三边缘之间。

2. 根据权利要求1所述的电子设备,

其中所述第一半导体器件是用于为所述电子设备提供指定的通信协议控制的基带处理器,并且

其中所述第二半导体器件是用于为所述电子设备提供与所述通信协议控制不同的控制的应用处理器。

3. 根据权利要求2所述的电子设备,

其中所述第一接口端子分组、所述第二接口端子分组和所述第三接口端子分组中的每

个都被指派给输入端子、输出端子和输入 / 输出端子的信号输入 / 输出配置之一,没有重复。

4. 根据权利要求 3 所述的电子设备,还包括:

与所述第二半导体器件电连接的第三半导体器件,所述第三半导体器件包括第三布线基板、安装于所述第三布线基板的芯片安装表面之上的第三半导体芯片、以及与所述第三半导体芯片电连接的且形成于与所述第三布线基板的所述芯片安装表面相反的安装面上的多个外部端子。

5. 根据权利要求 4 所述的电子设备,
其中所述第三半导体器件是同步 DRAM。

6. 根据权利要求 1 所述的电子设备,

其中所述接口端子被布置于由所述第一布线基板的所述第一边缘和用于使所述安装面的中心部分与所述第一边缘的两个端部进行连接的虚拟线路形成的区域内。

7. 一种的半导体器件,待安装于安装有电子部件的安装板之上,所述半导体器件包括:

第一布线基板;

安装于所述布线基板的芯片安装表面之上的半导体芯片;以及

与所述半导体芯片电连接的且形成于与所述布线基板的所述芯片安装表面相反的安装面上的多个外部端子,

其中在平面图中,所述半导体器件的所述外部端子按多个行形成并且沿着所述布线基板的所述安装面的每个边缘来布置,

其中所述半导体器件的所述外部端子包括布置于所述第一布线基板的所述安装面的外周边部分侧的第一外部端子分组、以及与所述第一外部端子分组相比布置得更靠近于所述第一布线基板的所述安装面的中心部分侧的第二外部端子分组,

其中在所述第一外部端子分组与所述第二外部端子分组之间的间隔大于每个所述外部端子的直径,

其中所述半导体器件的所述外部端子包括与所述电子部件连接的多个接口端子,

其中所述接口端子沿着所述布线基板的所述安装面的第一边缘来布置,并且与所述布线基板的所述安装面的所述中心部分相比被布置得更靠近于所述布线基板的所述安装面的所述第一边缘侧,

其中所述接口端子包括多路复用的端子,例如,具有彼此不同的信号输入 / 输出配置的第一接口端子分组、第二接口端子分组和第三接口端子分组,

其中所述第一接口端子分组、所述第二接口端子分组和所述第三接口端子分组被指派给所述第一外部端子分组和所述第二外部端子分组,

其中在所述平面图中,所述第二接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的一个端部的第二边缘之间,并且

其中在所述平面图中,所述第三接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的另一端部的第三边缘之间。

8. 根据权利要求 7 所述的半导体器件,

其中所述第一半导体器件是用于为所述电子设备提供指定的通信协议控制的基带处

理器。

9. 根据权利要求 8 所述的半导体器件，

其中，当为包括所述多路复用的端子的多个接口端子选择一种功能时，所述第一接口端子分组、所述第二接口端子分组和所述第三接口端子分组中的每个都被指派给输入端子、输出端子和输入 / 输出端子的信号输入 / 输出配置之一，没有重复，并且

其中，当选择另一种功能时，所述第一接口端子分组和所述第二接口端子分组的一部分以及所述第一接口端子分组和所述第三接口端子分组的一部分中的每个都被指派给用于存储器的基于命令 / 地址的端子功能和基于数据的端子功能的信号用途之一，没有重复。

10. 根据权利要求 7 所述的半导体器件，

其中所述接口端子被布置于由所述第一布线基板的所述第一边缘和用于使所述安装面的中心部分与所述第一边缘的两个端部进行连接的虚拟线路形成的区域内。

11. 一种电子设备，包括：

安装板；

安装于所述安装板之上的第一半导体器件，所述第一半导体器件包括第一布线基板、安装于所述第一布线基板的芯片安装表面之上的第一半导体芯片、以及与所述第一半导体芯片电连接的且形成于与所述第一布线基板的所述芯片安装表面相反的安装面上的多个外部端子；以及

安装于所述安装板之上的且与所述第一半导体器件电连接的第二半导体器件，所述第二半导体器件包括第二布线基板、安装于所述第二布线基板的芯片安装表面之上的第二半导体芯片、以及与所述第一半导体器件电连接的且形成于与所述第二布线基板的所述芯片安装表面相反的安装面上的多个外部端子，

其中在平面图中，所述第一半导体器件的所述外部端子按多个行形成并且沿着所述第一布线基板的所述安装面的每个边缘来布置，

其中所述第一半导体器件被安装于所述安装板之上使得所述第一布线基板的所述安装面的边缘中的第一边缘面向所述第二半导体器件，

其中所述第一半导体器件的所述外部端子包括与所述第二半导体器件连接的多个接口端子，

其中所述接口端子包括能够被动态地指派与给所述第一半导体芯片指派的接口功能对应的功能的多个多路复用的端子，

其中，当所述第一半导体芯片被指派与所述第二半导体器件的接口功能时，所述多路复用的端子被指派为具有彼此不同的信号输入 / 输出配置的第一接口端子分组、第二接口端子分组和第三接口端子分组，并且该指派不同于当所述第一半导体芯片被指派与除所述第二半导体器件以外的半导体器件的接口功能时所述多路复用的端子对具有彼此不同的信号输入 / 输出配置的第二接口端子分组和第五接口端子分组的指派，

其中在所述平面图中，所述第一接口端子分组沿着所述第一布线基板的所述安装面的所述第一边缘与所述第二接口端子分组相邻地布置，

其中在所述平面图中，所述第二接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的一个端部的第二边缘之间，并且

其中在所述平面图中,所述第三接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的另一端部的第三边缘之间。

12. 根据权利要求 11 所述的电子设备,

其中所述第一半导体器件是用于为所述电子设备提供指定的通信协议控制的基带处理器,并且

其中所述第二半导体器件是用于为所述电子设备提供与所述通信协议控制不同的控制的应用处理器。

13. 根据权利要求 12 所述的电子设备,

其中所述第一接口端子分组、所述第二接口端子分组和所述第三接口端子分组中的每个都被指派给输入端子、输出端子和输入 / 输出端子的信号输入 / 输出配置之一,没有重复,并且

其中所述第四接口端子分组和所述第五接口端子分组中的每个都被指派给用于同步 DRAM 的基于命令 / 地址的端子和基于数据的端子的信号用途之一,没有重复。

14. 根据权利要求 13 所述的电子设备,还包括:

与所述第二半导体器件电连接的第三半导体器件,所述第三半导体器件包括第三布线基板、安装于所述第三布线基板的芯片安装表面之上的第三半导体芯片、以及与所述第三半导体芯片电连接的且形成于与所述第三布线基板的所述芯片安装表面相反的安装面上的多个外部端子。

15. 根据权利要求 14 所述的电子设备,

其中所述第三半导体器件是同步 DRAM。

16. 一种半导体器件,包括布线基板、安装于所述布线基板的芯片安装表面上的半导体芯片以及子与所述半导体芯片电连接的且形成于与所述布线基板的所述芯片安装表面相反的安装面上的多个外部端子,

其中在平面图中,所述半导体器件的所述外部端子按多个行形成并且沿着所述布线基板的所述安装面的每个边缘来布置,

其中所述半导体器件的所述外部端子包括可与其他半导体器件连接的多个接口端子,

其中所述接口端子包括能够被动态地指派与给所述半导体芯片指派的外部接口功能对应的功能的多个多路复用的端子,

其中,当第一外部接口功能被指定为所述外部接口功能时,所述多路复用的端子被指派为具有彼此不同的信号输入 / 输出配置的第一接口端子分组、第二接口端子分组和第三接口端子分组,

其中,当第二外部接口功能被指定为所述外部接口功能时,所述多路复用的端子被指派为具有彼此不同的信号用途的第四接口端子分组和第五接口端子分组,

其中在所述平面图中,所述第一接口端子分组沿着所述布线基板的所述安装面的所述第一边缘与所述第二接口端子分组相邻地布置,

其中在所述平面图中,所述第二接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的一个端部的第二边缘之间,

其中在所述平面图中,所述第三接口端子分组被布置于所述第一接口端子分组与相交于所述第一边缘的另一端部的第三边缘之间,

其中在所述平面图中,所述第四接口端子分组沿着所述布线基板的所述安装面的所述第一边缘与所述第五接口端子分组相邻地布置,并且

其中在所述平面图中,所述第五接口端子分组被布置于所述第四接口端子分组与相交于所述第一边缘的边缘之间。

17. 根据权利要求 16 所述的半导体器件,

其中所述半导体器件是用于提供指定的通信协议控制的基带处理器。

18. 根据权利要求 17 所述的半导体器件,

其中,当为包括所述多路复用的端子的多个接口端子选择一种功能时,所述第一接口端子分组、所述第二接口端子分组和所述第三接口端子分组中的每个都被指派给输入端子、输出端子和输入 / 输出端子的信号输入 / 输出配置之一,没有重复,并且

其中,当为包括所述多路复用的端子的多个接口端子选择另一种功能时,所述第四接口端子分组和所述第五接口端子分组中的每个都被指派给用于同步 DRAM 的基于命令 / 地址的端子和基于数据的端子的信号用途之一,没有重复。

19. 根据权利要求 18 所述的半导体器件,

其中所述接口端子设置有固定的端子功能并且包括用于与所述同步 DRAM 连接的多个非多路复用的端子,并且

其中所述非多路复用的端子包括用于配置差分对的数据选通信号的差分端子并且包括用于配置差分对的时钟信号的差分端子。

20. 根据权利要求 18 所述的半导体器件,还包括:

用于配置所述第一外部接口功能和所述第二外部接口功能之一的存储电路。

电子设备和半导体器件

[0001] 相关申请的交叉引用

[0002] 在 2012 年 10 月 24 日提交的日本专利申请 No. 2012-234525 的公开内容(包括说明书、附图和摘要)通过引用的方式全文并入本文。

技术领域

[0003] 本发明涉及电子设备和半导体器件。电子设备包括安装有多个半导体器件的安装板并且被用于例如通信终端。半导体器件包括多路复用的端子并且被安装于电子设备之上。更特别地,本发明涉及可应用于移动电话的技术。

背景技术

[0004] 根据专利文献 1 所公开的技术,第一处理器设置有存储器子系统。第二中间处理器被插入第一处理器与存储器子系统之间的通信路径之内。存储器事务被传输给第二处理器。存储器事务被控制以致于在存储器事务被允许通过第二处理器时到达存储器子系统。简言之,第一处理器经由第二处理器给存储器供应访问信号以使能访问存储器。

[0005] 根据专利文献 2,基于数据的接口电路部分和基于命令/地址的接口电路部分沿着芯片外周边边缘被相互独立地阻断,使得 SDRAM 与微计算机的存储器接口电路连接。

[0006] 专利文献 1:日本未经审查的专利申请公开(PCT 申请的译文)No. 2005-531863

[0007] 专利文献 2:日本未经审查的专利申请公开 No. 2008-153288

发明内容

[0008] 例如,在专利文献 1 中的图 1A 示出了用于将存储器连接至基带处理器的拓扑结构。同样在专利文献 1 中的图 2A 示出了用于将应用处理器连接至基带处理器的并且将存储器连接至应用处理器的拓扑结构。本发明的发明人检查了包括可用于这些拓扑结构中的任一种拓扑结构的基带处理器的半导体器件。很明显,与以应用处理器为代表的半导体器件接口连接(interface)的电路部分不同于与存储器接口连接的电路部分。这两个电路部分都可以将特别设计的外部端子用作接口端子,但是在可能考虑到对半导体器件的外部尺寸或端子的数量的限制的情况下优选地可以使用多路复用的端子。

[0009] 但是,如果多路复用的端子被使用,则这两个电路部分在信号用途或信号输入/输出配置方面不同。连接对应部使用不同的外部端子布置。本发明的发明人发现,如果作为外部端子的多路复用的端子的布置仅基于作为对应部的相应端子布置来安放,则难以在半导体器件内进行键合丝线(或者与键合丝线连接的键合焊盘)的布置或者难以在器件基板内进行布线布置。例如,具有基带处理器的半导体器件的外部端子(用于接口)的布置(布置)根据存储器或者与基带处理器电连接的应用处理器的外部接口端子(引脚)的布置(布局)来安放。这会有效地促进布线基板(安装有电子部件的)的布线布置。如专利文献 2 的图 4 所示,优选的是集体布置相同类型的接口端子。如专利文献 2 的图 13 所示,还优选的是使用包含于基带处理器的外部端子内的并且尽可能与连接对应部接近地布置的外部接

口端子。这样的外部端子通常沿着外周边部分布置。但是,接口的类型或数量取决于与基带处理器电连接的电子部件。我们发现,如果仅基于上述准则而将引脚指派于安装有基带处理器的半导体器件的外部接口端子内以致于与多个电子部件(例如,存储器和应用处理器)兼容,则串扰噪声容易出现于安装有基带处理器的半导体器件中。

[0010] 本发明的这些及其他目的和新特征可以通过参考下面的描述和附图来容易地确定。

[0011] 以下总结了在本申请中公开的一种典型实施例。

[0012] 一种选择配置根据功能将多路复用的端子分组划分成三个分组,不同于用于将多路复用的端子分组划分成例如两个分组的另一种选择配置。第一多引脚半导体器件被配置使得分组沿着芯片的一个边缘连续地布置。第一半导体器件经由多路复用的端子分组与第二半导体器件连接。多路复用的端子分组包括在信号输入/输出配置方面彼此不同的第一至第三接口端子分组。

[0013] 以下总结了由本申请所公开的本发明的代表性方面提供的效果。

[0014] 第一至第三接口端子分组沿着芯片的一个边缘连续地布置。因此,与沿着布置方向在信号输入/输出配置方面不同的端子相比,接口端子分组能够减轻或减少在键合丝线或者在器件基板内的丝线之间的串扰。

附图说明

[0015] 图 1 示出了其中应用处理器与基带处理器连接并且同步 DRAM(动态随机存取存储器)与应用处理器连接的第一系统配置;

[0016] 图 2 示出了其中同步 DRAM 与基带处理器连接的第二系统配置;

[0017] 图 3 是示出具有图 1 所示的第一系统配置的电子设备的示意性物理结构的垂直剖面图;

[0018] 图 4 是示出具有图 2 所示的第二系统配置的电子设备的示意性物理结构的垂直剖面图;

[0019] 图 5 是示出在给基带处理器的多路复用的接口端子指派的功能布置与根据图 1 所示的第一系统配置的基带处理器与应用处理器连接的端子布置之间的关系平面图;

[0020] 图 6 是平面图示出在给基带处理器的多路复用的接口端子指派的功能布置与和根据图 2 所示的第二系统配置的基带处理器与同步 DRAM 连接的端子布置之间的关系;

[0021] 图 7 是示出根据第一系统配置从基带处理器的键合焊盘通到接口端子分组的部分布线路径的说明图;

[0022] 图 8 是示出根据第二系统配置从基带处理器的键合焊盘通到接口端子分组的部分布线路径的说明图;

[0023] 图 9 是示出用于指定在第一布线基板的安装面上的输入端子分组、输出端子分组和输入/输出端子分组的布置区的技术的说明图;

[0024] 图 10 是示出在仅基于待以多路复用模式来连接的应用处理器的端子布置来安放基带处理器的多路复用的端子的布置时的外部端子布置的比较实例的平面图;

[0025] 图 11 是示出在仅基于待以多路复用模式来连接的应用处理器的端子布置来安放基带处理器的多路复用的端子的布置时的键合丝线布置的比较实例的平面图;以及

[0026] 图 12 是示出在仅基于待以多路复用模式来连接的应用处理器的端子布置来安放基带处理器的多路复用的端子的布置时的布线基板内的布线层的比较实例的平面图。

具体实施方式

[0027] 1. 实施例概述

[0028] 以下总结了本申请所公开的典型实施例。在下面的描述中,括号内的引用数字对应于附图中所示的引用数字并且仅表示属于相应部件的概念的实例。

[0029] <1> 电子设备的结构,包括具有多路复用的端子的第一半导体器件(BBP)以及与第一半导体器件连接的第二半导体器件(APP)

[0030] 电子设备(图 1 和 3)包括安装板(4)、第一半导体器件(1)和第二半导体器件(2)。

[0031] 第一半导体器件(1)被安装于安装板之上,并且包括第一布线基板(100)、安装于第一布线基板的芯片安装表面之上的第一半导体芯片(101),以及与第一半导体芯片电连接的且形成于与第一布线基板的芯片安装表面相反的安装面上的多个外部端子(102)。

[0032] 第二半导体器件(2)包括第二布线基板(200)、安装于第二布线基板的芯片安装表面之上的第二半导体芯片(201),以及多个外部端子(202)。第二半导体器件被安装于安装板之上并且与第一半导体器件电连接。外部端子与第二半导体芯片电连接并且形成于与第二布线基板的芯片安装表面相反的安装面上。

[0033] 在平面图中,第一半导体器件的外部端子按多个行形成并且沿着第一布线基板的安装面的每个边缘而布置。

[0034] 第一半导体器件的外部端子包括在第一布线基板的安装面的外周边部分侧的第一外部端子分组(102_1),和与第一外部端子分组相比布置得更靠近于第一布线基板的安装面的中心部分侧的第二外部端子分组(102_2)。

[0035] 在第一外部端子分组与第二外部端子分组之间的间隔大于每个外部端子的直径。

[0036] 第一半导体器件被安装于安装板之上,使得第一布线基板的安装面的边缘中的第一边缘面向第二半导体器件。

[0037] 第一半导体器件的外部端子包括与第二半导体器件连接的多个接口端子(102_apif)。

[0038] 接口端子沿着第一布线基板的安装面的第一边缘(100_1)而布置并且与第一布线基板的安装面的中心部分相比更靠近地布置于第一布线基板的安装面的第一边缘侧。

[0039] 接口端子包括多路复用的端子,例如,具有彼此不同的信号输入/输出配置的第一接口端子分组(102_i)、第二接口端子分组(102_o)和第三接口端子分组(102_io)。

[0040] 第一接口端子分组、第二接口端子分组和第三接口端子分组被指派(assign)给第一外部端子分组和第二外部端子分组。

[0041] 在平面图中,第二接口端子分组被布置于第一接口端子分组与相交于第一边缘的一个端部的第二边缘之间。

[0042] 在平面图中,第三接口端子分组被布置于第一接口端子分组与相交于第一边缘的另一端部的第三边缘之间。

[0043] 如上所述,第一至第三接口端子分组具有彼此不同的信号输入/输出配置并且按照例如图 5 所示的顺序沿着芯片的一个边缘来布置。因此,与在沿着布置方向的信号输入/

输出配置方面不同的端子相比,接口端子分组能够减轻或减少在键合丝线或者器件基板内的丝线之间的串扰。假定,多路复用的端子布置,即,待以多路复用模式来连接的一个连接目标的端子布置,仅基于用于与连接对应部(安装于安装板上的其他电子部件)间的接口的外部端子的布置来确定。然后,假定串扰根据在半导体器件内的键合丝线(或者用于与键合丝线连接的键合焊盘)的布置或者在器件基板内的布线布置而发生。接口端子分组能够防止串扰的可能性。

[0044] <2> 基带处理器和应用处理器

[0045] 根据项目 1,第一半导体器件是用于为电子设备提供指定的通信协议控制的基带处理器。第二半导体器件是用于为电子设备提供除通信协议控制以外的控制的应用处理器。

[0046] 作为一个多路复用的连接方案,假定第一至第三接口端子分组与处理器连接。端子分组使用彼此不同的信号输入/输出配置。这有利地防止了在整个电子电路中的信号质量下降。换言之,最重要(优选)的在于与存储器相比具有高信号密度的处理器(基带处理器和应用处理器)之间的连接。这有利地防止了在整个电子电路中的信号质量下降。高信号密度表示除了例如电源端子、接地端子和测试端子之外的密集布置的信号端子。

[0047] <3> 给第一至第三接口端子分组指派彼此不同的信号输入/输出配置

[0048] 根据项目 2,第一接口端子分组、第二接口端子分组和第三接口端子分组每个都被指派给输入端子、输出端子和输入/输出端子的信号输入/输出配置之一,没有重复。

[0049] 接口端子根据信号输入、输出和输入/输出来划分并布置为基本信号接口类型。因此,可以提高防止导致在具有不同的信号传输方向的信号之间或者在变化的时序和速度差异大的信号之间的串扰的可能性的效果。

[0050] <4> 第三半导体器件

[0051] 根据项目 3,本发明还提供了第三半导体器件(3)。第三半导体器件包括第三布线基板(300)、安装于第三布线基板的芯片安装表面之上的第三半导体芯片(301),以及多个外部端子(302)。第三半导体器件与第二半导体器件电连接。外部端子与第三半导体芯片电连接并且形成于与第三布线基板的芯片安装表面相反的安装面上。

[0052] 这能够提供包括第三半导体器件的电子电路。

[0053] <5> 同步 DRAM

[0054] 根据项目 4,第三半导体器件是同步 DRAM。

[0055] 第一及第二半导体器件能够将同步 DRAM 用作共享资源。数据处理能够被指派给基带处理器和应用处理器。

[0056] <6> 用于布置接口端子的区域

[0057] 根据项目 1,接口端子被布置于由第一布线基板的第一边缘(100_1)以及用于将安装面的中心部分与第一边缘的两个端部连接的虚拟线路(VTR1 和 VTR2)形成的区域内。

[0058] 在考虑到在形成于半导体芯片上的电路芯片的布置与电路的外部端子的布置之间的关系的情况下,经验法则将对布置效率起作用。

[0059] <7> 半导体器件(BBP)的结构

[0060] 半导体器件(1)被安装于安装有电子部件的安装板之上并且包括第一布线基板(100)、半导体芯片(101)及多个外部端子(102)。

- [0061] 半导体芯片被安装于布线基板的芯片安装表面之上。
- [0062] 端子与半导体芯片电连接并且形成于与布线基板的芯片安装表面相反的安装面上。
- [0063] 在平面图中,半导体器件的外部端子按行形成并且沿着布线基板的安装面的每个边缘来布置。
- [0064] 半导体器件的外部端子包括布置于第一布线基板的安装面的外周边部分侧的第一外部端子分组(102_1)以及与第一外部端子分组相比布置得更靠近于第一布线基板的安装面的中心部分侧的第二外部端子分组(102_2)。
- [0065] 在第一外部端子分组与第二外部端子分组之间的间隔大于每个外部端子的直径。
- [0066] 半导体器件的外部端子包括与外部(其他电子部件)连接的多个接口端子(102_apif)。
- [0067] 接口端子沿着布线基板的安装面的第一边缘(100_1)来布置并且与布线基板的安装面的中心部分相比更靠近地布置于布线基板的安装面的第一边缘侧。
- [0068] 接口端子包括多路复用的端子,例如,具有彼此不同的信号输入/输出配置的第一接口端子分组(102_i)、第二接口端子分组(102_o)和第三接口端子分组(102_io)。
- [0069] 第一接口端子分组、第二接口端子分组和第三接口端子分组被指派给第一外部端子分组和第二外部端子分组。
- [0070] 在平面图中,第二接口端子分组被布置于第一接口端子分组与相交于第一边缘的一个端部的第二边缘之间。
- [0071] 在平面图中,第三接口端子分组被布置于第一接口端子分组与相交于第一边缘的另一端部的第三边缘之间。
- [0072] 如上所述,第一至第三接口端子分组具有彼此不同的信号输入/输出配置并且按照例如图5所示的顺序沿着芯片的一个边缘来布置。因此,与在沿着布置方向的信号输入/输出配置方面不同的端子相比,接口端子分组能够减轻或减少在键合丝线或者器件基板内的丝线之间的串扰。假定,多路复用的端子布置,即,待以多路复用模式来连接的一个连接目标的端子布置,仅基于用于与连接对应部(安装于安装板上的其他电子部件)间的接口的外部端子的布置来确定。然后,假定串扰根据在半导体器件内的键合丝线(或者用于与键合丝线连接的键合焊盘)的布置或者在器件基板内的布线布置而发生。接口端子分组能够防止串扰的可能性。
- [0073] <8> 基带处理器
- [0074] 根据项目7,第一半导体器件是用于为电子设备提供指定的通信协议控制的基带处理器。
- [0075] 第一至第三接口端子使用彼此不同的信号输入/输出配置。假定,作为成多路复用模式的一个连接方案,端子分组与处理器连接。然后,端子分组有利地防止用于与外部的接口的信号质量的下降。换言之,假定与存储器相比具有高信号密度的在处理器之间的连接(例如,与应用处理器间的连接)。然后,端子分组有利地防止用于与外部的接口的信号质量的下降。
- [0076] <9> 将信号输入/输出配置或信号用途指派给多路复用的端子
- [0077] 根据项目8,当为包括多路复用的端子的多个接口端子选择一种功能时,第一接口

端子分组、第二接口端子分组和第三接口端子分组中的每个都被指派给输入端子、输出端子和输入 / 输出端子的信号输入 / 输出配置之一,没有重复。当选择另一种功能时,第一接口端子分组和第二接口端子分组的一部分以及第一接口端子分组和第三接口端子分组的一部分每个都被指派给用于存储器的基于命令 / 地址的端子功能和基于数据的端子功能的信号用途之一,没有重复。

[0078] 依据待在多用复用模式中连接的其他端子的布置,第一至第三接口端子分组能够被指派给两种功能,即,用于存储器的基于命令 / 地址的端子功能以及基于数据的端子功能。

[0079] <10> 用于布置接口端子的区域

[0080] 根据项目 7,接口端子被布置于由第一布线基板的第一边缘(100_1)以及用于将安装面的中心部分与第一边缘的两个端部连接的虚拟线路(VTR1 和 VTR2)形成的区域内。

[0081] 在考虑到在形成于半导体芯片上的电路芯片的布置与电路的外部端子的布置之间的关系的情况下,经验法则将对布置效率起作用。

[0082] <11> 其中一种选择配置根据功能将多路复用的端子分组划分成三个分组的系统,不同于用于将多路复用的端子分组划分成两个分组的另一种选择配置,并且被应用于被配置为使分组沿着芯片的一个边缘连续地布置的多引脚半导体器件

[0083] 电子设备(图 1 和 3)包括安装板(4)、第一半导体器件(1)和第二半导体器件(2)。

[0084] 第一半导体器件被安装于安装板之上,并且包括第一布线基板(100)、安装于第一布线基板的芯片安装表面之上的第一半导体芯片(101),以及多个外部端子(102)。外部端子与第一半导体芯片电连接并且形成于与第一布线基板的芯片安装表面相反的安装面上。

[0085] 第二半导体器件被安装于安装板之上,并且与第一半导体器件电连接。第二半导体器件包括第二布线基板(200)、安装于第二布线基板的芯片安装表面之上的第二半导体芯片(201),以及与第二半导体芯片电连接的且形成于与第二布线基板的芯片安装表面相反的安装面上的多个外部端子(202)。

[0086] 在平面图中,第一半导体器件的外部端子按多个行形成并且沿着第一布线基板的安装面的每个边缘而布置。

[0087] 第一半导体器件被安装于安装板之上,使得第一布线基板的安装面的边缘中的第一边缘(100_1)面向第二半导体器件。

[0088] 第一半导体器件的外部端子包括与第二半导体器件连接的多个接口端子(102_apif)。

[0089] 接口端子包括能够动态地指派与给第一半导体芯片指派的接口功能对应的功能的多个多路复用的端子。

[0090] 当给第一半导体芯片指派与第二半导体器件间的接口功能时,多路复用的端子被指派为具有彼此不同的信号输入 / 输出配置的第一接口端子分组(102_i)、第二接口端子分组(102_o)和第三接口端子分组(102_io)。当给第一半导体芯片指派与除第二半导体器件外的半导体器件(3)间的接口功能时,该指派不同于多路复用的端子对具有彼此不同的信号输入 / 输出配置的第四接口端子分组(102_dq 和 102_dqs)和第五接口端子分组(102_ca 和 102_ck)的指派。

[0091] 在平面图中,第一接口端子分组沿着第一布线基板的安装面的第一边缘(100_1)

与第二接口端子分组相邻地布置。

[0092] 在平面图中,第二接口端子分组被布置于第一接口端子分组与相交于第一边缘的一个端部的第二边缘(100_2)之间。

[0093] 在平面图中,第三接口端子分组被布置于第一接口端子分组与相交于第一边缘的另一端部的第三边缘(100_3)之间。

[0094] 如上所述,第一至第三接口端子分组具有彼此不同的信号输入/输出配置并且按照例如图 5 所示的顺序沿着芯片的边缘来布置。因此,与在沿着布置方向的信号输入/输出配置方面不同的端子相比,接口端子分组能够减轻或减少在键合丝线或者器件基板内的丝线之间的串扰。假定,多路复用的端子布置,即,待以多路复用模式来连接的一个连接目标的端子布置,仅基于用于与连接对应部(安装于安装板上的其他电子部件)间的接口的外部端子的布置来确定。然后,假定串扰根据在半导体器件内的键合丝线(或者用于与键合丝线连接的键合焊盘)的布置或者在器件基板内的布线布置而发生。接口端子分组能够防止串扰的可能性。多路复用的端子被指派给具有彼此不同的信号输入/输出配置的第一至第三接口端子分组。该端子分组指派的意图不同于具有例如图 6 所示的彼此不同的信号用途的第四及第五接口端子分组。接口端子根据信号输入/输出配置来划分并布置为基本信号接口类型。因此,可以提高防止导致在具有不同的信号传输方向的信号之间或者在变化的时序和速度差异大的信号之间的串扰的可能性的效果。

[0095] <12> 基带处理器和应用处理器

[0096] 根据项目 11,第一半导体器件是用于为电子设备提供指定的通信协议控制的基带处理器。第二半导体器件是用于为电子设备提供除通信协议控制以外的控制的应用处理器。

[0097] 作为一个多路复用的连接方案,假定第一至第三接口端子分组与处理器连接。端子分组使用彼此不同的信号输入/输出配置。这有利地防止了在整个电子电路中的信号质量下降。换言之,端子分组将彼此不同的信号输入/输出配置用于与存储器相比具有高信号密度的在处理器(基带处理器和应用处理器)之间的连接。这有利地防止了在整个电子电路中的信号质量下降。

[0098] <13> 将信号输入/输出配置或信号用途指派给多路复用的端子

[0099] 根据项目 12,第一接口端子分组、第二接口端子分组和第三接口端子分组每个都被指派给输入端子、输出端子和输入/输出端子的信号输入/输出配置之一,没有重复,如例如图 5 所示。第四接口端子分组和第五接口端子分组每个都被指派给用于同步 DRAM 的基于命令/地址的端子和基于数据的端子的信号用途之一,没有重复,如例如图 6 所示。

[0100] 接口端子根据信号输入、输出和输入/输出来划分并布置为基本信号接口类型。因此,可以提高防止导致在具有不同的信号传输方向的信号之间或者在变化的时序和速度差异大的信号之间的串扰的可能性的效果。依据待在多用复用模式中连接的其他端子的布置,第四及第五接口端子分组能够被指派给用于存储器的基于命令/地址的端子功能以及基于数据的端子功能。

[0101] <14> 进一步提供第三半导体芯片

[0102] 根据项目 13,本发明还提供了第三半导体器件(3),该第三半导体器件(3)与第二半导体器件电连接的并且包括第三布线基板(300)、安装于第三布线基板的芯片安装表面

之上的第三半导体芯片(301),以及多个外部端子(302)。外部端子与第三半导体芯片电连接并且形成于与第三布线基板的芯片安装表面相反的安装面上。

[0103] 这能够提供包括第三半导体器件的电子电路。

[0104] <15> 同步 DRAM

[0105] 根据项目 14,第三半导体器件是同步 DRAM。

[0106] 第一及第二半导体器件能够将同步 DRAM 用作共享资源。数据处理能够被指派给基带处理器和应用处理器。

[0107] <16> 多引脚半导体器件,在该多引脚半导体器件中,一种选择配置根据功能将多路复用的端子划分成三个分组,另一种选择配置根据功能将多路复用的端子划分成两个分组,并且这些分组沿着芯片的一个边缘连续地布置

[0108] 半导体器件(1)包括布线基板(100)、安装于布线基板的芯片安装表面上的半导体芯片(101),以及与半导体芯片电连接的且形成于与布线基板的芯片安装表面相反的安装面上的多个外部端子(102)。

[0109] 在平面图中,半导体器件的外部端子按多个行形成并且沿着布线基板的安装面的每个边缘来布置。

[0110] 半导体器件的外部端子包括可与其他半导体器件连接的多个接口端子(102_apif)。

[0111] 接口端子包括多个多路复用的端子,能够动态地指派与给半导体芯片指派的外部接口功能对应的功能。

[0112] 当第一外部接口功能被指定为外部接口功能时,多路复用的端子被指派为具有彼此不同的信号输入/输出配置的第一接口端子分组(102_i)、第二接口端子分组(102_o)和第三接口端子分组(102_io)。

[0113] 当第二外部接口功能被指定为外部接口功能时,多路复用的端子被指派为具有彼此不同的信号用途的第四接口端子分组(102_dq 和 102_dqs)和第五接口端子分组(102_ca 和 102_ck)。

[0114] 在平面图中,第一接口端子分组沿着布线基板的安装面的第一边缘(100_1)与第二接口端子分组相邻地布置。

[0115] 在平面图中,第二接口端子分组被布置于第一接口端子分组与相交于第一边缘的一个端部的第二边缘(100_2)之间。

[0116] 在平面图中,第三接口端子分组被布置于第一接口端子分组与相交于第一边缘的另一端部的第三边缘(100_3)之间。

[0117] 在平面图中,第四接口端子分组沿着在布线基板的安装面上的第一边缘与第五接口端子分组相邻地布置。

[0118] 在平面图中,第五接口端子分组被布置于第四接口端子分组与相交于第一边缘的边缘之间。

[0119] 如上所述,第一至第三接口端子分组具有彼此不同的信号输入/输出配置并且按照例如图 5 所示的顺序沿着芯片的一个边缘来布置。因此,与在沿着布置方向的信号输入/输出配置方面不同的端子相比,接口端子分组能够减轻或减少在键合丝线或者器件基板内的丝线之间的串扰。假定,多路复用的端子布置,即,待以多路复用模式来连接的一个连接

目标的端子布置,仅基于用于与连接对应部(安装于安装板上的其他电子部件)间的接口的外部端子的布置来确定。然后,假定串扰根据在半导体器件内的键合丝线(或者用于与键合丝线连接的键合焊盘)的布置或者在器件基板内的布线布置而发生。接口端子分组能够防止串扰的可能性。多路复用的端子被指派给具有彼此不同的信号输入/输出配置的第一至第三接口端子分组。该端子分组指派的意图不同于具有例如图6所示的彼此不同的信号用途的第四及第五接口端子分组。接口端子根据信号输入/输出配置来划分并布置为基本信号接口类型。因此,可以提高防止导致在具有不同的信号传输方向的信号之间或者在变化的时序和速度差异大的信号之间的串扰的可能性的效果。

[0120] <17> 基带处理器

[0121] 根据项目16,半导体器件是用于提供指定的通信协议控制的基带处理器。

[0122] 第一至第三接口端子使用彼此不同的信号输入/输出配置。假定,作为成多路复用模式的一个连接方案,端子分组与处理器连接。然后,端子分组有利地防止用于与外部的接口的信号质量的下降。换言之,假定与存储器相比具有高信号密度的在处理器之间的连接(例如,与应用处理器间的连接)。然后,端子分组有利地防止用于与外部的接口的信号质量的下降。

[0123] <18> 将信号输入/输出配置或信号用途指派给多路复用的端子

[0124] 根据项目17,当为包括多路复用的端子的多个接口端子选择一种功能时,第一接口端子分组、第二接口端子分组和第三接口端子分组每个都被指派给输入端子、输出端子和输入/输出端子的信号输入/输出配置之一,没有重复。当为包括多路复用的端子的多个接口端子选择另一种功能时,第四接口端子分组和第五接口端子分组每个都被指派给用于同步DRAM的基于命令/地址的端子和基于数据的端子的信号用途之一,没有重复。

[0125] 依据待在多路复用模式中连接的其他端子的布置,第一至第三接口端子分组能够被指派给两种功能,即,基于命令/地址的端子功能 for 同步DRAM以及基于数据的端子功能。

[0126] <19> 非多路复用的端子

[0127] 根据项目18,接口端子设置有固定的端子功能并且包括用于与同步DRAM连接的多个非多路复用的端子(102_onm、102_ionm、102_dqnm、102_dqsnm、102_canm和102_cknm)。非多路复用的端子包括用于配置差分对的数据选通信号的差分端子(102_dqsnm)并且包括用于配置差分对的时钟信号的差分端子(102_cknm)。

[0128] 作为差分对的端子被提供为非多路复用的端子以防止差分信号功能由于多路复用的电路配置而降低。

[0129] <20> 设置有外部接口功能的存储电路

[0130] 根据项目18,本发明还提供了用于配置第一外部接口功能或第二外部接口功能的存储电路(Reg)。

[0131] 将控制数据写入存储电路(例如,寄存器或非易失性存储元件)可容易地提供第一外部接口功能或第二外部接口功能。

[0132] 2. 实施例的详细描述

[0133] 实施例将在下文更详细地描述。

[0134] < 电子设备的系统配置 >

[0135] 下面的描述将移动通信终端用作使用具有多路复用的端子的基带处理器的电子设备的实例。图 1 和 2 提供了用于基带处理器的系统配置的典型实例。图 1 示出了用于将应用处理器 (APP) 2 连接至基带处理器 (BBP) 1 并且将同步 DRAM (SDRAM) 3 连接至应用处理器 2 的第一系统配置。图 2 示出了在选择用于将同步 DRAM (SDRAM) 3 直接连接至基带处理器 (BBP) 1 的连接方案时的第二系统配置。

[0136] 基带处理器 1 具有第一及第二外部接口功能。第一外部接口功能经由多路复用的端子允许与应用处理器 2 间的接口。第二外部接口功能经由多路复用的端子允许与同步 DRAM 3 间的直接接口。图 1 显示已选择第一外部接口功能。图 2 显示已选择第二外部接口功能。

[0137] 在附图中,基带处理器 1 作为数据处理半导体器件(例如,微处理器和微计算机)的例子。基本上,基带处理器 1 与高频部分(未示出)连接并且处理供应给高频部分的传输数据或者由高频部分根据指定的通信协议来接收的数据。简言之,基带处理器 1 在基带的基础上执行指定的通信协议处理。应用处理器同样作为数据处理半导体器件(例如,微处理器和微计算机)的例子。应用处理器被定位为用于减少在基带处理器 1 上的数据处理的加速器。

[0138] 在图 1 中的第一系统配置允许应用处理器 2 执行诸如显示控制和键输入控制之类的应用处理以便减少在基带处理器 1 上的数据处理负荷。同步 DRAM 3 确保用于协议处理和应用处理的数据区。在协议处理期间,基带处理器 1 使用在应用处理器 2 中的通路访问同步 DRAM 3。替代地,基带处理器 1 通过对应用处理器 2 发布存储器访问命令来使用同步 DRAM 3。

[0139] 在图 2 中的第二系统配置允许基带处理器 1 根据相应的程序来控制诸如显示控制和键输入控制之类的应用处理。同步 DRAM 3 确保用于协议处理和应用处理的数据区。

[0140] 基带处理器 1 可与图 1 和 2 中的两种系统配置兼容并且包括可与第一及第二系统配置兼容的多路复用的接口 (MPXIF) 11。例如,多路复用的接口 11 包括存储器接口控制器以及未示出的处理器间接口 (interprocessor interface) 电路。当基带处理器的 CPU (中央处理单元) 使用装载或存储指令来访问同步 DRAM 3 时,存储器接口控制器根据同步 DRAM 3 的存储器接口规范来控制存储器。处理器间接口电路提供用于地址、数据和命令的与应用处理器 2 间的处理器间接口。一个外部端子可以将存储器接口控制器连接至同步 DRAM 3。另一个外部端子可以将处理器间接口电路连接至应用处理器 2。这些外部端子作为专用端子可以是彼此不同的和可以被指派给封装 (package)。但是,在考虑到半导体器件小型化或对外部端子数量的限制的情况下,实施例基本上将多路复用的端子用作外部端子。

[0141] 多路复用的端子提供具有两种或更多种可选择的端子功能的一个端子。

[0142] 基本上,用于为多路复用的端子选择端子功能的电路(未示出)经由选择器或信号缓冲器将多路复用的端子连接至处理器间接口或存储器接口控制器。基本上,用于指定的存储电路的控制数据设置值确定用于选择端子功能的电路是否允许基带处理器 1 选择第一或第二外部接口功能。指定的存储电路代表例如图 1 和 2 所示的寄存器 Reg 或非易失性存储器件(未示出)。CPU 软件可以在基带处理器的上电复位之后立即配置存储电路。存储电路可以由被供应固定电位以设置值的模式端子代替。

[0143] 同步 DRAM 3 包括例如其外部端子符合 JEDEC 标准中的规范的并且被分类成基于

数据的端子(例如,数据和数据选通)以及基于命令/地址的端子(例如,命令(RAS、CAS和WE)和地址)的存储器接口(MRYIF)31。应用处理器2包括具有符合总线连接的用于输入、输出和输入/输出的外部端子的应用处理器接口(APPIF)21。用于基带处理器1的多路复用的端子尽可能广泛地由两种类型的端子来共享,即,一个包括用于同步DRAM3的基于数据的及基于命令/地址的端子,而另一个包括用于应用处理器2的输入、输出和输入/输出端子。在图1中,应用处理器2包括与用于为同步DRAM3提供存储器接口控制的存储器接口控制器连接的存储器控制器接口(MCNTIF)22。存储器控制器接口(MCNTIF)22与用于同步DRAM3的存储器接口(MRYIF)31连接。

[0144] <具有第一系统配置的电子设备的物理结构>

[0145] 图3是示出具有图1所示的第一系统配置的电子设备的示意性物理结构的垂直剖面图。在图3中的电子设备包括安装板(布线基板)4(例如,母板或内插基板)以及安装于安装板4之上的电子部件1、2和3。基本上,安装板4包括多个布线层。安装板4的表面(最上层平面)设置有与相应的布线层连接的许多安装焊盘400。布线401形成于安装板4上并且为安装焊盘提供指定的布线连接。基带处理器1和应用处理器2被安装于安装板4之上。基带处理器1被提供为第一半导体器件(电子部件)的实例。应用处理器2被提供为第二半导体器件(电子部件)的实例。同步DRAM3被安装于应用处理器2之上并且被提供作为第三半导体器件的实例。

[0146] <基带处理器>

[0147] 基带处理器包括第一布线基板(内插基板)100、第一半导体芯片(基带处理器芯片)101及多个外部端子102。第一半导体芯片101被安装于第一布线基板100的芯片安装表面(在图中的外表面或上表面)之上。外部端子102与第一半导体芯片101电连接并且形成于与第一布线基板100的芯片安装表面相反的安装面(在图中的后表面或下表面)上。在平面图中,根据实施例的第一布线基板100成矩形形状。第一布线基板100包括多个布线层(用于形成布线107)。基带处理器1被安装于安装板4的元件安装区之上。基带处理器1的外部端子102与安装板4的指定安装焊盘400连接。

[0148] 基带处理器芯片(第一半导体芯片)101包括例如用于执行程序的CPU、用于保留由CPU执行的程序的程序存储器、用作CPU工作区的RAM、数字信号处理电路、计时器/计数器以及外部接口电路(例如,I/O端口),尽管没有示出。

[0149] 键合焊盘(电极)103形成于基带处理器芯片101的表面(主表面或器件形成面)上。键合焊盘103和104形成于第一布线基板100的芯片安装表面(在图中的外表面或上表面)上。如图3所示,基带处理器芯片101被安装于第一布线基板100之上,使得用于形成键合焊盘(键合引线)的表面103的反面面向第一布线基板100的芯片安装表面。键合焊盘103和104经由导电部件(例如,键合丝线105)与形成于第一半导体芯片101的主表面(器件形成面)上的键合焊盘(电极)电连接。键合焊盘103和104经由形成于第一布线基板100上的布线107形成于第一布线基板100的安装面(在图中的后表面或下表面)上并且与凸点焊盘(连接盘)108电连接,该凸点焊盘(连接盘)108与外部端子102连接。

[0150] 基带处理器1的表面以树脂(密封剂)106覆盖。树脂(密封剂)106密封(保护)安装于第一布线基板的芯片安装表面上的基带处理器芯片(第一半导体芯片)1和键合丝线105。

[0151] < 应用处理器 >

[0152] 应用处理器 2 包括第二布线基板(内插基板) 200、第二半导体芯片(应用处理器芯片)201 及多个外部端子 202。第二半导体芯片 201 被安装于第二布线基板 200 的芯片安装表面(在图中的外表面或上表面)上。外部端子 202 与第二半导体芯片 201 电连接并且形成于与第二布线基板 200 的芯片安装表面相反的安装面(在图中的后表面或下表面)上。在平面图中,根据该实施例的第二布线基板 200 成矩形形状。第二布线基板 200 包括多个布线层(用于形成布线 204)。应用处理器 2 被安装于安装板 4 的部件安装区(不同于安装有基带处理器 1 的安装区)之上。应用处理器 2 的外部端子 202 与安装板 4 的指定安装焊盘 400 连接。安装板 4 的安装焊盘 400 与应用处理器 2 电连接。安装板 4 的安装焊盘 400 与基带处理器 1 电连接。两个安装焊盘 400 经由形成于安装板 4 上的布线 401 相互电连接。

[0153] 应用处理器芯片(第二半导体芯片)201 包括例如用于执行程序的 CPU、用于保留由 CPU 执行的程序的程序存储器、用作 CPU 工作区的 RAM、数字信号处理电路、计时器 / 计数器和外部接口电路(例如, I/O 端口),尽管没有示出。

[0154] 键合焊盘(未示出)形成于应用处理器芯片 201 的表面(主表面或器件形成面)上。键合焊盘设置有微凸点(凸电极)。微凸点焊盘(键合引线)203 形成于第二布线基板 200 的芯片安装表面(在图中的外表面或上表面)上。应用处理器芯片 201 以倒装芯片的方式与第二布线基板 200 键合。如图 3 所示,应用处理器芯片 201 被安装于第二布线基板 200 上,使得应用处理器芯片 201 的表面面向第二布线基板 200 的芯片安装表面。微凸点焊盘 203 经由形成于第二布线基板 200 上的布线 204 而形成于第二布线基板 200 的安装面(在图中的后表面或下表面)上。微凸点焊盘 203 与凸点焊盘(连接盘)205 连接,该凸点焊盘(连接盘)205 与外部端子 202 连接。微凸点焊盘 203 还与形成于第二布线基板 200 的芯片安装表面上的凸点焊盘(连接盘)206 连接。

[0155] 树脂或密封剂(未示出)密封在应用处理器芯片 201 和第二布线基板 200 之间的空间(间隙)。即,树脂密封或保护在用于第二布线基板的微凸点焊盘 203 与用于应用处理器芯片(第二半导体芯片)201 的微凸点之间的接合区。

[0156] < 存储器 >

[0157] 同步 DRAM 3 包括第三布线基板(内插基板) 300、同步 DRAM 芯片 301 和外部端子 302。同步 DRAM 芯片 301 被提供作为第三半导体芯片并且被安装于第三布线基板 300 的芯片安装表面(在图中的外表面或上表面)上。外部端子 302 与第三半导体芯片 301 电连接并且形成于与第三布线基板 300 的芯片安装表面相反的安装面上。在平面图中,根据实施例的第三布线基板 300 成矩形形状。第三布线基板 300 包括多个布线层(用于形成布线 307)。

[0158] 同步 DRAM 3 包括例如动态存储单元阵列、地址解码器以及用于根据地址解码结果从动态存储单元阵列中选择存储单元的选择电路,尽管没有示出。同步 DRAM 3 还包括读 / 写电路和时序发生器。读 / 写电路放大所选择的存储单元的读出数据并且给所选择的单元供应写入数据。时序发生器基于时钟同步来生成用于存储器操作的时序信号。

[0159] 键合焊盘(电极)303 形成于同步 DRAM 芯片 301 的表面(主表面或器件形成面)上。与键合焊盘 303 对应的键合焊盘(键合引线)304 形成于第三布线基板 300 的表面上。例如,如图 3 所示,同步 DRAM 芯片 301 被安装于第三布线基板 300 上,使得与用于形成键合焊盘(键合引线)的 303 的外表面相反的后表面面向第三布线基板 300 的芯片安装表面。键合焊

盘 303 经由导电部件(例如,键合丝线 305)与键合焊盘 304 电连接。键合焊盘 304 经由形成于第三布线基板 300 上的布线 307 形成于第三布线基板 300 的安装面(在图中的后表面或下表面)上。键合焊盘 304 与凸点焊盘(连接盘)308 电连接,该凸点焊盘(连接盘)308 与外部端子 302 连接。外部端子 302 被连接并固定至形成于第二布线基板 200 上的凸点焊盘 206,以将同步 DRAM 3 安装于应用处理器 2 之上。

[0160] <具有第二系统配置的电子设备的物理结构>

[0161] 图 4 是示出具有图 2 所示的第二系统配置的电子设备的示意性物理结构的垂直剖面图。在图 4 中的电子设备包括安装板(布线基板)5(例如,母板或内插基板)以及安装于安装板 5 之上的电子部件 1 和 3。基本上,安装板 5 包括多个布线层。安装板 5 的表面(最上层平面)设置有与相应的布线层连接的许多安装焊盘 500。布线 501 形成于安装板 5 上并且给安装焊盘 500 提供指定的布线连接。基带处理器 1 和同步 DRAM 3 被安装于安装板 5 之上。基带处理器 1 被提供为第一半导体器件(电子部件)的实例。同步 DRAM 3 被提供作为第三半导体器件(电子部件)的实例。在图 4 中的基带处理器 1 和同步 DRAM 3 与图 3 所示的那些相同。但是,用于布线基板 5 的布线 501 不同于图 3。在图 3 中,给基带处理器 1 提供第一接口功能形成了能够将应用处理器的相应端子连接至多路复用的端子的布线 401。在图 4 中,给基带处理器 1 提供第二接口功能形成了能够将同步 DRAM 3 的相应端子连接至多路复用的端子的布线 401。

[0162] <给多路复用的接口端子指派功能>

[0163] 图 5 是示出根据图 1 所示的第一系统配置的在给基带处理器 1 的多路复用的端子指派的功能布置与同基带处理器 1 连接的应用处理器 2 的端子布置之间的关系平面图。沿着图 5 的直线 A-A 截取的截面图示出了垂直器件结构并且对应于图 3。

[0164] 如图 1 所示,在平面图中,用于应用处理器 2 的外部端子 202 按矩阵形式布置于第二布线基板 200 的底部。基本上,应用处理器接口 21 包括接口端子,例如,输入端子的输入端子分组 202_i、输出端子的输出端子分组 201_o 以及输入/输出端子的输入/输出端子分组 202_{io}。输入端子分组 202_i 形成于从与第一布线基板 100 的边缘相对的在其中心部分周围的最外侧周边起的两个行内,并且为了简便起见而含有八个端子。输出端子分组 202_o 参照最外侧周边从与第一布线基板 100 的边缘相对的侧面的中心部分起朝向一个角部而形成 2×4 行,并且为了简便起见而含有八个端子。输入/输出端子分组 202_{io} 参照最外侧周边从与第一布线基板 100 的边缘相对的侧面的中心部分起朝向另一个角部而形成 2×4 行,并且为了简便起见而含有八个端子。

[0165] 在平面图中,基带处理器 1 的外部端子 102 沿着在第一布线基板 100 的安装面上的边缘按行形成。即,外部端子 102 按圆周形布置于沿着外周边的两个行内并且按矩阵形式布置于中间圆周空间的中心部分。沿着外周边的两个行作为布置于第一布线基板 100 的安装面上的外周边的第一外部端子分组(外周边端子分组)102₁ 的例子。在中心部分的矩阵布置作为朝着远离第一外部端子分组的安装面的中心部分而布置的第二外部端子分组(内周边端子分组)102₂ 的例子。在第一外部端子分组与第二外部端子分组之间的间隔大于外部端子的直径。换言之,所确保的空间等于外部端子的一个圆周行。

[0166] 基带处理器 1 面向在第一布线基板 100 的安装面上的边缘中的第一边缘 100₁ 处的应用处理器 2。基带处理器 1 的外部端子 102 包括与应用处理器 2 连接的接口端子分组

102_apif。在图中示为空白圆圈的端子不包含于接口端子分组 102_apif 内。应当指出，端子不包含于端子区域内，然而附图可能导致关于看似包含于同一端子区域内的某些端子的误解。

[0167] 接口端子分组 102_apif 朝着在第一布线基板 100 的安装面上的远离在第一布线基板 100 的安装面上的中心部分的第一边缘 100_1，沿着第一布线基板 100 的第一边缘 100_1 而布置。多个接口端子分组 102_apif 包括多路复用的端子以及作为不多路复用的专用端子的非多路复用端子。非多路复用的端子被示出为双重圆圈。当选择第一外部接口功能时，接口端子分组 102_apif 被指派给信号输入 / 输出配置彼此不同的端子分组，即，用于输入的输入端子分组 102_i、用于输出的输出端子分组 102_o 和 102_onm 以及用于输入 / 输出的输入 / 输出端子分组 102_io 和 102_ionm。

[0168] 输入端子分组 102_i 对应于输入端子分组 202_i 并且作为用作多路复用的端子的第一接口端子分组的例子。输入端子分组 102_o 和 102_onm 对应于输出端子分组 202_o。输出端子分组 102_o 作为用作多路复用端子的第二接口端子分组的例子。输出端子分组 102_onm 包括非多路复用的端子。输入 / 输出端子分组 102_io 和 102_ionm 对应于输入 / 输出端子分组 202_io。输入 / 输出端子分组 102_io 作为用作多路复用端子的第三接口端子分组的例子。输入 / 输出端子分组 102_ionm 包括非多路复用的端子。

[0169] 如图 5 所示，在平面图中，作为第一接口端子分组的输入端子分组 102_i 沿着相交于（垂直于）第一边缘 100_1 的第一方向（在图 5 中的水平方向）而布置。输入端子分组 102_i 被分布于第一外部端子分组 102_1 和第二外部端子分组 102_2。

[0170] 如图 5 所示，作为第二接口端子分组的输出端子分组 102_o 沿着第一方向（在图 5 中的水平方向）而布置。类似于输入端子分组 102_i，输出端子分组 102_o 同样被分布于第一外部端子分组 102_1 和第二外部端子分组 102_2。在平面图中，输出端子分组 102_o 被布置于第一接口端子分组 102_i 与相交于第一边缘 100_1 的一个端部的第二边缘 100_2 之间。换言之，如图 5 所示，作为第二接口端子分组的输出端子分组 102_o 相邻于作为第一接口端子分组的输入端子分组 102_i 而沿着第一边缘 100_1 布置。

[0171] 如图 5 所示，作为第三接口端子分组的输入 / 输出端子分组 102_io 沿着第一方向（在图 5 中的水平方向）而布置。类似于输入端子分组 102_i，输入 / 输出端子分组 102_io 同样被分布于第一外部端子分组 102_1 和第二外部端子分组 102_2。输入 / 输出端子分组 102_io 被布置于第一接口端子分组 102_i 与相交于第一边缘 100_1 的另一个端部的第二边缘（与第一边缘相对）100_2 之间。换言之，如图 5 所示，作为第三接口端子分组的输入 / 输出端子分组 102_io 相邻于作为第一接口端子分组的输入端子分组 102_i（与输出端子分组 102_o 相反）而沿着第一边缘 100_1 布置。

[0172] 输入端子分组 102_i、输出端子分组 102_o 和输入 / 输出端子分组 102_io 可以布置于在第一布线基板 100 的安装面上的区域内，如图 9 所示。图 9 是基带处理器 1 的透视平面图，使得基带处理器芯片 101 为可见的。在图 9 中，接口端子分组 102_apif 被布置以包含于由第一布线基板 100 的第一边缘 100_1 以及用于使安装面的中心部分 CNTR 与第一边缘 100_1 的两个端部连接的虚拟线路 VTL1 和 VTL2 形成的区域内。其他电路 111 和 112 相邻于电路 MPXIF 而布置。考虑到在形成于基带处理器芯片 101 上的电路 MPXIF 的布置与用于电路 MPXIF 的外部接口的外部端子分组 102_apif 的布置之间的关系，这允许用于布置

效率的经验法则。可以防止与其他电路 111 和 112 的关系导致在为布线基板 100 确定整个布线路径方面的巨大难度。

[0173] 图 6 是示出根据图 2 所示的第二系统配置的在给基带处理器 1 的多路复用的接口端子指派的功能布置与同基带处理器 1 连接的同步 DRAM 3 的端子布置之间的关系的平面图。沿着图 6 的直线 B-B 截取的器件的垂直结构对应于图 4。

[0174] 基本上,在平面图中,图 2 所示的同步 DRAM 3 的外部端子 302 被形成并被布置于第三布线基板 300 的底部的从最外侧周边起的三个行内。基本上,用于存储器接口 31 的接口端子包括用于不同的信号用途的基于数据的端子分组 302_dq 和 302_dqs 以及基于命令 / 地址的端子分组 302_ca 和 302_ck。基本上,基于数据的端子分组 302_dq 提供多位数据端子。基于数据的端子分组 302_dqs 提供用于配置差分对(差分信号对)的数据选通端子。基于命令 / 地址的端子分组 302_ca 提供多位命令和地址端子。基于命令 / 地址的端子分组 302_ck 提供用于配置差分对的时钟端子。基于数据的端子分组 302_dq 和 302_dqs 被形成于在第三布线基板 300 的平行边缘的一个边缘 300_1 的中心部分周围的从最外侧周边起的三个行内,并且为了简便起见而含有 21 个端子。基于命令 / 地址的端子分组 302_ca 和 302_ck 被形成于在第三布线基板 300 的平行边缘的另一个边缘 300_2 的中心部分周围的从最外侧周边起三个行内,并且为了简便起见而含有 21 个端子。

[0175] 如上所述,基带处理器 1 的外部端子 102 包括接口端子分组 102_apif。当第二外部接口功能被选择时,接口端子分组 102_apif 被指派给用于不同信号用途的端子分组,即,作为基于数据的端子的基于数据的端子分组 102_dq、102_dqnm 和 102_dqsnm 以及作为基于命令 / 地址的端子的基于命令 / 地址的端子分组 102_ca、102_canm 和 102_cknm。

[0176] 基于数据的端子分组 102_dq、102_dqnm 和 102_dqsnm 对应于基于数据的端子分组 302_dq 和 302_dqs。基于数据的端子分组 102_dq 作为用作多路复用端子的第四接口端子分组的例子。数据端子分组 102_dqnm 和数据选通端子分组 102_dqsnm 提供非多路复用的端子。基于命令 / 地址的端子分组 102_ca、102_canm 和 102_cknm 对应于基于命令 / 地址的端子分组 302_ca 和 302_ck。基于命令 / 地址的端子分组 102_ca 作为用作多路复用端子的第五接口端子分组的例子。命令 / 地址端子分组 102_canm 和时钟端子分组 102_cknm 提供非多路复用的端子。数据选通端子分组 102_dqsnm 和时钟端子分组 102_cknm 配置差分对。这些端子分组被提供作为非多路复用的端子,以防止差分信号功能由于多路复用的电路配置而降低。

[0177] 在平面图中,作为第四接口端子分组的基于数据的端子分组 102_dq、102_dqnm 和 102_dqsnm 沿着第一边缘 100_1 而相邻于作为第五接口端子分组的基于命令 / 地址的端子分组 102_ca、102_canm 和 102_cknm 布置。第四接口端子分组被分布于第一外部端子分组 102_1 和第二外部端子分组 102_2。作为第五接口端子分组的基于命令 / 地址的端子分组 102_ca、102_canm 和 102_cknm 被布置于基于数据的端子分组 102_dq、102_dqnm 和 102_dqsnm 的集体与相交于第一边缘 100_1 的第三边缘 100_3 之间。第五接口端子分组被分布于第一外部端子分组 102_1 和第二外部端子分组 102_2。

[0178] 根据第二系统配置,接口端子分组 102_apif 相邻于同步 DRAM 3 的基于数据的端子分组 302_dq 和 302_dqs 而布置。对于在同步 DRAM3 上的存储器操作,基于数据的信号倾向于比基于命令 / 地址的信号更频繁地改变。缩短用于信号的信号路径能够提高噪声电

阻。

[0179] 图 7 是根据第一系统配置的基带处理器 1 的透视平面图并且示出了从键合焊盘 104 到基带处理器 1 的接口端子分组 102_apif 的部分布线路径。与基带处理器 1 的接口端子分组 102_apif 对应的键合焊盘 104 被分类成输出焊盘分组 104_o、输入焊盘分组 104_i 和输入 / 输出焊盘分组 104_io。输出焊盘分组 104_o、输入焊盘分组 104_i 和输入 / 输出焊盘分组 104_io 按照与图 5 所示的输出端子分组 102_o、输入端子分组 102_i 和输入 / 输出端子分组 102_io 的布置相同的顺序来布置。在布线基板 100 中的布线能够容易地根据信号输入 / 输出功能从输出焊盘分组 104_o、输入焊盘分组 104_i 和输入 / 输出焊盘分组 104_io 分组成输出端子分组 102_o、输入端子分组 102_i 和输入 / 输出端子分组 102_io。尽管没有示出, 键合丝线从多路复用的接口 11 通向输出焊盘分组 104_o、输入焊盘分组 104_i 和输入 / 输出焊盘分组 104_io。键合丝线同样能够容易地根据信号功能来分组。

[0180] 在处理器 1 和 2 之间的具有高信号密度的信号传输能够减轻或减少在键合丝线或者布线基板 100 内的丝线之间的串扰。

[0181] 在图 7 中, 为了简便起见, 输出焊盘分组 104_o 和输入 / 输出焊盘分组 104_io 被示出为含有数量比实际数量更少的焊盘。

[0182] 图 10 至 12 提供了集中于安放基带处理器的多路复用的端子的布置仅基于待以多路复用模式来连接的应用处理器的端子布置的问题的比较实例。图 10 仅基于待以多路复用模式来连接的端子分组 202_o, 202_io, 和 202_i 来安放用于基带处理器 1A 的多路复用的端子 1A_o、1A_io 和 1A_i 的布置。因此, 如图 11 所示, 具有不同的输入 / 输出功能的信号在由图 11 中的串扰噪声发生点 CTGP 示出的几个位置彼此相邻。如图 12 所示, 在基带处理器 1A 内的布线基板 100A 上的布线因此促使具有不同的输入 / 输出功能的信号在由图 12 中的串扰噪声发生点 CTGP 示出的几个位置彼此相邻。因此, 在图 10 至 12 中的比较实例无法防止串扰发生于基带处理器 1A 内的键合丝线布置或者布线基板 100A 内的布线上。

[0183] 图 8 是根据第二系统配置的基带处理器 1 的透视平面图并且示出了从基带处理器 1 的键合焊盘 104 通向接口端子分组 102_apif 的部分布线路径。当第二接口功能被选择时, 与用于基带处理器 1 的接口端子分组 102_apif 对应的键合焊盘 10 被分类成用于数据和数据选通信号的基于数据的焊盘分组 104_de 以及用于命令、地址和时钟的基于命令 / 地址的焊盘分组 104_ca。基于数据的焊盘分组 104_de 和基于命令 / 地址的焊盘分组 104_ca 按照与图 6 所示的基于数据的端子分组 102_dq、102_dqs、102_dqnm 和 102_dqsnm 以及基于命令 / 地址的端子分组 102_ca、102_canm 和 102_cknm 的布置相同的顺序来布置。布线基板 100 包括从基于数据的焊盘分组 104_de 和基于命令 / 地址的焊盘分组 104_ca 到基于数据的端子分组 102_dq、102_dqs、102_dqnm 和 102_dqsnm 以及基于命令 / 地址的端子分组 102_ca、102_canm 和 102_cknm 的布线。布线能够容易地根据信号用途来分组。尽管没有示出, 键合丝线从多路复用的接口电路 11 通向基于数据的焊盘分组 104_de 和基于命令 / 地址的焊盘分组 104_ca。键合丝线同样能够容易地根据信号用途来分组。

[0184] 与第一系统配置不同, 第二系统配置并非旨在根据信号输入 / 输出类型来减少串扰。首先, 这是因为第二系统配置使用比处理器间接口更少的接口信号类型并且因此降低了信号变化密度。其次, 这是因为基于数据的和基于命令 / 地址的信号在信号变化密度方面极大地不同。为了减少串扰而单独地布置基于数据的和基于命令 / 地址的信号可以是有

效的。

[0185] < 制造基带处理器 >

[0186] 以下具体地描述用于制造基带处理器 1 的过程。用于制造基带处理器 1 的技术主要包括：1) 基板提供过程；2) 芯片安装(管芯键合)过程；3) 丝线键合过程；4) 成型(mold)过程；5) 球安装过程；和 6) 切割(划片)过程。

[0187] 1) 基板提供过程

[0188] 基板提供过程需要提供基体材料。用于实施例的基体材料是所谓的多块基板并且包括器件区(封装形成区)和划片区。划片区位于两个相邻的器件区之间。换言之，划片区位于每个器件区周围。划片将器件区划分成上述布线基板 100。如上所述，在平面图中，布线基板 100 是矩形的。电极焊盘(键合引线 and 凸点连接盘)形成于布线基板 100 的两个面上。

[0189] 2) 芯片安装(管芯键合)过程

[0190] 以下将描述芯片安装(管芯键合)过程。芯片安装过程将基带处理器芯片 101 安装于基体材料的器件区域上。粘合材料(管芯键合材料)被用来将基带处理器芯片 101 安装于含有器件区的基体材料的外表面(芯片安装表面)上。更详细地，基带处理器芯片 101 通过粘合材料而安装于基体材料(基板)的外表面上，使得基带处理器芯片 101 的后表面(背面)面向基体材料的外表面。基带处理器芯片 101 被安装，使得形成于材料的外表面上的电极焊盘(键合引线) 104 从基带处理器芯片 101 中裸露出。例如，根据该实施例的粘合材料被提供作为绝缘膜。粘合材料同样可以按浆料(流体粘合剂)形式来提供。

[0191] 3) 丝线键合过程

[0192] 用于基带处理器芯片 101 的电极焊盘 103 以及用于器件区 401 的电极焊盘 104 通过作为导电部件的丝线 105 来电连接。

[0193] 4) 成型过程

[0194] 以下将描述成型过程。

[0195] 成型过程将安装于基带处理器芯片 101 上的基体材料(多块基板)布置于型模(未示出)内。基带处理器芯片 101 和丝线 105 以树脂来密封以形成密封单元。实施例以形成于型模(未示出)内的一个空腔来覆盖与器件区对应的基带处理器芯片 101。基带处理器芯片 101 (或器件区)被一次性地密封。结果，树脂同样覆盖着位于两个相邻器件区之间的划片区的外表面。该实施例使用例如环氧热固性树脂。

[0196] 5) 球安装过程

[0197] 密封单元形成于随后被从型模(未示出)中去除的基板上。电极焊盘(凸点连接盘)形成于器件区的后表面上。作为外部端子的焊球(焊料) 102 被形成(被连接)于电极焊盘上。

[0198] 根据该实施例的焊球 102 使用所谓的无铅焊料，即，例如锡(Sn)、银(Ag)和铜(Cu)的合金。无铅焊料被基于 RoHS (有害物质限制)指示来定义为含有为 1000ppm (0.1wt%)或更小的铅(Pb)。含有锡(Sn)的焊料使铜(Cu)容易扩散。实施例可应用于含有铅(Pb)的焊料，以及无铅焊料。但是，考虑到防污染措施，所推荐的是使用在该实施例中描述的无铅焊料。

[0199] 6) 切割(划片)过程

[0200] 切割密封单元的基体材料(多块基板)使器件区与基体材料分离。更详细地,划片刀(未示出)在基体材料上的划片区内划过以使器件区从基体材料中分离,在该器件区内形成了外部端子。

[0201] 虽然本文已经描述了由本发明人所创造的本发明的具体优选实施例,但是应当明确理解,本发明并不限于此,而是可以在本发明的精神和范围之内另外不同地实现。

[0202] < 第一改型 >

[0203] 实施例已经描述了使用所谓的整批成型技术的实例。对于每个半导体器件 1、2 和 3,半导体芯片被安装于在布线基板上形成的器件区并且以一个空腔(形成于型模内的凹部)来覆盖。半导体芯片然后一次性地以树脂来密封。半导体器件通过切割布线基板以及重叠于布线基板上的划片区(形成于器件区之间)之上的树脂(密封单元)来获得。但是,本发明并不限于此。作为代替,可以使用所谓的离散成型技术。该技术以各自的空腔来覆盖形成于布线基板上的半导体芯片,以树脂来密封芯片,并且然后仅切割布线基板以获得半导体器件。

[0204] < 第二改型 >

[0205] 半导体器件(例如,基带处理器)可以使用由代替无铅焊料的含铅焊料制成的外部端子。

[0206] < 第三改型 >

[0207] 基带处理器可以在不通过应用处理器的情况下直接访问存储器(例如,同步 DRAM),而同步 DRAM 被布置为与应用处理器相邻。

[0208] < 第四改型 >

[0209] 同步 DRAM 可以用作单倍数据速率的存储器、双倍数据速率的存储器(例如, DDRSDRAM 和 DDR2SDRAM),四倍数据速率的存储器(例如, DDR3SDRAM)或者具有低功耗的存储器(例如, LPDDRSDRAM)。存储器并不限于同步 DRAM,但是可以用作同步 SRAM 或其他类型的存储器。半导体器件并不限于基带处理器,而是可以用作具有多路复用接口的微计算机以允许数据处理或片上系统的半导体器件。

[0210] < 第五改型 >

[0211] 为了简便起见,本文已经描述了使用根据在图 3 中的第一系统配置以及在图 4 中的第二系统配置的外部端子的相同布置的同步 DRAM 3。但是,本发明并不限于此。图 3 所示的 POP(封装上封装)结构安装诸如应用处理器 2 和同步 DRAM 3 之类的封装以使它们相互重叠。同步 DRAM 3 必须被布置,使得其外部端子避免应用处理器芯片位于下面。另一方面,图 4 示出了不需要安装封装以使它们相互重叠的布置。在这种情况下,同步 DRAM 3 的外部端子可以被布置于整个底表面上。

[0212] < 第六改型 >

[0213] 电子设备并不限于移动终端,而是可以应用于其他通信设备、视听设备、汽车导航设备、电视机以及安装有电子电路的各种设备。

[0214] < 第七改型 >

[0215] 在实施例所描述的本发明的精神和范围之内,上述改型可以彼此结合。

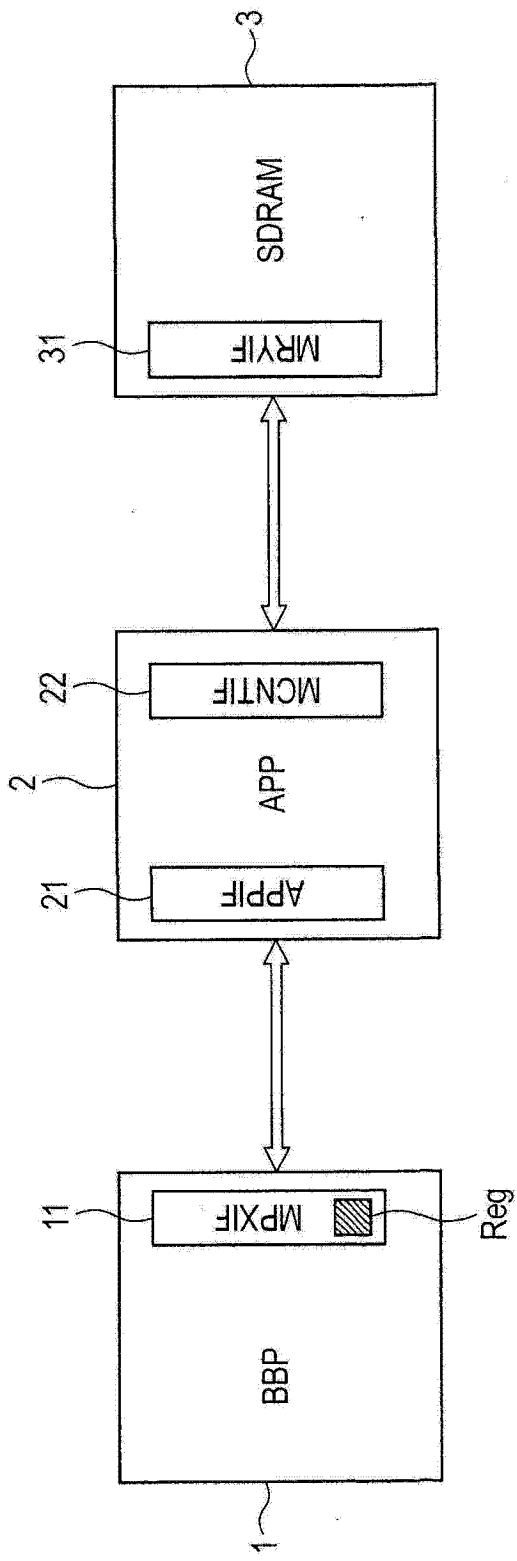


图 1

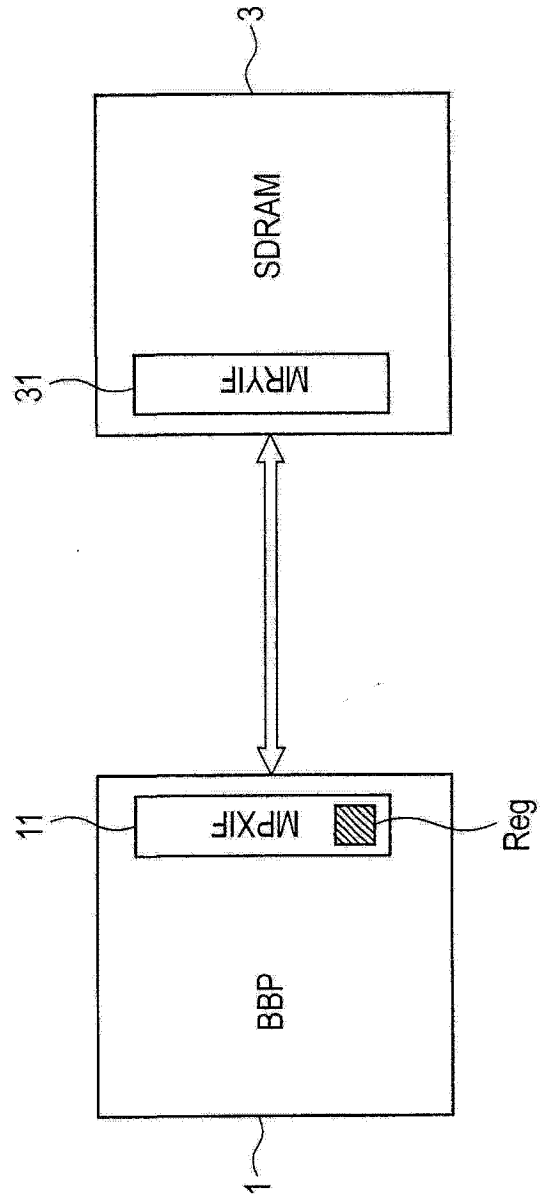


图 2

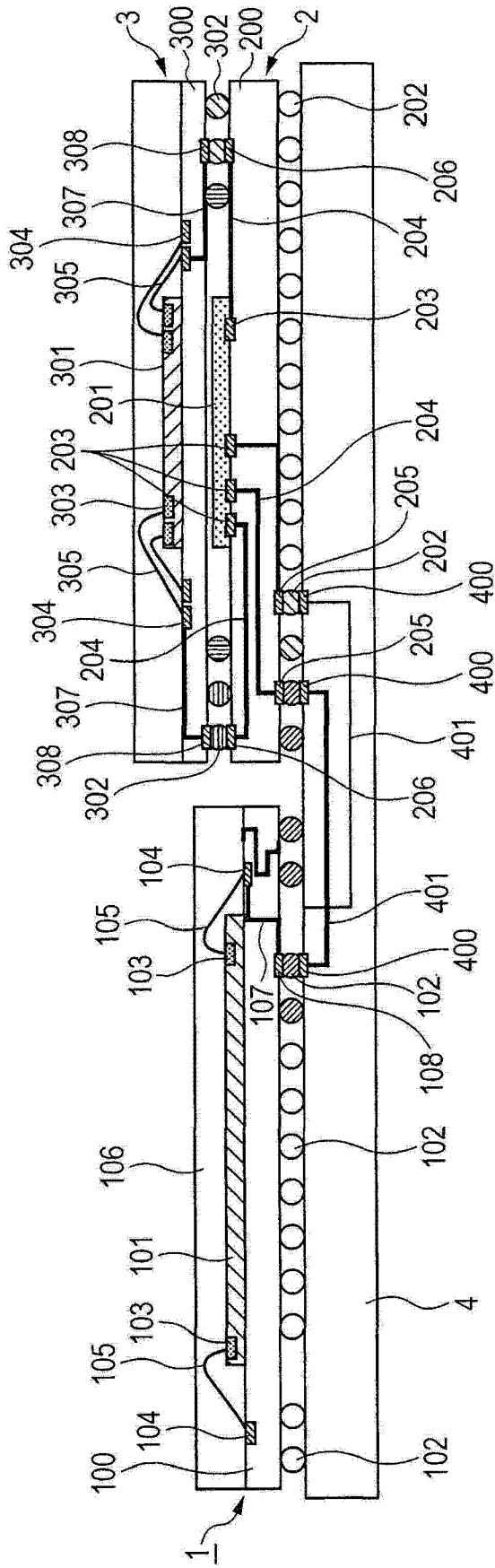


图 3

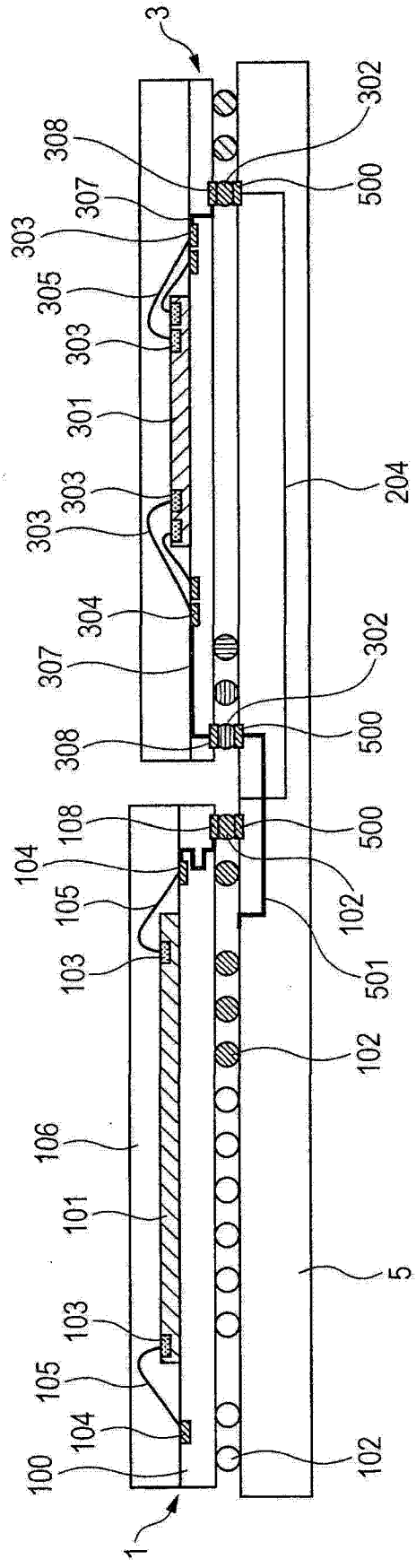


图 4

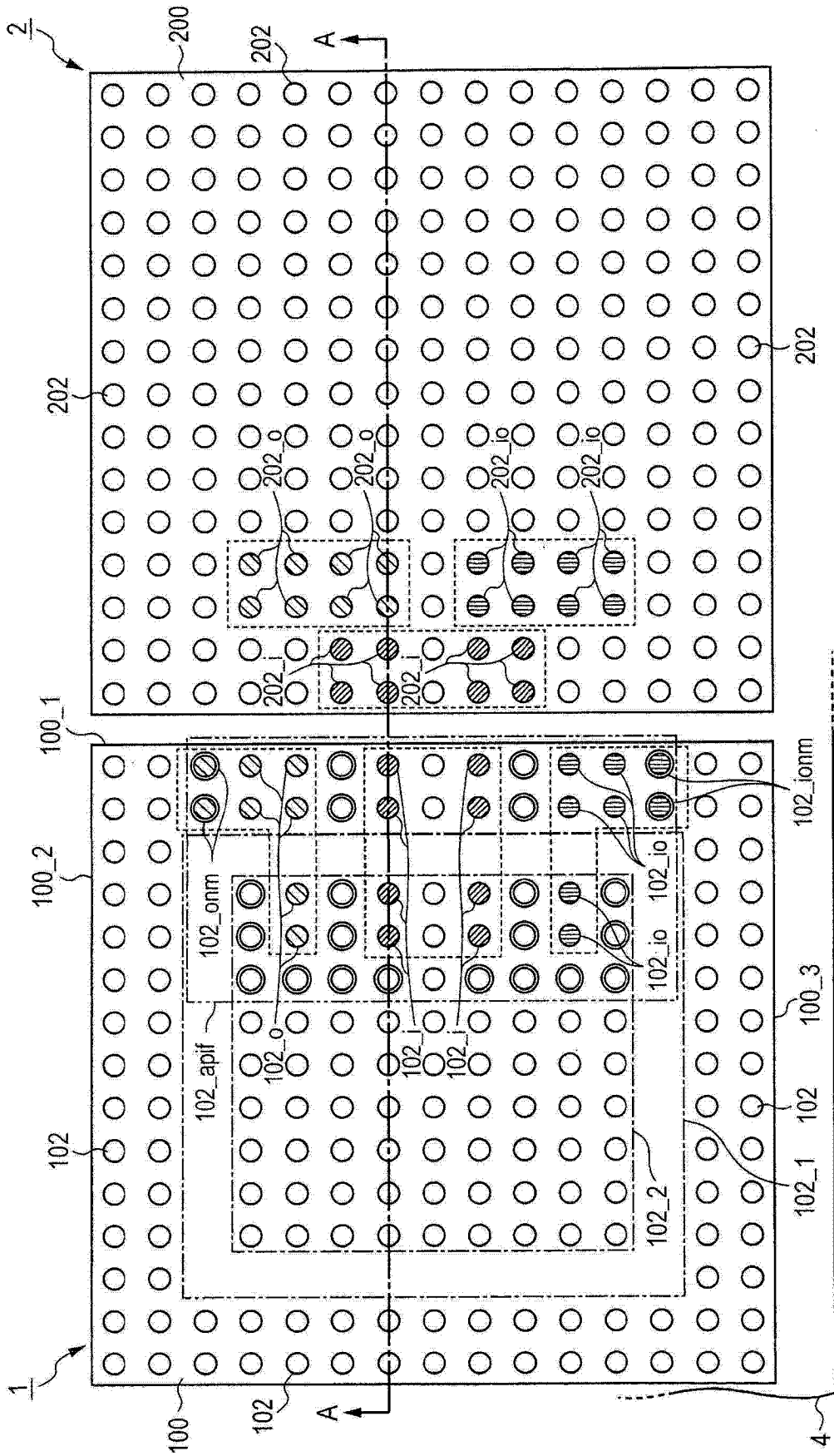


图 5

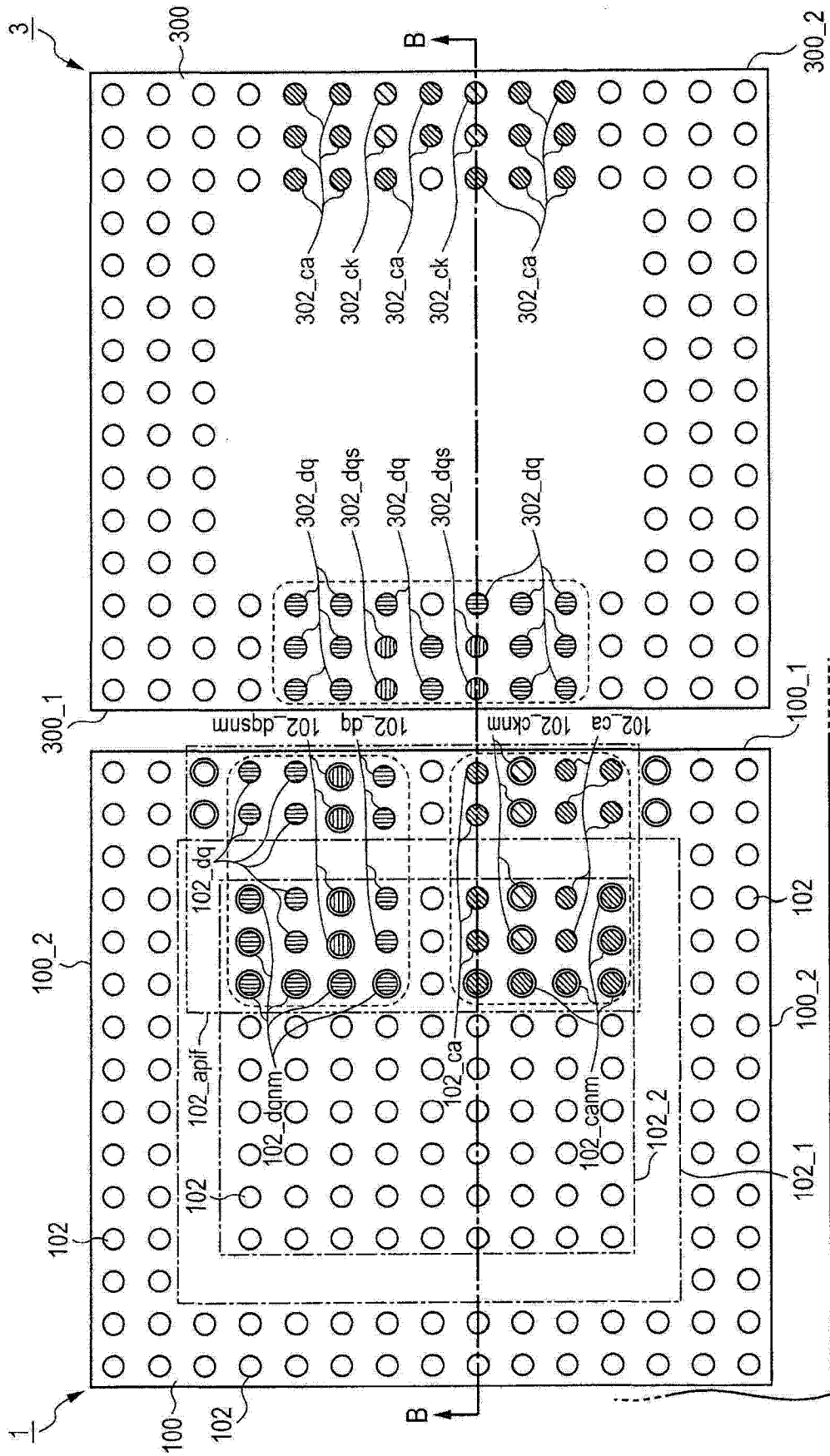


图 6

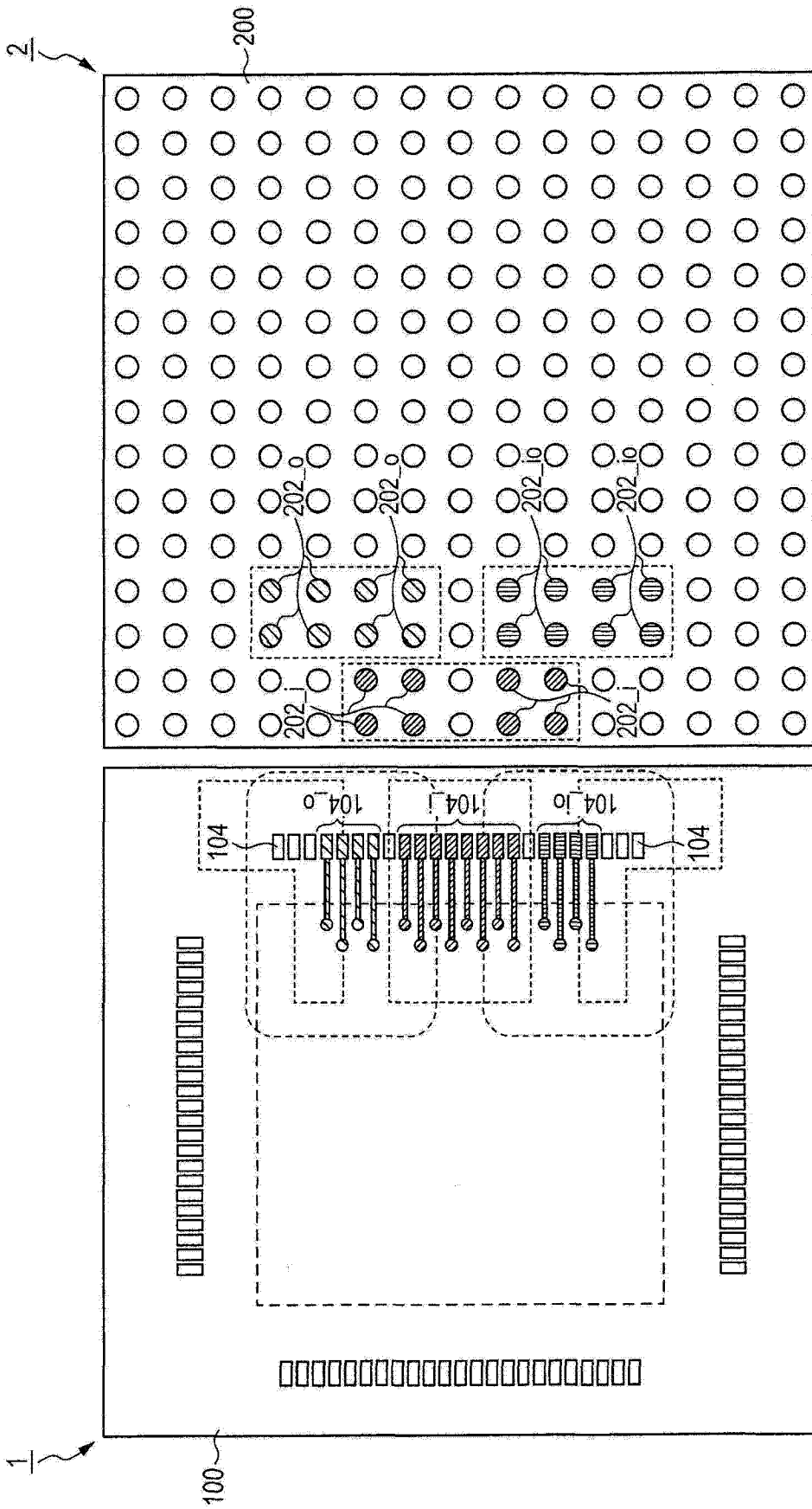


图 7

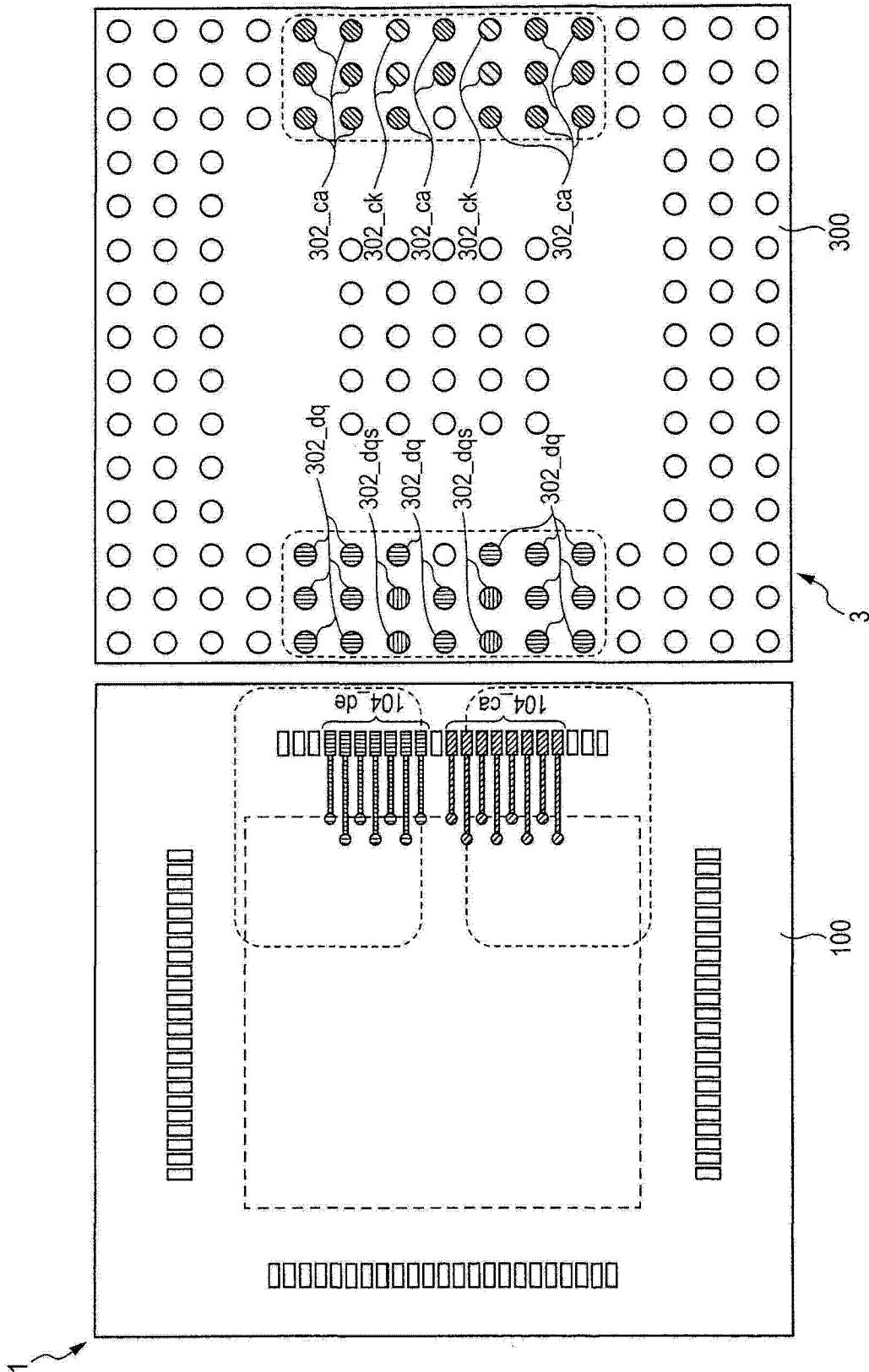


图 8

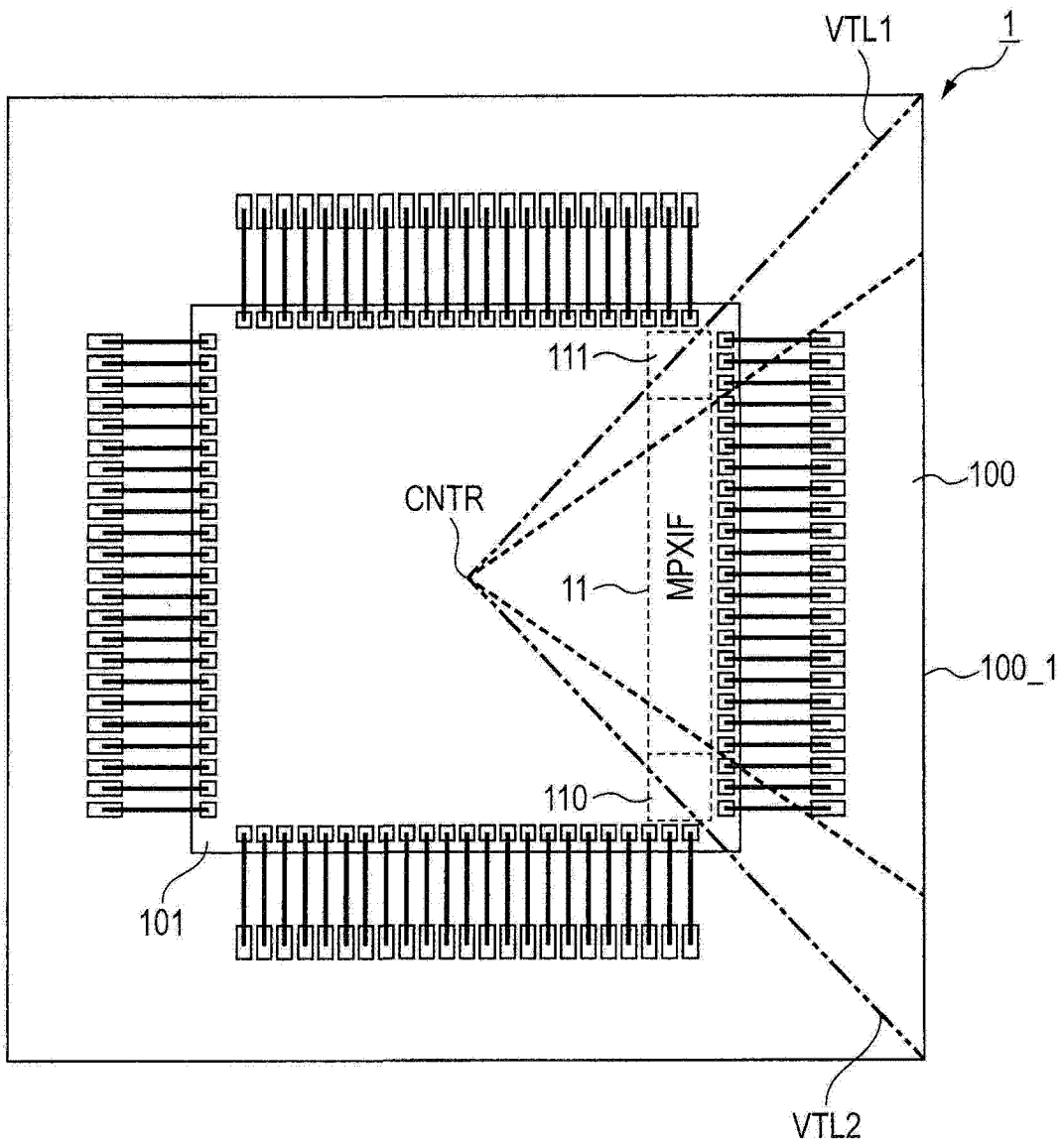


图 9

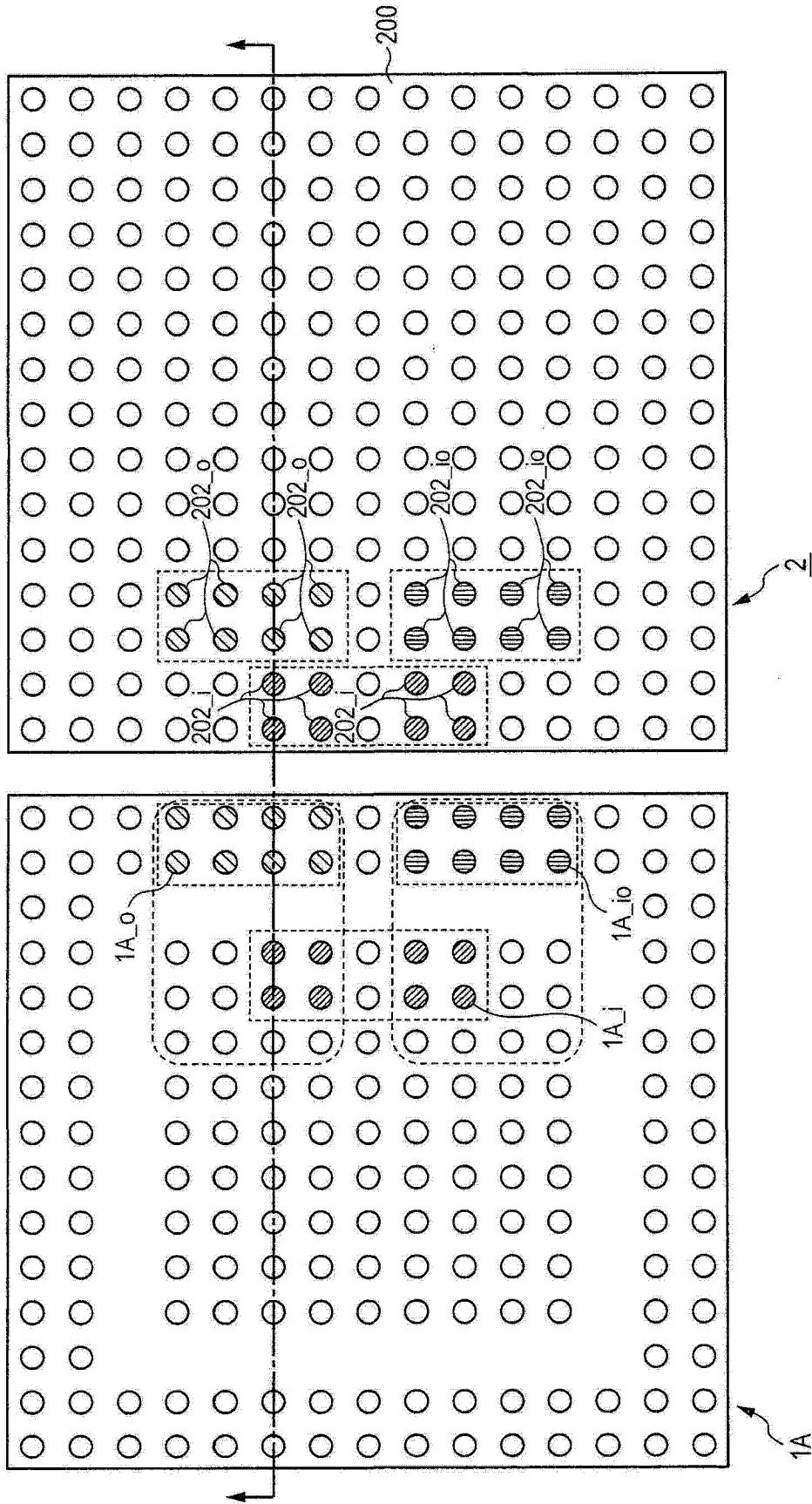


图 10

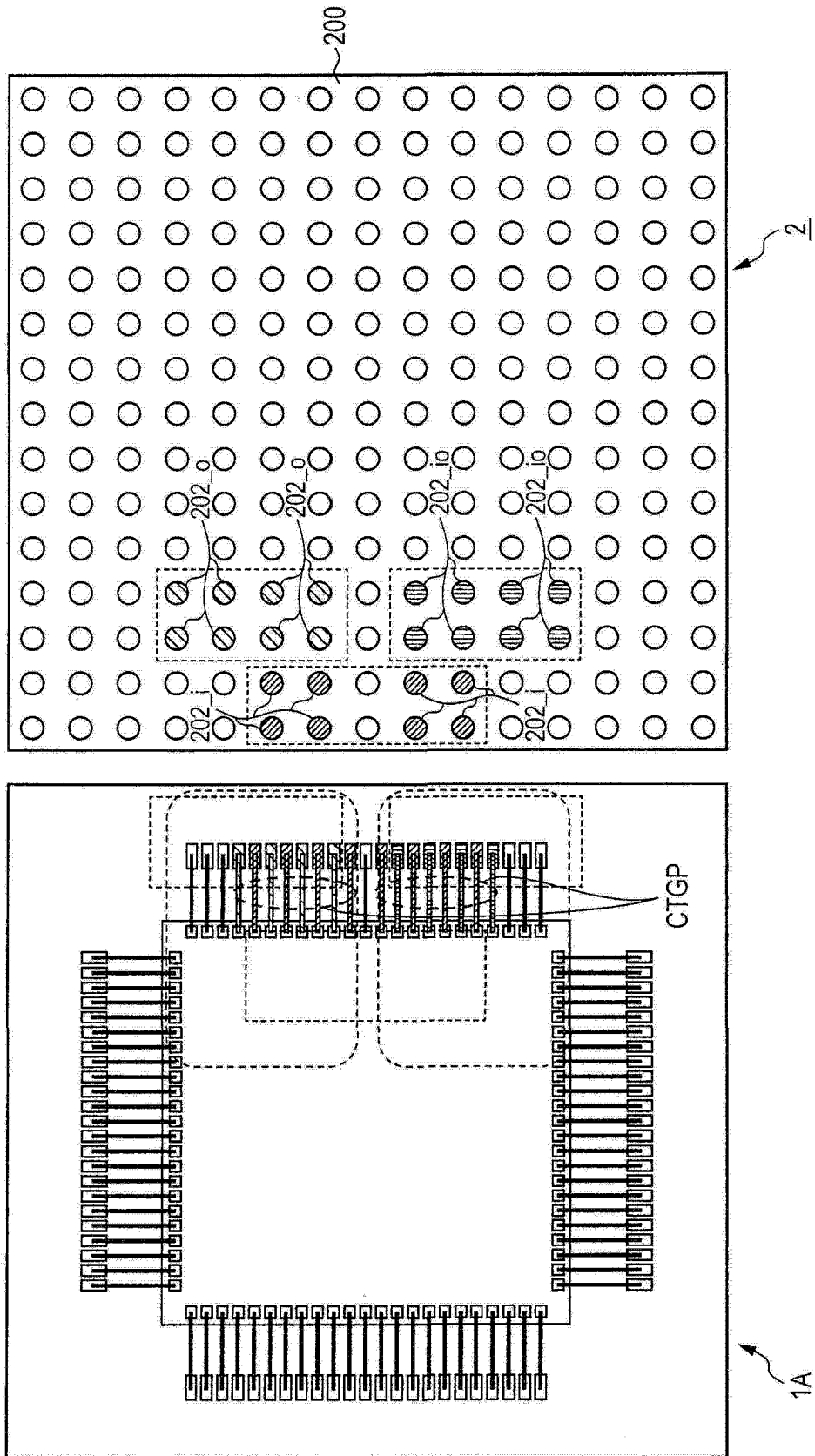


图 11

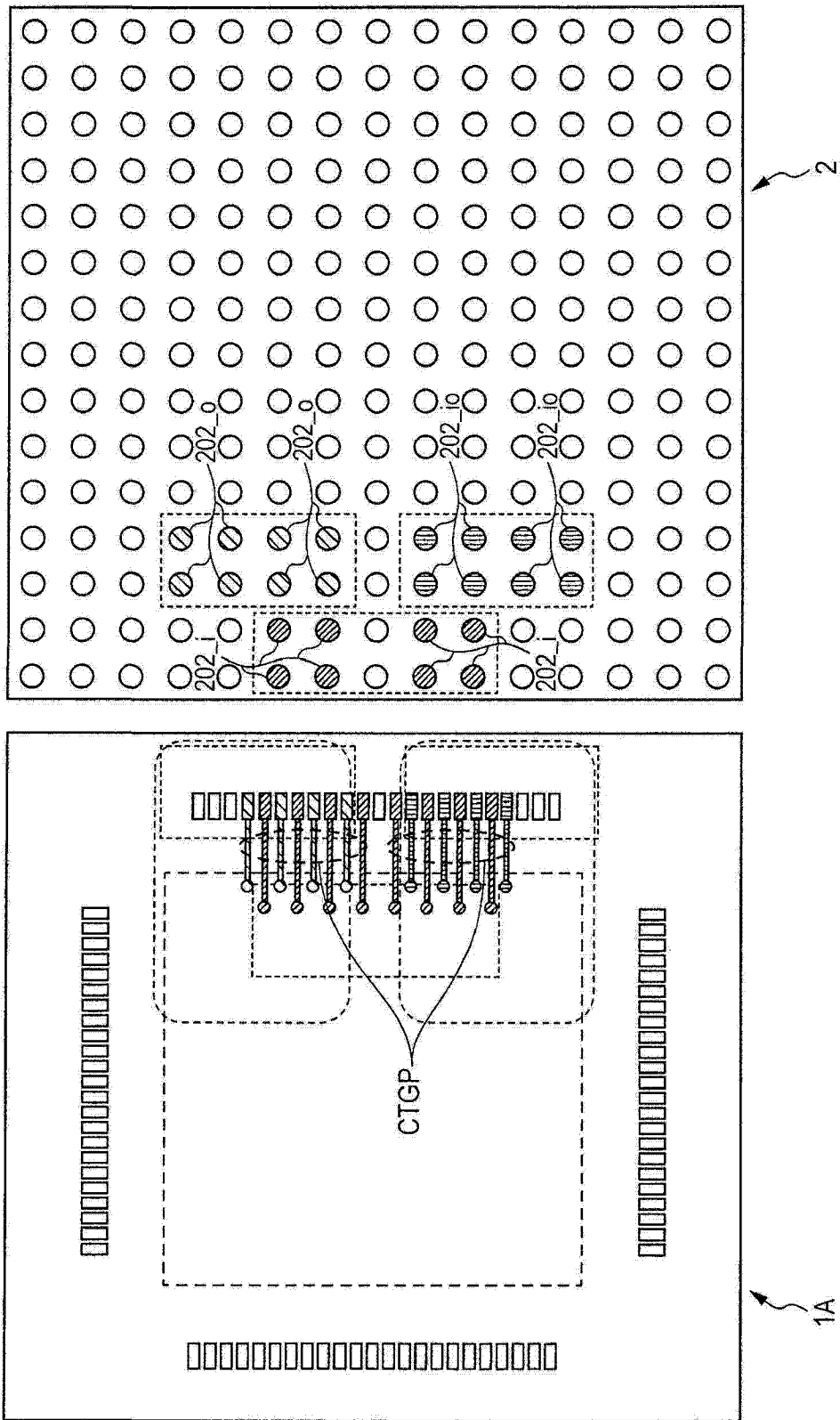


图 12