

[12] 发明专利申请公开说明书

[21] 申请号 01125883.7

[43]公开日 2002年5月1日

[11]公开号 CN 1347121A

[22]申请日 2001.8.27 [21]申请号 01125883.7

[30]优先权

[32]2000.9.22 [33]JP [31]288642/00

[32]2001.1.29 [33]JP [31]20277/01

[71]申请人 三菱电机株式会社

地址 日本东京都

[72]发明人 日高秀人

[74]专利代理机构 中国专利代理(香港)有限公司

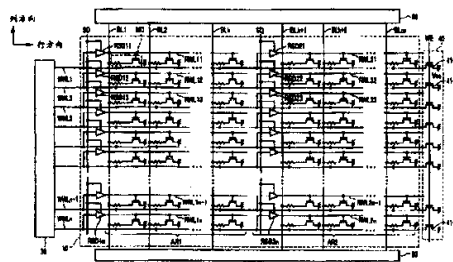
代理人 杨凯 叶恺东

权利要求书7页 说明书44页 附图页数40页

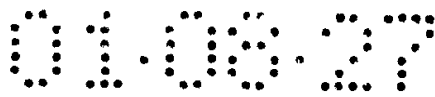
[54]发明名称 高速且稳定地进行数据读出工作的薄膜磁性体存储器

[57]摘要

对于 MTJ 存储单元,独立地设置分别在数据写入和数据读出时使用的写入字线(WWL)和读出字线(RWL)。通过在列方向上分割存储器阵列(10)而形成的每个区域(AR1、AR2)中分割配置读出字线(RWL),可减少读出字线(RWL)中的信号传送延迟,实现数据读出工作的高速化。根据行选择结果,与写入字线(WWL)分层次地控制各读出字线(RWL)的激活。字线电流控制电路(40)与上述数据写入时和上述数据读出时的每一时刻相对应,形成和隔断写入字线(WWL)中的电流路径。



ISSN 1008-4274



权 利 要 求 书

1. 一种薄膜磁性体存储器，其特征在于，具备：

具有配置成行列状的多个磁性体存储单元的存储器阵列，上述多个磁性体存储单元的每一个包括在由第 1 和第 2 数据写入电流施加的数据写入磁场比规定磁场大的情况下其电阻值随已被写入的存储数据的电平而变化的存储部和与上述存储部串联连接的存储单元选择门；

多条写入字线，分别与上述磁性体存储单元的行对应地被设置，用具有第 1 电阻率的布线形成，上述多条写入字线的每一条在数据写入时和数据读出时的两者中，根据行选择结果有选择地被激活；

字线电流控制电路，对于上述多条写入字线中的已被激活的至少 1 条，在上述数据写入时和上述数据读出时的每一时候，用来形成和隔断上述第 1 数据写入电流的电流路径；

多条数据线，分别与上述磁性体存储单元的列对应地被设置；

读出写入控制电路，在上述数据写入时和上述数据读出时，用来使上述第 2 数据写入电流和数据读出电流的每一种电流流通过与上述多条数据线中的已被选择的上述列对应的至少 1 条；以及

多条读出字线，分别与上述磁性体存储单元的行对应地被设置，用具有比上述第 1 电阻率高的第 2 电阻率的布线形成，各上述读出字线在上述数据读出时与上述多条写入字线中的对应的 1 条一起有选择地被激活，上述多条读出字线中的已被激活的至少 1 条使对应的上述存储单元选择门导通。

2. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

上述存储器阵列沿列方向被分割为多个区域，

上述多条读出字线被分割地配置在上述多个区域的每一区域中，

上述多条写入字线的每一条被共同地配置在上述多个区域中，

上述薄膜磁性体存储器还具备分别与上述多条读出字线对应地设置的多个读出字线驱动器，

上述多个读出字线驱动器的每一个在上述数据读出时，响应于上述多条写入字线中的对应的 1 条的激活，激活上述多条读出字线中的对应的 1 条。

3. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

还具备用来根据上述行选择结果有选择地激活上述多条写入字线



的字线驱动电路，

上述字线驱动电路对于上述多条写入字线中的已被激活的至少 1 条，在上述数据写入时和上述数据读出时的每个时候，分别供给上述第 1 数据写入电流和充电电流，

5 由上述充电电流产生的磁场比上述规定磁场小。

4. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

10 利用在上述数据读出时用来分别激活上述多条写入字线和读出字线的第 1 和第 2 充电电流，将上述多条写入字线和上述多条读出字线配置成在上述存储部中分别产生的第 1 和第 2 磁场的方向成为互相抵消的方向。

5. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

上述多条读出字线的每一条在至少 1 个节点中与上述多条写入字线的对应的 1 条导电性地连接。

6. 如权利要求 5 中所述的薄膜磁性体存储器，其特征在于：

15 上述存储单元选择门在导通时在多条数据线中的对应的 1 条与读出基准电压之间导电性地连接上述存储部，

在数据读出之前，将各上述多条数据线预充电到上述读出基准电压，

20 上述读出写入控制电路在上述数据读出时，只将上述多条数据线中的与已被选择的存储单元的列对应的至少 1 条与不同于上述读出基准电压的电压连接。

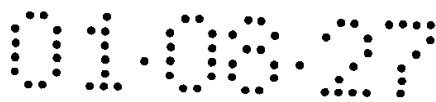
7. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

还具备沿与上述多条数据线相同的方向分别与上述列对应地设置的、用来分别供给读出基准电压的多条源线，

25 在上述数据读出时，上述数据读出电流流过上述读出写入控制电路与上述读出基准电压之间，

30 这样来配置上述多条源线和多条数据线，即，在上述数据读出时，与已被选择的上述列对应的上述源线和上述数据线中的在上述数据读出电流的路径中包含的部分的布线电阻的总和不依赖于已被选择的上述行而大体为恒定。

8. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于，具备：



还具备分别与上述行对应的、沿与上述多条读出字线和多条写入字线相同的方向设置的、分别供给读出基准电压的多条源线，

上述读出写入控制电路包含：

沿与上述多条源线相同的方向设置的总体数据线；

5 多个列选择门，分别设置在上述总体数据线与上述多条数据线之间，分别根据列选择结果而导通；以及

数据读出电路，用来在上述数据读出时将在与上述读出基准电压之间流动的上述数据读出电流供给上述总体数据线，

10 这样来配置上述多条源线和总体数据线，即，在上述数据读出时，与已被选择的上述行对应的上述源线和上述总体数据线的在上述数据读出电流的路径中包含的部分的布线电阻的总和不依赖于已被选择的上述列而大体为恒定。

9. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

还具备：

15 多条源线，分别与上述行对应地沿与上述多条读出字线和多条写入字线相同的方向被设置，用来分别供给读出基准电压；以及

虚设数据线，沿与上述多条数据线相同的方向对于上述磁性体存储单元共同地被设置，与上述读出基准电压和上述多条源线导电性地连接，

20 在上述数据读出时，上述数据读出电流流过上述读出写入控制电路与上述读出基准电压之间，

25 这样来配置上述多条数据线和上述虚设数据线，即，在上述数据读出时，与已被选择的上述列对应的上述数据线和上述虚设数据线的在上述数据读出电流的路径中包含的部分的布线电阻的总和不依赖于已被选择的上述行而大体为恒定。

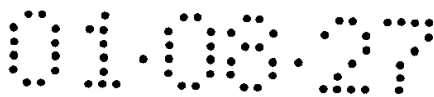
10. 如权利要求 1 中所述的薄膜磁性体存储器，其特征在于：

还具备：

多条源线，分别与上述行对应地沿与上述多条读出字线和多条写入字线相同的方向被设置，用来分别供给读出基准电压；以及

30 虚设数据线，沿与上述多条数据线相同的方向被设置，与上述读出基准电压和上述多条源线的每一条导电性地连接，

在上述数据读出时，上述数据读出电流流过上述读出写入控制电



路与上述读出基准电压之间，

5 这样来配置上述多条源线和总体数据线，即，在上述数据读出时，与已被选择的上述行对应的上述源线和上述总体数据线的在上述数据读出电流的路径中包含的部分的布线电阻的总和不依赖于已被选择的上述列而大体为恒定，

这样来配置上述多条数据线和上述虚设数据线，即，在上述数据读出时，与已被选择的上述列对应的上述数据线和上述虚设数据线的在上述数据读出电流的路径中包含的部分的布线电阻的总和不依赖于已被选择的上述行而大体为恒定。

10 11. 一种薄膜磁性体存储器，其特征在于，具备：

具有配置成行列状的多个磁性体存储单元的存储器阵列，上述多个磁性体存储单元的每一个包括在由第 1 和第 2 数据写入电流施加的数据写入磁场比规定磁场大的情况下其电阻值随已被写入的存储数据的电平而变化的存储部和在数据读出时用来使数据读出电流通过上述存储部的存储单元选择门；

多条写入字线，分别与上述磁性体存储单元的行对应地被设置，每 2 条构成写入字线对，构成各上述写入字线对的 2 条上述写入字线至少在上述数据写入时在上述存储器阵列的一端导电性地连接；

20 字线驱动电路，被配置在上述存储器阵列的另一端，用来在上述数据写入时为了流过上述第 1 数据写入电流而将与已被选择的上述行对应的构成上述写入字线对的 2 条上述写入字线的每一条设定为第 1 和第 2 电压的每一方；

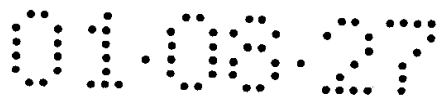
多条数据线，分别与上述磁性体存储单元的列对应地被设置；

25 读出写入控制电路，在上述数据写入时和上述数据读出时的每一时候，用来对于与已被选择的上述列对应的上述数据线分别供给上述第 2 数据写入电流和上述数据读出电流；以及

多条读出字线，分别与上述磁性体存储单元的行对应地被设置，其每一条用来在上述数据读出时根据行选择结果使对应的上述存储单元选择门导通。

30 12. 一种薄膜磁性体存储器，其特征在于，具备：

具有配置成行列状的多个磁性体存储单元的存储器阵列，上述多个磁性体存储单元的每一个包括在由第 1 和第 2 数据写入电流施加的



数据写入磁场比规定磁场大的情况下其电阻值随已被写入的存储数据的电平而变化的存储部和在数据读出时用来使数据读出电流通过上述存储部的存储单元选择门;

5 多条写入字线, 分别与上述磁性体存储单元的行对应地被设置, 其每一条在每 2 个上述行中被共有;

字线电流控制电路, 对于上述多条写入字线中的已被激活的至少 1 条, 在上述数据写入时和上述数据读出时的每一时候, 用来分别形成和隔断上述第 1 数据写入电流的电流路径;

10 字线驱动电路, 在上述数据读出时和上述数据写入时的每一时候, 用来激活与已被选择的上述行对应的上述写入字线;

多条数据线, 分别与上述磁性体存储单元的列对应地被设置;

读出写入控制电路, 在上述数据写入时和上述数据读出时的每一时候, 用来对于与已被选择的上述列对应的上述数据线分别供给上述第 2 数据写入电流和上述数据读出电流; 以及

15 多条读出字线, 分别与上述磁性体存储单元的行对应地被设置, 其每一条用来在上述数据读出时根据行选择结果使对应的上述存储单元选择门导通, 各上述读出字线在上述数据读出时根据上述行选择结果与对应的上述写入字线一起有选择地被激活。

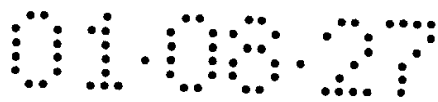
13. 一种薄膜磁性体存储器, 其特征在于, 具备:

20 具有配置成行列状的多个磁性体存储单元的存储器阵列, 上述存储器阵列沿列方向被分割为多个区域, 上述多个磁性体存储单元的每一个包括其电阻值随利用由第 1 和第 2 数据写入电流产生的数据写入磁场写入的存储数据的电平而变化的存储部和与上述存储部串联连接的存储单元选择门;

25 多条写入字线, 对于上述多个区域共同地分别与上述磁性体存储单元的行对应地被设置, 用具有第 1 电阻率的布线形成, 上述多条写入字线在数据写入时为了流过上述第 1 数据写入电流而根据行选择结果有选择地被激活;

多条数据线, 分别与上述磁性体存储单元的列对应地被设置;

30 读出写入控制电路, 在上述数据写入时和上述数据读出时的每一时候, 用来使上述第 2 数据写入电流和数据读出电流的每一电流流过上述多条数据线中的与已被选择的上述列对应的 1 条;



多条主读出字线，对于上述多个区域共同地被设置，用具有第 2 电阻率的布线形成；

多条读出字线，在上述多个区域的每一区域，分别与上述磁性体存储单元的行对应地被设置，用具有比上述第 1 和第 2 电阻率高的第 3 电阻率的布线形成，上述多条读出字线的每一条与上述多条主读出字线中的某一条对应；以及

多个读出字线驱动器，分别与上述多条读出字线对应地被设置，上述多个读出字线驱动器的每一个在上述数据读出时，根据上述多条主读出字线中的对应的 1 条的激活，激活上述多条读出字线中的对应的 1 条，上述多条读出字线中的已被激活的至少 1 条使对应的上述存储单元选择门导通。

14. 如权利要求 13 中所述的薄膜磁性体存储器，其特征在于：

在半导体衬底上形成上述薄膜磁性体存储器，

在上述磁性体存储单元的每个多行中配置上述多条主读出字线的每一条，

在与上述多条写入字线相同的金属布线层中形成上述多条主读出字线。

15. 一种薄膜磁性体存储器，其特征在于，具备：

具有配置成行列状的多个磁性体存储单元的存储器阵列，上述多个磁性体存储单元的每一个包括其电阻值随利用由第 1 和第 2 数据写入电流产生的数据写入磁场写入的存储数据的电平而变化的存储部和与上述存储部串联连接的存取晶体管；

多条数据线，分别与上述磁性体存储单元的列对应地被设置；

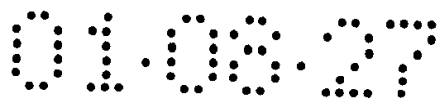
读出写入控制电路，在上述数据写入时和上述数据读出时的每一时候，用来使上述第 1 数据写入电流和数据读出电流的每一电流流过上述多条数据线中的与已被选择的上述列对应的 1 条；

多条字线，分别与上述磁性体存储单元的行对应地被设置，其每一条根据行选择结果而被激活，上述多条字线中的已被激活的至少 1 条使对应的上述存取晶体管导通；以及

字线电流控制电路，在上述数据写入时，在上述多条字线中的已被激活的至少 1 条中形成上述第 2 数据写入电流的电流路径，上述字线电流控制电路在上述数据读出时，在上述多条字线的每一条中隔断

01.08.27

上述电流路径。



说明书

高速且稳定地进行数据读出工作的 薄膜磁性体存储器

5 [发明背景]

[发明领域]

本发明涉及薄膜磁性体存储器，更特定地说，涉及具备有磁隧道结 (MTJ) 的存储单元的随机存取存储器。

[背景说明]

10 作为能以低功耗来存储非易失性数据的存储器，MRAM (磁随机存取存储器) 器件正在引起人们的注意。MRAM 器件是使用在半导体集成电路上形成的多个薄膜磁性体进行非易失性的数据存储、能对薄膜磁性体的每一个进行随机存取的存储器。

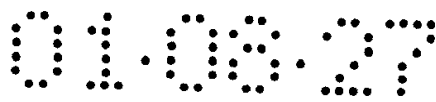
特别是，已发表了近年来通过将利用了磁隧道结 (MTJ) 的薄膜磁性体作为存储单元来使用、MRAM 装置的性能得到了飞跃的进步的情况。关于具备有磁隧道结的存储单元的 MRAM 器件，在“A 10ns Read and Write Non - Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell (在每个单元中使用磁隧道结和 FET 开关的 10ns 读写非易失性存储器阵列)”，ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. 和 “Nonvolatile RAM based on Magnetic Tunnel Junction Elements (基于磁隧道结元件的非易失性 RAM)”，ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等技术文献中已公开了。

25 图 42 是示出具有磁隧道结部的存储单元 (以下，也简单地称为 MTJ 存储单元) 的结构的概念图。

参照图 42，MTJ 存储单元具备其电阻值根据存储数据的数据电平而变化的磁隧道结部 MTJ 和存取晶体管 ATR。存取晶体管 ATR 由场效应晶体管形成，被连接在磁隧道结部 MTJ 与接地电压 V_{SS} 之间。

30 对于 MTJ 存储单元来说，配置指示数据写入用的写入字线 WWL、指示数据读出用的读出字线 RWL 和在数据读出时和数据写入时传递与存储数据的数据电平对应的电信号用的数据线、即位线 BL。

图 43 是说明来自 MTJ 存储单元的数据读出工作的概念图。



参照图 43, 磁隧道结部 MTJ 具有有恒定方向的固定磁场的磁性体层 (以下, 也简单地称为固定磁层) FL 和有自由磁场的磁性体层 (以下, 也简单地称为自由磁层) VL. 在固定磁层 FL 与自由磁层 VL 之间配置用绝缘体膜形成的隧道势垒 TB. 在自由磁层 VL 中, 根据存储数据的电平, 以非易失性的方式写入与固定磁层 FL 相同的方向的磁场和与固定磁层 FL 不同的方向的磁场的某一方.

在数据读出时, 存取晶体管 ATR 根据读出字线 RWL 的激活而被导通. 由此, 在位线 BL ~ 磁隧道结部 MTJ ~ 存取晶体管 ATR ~ 接地电压 V_{ss} 的电流路径中, 从图中没有示出的控制电路流过作为恒定电流供给的读出电流 I_s .

磁隧道结部 MTJ 的电阻值根据固定磁层 FL 与自由磁层 VL 之间的磁场方向的相对关系而变化. 具体地说, 在固定磁层 FL 的磁场方向与写入到自由磁层 VL 中的磁场方向为相同的情况下, 与两者的磁场方向不同的情况相比, 磁隧道结部 MTJ 的电阻值变小.

因而, 在数据读出时, 由读出电流 I_s 在磁隧道结部 MTJ 中产生的电压降根据在自由磁层 VL 中存储的磁场方向的不同而异. 由此, 如果一度将位线 BL 预充电到高电压的状态后开始读出电流 I_s 的供给, 则利用位线 BL 的电压电平变化的监视, 可读出 MTJ 存储单元的存储数据的电平.

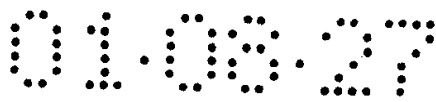
图 44 是说明对于 MTJ 存储单元的数据写入工作的概念图.

参照图 44, 在数据写入时, 读出字线 RWL 被非激活, 存取晶体管 ATR 被关断. 在该状态下, 对自由磁层 VL 写入磁场用的数据写入电流分别流过写入字线 WWL 和位线 BL. 自由磁层 VL 的磁场方向由分别流过写入字线 WWL 和位线 BL 的数据写入电流的方向的组合来决定.

图 45 是说明数据写入时的数据写入电流的方向与磁场方向的关系的概念图.

参照图 45, 用横轴示出的磁场 H_x 表示由流过写入字线 WWL 的数据写入电流产生的磁场 $H(WWL)$ 的方向. 另一方面, 在纵轴上示出的磁场 H_y 表示由流过位线 BL 的数据写入电流产生的磁场 $H(BL)$ 的方向.

只在磁场 $H(WWL)$ 与 $H(BL)$ 之和到达图中示出的星形特性线的外侧的情况下, 新写入在自由磁层 VL 中存储的磁场方向. 即, 在施加



了与星形特性线的内侧的区域相当的磁场的情况下，不更新在自由磁层 VL 中存储的磁场方向。

因而，为了利用写入工作来更新磁隧道结部 MTJ 的存储数据，必须使电流流过写入字线 WWL 和位线 BL 这两者。在磁隧道结部 MTJ 中一度存储的磁场方向、即存储数据，在进行新的数据写入之前的期间内，以非易失性的方式被保持。

在数据读出时，在位线 BL 中也流过读出电流 I_s 。但是，一般来说，由于将读出电流 I_s 设定为比上述的数据写入电流小约 1~2 个数量级，故因读出电流 I_s 的影响而在数据读出时错误地改写 MTJ 存储单元的存储数据的可能性很小。

在上述的技术文献中，公开了在半导体衬底上集成这样的 MTJ 存储单元、构成作为随机存取存储器的 MRAM 器件的技术。

图 46 是示出以集成方式配置成行列状的 MTJ 存储单元的概念图。

参照图 46，通过在半导体衬底上将 MTJ 存储单元配置成行列状，可实现高集成化的 MRAM 器件。在图 46 中，示出将 MTJ 存储单元配置成 n 行 \times m 列 (n 、 m ：自然数) 的情况。

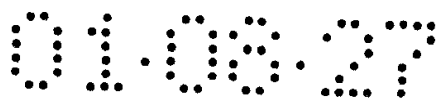
如已说明的那样，对于各 MTJ 存储单元，必须配置位线 BL、写入字线 WWL 和读出字线 RWL。因而，对于配置成行列状的 $n \times m$ 个 MTJ 存储单元，必须配置 n 条写入字线 $WWL_1 \sim WWL_n$ 和读出字线 $RWL_1 \sim RWL_n$ 以及 m 条位线 $BL_1 \sim BL_m$ 。

这样，对于 MTJ 存储单元来说，一般作成与读出工作和写入工作的每一工作相对应设置独立的字线的结构。

图 47 是在半导体衬底上配置的 MTJ 存储单元的结构图。

参照图 47，在半导体主衬底 SUB 上的 p 型区 PAR 中形成存取晶体管 ATR。存取晶体管 ATR 具有作为 n 型区的源/漏区 110、120 和栅 130。源/漏区 110 经在第 1 金属布线层 M1 中形成的金属布线与接地电压 V_{ss} 连接。使用在第 2 金属布线层 M2 中形成的金属布线作为写入字线 WWL。此外，在第 3 金属布线层 M3 中设置位线 BL。

磁隧道结部 MTJ 配置在设置写入字线 WWL 的第 2 金属布线层 M2 与设置位线 BL 的第 3 金属布线层 M3 之间。存取晶体管 ATR 的源/漏区 120 经在接触孔中形成的金属膜 150、第 1 和第 2 金属布线层 M1 和 M2 以及阻挡金属 140 与磁隧道结部 MTJ 导电性地连接。阻挡金属 140 是为了



导电性地连接磁隧道结部 MTJ 与金属布线之间而设置的缓冲材料。

如已说明的那样，在各 MTJ 存储单元中，读出字线 RWL 是作为独立于写入字线 WWL 的布线而设置的。此外，必须在数据写入时在写入字线 WWL 和位线 BL 中流过发生规定值以上的大小的磁场用的数据写入电流。因而，使用金属布线来形成位线 BL 和写入字线 WWL。

另一方面，读出字线 RWL 是为了控制存取晶体管 ATR 的栅电压而设置的，没有必要以积极的方式流过电流。因而，从提高集成度的观点来看，不是新设置独立的金属布线层，而是在与栅 130 为同一的布线层中使用多晶硅层或多晶硅硅化物 (polysilicide) 结构来形成读出字线 RWL。

通过作成这样的结构，可抑制金属布线层的数目，可在半导体衬底上以集成的方式配置 MTJ 存储单元。但是，由于用多晶硅层等来形成读出字线 RWL，故其电阻值比较大。由此，在数据读出时在读出字线 RWL 中的信号传播延迟变大，产生了妨碍数据读出工作的高速化的问题。

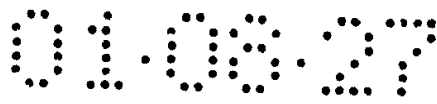
此外，作为与图 42 中示出的 MTJ 存储单元相比可进一步实现高集成化的 MTJ 存储单元的结构，已知有实验 PN 结二极管作为存取元件来代替存取晶体管的结构。

图 48 是示出使用了二极管的 MTJ 存储单元的结构概略图。

参照图 48，使用了二极管的 MTJ 存储单元 MC 电流隔断晶体管具备磁隧道结部 MTJ 和存取二极管 DM。存取二极管 DM 以从磁隧道结部 MTJ 朝向字线 WL 的方向为正方向，连接在两者之间。位线 BL 设置在与字线 WL 交叉的方向上，与磁隧道结部 MTJ 连接。

通过在字线 WL 与位线 BL 中流过数据写入电流来进行对于 MTJ 存储单元 MC 电流隔断晶体管的数据写入。与使用了存取晶体管的存储单元的情况相同，根据写入数据的数据电平来设定数据写入电流的方向。

另一方面，在数据读出时，将与已被选择的存储单元对应的字线 WL 设定为低电压（例如接地电压 V_{SS} ）状态。此时，通过预先将位线 BL 预充电到高电压（例如电源电压 V_{CC} ）状态，存取二极管 DM 导通，可在磁隧道结部 MTJ 中流过读出电流 I_s 。另一方面，由于与非选择的存储单元对应的字线 WL 被设定为高电压状态，故对应的存取二极管 DM 维持关断状态，不流过读出电流 I_s 。



这样一来，即使在使用了存取二极管的 MTJ 存储单元中，也可进行数据读出和数据写入。

图 49 是在半导体衬底上配置了图 48 中示出的 MTJ 存储单元的情况的结构图。

5 参照图 49，利用在半导体主衬底 SUB 上的 N 型区 NWL 和在 N 型区 NWL 上设置的 P 型区 PAR 形成存取二极管 DM。在图 49 中，作为 N 型区的形成例，示出 N 型阱。

与存取二极管 DM 的阴极相当的 N 型区 NWL 与配置在金属布线层 M1 中的字线 WL 连接。与存取二极管 DM 的阳极相当的 P 型区 PAR 经阻挡金属 140 和金属膜 150 与磁隧道结部 MTJ 导电性地连接。位线 BL 被配置在金属布线层 M2 中，与磁隧道结部 MTJ 连接。这样，通过使用存取二极管来代替存取晶体管，可构成在高集成化方面有利的 MTJ 存储单元。

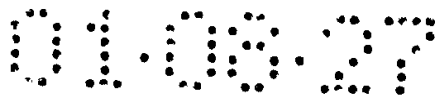
15 但是，在数据写入时，由于数据写入电流流过字线 WL 和位线 BL，故在这些布线中分别发生因数据写入电流而引起的电压降。因产生了这样的电压降的结果，由于在字线 WL 和位线 BL 上的电压分布的缘故，在没有成为数据写入的对象 MTJ 存储单元的一部分中，存在存取二极管 DM 的 PN 结导通了的可能性。其结果，由于未预期的电流流过 MTJ 存储单元，存在进行了错误的写入的可能性。

20 这样，使用了存取二极管的现有的 MTJ 存储单元 MC 电流隔离晶体管在高集成化方面是有利的，但另一方面，存在数据写入工作变得不稳定的问题。

本发明是为了解决这样的问题而进行的，本发明的目的在于，在具有 MTJ 存储单元的 MRAM 器件中谋求数据读出工作的高速和稳定。

25 [发明概要]

如果将本发明概括起来，则它是一种薄膜磁性体存储器，具备：存储器阵列；多条写入字线；多条读出字线；字线电流控制电路；多条数据线；以及读出写入控制电路。存储器阵列具有配置成行列状的多个磁性体存储单元。多个磁性体存储单元的每一个包括在由第 1 和第 2 数据写入电流施加的数据写入磁场比规定磁场大的情况下其电阻值随已被写入的存储数据的电平而变化的存储部和与存储部串联连接的存储单元选择门。多条写入字线分别与磁性体存储单元的行对应地

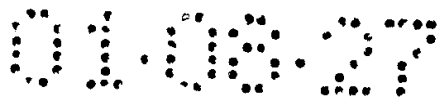


被设置，用具有第 1 电阻率的布线形成。多条写入字线的每一条在数据写入时和数据读出时的两者中，根据行选择结果有选择地被激活。字线电流控制电路对于多条写入字线中的已被激活的至少 1 条，在数据写入时和数据读出时的每一时候，用来形成和隔断第 1 数据写入电流的电流路径。多条数据线分别与磁性体存储单元的列对应地被设置。读出写入控制电路在数据写入时和数据读出时，用来使第 2 数据写入电流和数据读出电流的每一种电流流过与多条数据线中的已被选择的列对应的 1 条。多条读出字线分别与磁性体存储单元的行对应地被设置，用具有比第 1 电阻率高的第 2 电阻率的布线形成。各读出字线在数据读出时与多条写入字线中的对应的 1 条一起有选择地被激活，多条读出字线中的已被激活的至少 1 条使对应的存储单元选择门导通。

因而，本发明的主要的优点在于，通过与电阻值小的写入字线一起控制电阻值大的读出字线，可减少读出字线的信号传送延迟，实现数据读出工作的高速化。

此外，由于利用电阻值小的主读出字线和被分割为各个区域的读出字线的分层控制来进行数据读出时的行选择，故可独立地控制读出字线和写入字线，实现数据读出工作的高速化。

按照本发明的另一个方面，它是一种薄膜磁性体存储器，具备：存储器阵列；多条写入字线；多条数据线；读出写入控制电路；多条主读出字线；多条读出字线；以及多个读出字线驱动器。存储器阵列具有配置成行列状的多个磁性体存储单元。存储器阵列沿列方向被分割为多个区域。多个磁性体存储单元的每一个包括其电阻值随利用由第 1 和第 2 数据写入电流产生的数据写入磁场写入的存储数据的电平而变化的存储部和与存储部串联连接的存储单元选择门。多条写入字线对于多个区域共同地分别与磁性体存储单元的行对应地被设置，用具有第 1 电阻率的布线形成。多条写入字线在数据写入时为了流过第 1 数据写入电流而根据行选择结果有选择地被激活。多条数据线分别与磁性体存储单元的列对应地被设置。读出写入控制电路在数据写入时和数据读出时的每一时候，用来使第 2 数据写入电流和数据读出电流的每一电流流过多条数据线中的与已被选择的列对应的 1 条。多条主读出字线对于多个区域共同地被设置，用具有第 2 电阻率的布线形成。多条读出字线在多个区域中的每一区域分别与磁性体存储单元的行对



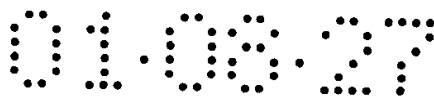
应地被设置，用具有比第 1 和第 2 电阻率高的第 3 电阻率的布线形成。多条读出字线的每一条与多条主读出字线中的某一条对应。多个读出字线驱动器分别与多条读出字线对应地被设置。多个读出字线驱动器的每一个在数据读出时，随着多条主读出字线中的对应的 1 条被激活，
5 激活了多条读出字线中的对应的 1 条。多条读出字线中的已被激活的至少 1 条使对应的存储单元选择门导通。

因而，由于在数据读出时和数据写入时的两者中可共用电阻值小的字线，故可谋求布线数目的削减和数据读出工作的高速化。

按照本发明还有的另一个方面，它是一种薄膜磁性体存储器，具备：存储器阵列；多条数据线；读出写入控制电路；多条字线；以及
10 字线电流控制电路。存储器阵列具有配置成行列状的多个磁性体存储单元。多个磁性体存储单元的每一个包括其电阻值随利用由第 1 和第 2 数据写入电流产生的数据写入磁场写入的存储数据的电平而变化的存储部和与存储部串联连接的存取晶体管。多条数据线分别与磁性体存储单元的列对应地被设置。读出写入控制电路在数据写入时和数据读
15 出时的每一时候，用来使第 2 数据写入电流和数据读出电流的每一电流流过多条数据线中的与已被选择的列对应的 1 条。多条字线分别与磁性体存储单元的行对应地被设置，其每一条根据行选择结果而被激活。多条字线中的已被激活的至少 1 条使对应的存取晶体管导通。字
20 线电流控制电路在数据写入时，在多条字线中的已被激活的至少 1 条中形成第 2 数据写入电流的电流路径。字线电流控制电路在数据读出时，在多条字线的每一条中隔断电流路径。

因而，由于在数据读出时和数据写入时的两者中可共用字线，故可谋求布线数目的削减和数据读出工作的高速化。

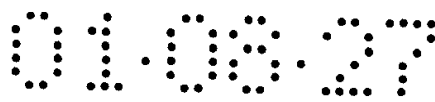
按照本发明还有的另一个方面，它是一种薄膜磁性体存储器，具备：存储器阵列；多条写入字线；字线驱动电路；多条数据线；读出
25 写入控制电路；以及多条读出字线。存储器阵列具有配置成行列状的多个磁性体存储单元。多个磁性体存储单元的每一个包括在由第 1 和第 2 数据写入电流施加的数据写入磁场比规定磁场大的情况下其电阻
30 值随已被写入的存储数据的电平而变化的存储部和在数据读出时用来使数据读出电流通过存储部的存储单元选择门。多条写入字线分别与磁性体存储单元的行对应地被设置，每 2 条构成写入字线对。构成各



写入字线对的 2 条写入字线至少在数据写入时在存储器阵列的一端导电性地连接。字线驱动电路被配置在存储器阵列的另一端，用来在数据写入时为了流过第 1 数据写入电流而将与已被选择的行对应的构成写入字线对的 2 条写入字线的每一条设定为第 1 和第 2 电压的每一方。
5 多条数据线分别与磁性体存储单元的列对应地被设置。读出写入控制电路在数据写入时和数据读出时的每一时候，用来对于与已被选择的列对应的数据线分别供给第 2 数据写入电流和数据读出电流。多条读出字线分别与磁性体存储单元的行对应地被设置，其每一条用来在数据读出时根据行选择结果使对应的存储单元选择门导通。

10 因而，利用与已被选择的存储单元行对应的写入字线对形成往复电流通路，流过数据写入电流。其结果，由于利用写入字线的一半的数目的写入字线对的选择来进行行选择即可，故可简化字线驱动电路的结构。再者，由于在磁性体存储单元周边产生的磁场利用分别流过构成与已被选择的存储单元行对应的写入字线对的 2 条写入字线的数据写入电流而作用于互相抵消的方向，故可减少对于存储单元周边部的磁场噪声。

按照本发明还有的另一个方面，它是一种薄膜磁性体存储器，具备：存储器阵列；多条写入字线；字线电流控制电路；字线驱动电路；多条数据线；读出写入控制电路；以及多条读出字线。存储器阵列具有配置成行列状的多个磁性体存储单元。多个磁性体存储单元的每一个包括在由第 1 和第 2 数据写入电流施加的数据写入磁场比规定磁场大的情况下其电阻值随已被写入的存储数据的电平而变化的存储部和在数据读出时用来使数据读出电流通过存储部的存储单元选择门。多条写入字线分别与磁性体存储单元的行对应地被设置，其每一条在每 2
25 个行中被共有。字线电流控制电路对于多条写入字线中的已被激活的至少 1 条，在数据写入时和数据读出时的每一时候，用来分别形成和隔断第 1 数据写入电流的电流路径。字线驱动电路，在数据写入时和数据读出时的每一时候，用来激活与已被选择的行对应的写入字线。多条数据线，分别与磁性体存储单元的列对应地被设置。读出写入控制
30 电路在数据写入时和数据读出时的每一时候，用来对与已被选择的列对应的数据线分别供给第 2 数据写入电流和数据读出电流。多条读出字线分别与磁性体存储单元的行对应地被设置，其每一条用来在数据



读出时根据行选择结果使对应的存储单元选择门导通。各读出字线在数据读出时根据行选择结果与对应的写入字线一起有选择地被激活。

因而，可减少读出字线的信号传送延迟，可实现数据读出工作的高速化，同时，通过共有写入字线 WWL，可确保其布线间距并容易地确保剖面面积。因此，通过减少写入字线的电流密度，可抑制电迁移的发生，谋求提高工作的可靠性。

通过参照附图的后述的本发明的详细说明，本发明的上述和其它的目的、特征、方面和优点会变得更加明白。

[附图的简单说明]

10 图 1 是示出本发明实施例 1 MRAM 器件 1 的整体结构的概略框图。

图 2 是用来详细地说明实施例 1 的存储器阵列 10 的结构图。

图 3 是说明对于实施例 1 的存储器阵列 10 的数据读出和数据写入工作的时序图。

15 图 4 是说明数据写入时的数据写入电流和在 MTJ 存储单元中产生的磁场的方向的概念图。

图 5 是示出字线驱动器 30 的结构例的电路图。

图 6 是示出字线驱动器 30 的另一结构例的电路图。

图 7 是在半导体衬底上形成的 MTJ 存储单元的结构图。

图 8 是用来说明实施例 1 的变例 1 的存储器阵列 10 的结构图。

20 图 9 是用来说明实施例 1 的变例 2 的存储器阵列 10 的结构图。

图 10 是用来说明实施例 2 的存储器阵列 10 的结构图。

图 11 是说明主读出字线 MRWL 的配置的第 1 例的结构图。

图 12 是说明主读出字线 MRWL 的配置的第 2 例的结构图。

图 13 是说明主读出字线 MRWL 的配置的第 3 例的结构图。

25 图 14 是用来说明实施例 3 的存储器阵列 10 的结构图。

图 15 是示出实施例 3 的字线的配置的结构图。

图 16 是说明对于实施例 3 的存储器阵列 10 的数据读出和数据写入工作的时序图。

图 17 是用来说明实施例 3 的变例 1 的存储器阵列 10 的结构图。

30 图 18 是说明对于实施例 3 的变例 1 的存储器阵列 10 的数据读出和数据写入工作的时序图。

图 19 是用来说明实施例 3 的变例 2 的存储器阵列 10 的结构图。

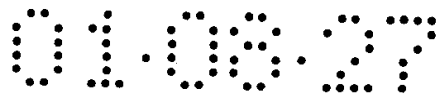


图 20 是说明对于实施例 3 的变例 2 的存储器阵列 10 的数据读出和数据写入工作的时序图。

图 21 是配置在半导体衬底上的实施例 3 的变例 1 和 2 的 MTJ 存储单元的结构图。

5 图 22 是用来说明实施例 3 的变例 2 的存储器阵列 10 的结构图。

图 23 是用来说明实施例 4 的存储器阵列 10 和与其外围电路的数据读出有关的结构图。

图 24 是说明对于实施例 4 的存储器阵列 10 的数据读出和数据写入工作的时序图。

10 图 25 是示出实施例 4 的源线 SL 的配置例的结构图。

图 26 是用来说明实施例 4 的变例 1 的存储器阵列 10 和与其外围电路的数据读出有关的结构图。

图 27 是用来说明实施例 4 的变例 2 的存储器阵列 10 和与其外围电路的数据读出有关的结构图。

15 图 28 是说明实施例 5 的写入字线 WWL 的配置的概念图。

图 29 是用来说明实施例 5 的变例 1 的存储器阵列 10 和其外围电路的结构图。

图 30 是用来说明实施例 5 的变例 2 的存储器阵列 10 和其外围电路的结构图。

20 图 31 是用来说明实施例 5 的变例 2 的存储器阵列中的行选择工作的时序图。

图 32 是用来说明实施例 5 的变例 3 的存储器阵列 10 和其外围电路的结构图。

25 图 33 是用来说明实施例 5 的变例 4 的存储器阵列 10 和其外围电路的结构图。

图 34 是用来说明实施例 5 的变例 4 的存储器阵列中的行选择工作的时序图。

图 35 是示出实施例 6 的 MTJ 存储单元的结构图。

图 36 是在半导体衬底上配置了 MTJ 存储单元 MCD 的情况的结构图。

30 图 37 是说明对于 MTJ 存储单元 MCD 的读出工作和写入工作的时序图。

图 38 是用来说明实施例 6 的存储器阵列 10 和其外围电路的结构

图。

图 39 是用来说明实施例 6 的变例 1 的存储器阵列 10 和其外围电路的结构图。

5 图 40 是用来说明实施例 6 的变例 2 的存储器阵列 10 和其外围电路的结构图。

图 41 是用来说明实施例 6 的变例 3 的存储器阵列 10 和其外围电路的结构图。

图 42 是示出具有磁隧道结部的存储单元的结构的概念图。

图 43 是说明来自 MTJ 存储单元的数据读出工作的概念图。

10 图 44 是说明对于 MTJ 存储单元的数据写入工作的概念图。

图 45 是说明数据写入时的数据写入电流的方向与磁场方向的关系的概念图。

图 46 是示出以集成方式配置成行列状的 MTJ 存储单元的概念图。

图 47 是在半导体衬底上配置了的 MTJ 存储单元的结构图。

15 图 48 是示出使用了二极管的 MTJ 存储单元的结构的概念图。

图 49 是在半导体衬底上配置了图 48 中示出的 MTJ 存储单元时的结构图。

[理想实施例的说明]

以下，参照附图详细地说明本发明的实施例。

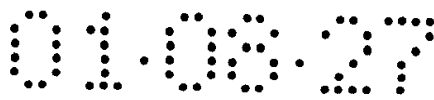
20 [实施例 1]

图 1 是示出本发明的实施例 1 的 MRAM 器件 1 的整体结构的概略框图。

25 参照图 1，MRAM 器件 1 响应于来自外部的控制信号 CMD 和地址信号 ADD 进行随机存取，进行写入数据 DIN 的输入和读出数据 DOUT 的输出。

MRAM 器件 1 具备响应于控制信号 CMD 来控制 MRAM 器件 1 的整体工作的控制电路 5 和具有以 n 行 \times m 列配置成行列状的多个 MTJ 存储单元的存储器阵列 10。存储器阵列 10 的结构在后面详细地说明，但分别与 MTJ 存储单元的行对应地配置多条写入字线 WWL 和读出字线 RWL，分别与 MTJ 存储单元的列对应地配置多条位线 BL。

30 MRAM 器件 1 还具备：行译码器 20，根据由地址信号 ADD 示出的行地址 RA 进行存储器阵列 10 中的行选择；列译码器 25，根据由地址信



号 ADD 示出的列地址 CA 进行存储器阵列 10 中的列选择; 字线驱动器 30, 用来根据行译码器 20 的行选择结果有选择地激活读出字线 RWL 和写入字线 WWL; 字线电流控制电路 40, 用来在数据写入时在写入字线 WWL 中流过数据写入电流; 以及读出/写入控制电路 50、60, 用来在数据读
5 出和数据写入时分别流过数据写入电流和读出电流。

读出/写入控制电路 50、60 控制存储器阵列 10 的两端部的位线 BL 的电压电平, 在位线 BL 中流过用来分别进行数据写入和数据读出的数据写入电流和读出电流。

图 2 是用来详细地说明存储器阵列 10 的结构图。

10 参照图 2, 存储器阵列 10 由具有排列成 n 行 \times m 列的图 22 中示出的结构的 MTJ 存储单元 MC 构成。存储器阵列 10 沿列方向被分割为两个区域 AR1 和 AR2。

在区域 AR1 和 AR2 的每一区域中独立地设置读出字线 RWL。例如, 与存储单元的第 1 行对应地设置的读出字线被分割配置成与区域 AR1 对应的读出字线 RWL11 和与区域 AR2 对应地设置的读出字线 RWL21。与
15 其它各行对应地配置的读出字线也同样地被分割配置在区域 AR1 和 AR2 的每一区域中。

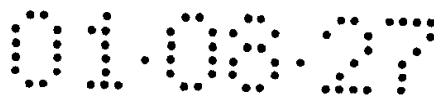
再有, 将存储器阵列 10 分割为二这一点只不过是示例, 本申请的发明的应用不限定于这样的情况。将以下说明的本申请的发明的实施
20 例中的被分割的存储器阵列 10 作为对象的例子, 在将存储器阵列分割为任意多个的情况下, 可同样地适用。

另一方面, 与存储单元的各行对应地在区域 AR1 和 AR2 中共同地设置写入字线 WWL。因而, 在存储器阵列 10 整体中, 配置写入字线 WWL1 ~ WWLn。沿行方向配置读出字线 RWL1 ~ RWLn 和写入字线 WWL1 ~ WWLn。

25 与存储单元的各列对应地沿列方向配置位线 BL。因而, 在存储器阵列 10 整体中, 配置位线 BL1 ~ BLm。

再有, 以下, 在总括地表示写入字线、读出字线和位线的情况下, 分别使用符号 WWL、RWL 和 BL 来表示, 在表示特定的写入字线、读出字线和位线的情况下, 对这些符号附加添加字, 以 RWL11、RWL21 那样
30 的方式来表示。

字线电流控制电路 40 具有分别与写入字线 WWL1 ~ WWLn 对应地设置的电流控制晶体管 41-1 ~ 41-n。电流控制晶体管 41-1 ~ 41-n 响



应于在数据写入时已被激活的控制信号 WE 而导通，导电性地连接对应的写入字线 WWL 与接地电压 V_{SS} 。由此，可在已被激活为选择状态（高电压状态：高电平）的写入字线中流过数据写入电流。

5 另一方面，在数据写入以外时，由于控制信号 WE 未被激活，故电流控制晶体管 41-1~41-n 被关断。因而，即使在已被激活的写入字线 WWL 中，也不流过电流。

与读出字线 $RWL_{11} \sim RWL_{1n}$ 、读出字线 $RWL_{21} \sim RWL_{2n}$ 的每一条相对应，设置子驱动器 $RSD_{11} \sim RSD_{1n}$ 、 $RSD_{21} \sim RSD_{2n}$ 。对于这些子驱动器供给共同的控制信号 SD。各子驱动器根据控制信号 SD 的信号电平和对应的写入字线 WWL 的电压，将对应的读出字线 RWL 激活为选择状态（高电压状态：高电平）。

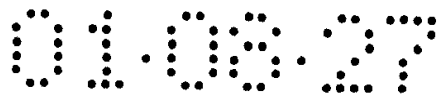
如已说明的那样，由于为了发生在数据写入方面所必要的磁场而必须流过较大的数据写入电流（对于 1 条写入字线来说，约几 mA），故在金属布线层中形成写入字线 $WWL_1 \sim WWL_n$ 。该金属布线层最好是电阻值小且抗电迁移的性能高的布线结构。因而，配置写入字线 WWL 的布线层最好加厚其厚度，形成比其它金属布线层要厚，同时采用比其它金属布线层电阻要低的金属材料。例如，在其它的金属布线层用铝合金形成的情况下，用 Cu（铜）布线来形成写入字线 WWL 所形成的金属布线层即可。

20 另一方面，为了实现存储单元的高集成化，用多晶硅或多晶硅硅化物结构在与存取晶体管 ATR 的栅相同的布线层中形成读出字线 RWL。在实施例 1 中，通过以这种方式分割配置电阻高的读出字线 RWL 来缩短布线长度，利用与写入字线 WWL 的分层结构进行与行选择结果对应的读出字线 RWL 的激活，减少读出字线 RWL 中的信号传送延迟而不特别地增加布线层的数目或布线的数目。由此，在实现了存储单元的高集成化的基础上，可进一步谋求数据读出工作的高速化。

图 3 是说明对于存储器阵列 10 的数据读出和数据写入工作的时序图。

首先，说明数据写入时的工作。

30 字线驱动器 30 根据行译码器 20 的行选择结果，将与选择行对应的写入字线 WWL 的电压驱动为选择状态（高电平）。在非选择行中，写入字线 WWL 的电压电平仍维持为非选择状态（低电平：接地电压 V_{SS} ）。



在数据写入时，由于控制信号 WE 被激活为高电平，故根据电流控制晶体管 41-1~41-n 的导通，在与选择行对应的写入字线 WWL 中流过数据写入电流 I_p 。另一方面，由于控制信号 SD 被非激活为低电平，故即使写入字线 WWL 被有选择地驱动为高电平，各读出字线 RWL 也不会被激活。

读出/写入控制电路 50 和 60 通过控制存储器阵列 10 两端的位线 BL 的电压，产生与写入数据的数据电平对应的方向的数据写入电流。例如，在写入“1”的存储数据的情况下，将读出/写入控制电路 60 一侧的位线电压设定为高电压状态（电源电压 V_{cc} ），将相反一侧的读出/写入控制电路 50 一侧的位线电压设定为低电压状态（接地电压 V_{ss} ）。由此，在从读出/写入控制电路 60 朝向 50 的方向上，数据写入电流 $+I_w$ 流过位线 BL。另一方面，在写入“0”的存储数据的情况下，将读出/写入控制电路 50 一侧和 60 一侧的位线电压分别设定为高电压状态（电源电压 V_{cc} ）和低电压状态（接地电压 V_{ss} ），在从读出/写入控制电路 50 朝向 60 的方向上，数据写入电流 $-I_w$ 流过位线 BL。

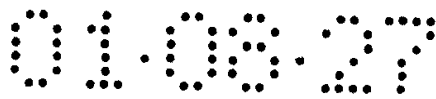
此时，没有必要使数据写入电流 $\pm I_w$ 流过各位线 BL，读出/写入控制电路 50 和 60 根据列译码器 25 的列选择结果，可这样来控制上述的位线 BL 的电压，使数据写入电流 $\pm I_w$ 有选择地流过与选择列对应的一部分位线。

图 4 是说明数据写入时的数据写入电流和在 MTJ 存储单元中产生的磁场的方向的概念图。

参照图 4，在数据写入时，在写入字线 WWL 中流过用来在 $+H_x$ 方向上产生磁场 $H(WWL)$ 的数据写入电流 I_p 。另一方面，在位线 BL 中流过数据写入电流 $+I_w$ 或 $-I_w$ 的电流，该电流与被写入的数据电平相对应用来在 $+H_y$ 方向上或 $-H_y$ 方向上产生磁场 $H(BL)$ 。

因此，利用磁场 $H(WWL)$ 与磁场 $H(BL)$ 的组合，使之发生与星形特性线的外侧区域相当的磁场，可在 MTJ 存储单元中的自由磁层 VL 中写入与数据电平对应的磁场的方向。

这样，在数据写入时，根据数据电平“1”、“0”，选择反方向的数据写入电流 $+I_w$ 或 $-I_w$ 的某一方，通过将写入字线 WWL 的数据写入电流 I_p 与数据电平无关地固定为一定方向，可只用图 2 中示出的电流控制晶体管 41-1~41-n 简单地构成字线电流控制电路 40。此外，虽



然图中未详细地示出，但由于也可与数据电平无关地将与选择行对应的写入字线的电压设定为恒定，故也可简单地构成字线驱动器 30。

其次，说明数据读出时的工作。

再次参照图 3，即使在数据读出时，字线驱动器 30 也根据行译码器 20 的行选择结果，将与选择行对应的写入字线 WWL 的电压驱动为选择状态（高电平）。在非选择行中，写入字线 WWL 的电压电平仍维持为非选择状态（低电平：接地电压 V_{SS} ）。

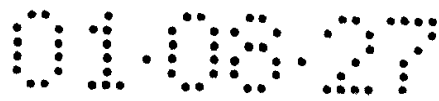
在数据读出时，由于控制信号 WE 按原样被非激活为低电平，故电流控制晶体管 41-1~41-n 维持关断状态。因而，即使在选择行中，电流也不流过写入字线 WWL。另一方面，由于控制信号 SD 被激活为高电平，故子驱动器 RSD11~RSD2n 在选择行中将对应的读出字线 RWL 激活为选择状态（高电平）。

在数据读出工作之前，将位线 BL 例如预充电到高电压状态（电源电压 V_{CC} ）。如果在选择行中读出字线 RWL 被激活为高电平，则对应的存取晶体管 ATR 导通。据此，在 MTJ 存储单元中，经由存取晶体管 ATR，在位线 BL 至接地电压 V_{SS} 之间形成读出电流 I_s 的电流路径。

读出/写入控制电路 50 在数据读出工作时对位线 BL 供给恒定的读出电流 I_s 。一般来说，读出电流 I_s 是比数据写入时的位线电流 $\pm I_w$ 小 2 个数量级的电流。例如，在数据写入时的数据写入电流 $\pm I_w$ 为 10mA 数量级的电流，而读出电流 I_s 为 0.1mA 数量级的电流。因而，在实施例 1 的结构中，虽然在数据读出时与选择行对应的写入字线 WWL 也被激活为高电平，但在读出字线 RWL 中却不流过电流，而且，流过位线的读出电流 I_s 也小。因而，在数据读出时进行错误的写入、破坏 MTJ 存储单元的存储数据的可能性较低。

利用这样的读出电流 I_s ，在位线 BL 中产生根据 MTJ 存储单元的存储数据的数据电平而不同的电压降。在图 3 中，作为一例，在被存储的数据电平为“1”的情况下，如果将固定磁层 FL 与自由磁层 VL 的磁场方向定为相同，则在存储数据为“1”的情况下，位线 BL 的电压降 ΔV_1 小，在存储数据为“0”的情况下的位线 BL 的电压降 ΔV_2 比 ΔV_1 大。通过检测这些电压降 ΔV_1 和 ΔV_2 的差，可从 MTJ 存储单元高速地读出数据。

图 5 是示出字线驱动器 30 的结构例的电路图。



字线驱动器 30 具有与写入字线 $WWL_1 \sim WWL_n$ 的每一条对应地设置的倒相器 31 和倒相器 32。各倒相器 31 响应于控制信号 WE 而工作。另一方面，倒相器 32 响应于作为控制信号 WE 的反转信号的 $/WE$ 而工作。即，倒相器 31 在数据写入时工作，各倒相器 32 在数据读出时工作。

5 行译码器 20 根据行地址 RA ，将行译码信号 $RD_1 \sim RD_n$ 中的与选择行对应的 1 个激活为低电平。行译码器 20 还生成被传递到字驱动器的控制信号 SD 。

10 将行译码信号 $RD_1 \sim RD_n$ 传递到字线驱动器 30。在字线驱动器 30 中，倒相器 31 和倒相器 32 的每一个接受关于对应的存储单元行的行译码信号。例如，与写入字线 WWL_1 对应地设置的倒相器 31 和倒相器 32 的每一个接受行译码信号 RD_1 。倒相器 31 和倒相器 32 在被传递的行译码信号被激活为低电平的情况下，将对应的写入字线 WWL 激活为选择状态（高电平）。

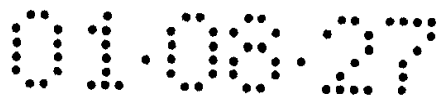
15 在数据读出时和数据写入时的两者中，与选择行对应的写入字线 WWL 被激活为选择状态（高电平）。因而，即使在数据读出时，在将写入字线 WWL 从非选择状态（低电平）激活为选择状态（高电平）的过程中，在写入字线 WWL 中也流过过渡性的充电电流。如果由于该过渡性的充电电流的缘故而发生超过图 4 中示出的星形特性曲线的区域的磁场，则进行错误的数据写入工作从而破坏 MTJ 存储单元的存储数据。
20 另一方面，在数据写入时，必须在写入字线 WWL 中流过较大的数据写入电流 I_p 。

因而，在字线驱动器 30 中，独立地设置在数据写入时用来对对应的写入字线 WWL 供给电流的倒相器 31 和在数据读出时用来对对应的写入字线 WWL 进行充电的倒相器 32。根据数据写入电流 I_p 的电流值，将倒相器 31 的电流驱动能力设定得比倒相器 32 的电流驱动能力大。另一方面，这样来抑制倒相器 32 的电流驱动能力，使所发生的磁场位于图 4 的星形特性线的内侧区域。

30 例如，可通过构成倒相器 31 和 32 的 MOS 晶体管的晶体管尺寸的设计来进行电流驱动能力的调整。由此，可进一步防止 MTJ 存储单元的存储数据遭到破坏。

图 6 是示出字线驱动器 30 的另一结构例的电路图。

参照图 6，字线驱动器 30 有与写入字线 $WWL_1 \sim WWL_n$ 的每一条对应



地设置的倒相器 31 和用来供给倒相器 31 的工作电流的 P 型 MOS 晶体管 33 和 34。MOS 晶体管 33 和 34 被并列地配置于倒相器 31 与电源电压 V_{cc} 之间。对晶体管 33 的栅输入控制信号 WE，对晶体管 34 的栅输入控制信号 WE 的反转信号 \overline{WE} 。因而，晶体管 33 在数据写入时导通，
5 晶体管 34 与数据读出时相对应而导通。

与图 5 中的倒相器 31 同样地设定晶体管 33 的电流驱动能力。另一方面，与图 5 中的倒相器 32 同样地设定晶体管 34 的电流驱动能力。通过作成这样的结构，也与图 5 中示出的字线驱动器 30 的情况相同，能更可靠地防止数据读出时的 MTJ 存储单元的存储数据遭到破坏。再者，图 6 中示出的字线驱动器 30 可用比图 5 中示出的字线驱动器 30
10 少的晶体管元件数目来构成。

其次，说明 MTJ 存储单元的实施例 1 的结构。

也可基于与用现有技术已说明的图 47 相同的结构，在半导体衬底上形成存储器阵列 10 中的 MTJ 存储单元。但是，以下说明适合于即使在数据读出时也进行写入字线 WWL 的激活来谋求数据读出的高速化的
15 实施例 1 的结构的 MTJ 存储单元的结构。

图 7 是说明在半导体衬底上形成的 MTJ 存储单元的实施例 1 的结构图。

参照图 7，基于与图 47 相同的结构，在半导体主衬底 SUB 上形成存取晶体管 ATR，与接地电压 V_{ss} 连接。此外，基于与图 47 相同的结构，在与存取晶体管 ATR 的栅 130 为同一的布线层中也可利用另一多晶硅层或多晶硅硅化物 (polysilicide) 结构来构成读出字线 RWL。
20

另一方面，与图 47 中示出的结构不同，在金属布线层 M1 和 M2 之间形成磁隧道结部 MTJ。此外，在金属布线层 M2 中形成位线 BL，在金属布线层 M3 中形成写入字线 WWL。通过作成这样的结构，将磁隧道结部 MTJ 配置成在高度方向上被读出字线 RWL 和写入字线 WWL 支撑。
25

由此，在数据读出时，利用为了将写入字线 WWL 和读出字线 RWL 驱动为选择状态（高电平）而过渡性地产生的充电电流 $I(WWL)$ 和 $I(RWL)$ ，可在互相抵消的方向上设定在磁隧道结部 MTJ 中分别产生的磁场 $H(WWL)$ 和 $H(RWL)$ 的方向。其结果，从 MTJ 存储单元的结构上来看，也能更加可靠地防止在数据读出时的过渡状态中的存储数据遭到破坏。
30

[实施例 1 的变例 1]

图 8 是用来说明实施例 1 的变例 1 的存储器阵列 10 的结构图。

参照图 8, 在实施例 1 的变例 1 中, 与独立地配置读出字线 RWL 的区域 AR1 和 AR2 的每一区域相对应, 生成独立的控制信号 SD1 和 SD2。

5 区域 AR1 中的子驱动器 RSD11 ~ RSD1n 响应于控制信号 SD1 而工作, 根据写入字线 WWL1 ~ WWLn 的激活来激活对应的读出字线 RWL11 ~ RWL1n. 同样, 区域 AR2 中的子驱动器 RSD21 ~ RSD2n 响应于控制信号 SD2 而工作, 根据写入字线 WWL1 ~ WWLn 的激活来激活对应的读出字线 RWL21 ~ RWL2n. 由于关于其它的部分的结构和工作与实施例相同, 故
10 不重复进行说明。

由此, 在分割配置读出字线 RWL 的每个区域中, 可独立地进行存储单元存取。其结果, 由于可不进行对于在数据读出时所不需要的存储单元的存取, 故可减少在数据读出工作时消耗的电流以谋求低功耗化。再有, 在实施例 1 的变例 1 中, 在控制信号 SD1 和 SD2 的生成中
15 必须反映列译码器 25 的列选择结果。因而, 或是将列选择结果传递给行译码器 20, 或是用列译码器 25 直接生成控制信号 SD1 和 SD2 即可。

[实施例 1 的变例 2]

图 9 是用来说明实施例 1 的变例 2 的存储器阵列 10 的结构图。

参照图 9, 在实施例 1 的变例 2 中, 在区域 AR1 和 AR2 的每个区域
20 中分割配置读出/写入控制电路 50 和 60。具体地说, 与区域 AR1 相对应, 配置读出/写入控制电路 50a 和 60a, 与区域 AR2 相对应, 配置读出/写入控制电路 50b 和 60b. 由于其它的部分的结构和工作与实施例 1 的变例 1 相同, 故不重复进行说明。

这样, 通过在设置独立的读出字线 RWL 的每个区域中配置读出/写
25 入控制电路, 可在这些区域的每一区域中独立地进行数据读出和数据写入工作。例如, 可在区域 AR1 中进行数据读出工作, 与其并行地在区域 AR2 中进行数据写入工作。其结果, 在连续地进行存储器存取的情况下, 可进一步减少总体的存储器存取时间。

[实施例 2]

30 图 10 是用来说明本发明实施例 2 的存储器阵列 10 的结构图。

参照图 10, 在实施例 2 中, 与主读出字线 MRWL 分层次地配置读出字线 RWL. 与实施例 1 相同, 在区域 AR1 和 AR2 中在每个存储单元行中

独立地配置读出字线 RWL。因而，在存储器阵列 10 的整体中，配置读出字线 RWL11~RWL1n、RWL21~RWL2n。与各自的读出字线相对应，设置子驱动器 RSD11~RSD1n、RSD21~RSD2n。

沿列方向在区域 AR1 和 AR2 中共同地设置主读出字线 MRWL。在每 5 L 个 (L: 自然数) 存储单元行中配置主读出字线 MRWL。由此，各读出字线 RWL 与主读出字线 MRWL1~MRWLj (j= 用 n/L 表示的自然数) 中的某一条相对应。

在图 9 中示出了作为一例在 L=4 的情况下、即每 4 个存储单元行配置 1 条主读出字线 MRWL 的结构。这样，通过在每多个存储单元行中配置主读出字线 MRWL，可将主读出字线 MRWL 的条数削减为在每个存储单元行中配置的写入字线 WWL 的 1/L。其结果，可不设置新的金属布线层而共有已有的金属布线层，在半导体衬底上形成主读出字线 MRWL 作为低电阻布线。

利用 4 位的控制信号 SD1~SD4 来进行从与 1 条主读出字线 MRWL 对应的 4 个存储单元行中选择 1 个的工作。基于行地址 RA，例如利用行译码器 20 来生成控制信号 SD1~SD4。将控制信号 SD1~SD4 传递到子驱动器 RSD11~RSD1n、RSD21~RSD2n 的每一个。如果将对应的主读出字线 MRWL 激活为选择状态，则各子驱动器根据控制信号 SD1~SD4 有选择地激活对应的 4 条 (L 条) 的读出字线 RWL 中的 1 条。

20 这样，通过分割读出字线 RWL 来缩短布线，与用金属布线形成的低电阻值的主读出字线 MRWL 作成分层结构，与实施例 1 相同，可减少读出字线 RWL 中的信号传送延迟，实现数据读出的高速化。

此外，在实施例 2 的结构中，可相互独立地进行数据读出时和数据写入时的读出字线 RWL 和写入字线 WWL 的激活的控制。其结果，在字线电流控制电路 40 中，将写入字线 WWL1~WWLn 的每一条与接地电压 Vss 连接即可，没有必要设置在实施例 1 中示出的电流控制晶体管 41-1~41-n。在实施例 2 的结构中，写入字线 WWL 在数据读出时不会被激活，只在数据写入时被激活。因而，在写入字线 WWL 的激活时，可始终流过数据写入电流 Ip，没有必要控制数据写入电流 Ip 流过的电 30 流路径的形成/隔断。这样，也可简化字线电流控制电路 40 的结构。

图 11、12 和 13 是分别说明主读出字线 MRWL 的配置的第 1、第 2 和第 3 例的结构图。

参照图 11, 以与图 47 相同的结构配置存取晶体管 ATR、位线 BL、写入字线 WWL 和读出字线 RWL。在与写入字线 WWL 相同的金属布线层 M2 中配置主读出字线 MRWL。

5 参照图 12, 以与图 7 相同的结构配置存取晶体管 ATR、位线 BL、写入字线 WWL 和读出字线 RWL。在与写入字线 WWL 相同的金属布线层 M3 中配置主读出字线 MRWL。

如图 11 和图 12 中所示, 由于在每多个存储单元行中配置的主读出字线 MRWL 的条数少, 故可配置在与写入字线 WWL 相同的金属布线层中。因此, 可不设置新的金属布线层而共有已有的金属布线层, 在半导体衬底上形成主读出字线 MRWL。

参照图 13, 由于主读出字线 MRWL 的条数少, 故也可配置在 MTJ 存储单元内在层间连接中使用的金属布线层 M1 中。即使作成这样的结构, 也可不设置新的金属布线层而配置主读出字线 MRWL。

[实施例 3]

15 参照图 14, 在实施例 3 中, 在存储器阵列 10 中利用共同的字线 RWWL 形成读出字线和写入字线。即, 在实施例 3 的存储器阵列 10 中, 在每个存储单元行中配置字线 RWWL1 ~ RWWL_n, 字线 RWWL 被数据读出和时间写入共用。字线电流控制电路 40 与字线 RWWL1 ~ RWWL_n 的每一条相对应, 具有电流控制晶体管 41-1 ~ 41-n。

20 图 15 是示出实施例 3 的字线的配置的结构图。

参照图 15, 字线 RWWL 在与用低电阻材料形成的存取晶体管 ATR 的栅 130 相同的层中作为金属布线来配置。作为形成存取晶体管 ATR 的栅的低电阻材料, 例如可使用钨等的金属材料。由此, 与现有的 MTJ 存储单元的结构相比, 可省略以往配置了写入字线 WWL 的金属布线层 (图 47 中的金属布线层 M2)。由此, 可削减金属布线层的数目。

图 16 是说明对于实施例 3 的存储器阵列 10 的数据读出和数据写入工作的时序图。

30 参照图 16, 在数据写入工作时和数据读出工作时的两者中, 与选择行对应的字线 RWWL 的电压被激活为选择状态 (高电平)。但是, 由于使电流控制晶体管 41-1 ~ 41-n 响应于控制信号 WE 而工作, 故对于字线 RWWL 来说, 可只在数据写入时流过电流。

这样, 图 16 中的字线 RWWL 的数据写入时的电压波形与图 3 中示

出的数据写入时的写入字线 WWL 的电压波形相等，数据读出时的电压波形与图 3 中示出的读出字线 RWL 的电压波形相等。此外，字线 RWL 的电流波形与图 3 中示出的写入字线 WWL 的电流波形相等。由此，使用字线 RWL，可对于由 MTJ 存储单元构成的存储器阵列 10 进行与实施
5 例 1 相同的数据读出和数据写入。

由于字线 RWL 为金属布线，故电阻值小。因此，在数据写入时，可确保数据写入电流 I_p 。此外，即使在数据读出时，由于高速地被充电、变化为选择状态（高电平），故信号传送延迟也小。

这样，通过用低电阻材料形成存取晶体管 ATR 的栅，将在同一层
10 中作为读出字线 RWL 和写入字线 WWL 被共用的字线作为低电阻的金属布线来设置，可实现数据读出工作的高速化，同时可实现因金属布线层的数目的削减而引起的集成度的提高。

[实施例 3 的变例 1]

图 17 是用来说明实施例 3 的变例 1 的存储器阵列 10 的结构图。

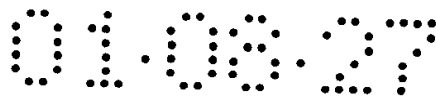
参照图 17，在实施例 3 的变例 1 的存储器阵列 10 中示出了，即使
15 不使用低电阻材料来形成存取晶体管 ATR 的栅的情况下，也可不将读出字线作成分层结构而实现数据读出工作的高速化。

参照图 17，与各存储单元行相对应，沿行方向配置读出字线 RWL 和写入字线 WWL。作为存储器阵列 10 的整体，配置读出字线 RWL1 ~ RWLn
20 和写入字线 WWL1 ~ WWLn。

在实施例 3 的变例 1 中，假定存取晶体管 ATR 的栅与实施例 1 和 2 相同，用多晶硅等来形成。据此，在与存取晶体管 ATR 的栅相同的布线层中用多晶硅等来形成读出字线 RWL。另一方面，由于为了在数据写入时产生必要的磁场而流过充分的数据写入电流 I_p ，利用例如铜或铝
25 合金等的低电阻材料在金属布线层中来形成写入字线 WWL。

与各存储单元行对应的 1 组读出字线 RWL 和写入字线 WWL 在至少 1 个连接节点中导电性地连接。例如，读出字线 RWL1 在包含连接节点 N_c 的至少 1 个节点中与写入字线 WWL1 连接。

由此，即使在激活读出字线 RWL 的情况下，通过用由低电阻材料形成的写入字线 WWL 进行分路，可减少读出字线 RWL 的有效的布线电阻。即，在将读出字线 RWL 从非选择状态（低电平）激活为选择状态（高电平）的情况下，由于对并联连接了读出字线 RWL 与写入字线 WWL
30



的整体的字线进行充电即可，故可减少读出字线 RWL 的有效的布线电阻。由此，可抑制读出字线 RWL 中的信号传送延迟，实现数据读出的高速化。

5 图 18 是说明对于实施例 3 的变例 1 的数据读出工作和数据写入工作的时序图。

参照图 18，在数据写入工作时和数据读出工作时的两者中，导电性地连接的读出字线 RWL 与写入字线 WWL 的电压波形相等。由于这些字线的电压波形与图 16 中已说明的字线 RWL 的电压波形相等，故不重复进行说明。

10 此外，由于读出字线 RWL 的电阻值与写入字线 WWL 的电阻值相比大很多，故即使对于写入字线 WWL 的电流，也可与图 16 的情况大致同样地设定，可确保数据写入时的数据写入电流 I_p 。同样，在数据写入时在读出字线 RWL 中产生的电流 I_p' 成为与数据写入电流 I_p 相比小很多的值，故该电流 I_p' 不会对数据写入产生不良影响。

15 另一方面，在数据读出时，由于电流控制晶体管 41-1~41-n 响应于控制信号 WE 而关断，故对于写入字线 WWL 和读出字线 RWL 这两者，与图 16 的字线 RWL 同样地不流过电流。

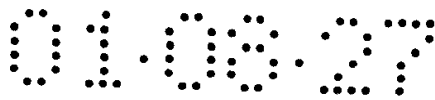
由此，可对于用 MTJ 存储单元构成的存储器阵列 10 进行与在实施例 1、2 和 3 中已说明的同样的数据读出工作和数据写入工作。

20 [实施例 3 的变例 2]

图 19 是用来说明实施例 3 的变例 2 的存储器阵列 10 的结构图。

25 参照图 19，在实施例 3 的变例 2 中，与图 17 的结构相比，还配置漏泄电流隔断电路 70。在漏泄电流隔断电路 70 还具备与 m 个存储单元列对应地分别设置的电流隔断晶体管 71-1~71- m 这一点上不同。电流隔断晶体管 71-1~71- m 的每一个连接在属于对应的存储单元列的 MTJ 存储单元中的存取晶体管 ATR 的源与接地电压 V_{ss} 之间。对于电流隔断晶体管 71-1~71- m 的栅分别输入控制信号 $WC_1 \sim WC_m$ 。再有，以下在总称这些电流隔断晶体管的情况下，只使用符号 71 来表示。

30 再次参照图 17，在实施例 3 的变例 1 的结构下，由于导电性地连接读出字线 RWL 与写入字线 WWL，故即使在数据写入时，MTJ 存储单元 MC 中的存取晶体管 ATR 也导通。由于存取晶体管 ATR 的源端子与接地电压 V_{ss} 连接，故在数据写入时，形成了位线 BL(数据写入电流 $\pm I_w$) -



磁隧道结部 MTJ~存取晶体管 ATR~接地电压 V_{SS} 的漏泄电流路径。由于漏泄电流的缘故，产生了无用的功耗。

再次参照图 19，漏泄电流隔断电路 70 使与成为与各自的位线对应地设置的电流隔断晶体管 71-1~71-m 中的数据写入的对象的存储单元列对应的部分关断。由此，隔断使用图 17 已说明的数据写入时的漏泄电流路径，可避免无用功耗的发生。再有，即使关断电流隔断晶体管 71-1~71-m，也不会对流过位线 BL 和写入字线 WWL 的电流产生影响，因此，可正常地进行数据写入工作。

图 20 是说明对于实施例 3 的变例 2 的存储器阵列 10 的数据读出和数据写入工作的时序图。

参照图 20，如果用 WC 总括地表示控制信号 WC1~WCm，则在数据写入工作时，与成为数据写入的对象的存储单元列对应地将控制信号 WC1 设定为低电平。响应于此，对应的电流隔断晶体管关断，将存取晶体管 ATR 的源与接地电压 V_{SS} 隔开。其结果，在成为数据写入的对象的 MTJ 存储单元中，可避免产生无用的漏泄电流。

另一方面，在上述的数据写入时以外，与各电流隔断晶体管对应地将控制信号 WC 设定为高电平。由此，在数据读出时，将各 MTJ 存储单元中的存取晶体管 ATR 的源电压设定为接地电压 V_{SS} 。因此，与实施例 1 至实施例 3 中已说明的相同，可正常地进行对于用 MTJ 存储单元构成的存储器阵列 10 的数据读出。

其次，说明具有被写入字线 WWL 分路了的读出字线 RWL 的 MTJ 存储单元的结构。

图 21 是配置在半导体衬底上的实施例 3 的变例 1 和 2 的 MTJ 存储单元的结构图。

参照图 21，与在半导体主衬底 SUB 上形成的存取晶体管 ATR 的源/漏区 110 相当的 n 型区域直接与接地电压 V_{SS} 连接。例如，关于属于同一存储单元行或存储单元列的 MTJ 存储单元，通过导电性地连接与源/漏区 110 相当的 n 型区域相互间且一并地与接地电压 V_{SS} 连接，实现了有效的配置。

分别在第 1 和第 2 金属布线层 M1 和 M2 中配置写入字线 WWL 和位线 BL。位线 BL 与磁隧道结部 MTJ 导电性地连接。磁隧道结部 MTJ 经阻挡金属 140 和金属膜 150 与存取晶体管 ATR 的源/漏区 120 导电性地连

接。

写入字线 WWL 在至少 1 个连接节点中，利用在接触孔中形成的金属膜 155 与在与存取晶体管 ATR 的栅 130 相同的层中设置的读出字线 RWL 导电性地连接。

5 这样，采用了 2 层金属布线层的简单纵向结构，可在半导体衬底上形成通过用由低电阻材料形成的写入字线 WWL 对高电阻的读出字线 RWL 进行分路、可高速地进行数据读出的 MTJ 存储单元。

[实施例 3 的变例 3]

10 在图 19 中，在实施例 3 的变例 1 的存储器阵列 10 中示出了避免数据写入时产生无用的漏泄电流的结构，但即使在具有共同的字线 RWL 的实施例 3 的存储器阵列 10 中，也产生了同样的漏泄电流。

图 22 是用来说明实施例 3 的变例 2 的存储器阵列 10 的结构图。

15 参照图 22，除了图 15 中示出的实施例 3 的、与存储单元的各行对应地配置字线 RWL 的存储器阵列 10 的结构外，还配置了与图 19 同样的漏泄电流隔断电路 70。漏泄电流隔断电路 70 包含分别与 m 个存储单元列对应地设置的电流隔断晶体管 $71-1 \sim 71-m$ 。对于电流隔断晶体管 $71-1 \sim 71-m$ 的栅，分别输入控制信号 $WC1 \sim WCm$ 。由于控制信号 $WC1 \sim WCm$ 的设定与在图 20 中已说明的相同，故不重复进行说明。

20 即使在配置字线 RWL 的结构中，由于在数据写入时存取晶体管 ATR 导通，故如果形成位线 BL ~ 磁隧道结部 MTJ ~ 存取晶体管 ATR ~ 接地电压 V_{SS} 的漏泄电流路径，则也消耗了无用的电流。

25 因而，与在实施例 3 的变例 2 中已说明的相同，在数据写入时，关断与电流隔断晶体管 $71-1 \sim 71-m$ 中的成为数据写入的对象存储单元列对应的部分。由此，可同样地隔断数据写入时的漏泄电流路径，可避免无用功耗的发生。

[实施例 4]

30 参照图 23，在实施例 4 的结构中，除了图 19 中示出的实施例 3 的变例 2 的存储器阵列 10 的结构外，还配置在位线 $BL1 \sim BLm$ 中共同地设置的数据总线 DB 和数据读出电路 51。数据读出电路 51 在数据读出时对于数据总线 DB 供给读出电流 I_s 。

再者，在位线 $BL1 \sim BLm$ 的一端与数据总线 DB 之间分别配置列选择门。列选择门 CSG1、CSG2、… 响应于列译码器 25 的列选择结果而导

通/关断。在以下，总称列选择门 CSG1、CSG2、…，也单单称为列选择门 CSG。

因而，在与列选择结果对应的存储单元列中，经列选择门 CSG 导电性地连接对应的位线 BL 与数据总线 DB。

5 由于其它的部分的结构与图 19 中示出的实施例 3 的变例 2 的存储器阵列 10 相同，故不重复进行详细的说明。

此外，在各存储单元列中，将与存取晶体管 ATR 的源导电性地连接的布线总称为源线 SL。即，在存储器阵列 10 的整体中，与存储单元列的每一列相对应，设置分别经电流隔断晶体管 71-1~71-m 与接地电压 V_{SS} 导电性地连接的源线 SL1~SLm。

参照图 24，对于实施例 4 的存储器阵列 10 的数据写入时的位线 BL、写入字线 WWL 和读出字线的电压和电流的设定，除了将数据写入时以外的位线 BL 的电压电平不是设定为电源电压 V_{CC} 而是设定为接地电压 V_{SS} 这一点外，由于与图 20 相同，故不重复进行详细的说明。

15 在图 23 中，只图示了与数据读出有关的电路、即由数据总线 DB 和数据读出电路 51 引起的读出电流 I_s 的供给，但将位线 BL1~BLm 的另一端分别与数据总线 DB 成对的数据总线/DB 连接，通过将数据总线 DB 和/DB 的电压电平设定为高电压状态 (V_{CC})、低电压状态 (V_{SS}) 的各一方，同样地流过在实施例 1 至 3 中已说明的数据写入电流 $\pm I_w$ ，

20 可进行同样的数据写入工作。

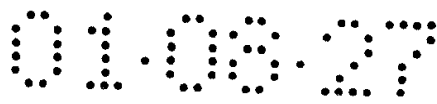
此外，由于在数据写入时和数据读出时的控制信号 WE 和 WC 的信号电平的设定与图 20 相同，故图中予以省略。

其次，说明数据读出时的工作。

在数据读出之前，将各位线 BL 预充电到接地电压 V_{SS} 。

25 在数据读出时，与已被选择的存储单元列对应的位线 BL 经列选择门 CSG 与数据总线 DB 连接。数据读出电路 51 利用与不同于接地电压 V_{SS} 的电压连接的例如电源电压 V_{CC} 来上拉数据总线 DB，同时供给用来读出数据的读出电流 I_s 。

30 其结果，对于已被选择的存储单元，形成数据读出电路 51~数据总线 DB~列选择门 CSG~位线 BL~磁隧道结部 MTJ~存取晶体管 ATR~源线 SL~电流隔断晶体管 71~接地电压 V_{SS} 的电流路径，流过读出电流 I_s 。



由此，在位线 BL 和数据总线 DB 中产生与随存储数据的电平而变化的、磁隧道结部 MTJ 的电阻值对应的电压变化。

5 数据读出电路 51 根据数据总线 DB 的电压电平设定读出数据 DOUT 的电平。这样，可将与已被存储的数据电平对应的磁隧道结部 MTJ 的电阻值的不同变换为电压差而读出。

在数据读出时，响应于行选择结果，对应的写入字线 WWL 被有选择地激活为高电平，与该写入字线 WWL 导电性地连接的读出字线 RWL 也同样被激活为高电平。这样，由于激活被用低电阻材料形成的写入字线 WWL 分路了的读出字线 RWL，故可减少读出字线 RWL 的有效的布线电阻，抑制读出字线 RWL 的信号传送延迟。

10 如上所述，通过将位线 BL 的预充电电压定为接地电压 V_{SS} ，只将与已被选择的存储单元列对应的位线充电到电源电压 V_{CC} 即可。即，在其它的存储单元列中，没有必要每当在位线 BL 中读出数据时供给用来预充电到电源电压 V_{CC} 的充电电流。其结果，可减少存储器阵列 10 中的功耗。

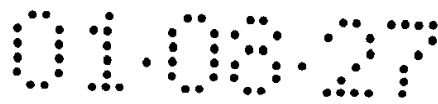
此外，因为使数据写入结束后的位线 BL 的电压电平与预充电电平（接地电压 V_{SS} ）一致，故没有必要在数据读出时进行新的预充电工作，可实现数据读出的高速化。

20 再次参照图 23，如已说明的那样，由于读出电流 I_s 流过数据总线 DB ~ 位线 BL ~ 存储单元 MC ~ 源线 SL ~ 接地电压 V_{SS} 的路径，故存在读出电流路径的电阻值随已被选择的存储单元行的位置而变化、读出电流的值发生变动的可能性。

25 这样，如果读出电流依赖于所选择的存储单元的位置而变动，则在存储器阵列内不能将数据读出时的工作容限保持为相同，难以充分地确保 MRAM 器件整体的工作容限。其结果，存在产生在极端的情况下发生误工作、成品率下降那样的问题的可能性。

参照图 25，在实施例 4 的结构下，在与位线 BL 相同的布线层 (M2) 中，以相同的形状及相同的材料来配置源线 SL。由此，将源线 SL 和位线 BL 的每单位长度的电阻值设计成同样的值。

30 在以这种方式配置源线 SL 和位线 BL 的同时，如图 24 中所示，通过在存储器阵列的一侧和相反一侧分别设置各源线 SL 与接地电压 V_{SS} 的连接部位（即电流隔断晶体管 71）和供给读出电流 I_s 的数据总线 DB



与各位线 BL 的连接部位 (即列选择门 CSG), 可与已被选择的存储单元行的位置无关地将读出电流 I_s 的电流路径中包含的位线 BL 和源线 SL 的电阻值之和维持为大致恒定。

5 由此, 可防止读出电流 I_s 的电流值依赖于已被选择的存储单元行而变动。其结果, 可在存储器阵列内将数据读出时的工作容限保持为相同, 充分地确保 MRAM 器件整体的工作容限。

再有, 必须将源线 SL 设计成与位线 BL 的每单位长度的电阻值相同, 只要满足该条件, 也可在不同的金属布线层中设置各自的布线。

[实施例 4 的变例 1]

10 参照图 26, 在实施例 4 的变例 1 的结构中, 与读出字线 RWL 和写入字线 WWL 平行地配置源线 SL。在存储器阵列 10 的整体中, 与存储单元行的每行相对应, 设置源线 $SL_1 \sim SL_n$ 。

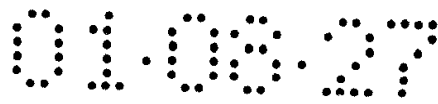
15 将电流隔断晶体管 71 分别配置在源线 $SL_1 \sim SL_n$ 与接地电压 V_{ss} 之间, 在图 25 中, 示出与第 1~3、第 $(n-1)$ 和第 n 行对应的电流隔断晶体管 71-1~71-3、71- $(n-1)$ 和 71- n 。

20 通过作成这样的结构, 为了隔断数据写入时的漏泄电流路径以避免无用的功耗, 对于控制源线 SL 与接地电压 V_{ss} 之间的连接/非连接的电流隔断晶体管 71 的控制信号, 可共用写入字线电压或行译码信号。其结果, 由于没有必要特别地生成图 19 中的控制信号 $WE_1 \sim WE_m$, 故可简化外围电路的结构。

由于其它的部分的结构与图 23 中示出的实施例 4 的存储器阵列 10 相同, 故不重复进行详细的说明。此外, 关于对于在存储器阵列 10 中配置的各存储单元 MC 的数据读出和数据写入, 由于与实施例 4 的情况相同, 故不重复进行详细的说明。

25 再者, 与实施例 4 中的位线 BL 和源线 SL 相同, 设计成各源线 SL 和数据总线 DB 的每单位长度的布线电阻为同样的值, 同时, 如图 26 中所示, 通过在存储器阵列的一侧和相反一侧分别设置各源线 SL 与接地电压 V_{ss} 的连接部位 (即电流隔断晶体管 71) 和数据总线 DB 与数据读出电路 51 的连接部位, 可与已被选择的存储单元列的位置无关地将
30 读出电流 I_s 的电流路径中包含的位线 BL 和源线 SL 的电阻值之和维持为大致恒定。

由此结果, 可防止读出电流 I_s 的电流值依赖于已被选择的存储单



元列而变动。因而，可在存储器阵列内将数据读出时的工作容限保持为相同，充分地确保 MRAM 器件整体的工作容限。

再有，与在实施例 4 中已说明的相同，必须将各源线 SL 和数据总线 DB 设计成每单位长度的电阻为同样的值，只要满足该条件，也可在不同的金属布线层中设置各自的布线。

[实施例 4 的变例 2]

参照图 27，在实施例 4 的变例 2 的结构中，新设置沿列方向配置的、与接地电压 V_{SS} 连接的虚设位线 DMBL。源线 $SL_1 \sim SL_n$ 的每一条经电流隔断晶体管 $71-1 \sim 71-n$ 与虚设位线 DMBL 导电性地连接。

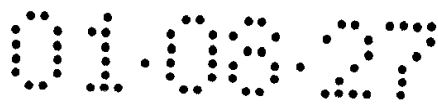
由于其它的部分的结构与图 26 中示出的实施例 4 的变例 1 的存储器阵列 10 相同，故不重复进行详细的说明。此外，关于对在存储器阵列 10 中配置的各存储单元 MC 的数据读出和数据写入，由于可与实施例 4 的情况同样地进行，故不重复进行详细的说明。

在图 26 中示出的实施例 4 的变例 1 的结构中，通过适当地配置源线 SL 和数据总线 DB，可抑制依赖于已被选择的存储单元列的读出电流的变动，在存储器阵列内使数据读出时的工作容限一致。

但是，在图 26 的结构中，由于读出电流路径中包含的位线 BL 的布线长度依赖于已被选择的存储单元行的位置而变化，故存在电流路径的电阻值发生变动、读出电流的值也发生变动的可能性。

因而，在实施例 4 的变例 2 的结构中，与实施例 4 的变例 1 同样地配置数据总线 DB 和源线 SL，同时，即使在虚设位线 DMBL 与各位线 BL 之间，也设计成使每单位长度的布线电阻值相同。再者，如图 27 中所示，在存储器阵列的一侧和相反一侧分别设置虚设位线 DMBL 与接地电压 V_{SS} 的连接部位和供给读出电流 I_s 的数据总线 DB 与各位线 BL 的连接部位（即列选择门 CSG）。其结果，可与已被选择的存储单元行的位置无关地将读出电流 I_s 的电流路径中包含的位线 BL 和虚设位线 DMBL 的布线电阻之和维持为大致恒定。由此，可防止读出电流 I_s 依赖于已被选择的存储单元行而变动。

通过如上述那样配置位线 BL、虚设位线 DMBL、源线 SL 和数据总线 DB，可不依赖于已被选择的存储单元行和存储单元列、即所选择的存储单元的位置，将读出电流路径的布线电阻的总和大致定为恒定值。其结果，可进一步稳定地确保 MRAM 器件的数据读出时的工作容限。



[实施例 5]

参照图 28, 在实施例 5 的结构中, 与存储单元行的每行对应地配置的写入字线 WWL 在每 2 条的组中构成写入字线对。

例如, 邻接的写入字线 WWL1 和 WWL2 构成写入字线对 WWLP1。写入字线 WWL2 起到在数据写入时流过与写入字线 WWL1 反方向的数据写入电流的互补的写入字线/ $\overline{\text{WWL1}}$ 的功能。写入字线 WWL1 经晶体管 QD1 与电源电压 V_{cc} 导电性地连接。另一方面, 写入字线 WWL2 ($\overline{\text{WWL1}}$) 与接地电压 V_{ss} 导电性地连接。

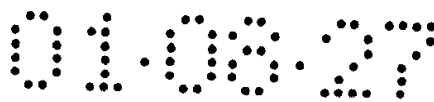
在以后的存储单元行中, 也同样地配置写入字线 WWL。利用经晶体管 QD2 与电源电压 V_{cc} 导电性地连接的写入字线 WWL3 和写入字线 WWL4 ($\overline{\text{WWL3}}$), 构成写入字线对 WWLP2, 以此为开始, 在每 2 个存储单元行中, 与奇数行对应的写入字线 WWL 经驱动晶体管与电源电压 V_{cc} 导电性地连接。另一方面, 与偶数行对应的写入字线 WWL 与接地电压 V_{ss} 导电性地连接。

各驱动晶体管与行选择结果对应地被激活。例如, 在选择了第 1 或第 2 存储单元行的情况下, 驱动晶体管 QD1 导通。据此, 在构成写入字线对 WWLP1 的写入字线 WWL1 和写入字线 WWL2 ($\overline{\text{WWL1}}$) 中, 在互为相反的方向上流过数据写入电流。这样, 在实施例 5 的结构中, 在每 2 个存储单元行中形成的每个写入字线对中进行存储单元行的选择。

以下, 在总称写入字线对和驱动晶体管的情况下, 分别仅使用符号 WWLP 和 QD 来表示, 同时, 在表示特定的写入字线对和驱动晶体管的情况下, 附加添加字, 如 WWLP1 和 QD1 那样来表示。此外, 用 WWL 总括地表示构成写入字线对 WWLP 的写入字线的一方、即与第奇数个存储单元行对应的写入字线, 用/ $\overline{\text{WWL}}$ 总括地表示构成写入字线对 WWLP 的写入字线的另一方、即与第偶数个存储单元行对应的写入字线。

在夹住存储器阵列 10、与设置驱动晶体管 QD 的区域相反一侧的区域中, 导电性地连接形成同一写入字线对的写入字线 WWL 和/ $\overline{\text{WWL}}$ 。由此, 对于形成与已被选择的存储单元行对应的写入字线对的 WWL 和/ $\overline{\text{WWL}}$ 来说, 数据写入电流 I_p 作为往复电流而流动。

在从根据列选择结果而流动的数据写入电流 I_p 和 $\pm I_w$ 这两者施加了数据写入磁场的情况下, 在各存储单元行中隔开 1 列配置 MTJ 存储



单元，以使单一的磁性体存储单元成为数据写入的对象，即不同时使多个存储单元成为数据写入的对象。

这样，通过利用写入字线对形成往复电流通路，由于在每 2 行中设置驱动晶体管 QD 即可，故可简化字线驱动器 30 的结构。

5 此外，由于流过与已被选择的存储单元行对应的写入字线 WWL 的数据写入电流 + I_p 产生的周边磁场与流过写入字线/WWL 的数据写入电流 - I_p 产生的周边磁场在互相抵消的方向上起作用，故可减少对于存储单元周边部分的磁场噪声。

[实施例 5 的变例 1]

10 参照图 29，在实施例 5 的变例 1 的结构中，写入字线 WWL 被邻接的存储单元行间共有。例如，由第 1 和第 2 存储单元行共有 1 条写入字线 WWL1。对于以后的存储单元行，也同样地配置写入字线 WWL。写入字线 WWL1 ~ WWLn (N: 用 $n/2$ 表示的自然数) 分别经电流控制晶体管 41-1 ~ 41-N 与接地电压 V_{ss} 连接。

15 此外，各写入字线 WWL 与对应的 2 行部分的读出字线 RWL 导电性地连接。例如，分别与第 1 和第 2 存储单元行对应的读出字线 RWL1 和 RWL2 与写入字线 WWL1 导电性地连接。由此，利用分路减少数据读出时的读出字线 RWL 的实质性的电阻值，可减少读出字线 RWL 中的传送延迟，谋求数据读出的高速化。

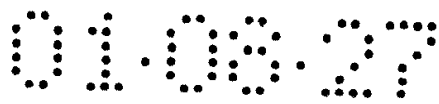
20 再者，通过共有写入字线 WWL，可减少存储器阵列 10 整体中的写入字线 WWL 的配置条数。其结果，由于可使用 2 行部分的布局区域来配置写入字线 WWL，故例如通过充分地确保其布线宽度，可充分地确保剖面面积。

25 由此，在必须流过较大的数据写入电流的写入字线 WWL 中，可减少电流密度，避免起因于电迁移的布线间短路或布线断线等的危险性，谋求工作的稳定。

[实施例 5 的变例 2]

30 参照图 30，在实施例 5 的变例 2 的结构中，各读出字线 RWL 与写入字线 WWL 导电性地连接。由此，利用写入字线 WWL 对各读出字线 RWL 进行分路，可减少数据读出时的传送延迟。

如已说明的那样，在这样的结构中，利用字线驱动器 30 有选择地驱动写入字线 WWL。



在图 30 的结构中，每 2 个存储单元行形成 1 组，利用 2 条写入字线 WWL 形成 1 对写入字线对 WWLP。例如，利用分别与第 1 行和第 2 行对应的写入字线 WWL1 和写入字线 WWL2(/WWL1) 形成写入字线对 WWLP1。

形成同一写入字线对 WWLP 的 2 条写入字线 WWL 和 /WWL 经短路晶体管 42 导电性地连接。即，与各写入字线对 WWLP 对应地配置短路晶体管 42。各短路晶体管 42 响应于在数据写入时被激活为高电平的控制信号 WE 而导通。再有，关于短路晶体管，在总称的情况下，也单单使用符号 42 来表示，在表示特定的短路晶体管的情况下，附加添加字，如 42-1 那样来表示。

在图 30 中，有代表性地示出与第 1 和第 2 存储单元行对应地配置的短路晶体管 42-1 和与第 3 和第 4 存储单元行对应地配置的短路晶体管 42-2。

图 31 是说明具有图 30 中示出的结构的存储器阵列中的数据读出时和数据写入时的每一时候的行选择工作的时序图。

与第 i ($i: 1 \sim n$ 的奇数的自然数) 存储单元行对应的读出行译码信号 $RRDi$ 在第 i 存储单元行作为数据读出的对象被选择了的情况下被激活为高电平。同样，写入选码信号 $WRDi$ 在数据写入时在第 i 存储单元行作为数据写入的对象被选择了的情况下被激活为高电平。读出行译码信号 / $RRDi$ 是读出行译码信号 $RRDi$ 的反转信号，写入选码信号 / $WRDi$ 是写入选码信号 $WRDi$ 的反转信号。

写入字线 $WWLi$ 在数据写入时在与同一写入字线对 WWLP 对应的第 i 和第 $(i+1)$ 存储单元行的某一行被选择了的情况下被激活为高电平。构成同一写入字线对的另一方的写入字线 / $WWLi$ 和与非选择存储单元行对应的写入字线 WWL 的每一条被设定为低电平 (接地电压 V_{ss})。

再者，在数据写入时，由于各短路晶体管 42 导通，故利用形成与已被选择的存储单元行对应的写入字线对 WWLP 的写入字线 WWL 和 /WWL，可将数据写入电流 I_p 作为往复电流来流动。

即，在数据写入时，必须将形成与已被选择的存储单元行对应的写入字线对的写入字线 WWL 和 /WWL 分别设定为电源电压 V_{cc} 和接地电压 V_{ss} 。

另一方面，由于读出行译码信号 RWL_i 与写入字线 $WWLi$ 导电性地连接，故其电压电平与写入字线 $WWLi$ 同样地设定。

因而，在数据读出时，必须独立地进行各写入字线 WWL 的激活（高电平）。因而，在关断各短路晶体管 42 的同时，必须有选择地只将已被选择的存储单元行对应的写入字线 WWL 设定为电源电压 V_{cc} （高电平电压）。

5 这样，对于分别与奇数行和偶数行对应的写入字线 WWL，必须设置结构不同的字驱动器。

在图 30 中，有代表性地说明与写入字线 WWL1 对应地设置的写入字驱动器 WDa1 的结构和与写入字线 WWL2（/WWL1）对应地设置的写入字驱动器/WDa1 的结构。

10 再次参照图 30，写入字驱动器 WDa1 具有：逻辑门 LG11，输出写入行译码信号 WRD1 与 WRD2 的“或”（OR）运算结果；逻辑门 LG13，输出逻辑门 LG11 的输出信号与读出行译码信号 RRD1 之间的“或非”（NOR）运算结果；以及 P 型 MOS 晶体管 Q11 和 N 型 MOS 晶体管 Q12，分别导电性地连接在电源电压 V_{cc} 和接地电压 V_{ss} 与写入字线 WWL1 之间。对晶体管 Q11 和 Q12 的栅输入逻辑门 LG13 的输出信号。

15 通过作成这样的结构，如果写入字驱动器 WDa1 在数据写入时将写入行译码信号 WRD1 和 WRD2 的某一方激活为高电平，则响应于逻辑门 LG13 的输出信号的朝向低电平的变化，导电性地连接写入字线 WWL1 与电源电压 V_{cc} 。在写入行译码信号 WRD1 和 WRD2 这两者都被非激活为低电平的情况下，因为逻辑门 LG13 的输出信号被设定为低电平，故写入字驱动器 WDa1 将写入字线 WWL1 与接地电压 V_{ss} 导电性地连接。

20 另一方面，对于写入字线 WWL2（/WWL1）设置的写入字驱动器/WDa1 具有分别导电性地连接在电源电压 V_{cc} 和接地电压 V_{ss} 与写入字线 WWL2 之间的 P 型 MOS 晶体管 Q13 和 N 型 MOS 晶体管 Q14。对晶体管 Q13 和 Q14 的栅输入读出行译码信号/RRD2。

在数据写入时，由于与行选择结果无关地将读出行译码信号/RRD2 设定为高电平，故写入字驱动器/WDa1 根据晶体管 Q14 的导通，将写入字线 WWL2（/WWL1）与接地电压 V_{ss} 导电性地连接。

30 在数据写入时，由于短路晶体管 42-1 响应于控制信号 WE 的激活（高电平）而导通，故在选择第 1 或第 2 存储单元行、将写入字线 WWL1 设定为电源电压 V_{cc} 的情况下，利用写入字线 WWL1 和写入字线 WWL2（/WWL1）形成往复通路，流过数据写入电流 I_p 。

另一方面，在数据读出时，因为写入行译码信号 WRD1 和 WRD2 这两者都被非激活为低电平，故写入字驱动器 WDa1 在读出行译码信号 RRD1 被激活为高电平的情况下，响应于逻辑门 LG13 的输出信号的朝向低电平的变化，导电性地连接写入字线 WWL1 与电源电压 Vcc。由此，与写入字线 WWL1 导电性地连接的读出字线 RWL1 也被激活为高电平。

同样，写入字驱动器/WDa1 响应于读出行译码信号/RRD2 的激活(低电平)，经晶体管 Q13 将写入字线 WWL2 与接地电压 Vss 导电性地连接。

在数据读出时，由于短路晶体管 42-1 被关断，故写入字线 WWL1 和写入字线 WWL2 分别独立地被激活为高电平。据此，读出字线 RWL1 和读出字线 RWL2 也根据行选择结果分别独立地被激活为高电平(电源电压 Vcc)。

对于以后的存储单元行，对于奇数行的写入字线，设置作成与写入字驱动器 WDa1 同样的结构的写入字驱动器，对于与偶数行对应的写入字线/WWL，配置作成与写入字驱动器/WDa1 同样的结构的写入字驱动器。

通过作成这样的结构，利用布线电阻小的写入字线 WWL 对读出字线 RWL 进行分路以谋求数据读出的高速化，同时，可利用形成往复通路的写入字线对，流过数据写入时的数据写入电流 Ip，可减少对于存储单元外部的磁噪声。

[实施例 5 的变例 3]

参照图 32，在实施例 5 的变例 3 的结构中，与图 8 中示出的实施例 2 的结构相同，分层次地配置读出字线。再者，与实施例 4 的情况相同，由邻接的存储单元行来共有写入字线 WWL。

与图 8 相同，在独立地配置读出字线 RWL 的区域 AR1 和 AR2 中分别配置子字驱动器 RSD11~RSD1n、RSD21~RSD2n。分别与共有同一写入字线 WWL 的 2 个存储单元行对应的子字驱动器根据共同的该写入字线 WWL 的激活，激活对应的读出字线 RWL。

但是，与第奇数存储单元行对应的子字驱动器响应于控制信号 SD1 的激活而工作。同样，与第偶数存储单元行对应的子字驱动器响应于控制信号 SD2 的激活而工作。控制信号 SD1 在选择第奇数存储单元行的情况下被激活。另一方面，控制信号 SD2 在选择第偶数存储单元行的情况下被激活。

因而，在邻接的存储单元间共有写入字线 WWL 的同时，在不新设置主读出字线的情况下，可分层次地分割配置读出字线 RWL 以缩短其布线。

由于其它的部分的结构与图 8 相同，故不重复进行详细的说明。

5 其结果，可减少各读出字线 RWL 的布线电阻以谋求数据读出的高速化，同时通过共有写入字线 WWL，可确保其布线间距，容易地确保剖面面积。因此，减少写入字线 WWL 中的电迁移的發生的可能性，可进一步谋求提高工作的可靠性。

10 另外，在将读出字线 RWL 作成分层结构的同时，在区域 AR1 和 AR2 中分别独立地进行数据读出和数据写入工作用的图 9 的结构中，也可谋求写入字线 WWL 的共有。

[实施例 5 的变例 4]

15 在实施例 5 的变例 4 的结构中，在谋求将读出字线 RWL 作成分层结构的同时，与图 30 中示出的结构相同，在由在每 2 个存储单元行中形成的 1 对写入字线对 WWLP 形成的往复通路中流过数据写入电流 I_p 。

20 参照图 33，在独立地配置读出字线 RWL 的区域 AR1 和 AR2 的每一区域中配置各自由倒相器构成的子字驱动器 RSI11 ~ RSI1n、RSI21 ~ RSI2n。子字驱动器 RSI11 ~ RSI1n、RSI21 ~ RSI2n 的每一个响应于控制信号 SD 的激活而工作。在控制信号 SD 为非激活状态的情况下，与对应的写入字线 WWL 的电压无关，各读出字线 RWL 被维持为非激活状态。

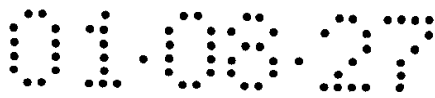
子字驱动器 RSI11 ~ RSI1n、RSI21 ~ RSI2n 的每一个与图 32 中示出的子字驱动器 RSD11 ~ RSD1n、RSD21 ~ RSD2n 不同，反转对应的写入字线 WWL 的电压电平，驱动对应的读出字线 RWL。

25 在图 34 中示出说明具有图 33 中示出的结构的存储器阵列中的数据读出时和数据写入时的每一时候的行选择工作的时序图。

与图 31 同样地设定读出行译码信号 $RRDi$ 、 $/RRDi$ 和写出行译码信号 $WRDi$ 、 $/WRDi$ 。

30 在数据读出时，为了将与非选择行对应的读出字线 RWL 设定为接地电压 V_{ss} ，在图 33 的结构中，必须将与非选择行对应的写入字线的电压设定为电源电压 V_{cc} 。

因而，在数据读出时，与已被选择的存储单元行对应的写入字线 WWL



被激活为低电平。与图 30 的情况相同，在数据读出时，由于各短路晶体管 42 被关断，故可独立地在每个存储单元行中设定写入字线 WWL 的电压。

再者，在数据读出时，由于控制信号 SD 被激活（高电平），故在已被选择的存储单元行中，读出字线 RWL 被激活为高电平（电源电压 V_{cc} ）。这样，可有选择地激活与行选择结果对应的 1 条读出字线 RWL。

在数据写入时，在选择了与同一写入字线对 WWLP 对应的第 i 和第 $(i+1)$ 存储单元行的某一行的情况下，写入字线 WWL_i 被激活为低电平（接地电压 V_{ss} ）。构成同一写入字线对的另一方的写入字线 $/WWL_i$ 和与非选择的存储单元行对应的写入字线 WWL 分别被设定为高电平（电源电压 V_{cc} ）。

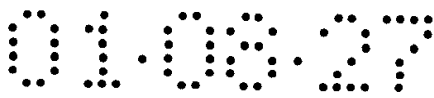
与图 30 的情况相同，在数据写入时，由于短路晶体管 42 导通，故利用形成与已被选择的存储单元行对应的写入字线对 WWLP 的写入字线 WWL 和 $/WWL$ ，可作为往复电流流过数据写入电流 I_p 。

另一方面，在数据写入时，由于控制信号 SD 被非激活（低电平），故各读出字线 RWL 被设定为非激活状态（低电平：接地电压 V_{ss} ）。

因而，与图 30 的情况相同，对于分别与奇数行和偶数行对应的写入字线 WWL，必须设置结构不同的字驱动器。在图 33 中，有代表性地说明与写入字线 WWL_1 对应地设置的写入字驱动器 WDb_1 的结构和与写入字线 WWL_2 ($/WWL_1$) 对应地设置的写入字驱动器 $/WDb_1$ 的结构。

再次参照图 33，写入字驱动器 WDb_1 具有：逻辑门 LG21，输出写入行译码信号 $/WRD_1$ 与 $/WRD_2$ 的“与”（AND）运算结果；逻辑门 LG23，输出逻辑门 LG21 的输出信号与读出行译码信号 $/RRD_1$ 的“与非”（NAND）运算结果；以及 P 型 MOS 晶体管 Q21 和 N 型 MOS 晶体管 Q22，分别导电性地连接在电源电压 V_{cc} 和接地电压 V_{ss} 与写入字线 WWL_1 之间。对晶体管 Q21 和 Q22 的栅输入逻辑门 LG23 的输出信号。

通过作成这样的结构，如果写入字驱动器 WDb_1 在数据写入时将写入行译码信号 $/WRD_1$ 和 $/WRD_2$ 的某一方激活为低电平，则响应于逻辑门 LG23 的输出信号的朝向高电平的变化，导电性地连接写入字线 WWL_1 与接地电压 V_{ss} 。在写入行译码信号 $/WRD_1$ 和 $/WRD_2$ 这两者都被非激活为高电平的情况下，因为逻辑门 LG23 的输出信号被设定为低电平，故写入字驱动器 WDb_1 将写入字线 WWL_1 与电源电压 V_{cc} 导电性地连接。



另一方面，对于写入字线 WWL2 (/WWL1) 设置的写入字驱动器 /WDb1 具有分别导电性地连接在电源电压 Vcc 和接地电压 Vss 与写入字线 WWL2 之间的 P 型 MOS 晶体管 Q23 和 N 型 MOS 晶体管 Q24. 对晶体管 Q23 和 Q24 的栅输入读出行译码信号 RRD2.

5 在数据写入时，由于与行选择结果无关地将读出行译码信号 RRD2 非激活为低电平，故写入字驱动器 /WDb1 将写入字线 WWL2 (/WWL1) 与电源电压 Vcc 导电性地连接。

在数据写入时，由于短路晶体管 42-1 响应于控制信号 WE 的激活 (高电平) 而导通，故在选择例如第 1 或第 2 存储单元行、将写入字线 WWL1 设定为接地电压 Vss 的情况下，利用写入字线 WWL1 和写入字线 WWL2 (/WWL1) 形成往复通路，流过数据写入电流 I_p 。

10 另一方面，在数据读出时，因为写入行译码信号 /WRD1 和 /WRD2 这两者都被设定为高电平，故写入字驱动器 WDb1 在读出行译码信号 /RRD1 被激活为低电平的情况下，响应于逻辑门 LG22 的输出信号的朝向高电平的变化，导电性地连接写入字线 WWL1 与接地电压 Vss. 由此，利用对应的子字驱动器 RSI11 或 RSI21，将与写入字线 WWL1 导电性地连接的读出字线 RWL1 激活为高电平。

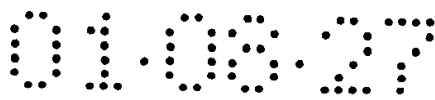
15 在数据读出时，写入字驱动器 /WDb1 响应于读出行译码信号 /RRD2 的激活 (高电平)，经晶体管 Q23 将写入字线 WWL2 与接地电压 Vss 导电性地连接。

20 在数据读出时，由于短路晶体管 42-1 被关断，故写入字线 WWL1 和写入字线 WWL2 分别根据行选择结果独立地被激活为低电平。据此，读出字线 RWL1 和读出字线 RWL2 也利用对应的子字驱动器分别被激活为高电平 (电源电压 Vcc)。

25 即使对于以后的存储单元行，对于奇数行的写入字线，也设置作成与写入字驱动器 WDb1 同样的结构的写入字驱动器，对于与偶数行对应的写入字线 /WWL，也配置作成与写入字驱动器 /WDb1 同样的结构的写入字驱动器。

30 通过作成这样的结构，利用读出字线 RWL 的分层结构可实现数据读出的高速化，同时，利用数据写入电流 I_p 的往复通路可实现磁噪声的降低。

[实施例 6]



参照图 35, 实施例 6 的 MTJ 存储单元 MCD 与图 48 中示出的结构相同, 具备磁隧道结部 MTJ 和存取二极管 DM. 在 MTJ 存储单元 MCD 中, 在分割地配置读出字线 RWL 和写入字线 WWL 这一点上与图 48 中示出的结构不同. 将位线 BL 配置在与写入字线 WWL 和读出字线 RWL 交叉的方向上, 与磁隧道结部 MTJ 导电性地连接.

存取二极管 DM 以从磁隧道结部 MTJ 朝向读出字线 RWL 的方向为正向, 连接在两者之间. 写入字线 WWL 不与其它布线连接, 接近于磁隧道结部 MTJ 而被设置.

参照图 36, 在半导体主衬底 SUB 上形成的 N 型区 NWL 相当于存取二极管 DM 的阴极. 在半导体衬底上将 MTJ 存储单元配置成行列状的情况下, 例如, 对属于同一行的 MTJ 存储单元, 通过导电性地连接 N 型区 NWL 相互之间, 可不特别地设置读出字线 RWL 而实现图 25 中示出的存取二极管 DM 与读出字线 RWL 的连接关系. 在图 36 中, 示出了形成 N 型阱作为 N 型区的例子, 但也可属于电阻值更小的 $n+$ 扩散区来代替 N 型阱. 或者, 也可在另外的金属布线层中配置读出字线 RWL.

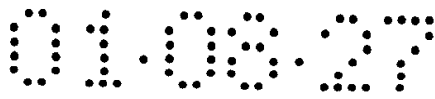
在 N 型区 NWL 上设置的 P 型区 PAR 相当于存取二极管 DM 的阳极. P 型区 PAR 经阻挡金属 140 和金属膜 150 与磁隧道结部 MTJ 导电性地连接.

在金属布线层 M1 和 M2 中分别配置写入字线 WWL 和位线 BL. 将位线 BL 配置成与磁隧道结部 MTJ 连接.

由于位线 BL 与磁隧道结部 MTJ 之间的距离比写入字线 WWL 与磁隧道结部 MTJ 之间的距离小, 故即使在流过同一电流量的情况下, 由流过位线 BL 的数据写入电流产生的磁场比由流过写入字线 WWL 的数据写入电流产生的磁场大.

因而, 为了对磁隧道结部 MTJ 供给强度大致相同的数据写入磁场, 对于写入字线 WWL 来说, 必须流过比位线 BL 大的数据写入电流. 为了减小布线电阻, 在金属布线层中形成位线 BL 和写入字线 WWL. 但是, 如果流过布线的电流密度过大, 则存在发生起因于电迁移现象的断线或布线间短路、在工作的可靠性方面导致障碍的情况. 因此, 希望抑制数据写入电流流过的布线的电流密度.

因而, 在半导体衬底上配置实施例 6 的 MTJ 存储单元 MCD 的情况下, 通过使写入字线 WWL 的剖面面积比更接近于磁隧道结部 MTJ 的位



线 BL 的剖面面积大, 可抑制必须流过大的数据写入电流的写入字线 WWL 的电流密度, 提高 MRAM 器件的可靠性。

此外, 利用抗电迁移的性能高的材料形成与磁隧道结部 MTJ 的距离大的、必须流过更大的数据写入电流的金属布线 (在图 36 中, 是写入字线 WWL) 这一点, 在提高可靠性方面也有效果。例如, 在用铝合金 (Al 合金) 形成其它的金属布线的情况下, 必须考虑抗电迁移的性能的某种金属布线用铜 (Cu) 形成即可。

参照图 37, 在数据写入时, 将读出字线 RWL、即 N 型区 NWL 的电压设定为高电平 (电源电压 V_{cc})。在数据读出时, 在读出字线 RWL 中不流过电流。

对与已被选择的存储单元行对应的写入字线 WWL 施加电源电压 V_{cc} , 流过数据写入电流 I_p 。此外, 即使对于位线 BL, 也根据写入数据的数据电平, 通过将位线 BL 的两端的各一方设定为电源电压 V_{cc} 和接地电压 V_{ss} , 可在位线 BL 中流过与写入数据的数据电平对应的数据写入电流 $\pm I_w$ 。

利用以这种方式流过的数据写入电流 I_p 和 $\pm I_w$, 进行对于 MTJ 存储单元的数据写入。此时, 因为将读出字线 RWL 设定为电源电压 V_{cc} , 故在数据写入时可靠地关断存取二极管 DM。因而, 与图 42 中示出的 MTJ 存储单元相比, 可谋求数据写入工作的稳定。

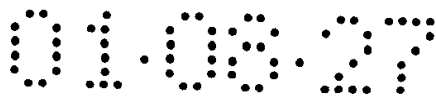
其次, 说明数据读出时的工作。

在数据读出之前, 将位线 BL 预充电到接地电压 V_{ss} 。

与作为数据读出的对象的存储单元 MCD 对应的读出字线 RWL 在数据读出时被驱动为激活状态 (低电平: 接地电压 V_{ss})。据此, 由于存取二极管 DM 被正偏置, 故读出电流 I_s 流过位线 BL ~ 磁隧道结部 MTJ ~ 存取二极管 DM ~ 读出字线 RWL (接地电压 V_{ss}) 的路径, 可进行数据读出。

具体地说, 通过用读出电流 I_s 放大在位线 BL 中产生的电压变化, 可进行在磁隧道结部 MTJ 中被存储的数据的读出。

参照图 38, 在实施例 6 的存储器阵列 10 的结构中, 配置具有图 35 中示出的结构的、配置成行列状的 MTJ 存储单元 MCD。与 MTJ 存储单元 MCD 的各行相对应, 配置写入字线 WWL 和读出字线 RWL。在各写入字线 WWL 与接地电压 V_{ss} 之间, 配置电流控制晶体管。各电流控制晶体管响



应于控制信号 WE 的激活而导通。

在图 38 中，有代表性地示出与第 1 至第 4 存储单元行对应的读出字线 RWL1~RWL4、写入字线 WWL1~WWL4 和电流控制晶体管 41-1~41-4。

5 各读出字线 RWL 与对应于同一存储单元行的写入字线 WWL 导电性地连接。由此，利用由电阻值低的金属布线形成的写入字线 WWL 对在 N 型区中形成的、电阻值比较高的读出字线 RWL 进行分路。通过在多个节点中连接两者，可进一步减小时间常数。由此，可减少读出字线 RWL 中的信号传送延迟，实现数据读出工作的高速化。

10 字线驱动器 30 具有响应于各写入字线 WWL 而设置的字驱动器。在图 38 中，有代表性地示出与第 1 至第 4 存储单元行对应的字驱动器 WD1~WD4。此外，在总称这些字驱动器的情况下，单单使用符号 WD。

各字驱动器 WD 从电源节点和接地节点接受电源电压 V_{cc} 和接地电压 V_{ss} 的供给。特别是，在与位线 BL 相同的方向上设置的虚设位线 15 DMBL 进行接地电压 V_{ss} 的供给。

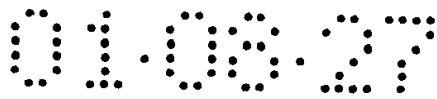
各字驱动器 WD 在数据读出时和数据写入时的两者中，在选择了对应的存储单元行的情况下，将对应的写入字线 WWL 与电源电压 V_{cc} 连接。在非选择的情况下，将对应的写入字线 WWL 与接地电压 V_{ss} 连接。

20 通过作成这样的结构，在数据写入时，可对于与已被选择的存储单元行对应的写入字线 WWL 流过数据写入电流 I_p 。

用来对位线 BL 供给数据写入电流 $\pm I_w$ 的电路结构的图示被省略，但与实施例 1 的情况相同，通过控制位线 BL 的两端电压，可流过数据写入电流 $\pm I_w$ 。

25 与实施例 4 相同，利用数据读出电路 51 供给数据读出时的读出电流 I_s 。经数据总线 DB 和配置在数据总线 DB 与位线 BL 之间的列选择门 CSG 来供给读出电流 I_s 。

30 在数据读出时，与非选择行对应的读出字线 RWL 被设定为高电压状态（高电平），与选择行对应的读出字线 RWL 被激活为接地电压 V_{ss} 。由此，在选择行中，存取二极管 DM 的 PN 结被正偏置，读出电流 I_s 在数据总线 DB~列选择门 CSG~位线 BL~磁隧道结部 MTJ~存取二极管 DM~读出字线 RWL~字驱动器 WD~虚设位线 DMBL~接地电压 V_{ss} 的电流路径中流过。



因而，通过与图 26 中的源线 SL 和数据总线 DB 同样地设计数据总线 DB 和读出字线 RWL 的配置，可与已被选择的存储单元列的位置无关地将读出电流路径的电阻值大致保持为恒定。

此外，通过与图 27 同样地设计虚设位线 DMBL 和位线 BL 的配置，
5 与实施例 4 及其变例相同，可与已被选择的存储单元行的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

这样，即使在配置了适合于高集成化的 MTJ 存储单元 MCD 的存储器阵列中，也可抑制依赖于已被选择的存储单元的位置的读出电流的变动，可稳定地确保 MRAM 器件的数据读出时的工作容限。

10 [实施例 6 的变例 1]

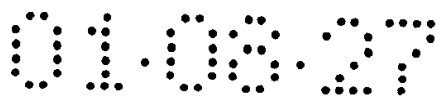
参照图 39，在实施例 6 的变例 1 的结构中，与实施例 5 及其变例 2、4 相同，使用形成往复电流通路的写入字线对来流过数据写入电流。

与图 2 相同，在区域 AR1 和 AR2 的每一区域中独立地设置各读出字线 RWL。利用反转与同一存储单元行对应的写入字线 WWL 的电压状态的驱动倒相器来驱动各读出字线 RWL。分别与读出字线 RWL 对应地配置
15 驱动倒相器。在区域 AR1 和 AR2 中共同地设置写入字线 WWL。由此，由于能缩短布线长度来减少读出字线 RWL 的布线电阻，故可实现数据读出的高速化。

此外，在将写入字线 WWL 设定为非选择状态（低电平）的情况下，
20 由于对应的读出字线 RWL 的电压被设定为高电平，故可靠地确保存取二极管 DM 的反偏置状态。各驱动倒相器分别与区域 AR1 和 AR2 相对应，利用与图 38 同样地设置的虚设位线 DMBL1 和 DMBL2 供给接地电压 Vss。

在图 39 中，有代表性地示出与第 1 至第 3 存储单元行对应的读出字线 RWL11~RWL13、RWL21~RWL23、写入字线 WWL11~WWL13、WWL21~
25 WWL23 和驱动倒相器 DIV11~DIV13、DIV21~DIV23。写入字线 WWL1 和写入字线 WWL2 (/WWL1) 形成写入字线对 WWLP1，在两者之间配置短路晶体管 42-1。对于以后的存储单元行，也同样地配置读出字线、写入字线和驱动倒相器。

对于与第奇数的存储单元行对应的写入字线 WWL，配置具有与图 33
30 中示出的写入字驱动器 WDb1 相同的结构的写入字驱动器。同样，对于与第偶数的存储单元行对应的写入字线 WWL，配置具有与图 33 中示出的写入字驱动器/WDb1 相同的结构的写入字驱动器。



用来对位线 BL 供给数据写入电流 $\pm I_w$ 的电路结构的图示被省略，但与实施例 1 的情况相同，通过控制位线 BL 的两端电压，可流过数据写入电流 $\pm I_w$ 。

5 通过作成这样的结构，在数据写入时，利用与已被选择的存储单元行对应的写入字线对 WWLP 形成往复电流通路，可流过数据写入电流 I_p 。由此，可谋求外围电路的简化和磁场噪声的减少。

此外，通过与图 26 中的源线 SL 和数据总线 DB 同样地设计数据总线 DB 和读出字线 RWL 的配置，在区域 AR1 和 AR2 的每一区域中，可与已被选择的存储单元列的位置无关地将读出电流路径的电阻值大致保持为恒定。

再者，通过与图 27 已说明的同样地设计虚设位线 DMBL1、DMBL2 和位线 BL 的配置，在区域 AR1 和 AR2 的每一区域中，可与已被选择的存储单元行的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

15 此外，虽然图中没有示出，但如果在独立地配置读出字线 RWL 的每个区域中配置数据总线 DB 和数据读出电路 51，则在存储器阵列 10 内，可与已被选择的存储单元的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

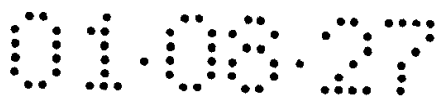
20 这样，在配置了适合于高集成化的 MTJ 存储单元 MCD 的存储器阵列中，即使在形成往复电流通路、作成在写入字线 WWL 中流过数据写入电流的结构的情况下，也可抑制依赖于已被选择的存储单元的位置的读出电流的变动，可稳定地确保 MRAM 器件的数据读出时的工作容限。

[实施例 6 的变例 2]

25 参照图 40，在实施例 6 的变例 2 的结构中，与实施例 5 的变例 1 和 3 相同，可谋求写入字线 WWL 的共有。在每邻接的 2 个存储单元行中共有写入字线 WWL。

与图 39 相同，在区域 AR1 和 AR2 的每一区域中独立地设置各读出字线 RWL。在区域 AR1 和 AR2 中共同地设置写入字线 WWL。此外，与写入字线 WWL 分层次地配置读出字线 RWL。由此，由于能缩短布线长度来减少读出字线 RWL 的布线电阻，故可实现数据读出的高速化。

30 利用反转对应的写入字线 WWL 的电压状态的驱动倒相器来驱动各读出字线 RWL。分别与读出字线 RWL 对应地配置驱动倒相器。各驱动倒



相器利用与图 39 同样地设置的虚设位线 DMBL1 和 DMBL2 供给接地电压 V_{ss} 。

5 分别与共有同一写入字线 WWL 的 2 个存储单元行对应的驱动倒相器在共同的该写入字线 WWL 被设定为非选择状态（低电平）的情况下，将对应的读出字线 RWL 的电压设定为高电平。因而，能可靠地使与非选择状态的存储单元行对应的存取二极管 DM 的每一个反偏置。

在各写入字线 WWL 与接地电压 V_{ss} 之间，配置电流控制晶体管。各电流控制晶体管响应于控制信号 WE 的激活而导通。

10 在图 40 中，有代表性地示出与第 1 至第 4 存储单元行对应的读出字线 RWL11 ~ RWL14、RWL21 ~ RWL24、驱动倒相器 DIV11 ~ DIV14、DIV21 ~ DIV24、写入字线 WWL1、WWL2 和电流控制晶体管 41-1 ~ 41-2。写入字线 WWL1 被第 1 和第 2 存储单元行共有，写入字线 WWL2 被第 3 和第 4 存储单元行共有。对于以后的存储单元行，也同样地配置读出字线、写入字线和驱动倒相器。

15 用来对位线 BL 供给数据写入电流 $\pm I_w$ 的电路结构的图示被省略，但与实施例 1 的情况相同，通过控制位线 BL 的两端电压，可流过数据写入电流 $\pm I_w$ 。

20 通过作成这样的结构，共有写入字线 WWL，可减少存储器阵列 10 整体中的写入字线 WWL 的配置条数。其结果，由于可使用 2 行部分的布局区域来配置写入字线 WWL，故例如通过充分地确保其布线宽度，可充分地确保剖面面积。

由此，在必须流过较大的数据写入电流的写入字线 WWL 中，可减少电流密度，避免起因于电迁移的布线间短路或布线断线等的危险性，谋求 MRAM 器件的工作的稳定。

25 此外，通过与图 26 中的源线 SL 和数据总线 DB 同样地设计数据总线 DB 和读出字线 RWL 的配置，在区域 AR1 和 AR2 的每一区域中，可与已被选择的存储单元列无关地将读出电流路径的电阻值大致保持为恒定。

30 再者，通过与图 27 已说明的同样地设计虚设位线 DMBL1、DMBL2 和位线 BL 的配置，在区域 AR1 和 AR2 的每一区域中，可与已被选择的存储单元行的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

此外，虽然图中没有示出，但如果在独立地配置读出字线 RWL 的每个区域中配置数据总线 DB 和数据读出电路 51，则在存储器阵列 10 内，可与已被选择的存储单元的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

5 这样，在配置了适合于高集成化的 MTJ 存储单元 MCD 的存储器阵列中，即使作成在邻接的存储单元间共有写入字线 WWL 的结构的情况下，也可抑制依赖于已被选择的存储单元的位置的读出电流的变动，可稳定地确保 MRAM 器件的数据读出时的工作容限。

[实施例 6 的变例 3]

10 参照图 41，在实施例 6 的变例 3 的结构中，在配置了图 48 中示出的 MTJ 存储单元 MC 电流隔断晶体管的存储器阵列中，利用往复电流通路流过数据写入电流。

对于配置成行列状的存储单元 MC 电流隔断晶体管的存储单元行和存储单元列，分别配置字线 WL 和位线 BL。

15 各字线 WL 被字驱动器驱动。对于与第奇数存储单元行对应的字线 WL，配置具有与图 33 中示出的写入字驱动器 WDb1 相同的结构的字驱动器。同样，对于与第偶数的存储单元行对应的字线 WL，配置具有与图 33 中示出的写入字驱动器/WDb1 相同的结构的字驱动器。经在与位线 BL 相同的方向上设置的虚设位线 DMBL，进行对于各字驱动器的接地
20 电压 Vss 的供给。

因而，在数据写入时，分别与形成对应于已被选择的存储单元行的写入字线对的奇数行和偶数行对应的 2 条写入字线 WWL 的每一条被设定为接地电压 Vss 和电源电压 Vcc。再者，通过使各短路晶体管导通，在对应于已被选择的存储单元行的写入字线对中，数据写入电流作为
25 往复电流而流动。

另一方面，在数据读出时，在各短路晶体管被关断的同时，只将与已被选择的存储单元行对应的字线 WL 有选择地设定为接地电压 Vss（低电平电压）。

在图 41 中，有代表性地示出与第 1 至第 3 存储单元行对应的字线
30 WL1~WL3 和字驱动器 WDb1、/WDb1、WDb2。写入字线 WWL1 和写入字线 WWL2（/WWL1）形成写入字线对 WWLP1，在两者之间配置短路晶体管 42-1。对于以后的存储单元行，也同样地配置读出字线、写入字线和驱

动倒相器。

用来对位线 BL 供给数据写入电流 $\pm I_w$ 的电路结构的图示被省略，但与实施例 1 的情况相同，通过控制位线 BL 的两端电压，可流过数据写入电流 $\pm I_w$ 。

5 通过作成这样的结构，即使在配置了采用单一字线 WL 的存储单元 MC 电流隔断晶体管的存储器阵列中，也可利用形成往复通路的字线 WL 来供给数据写入电流 I_p 。其结果，可谋求外围电路的简化和磁场噪声的减少。

10 此外，通过与图 26 中的源线 SL 和数据总线 DB 同样地设计数据总线 DB 和字线 WL 的配置，可与已被选择的存储单元列的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

再者，通过与图 27 同样地设计虚设位线 DMBL 和位线 BL 的配置，与实施例 4 及其变例相同，可与已被选择的存储单元行的位置无关地将读出电流路径的电阻值的总和大致保持为恒定。

15 这样一来，在配置了适合于高集成化的 MTJ 存储单元 MC 电流隔断晶体管的存储器阵列中，即使形成往复电流通路并作成流过数据写入电流的结构的情况下，也可抑制依赖于已被选择的存储单元的位置的读出电流的变动，可稳定地确保 MRAM 器件的数据读出时的工作容限。

20 以上，参照附图详细地说明了本发明，但这些说明始终是例示性的，而不是在任何意义上来限定本发明，本发明的要旨和范围只由后附的权利要求书来限定，包含与权利要求的范围均等的意义和范围内的全部的变更。

说明书附图

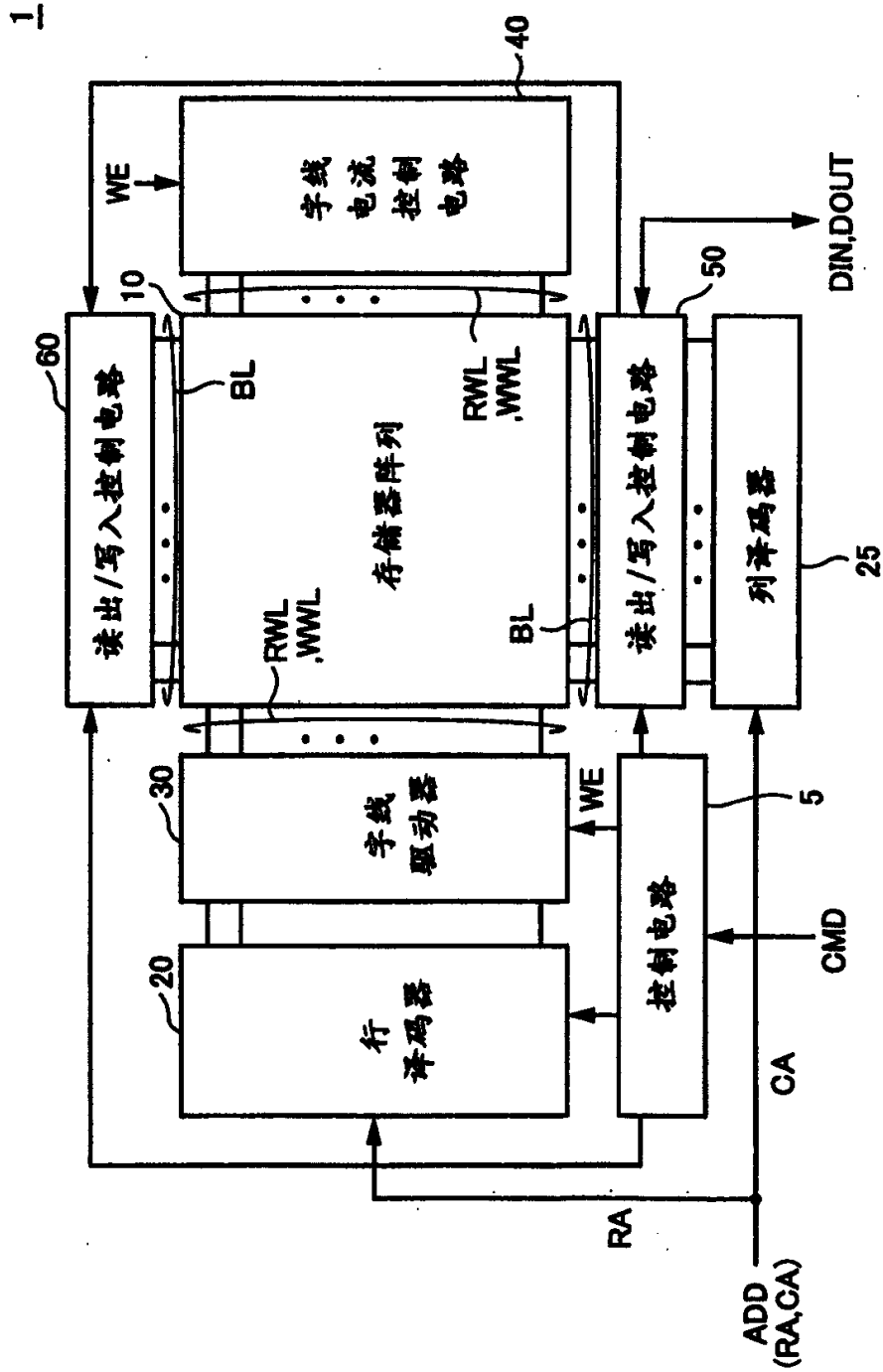


图 1

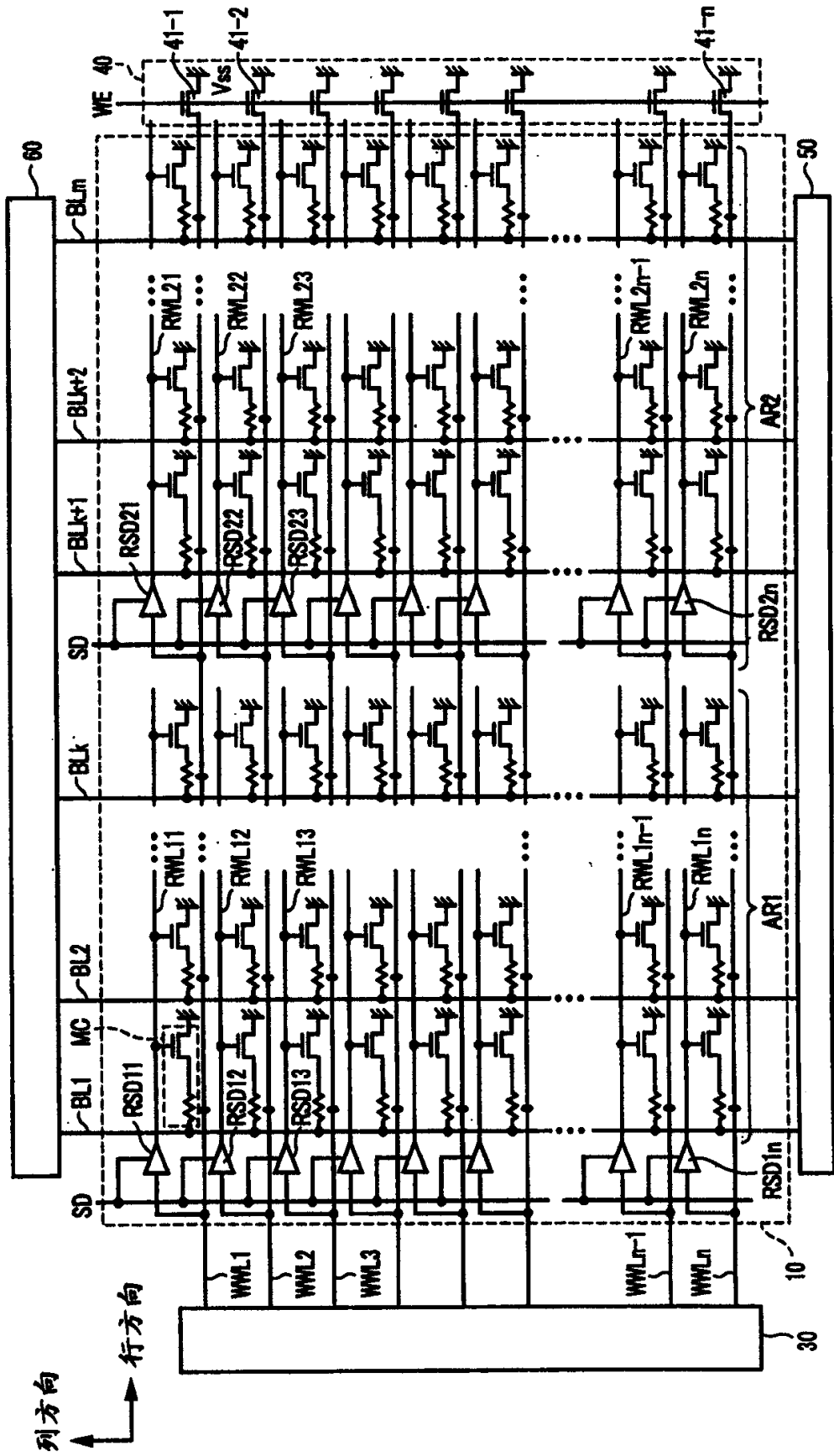


图 2

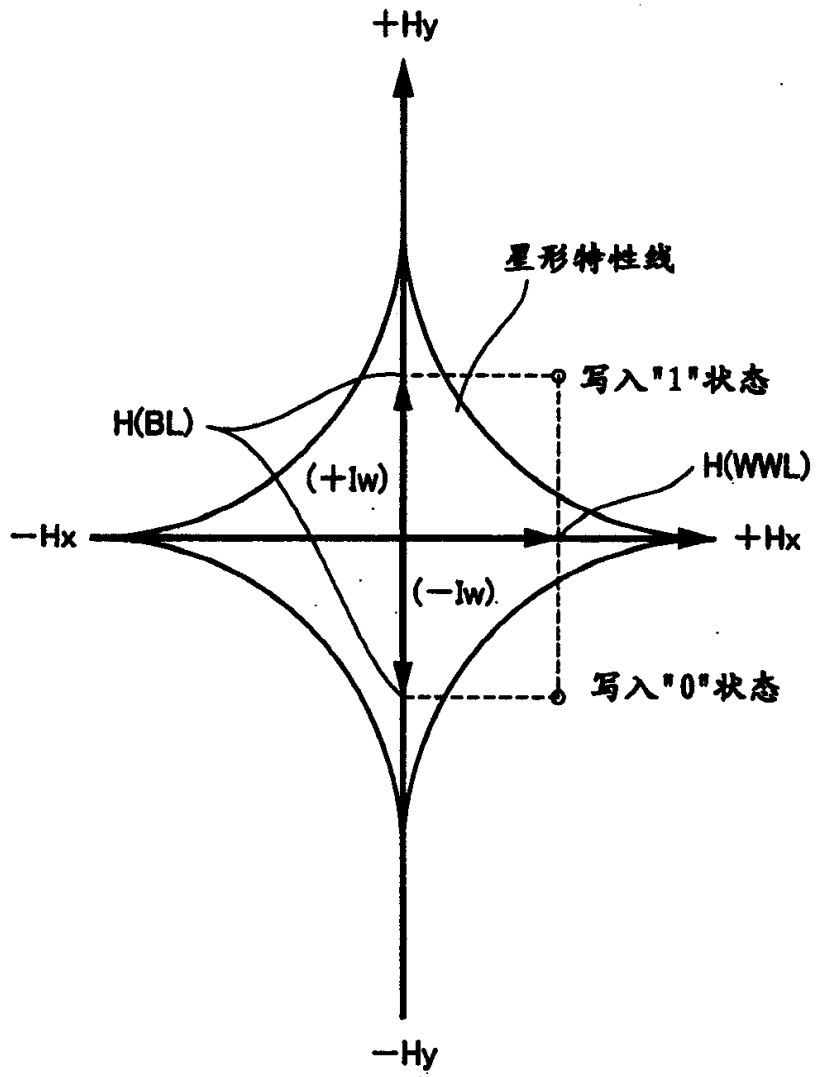


图 4

01.08.27

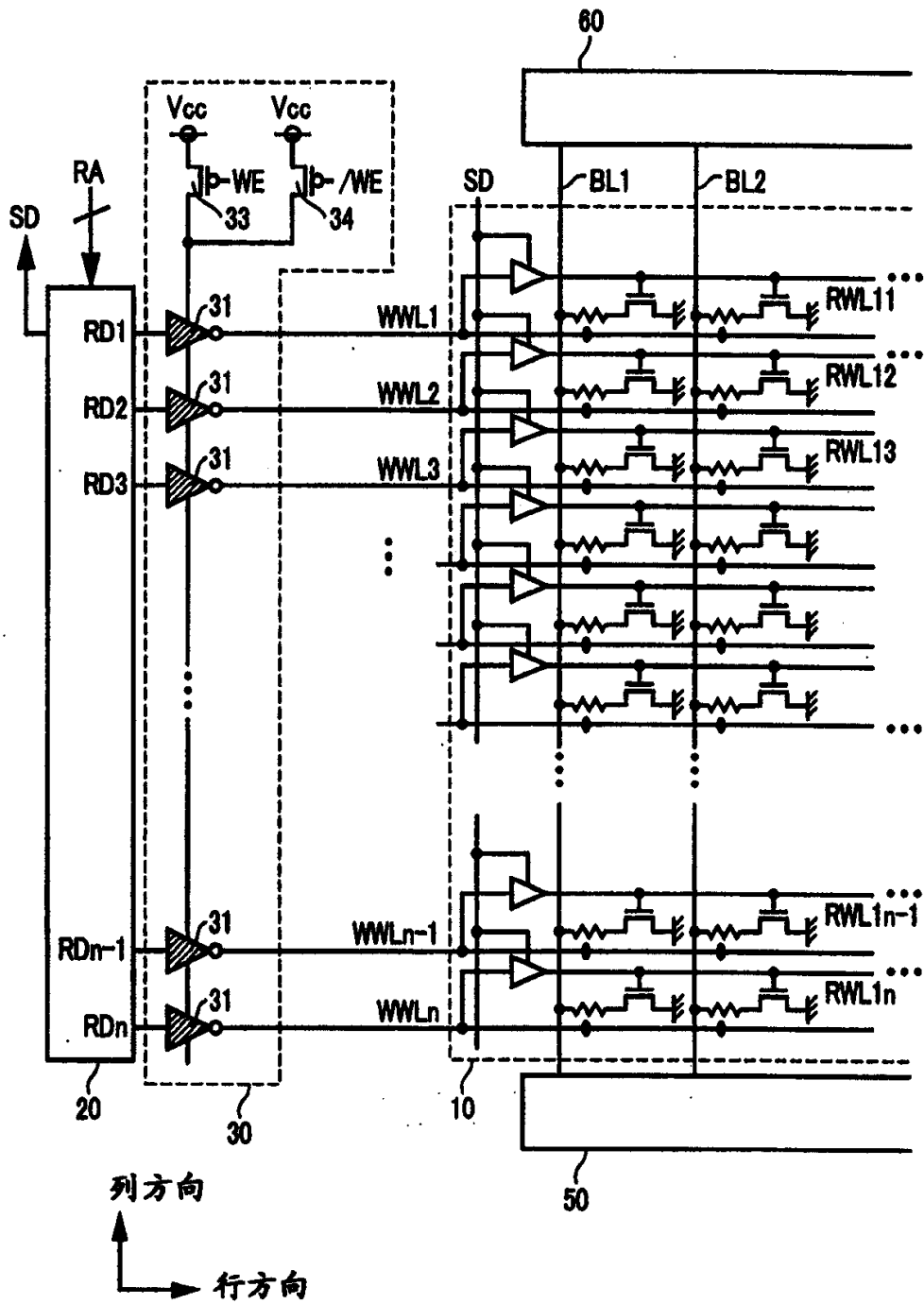


图 6

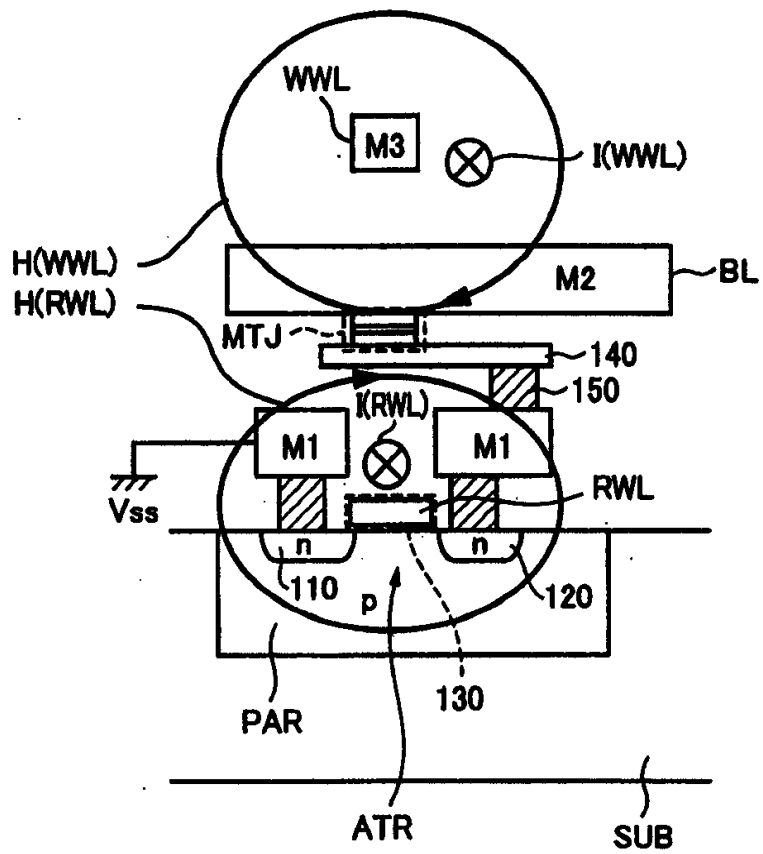


图 7

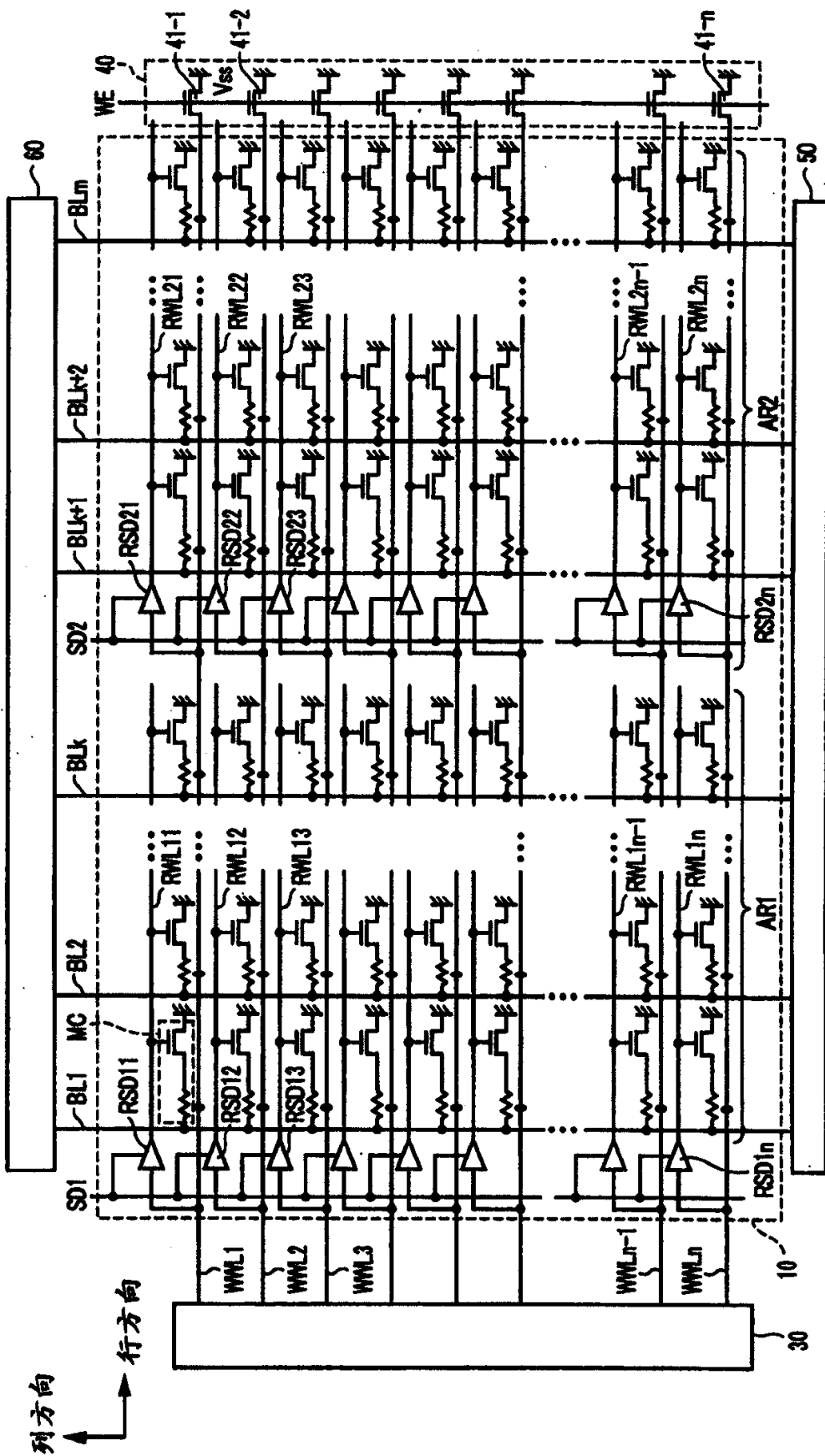


图 8

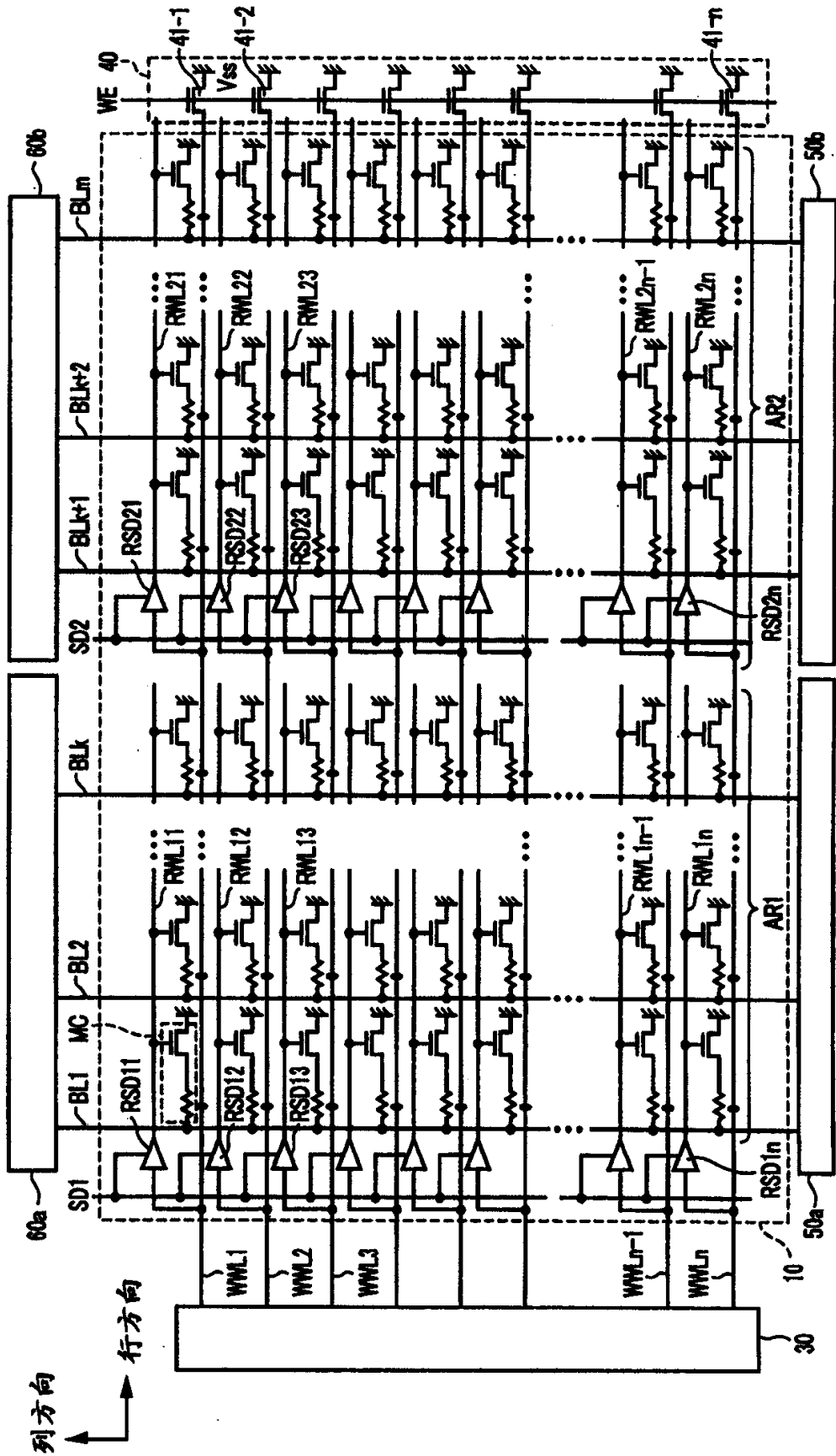


图 9

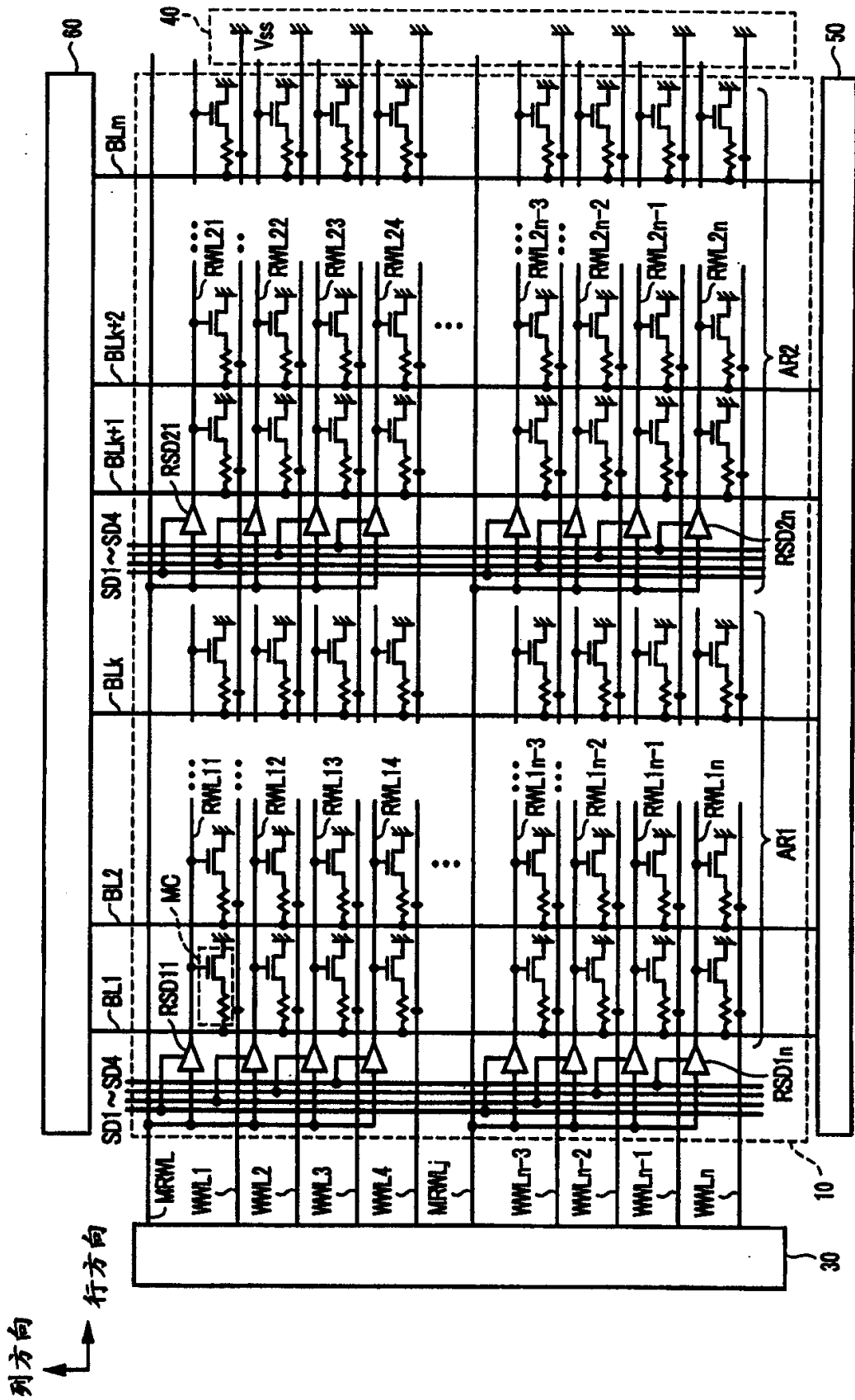


图 10

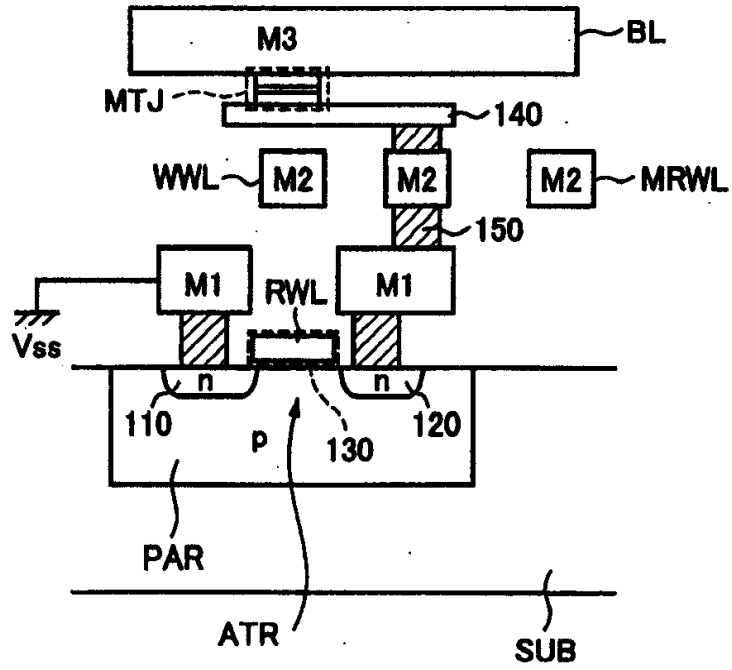


图 11

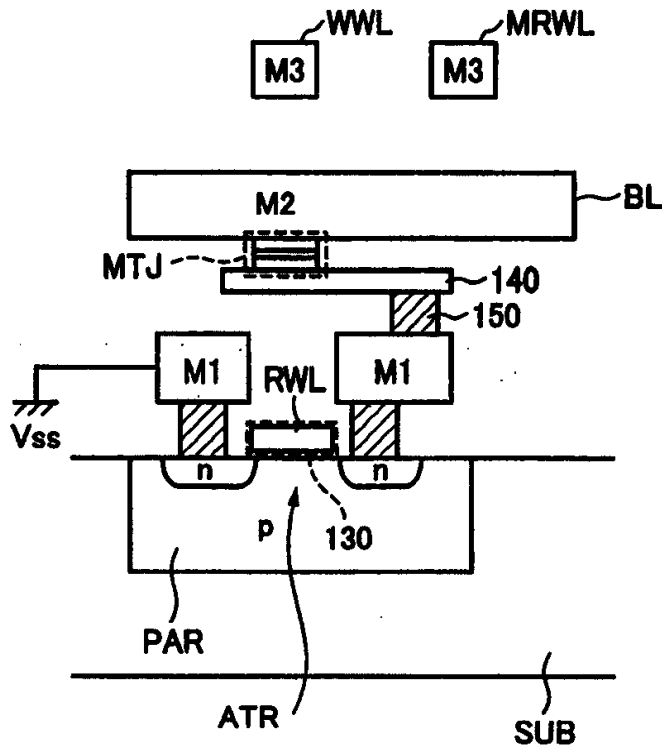


图 12

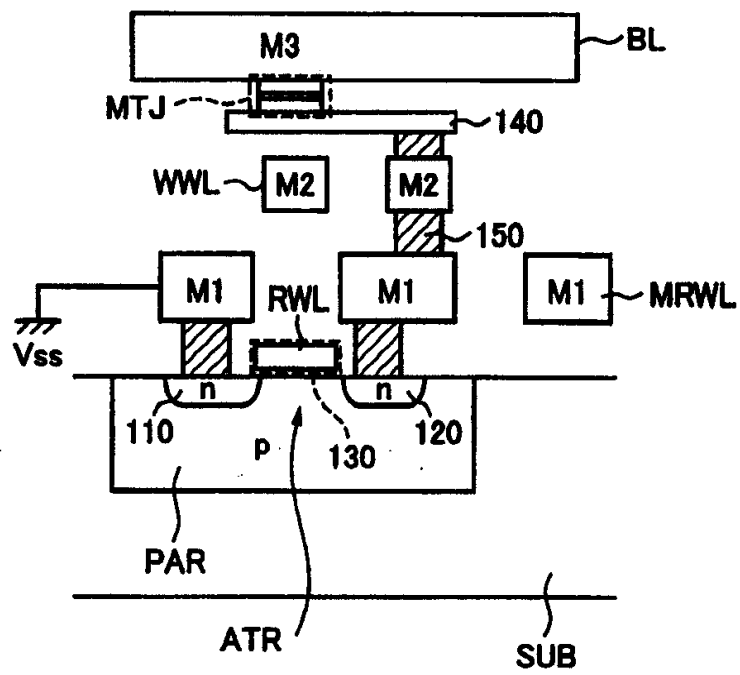


图 13

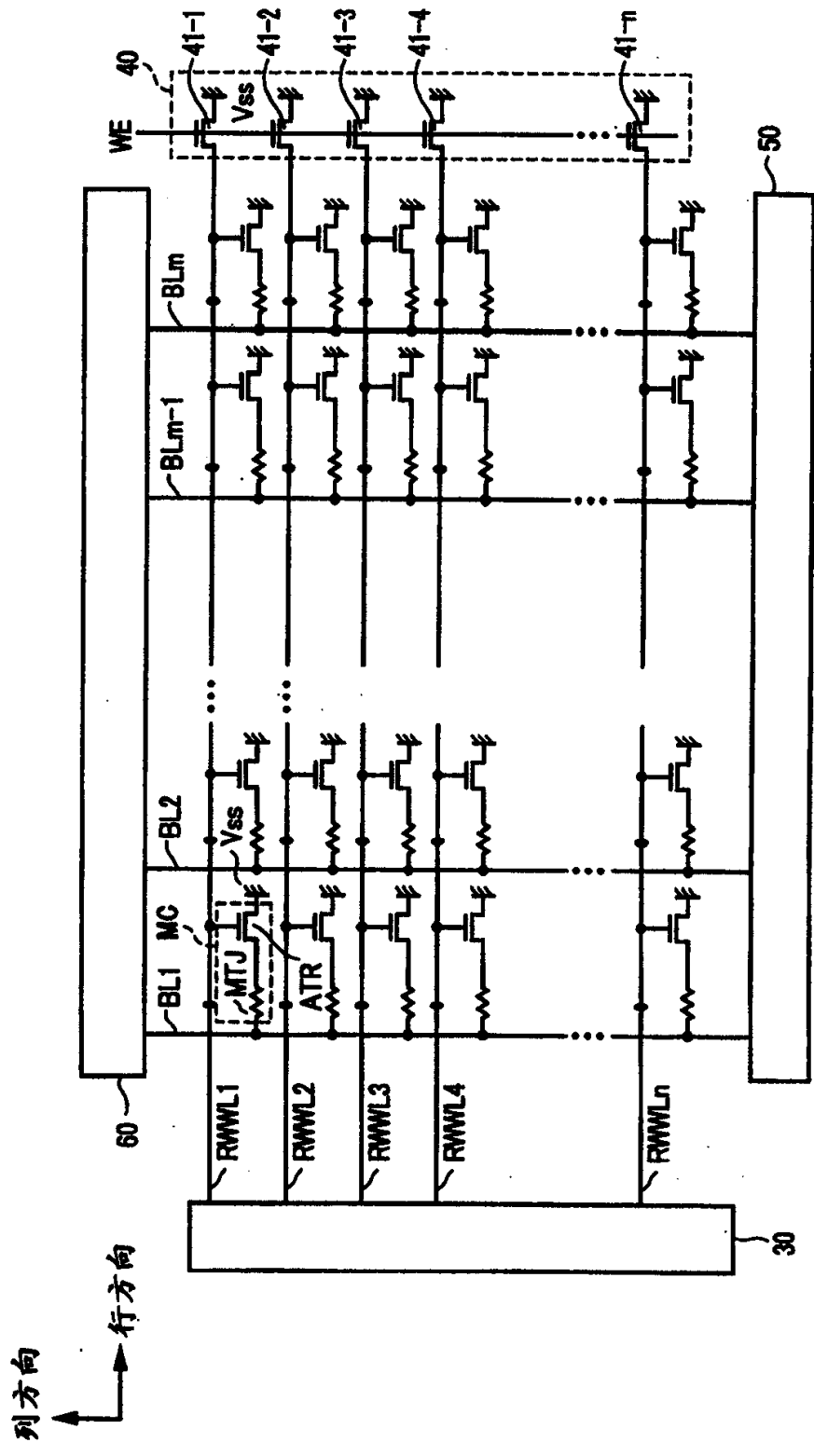


图 14

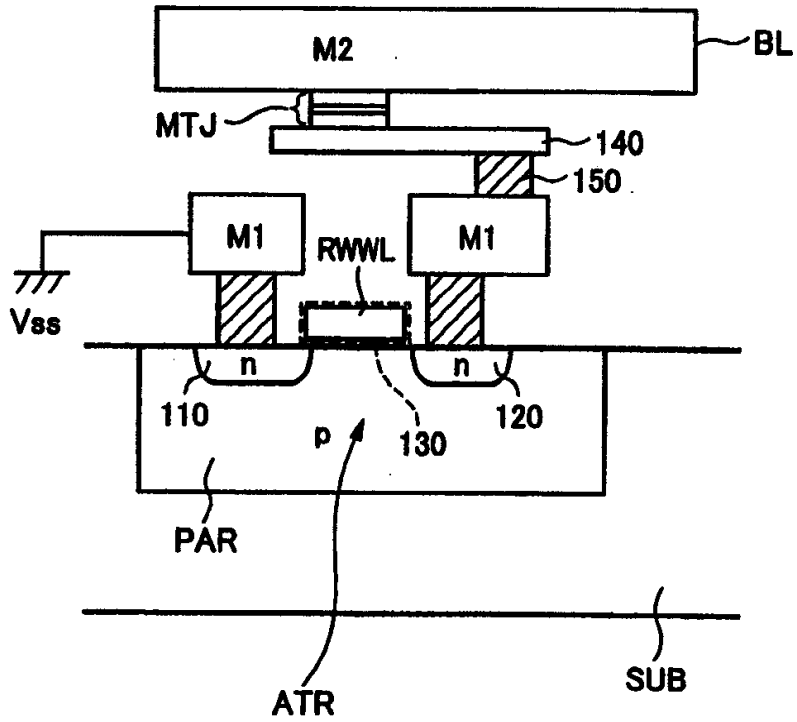


图 15

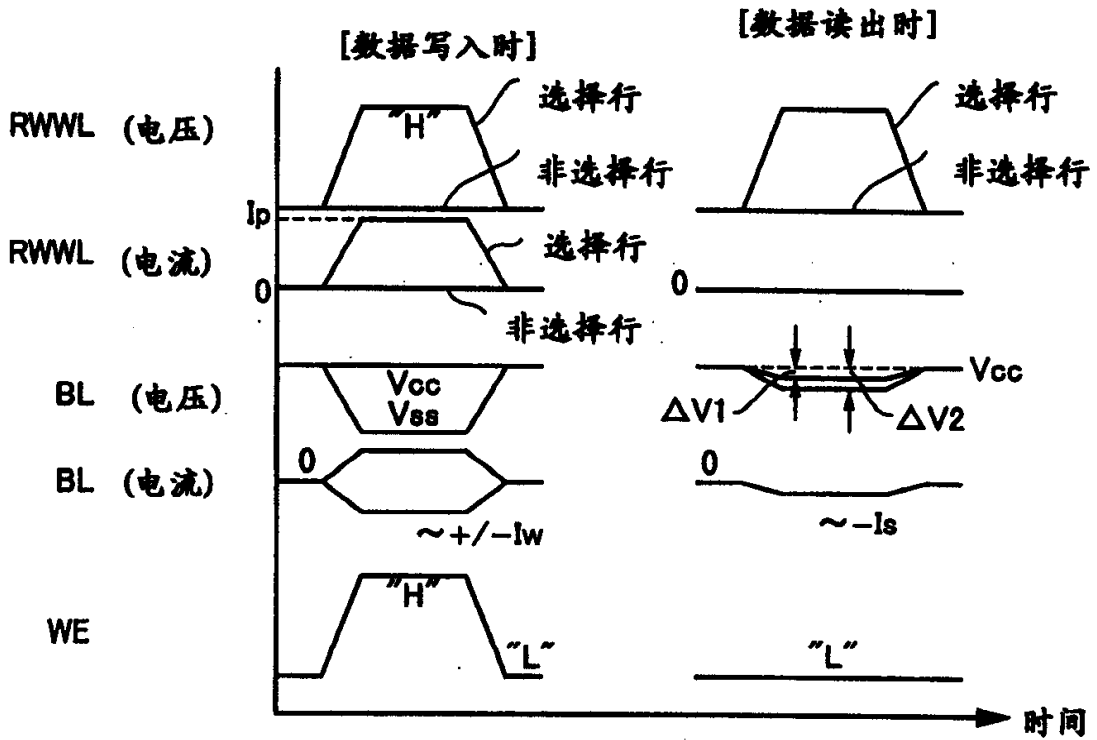


图 16

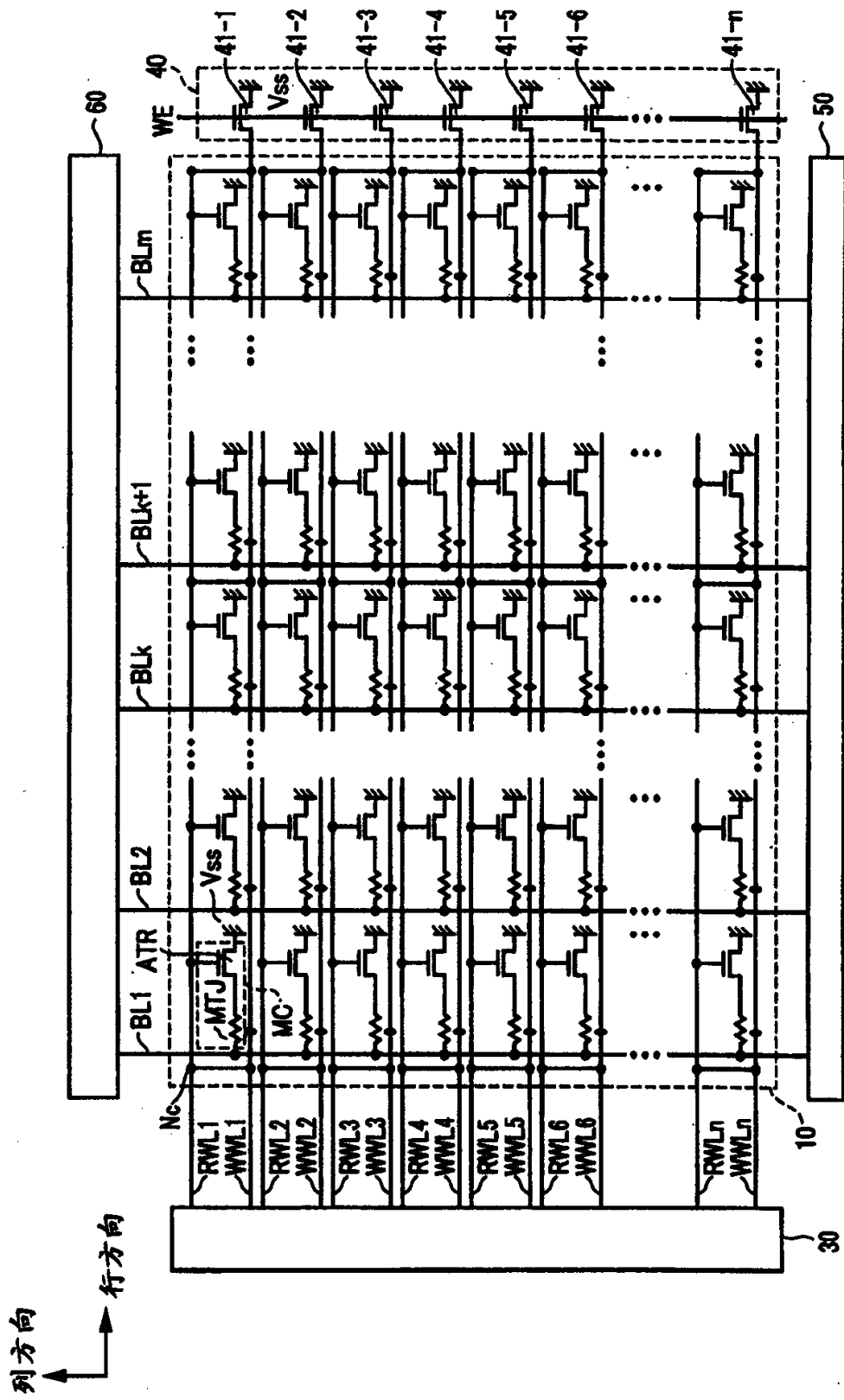


图 17

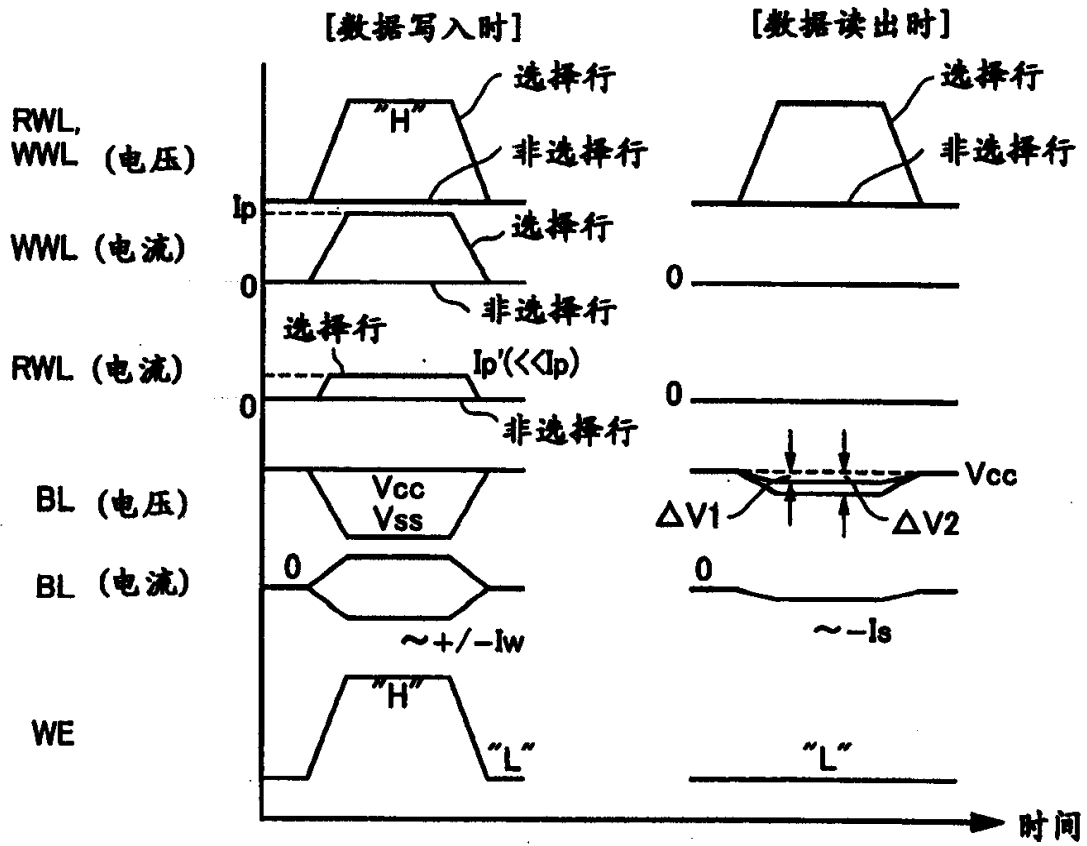


图 18

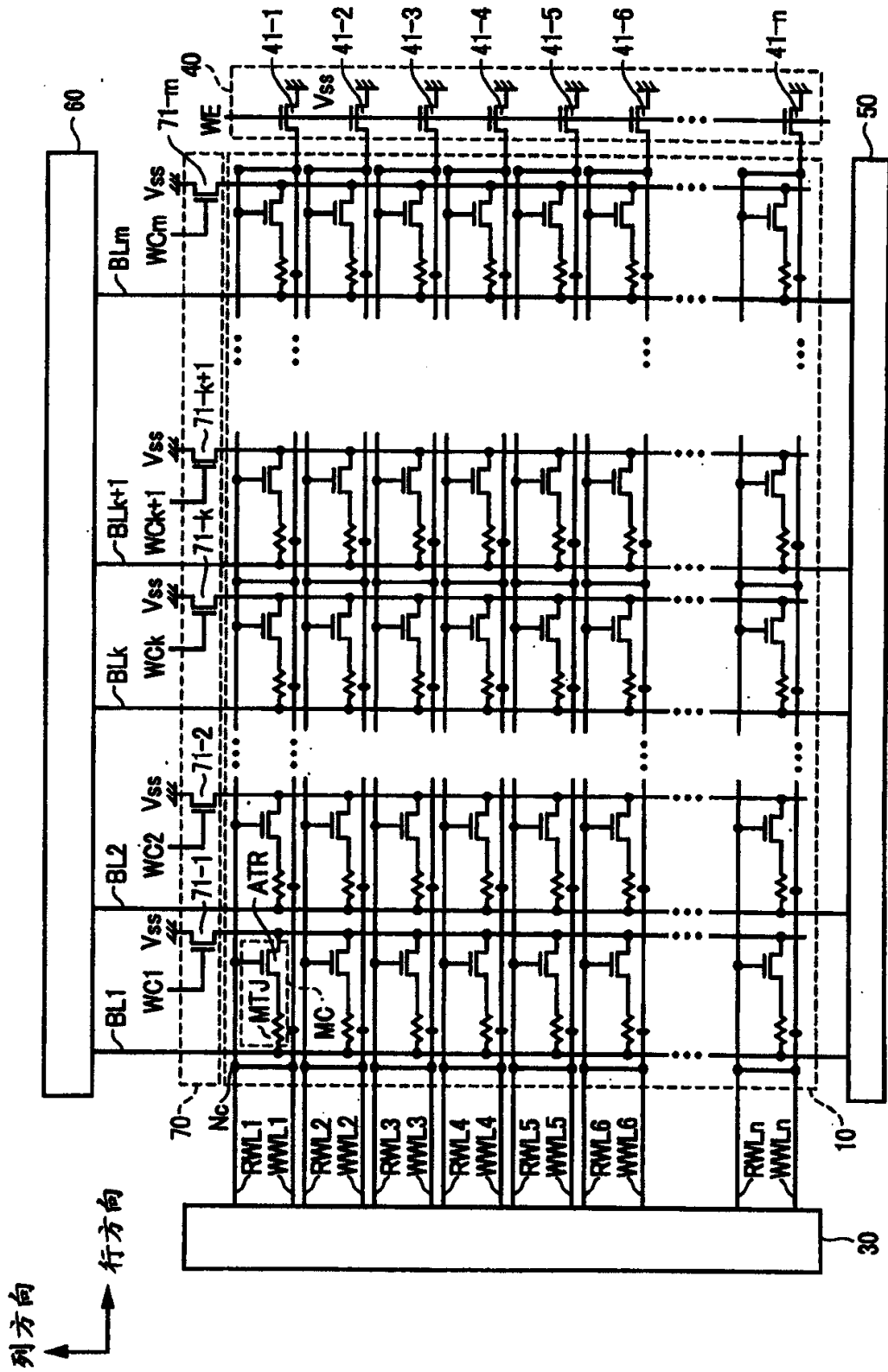


图 19

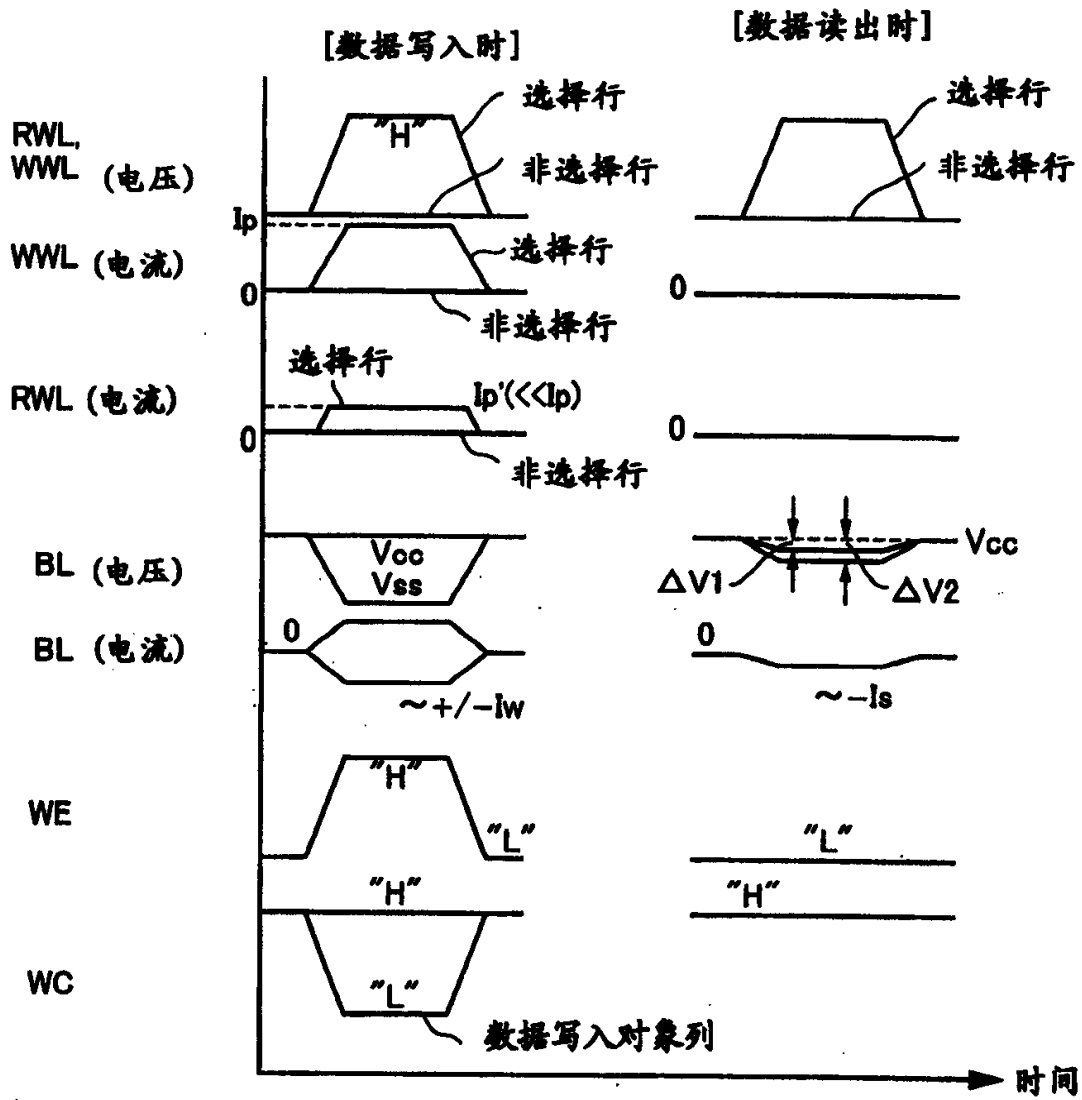


图 20

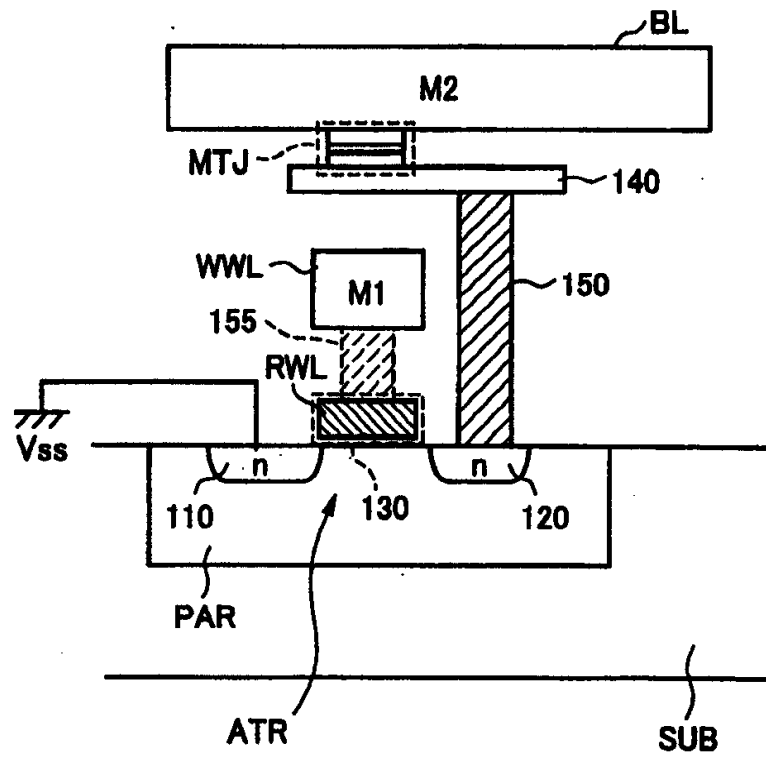


图 21

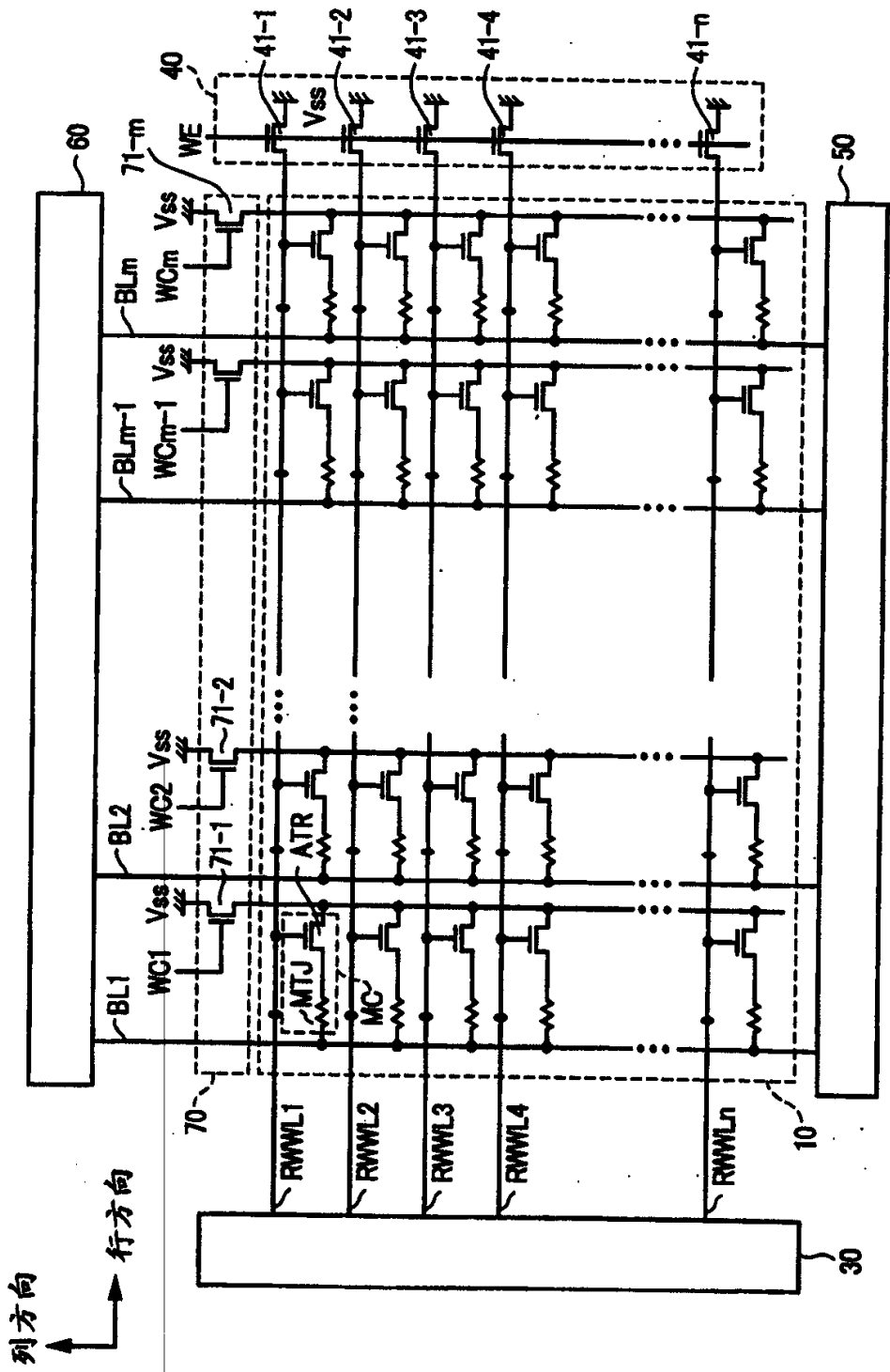


图 22

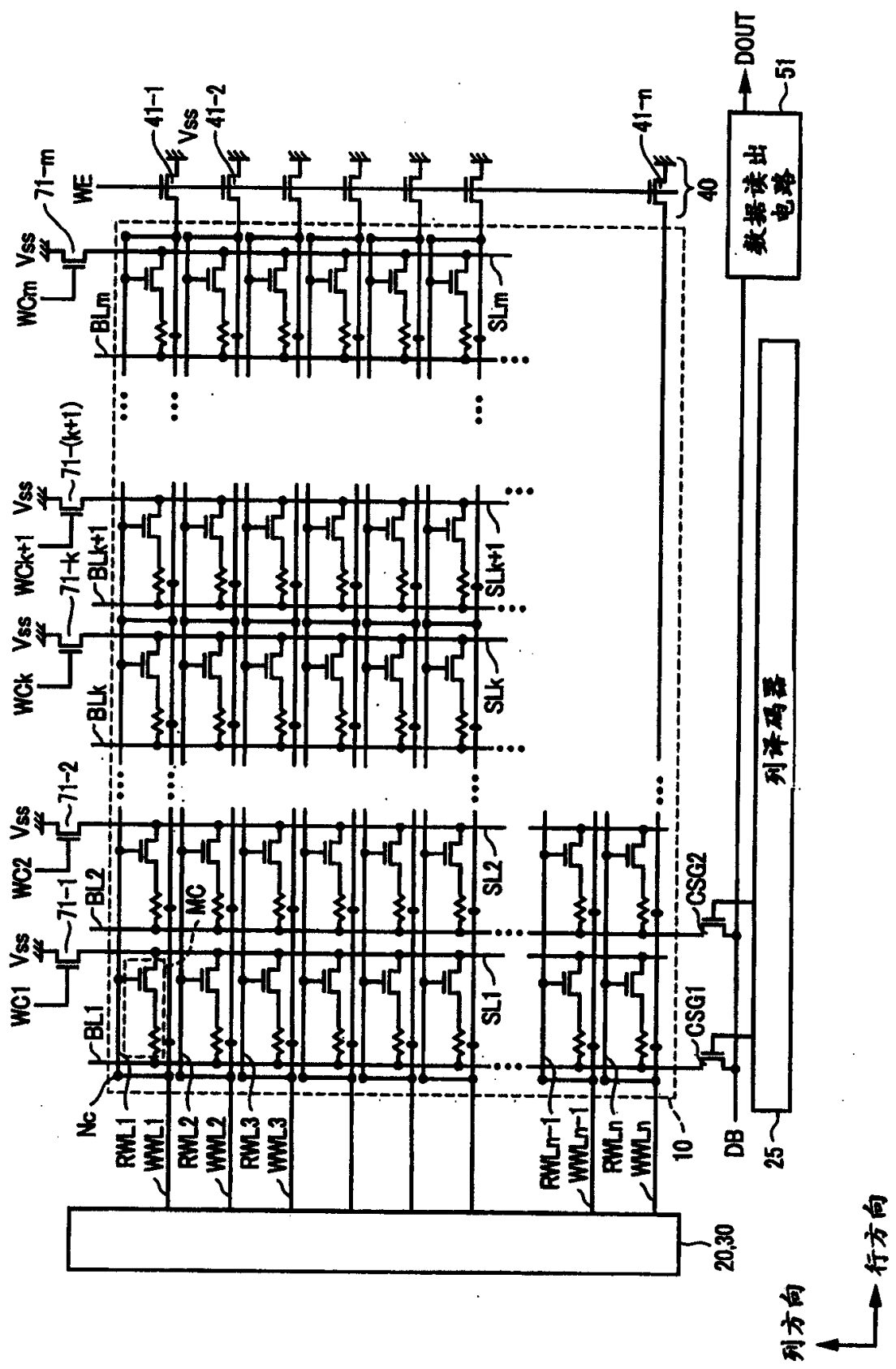


图 23

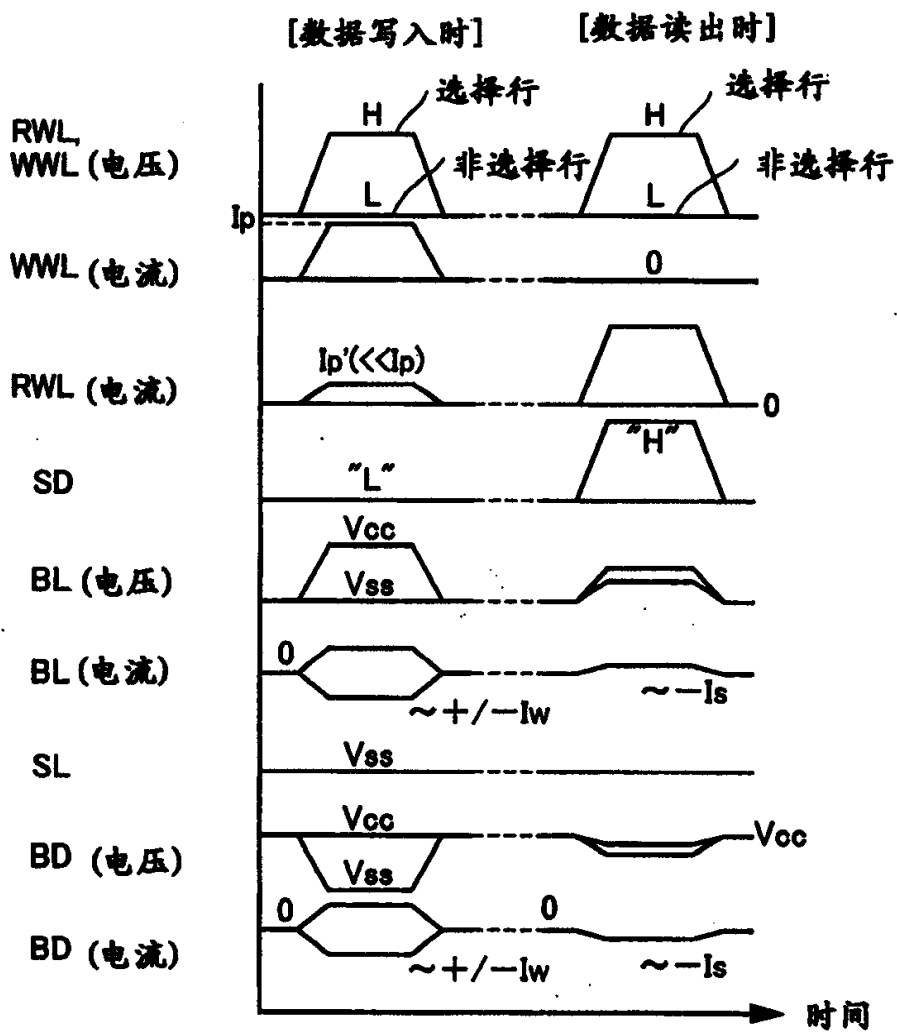


图 24

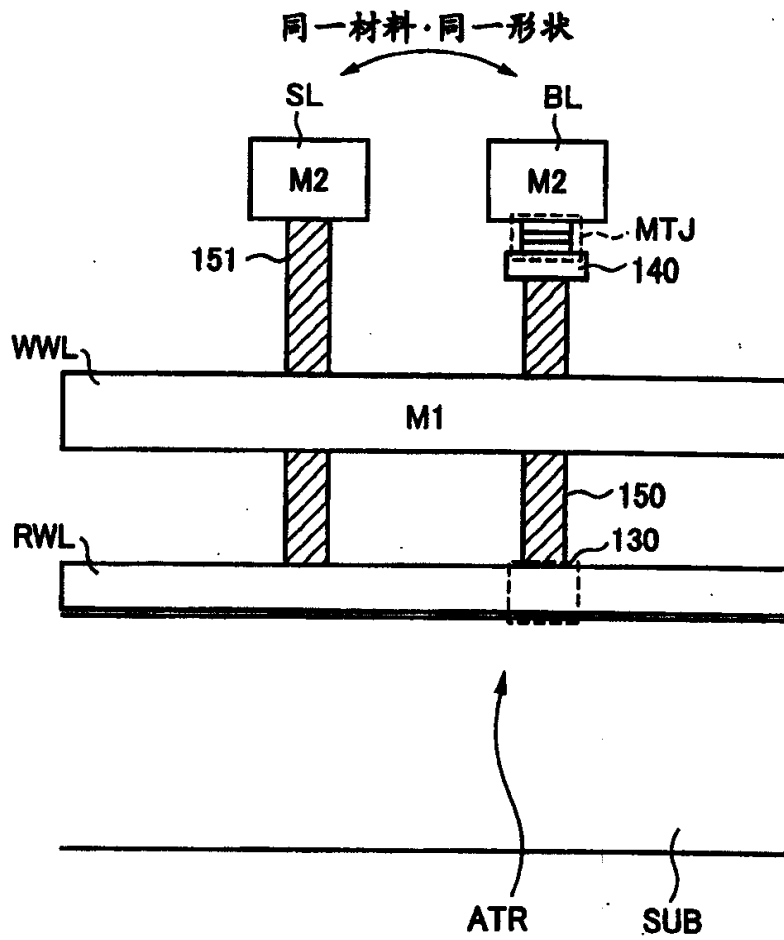


图 25

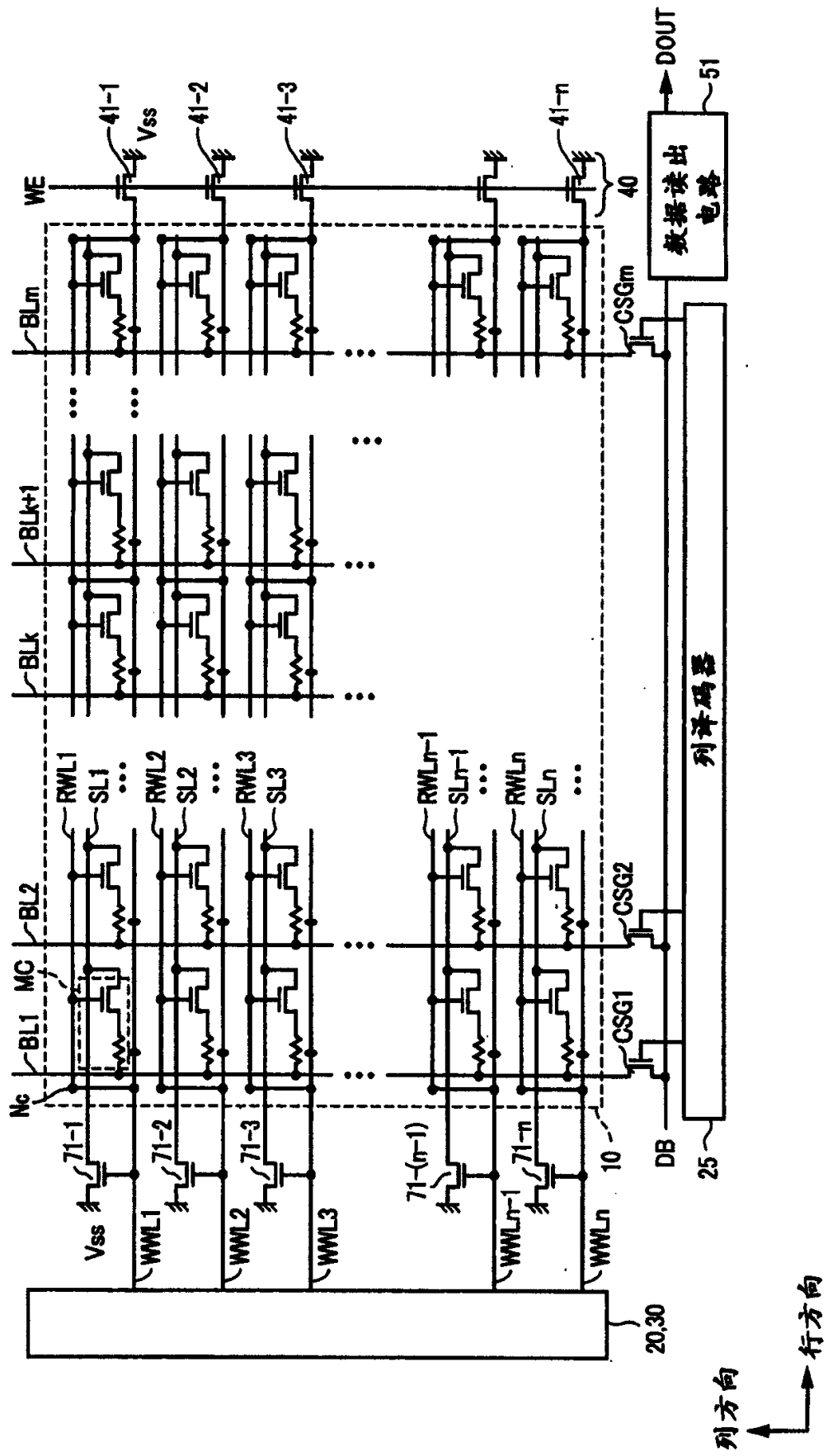


图 26

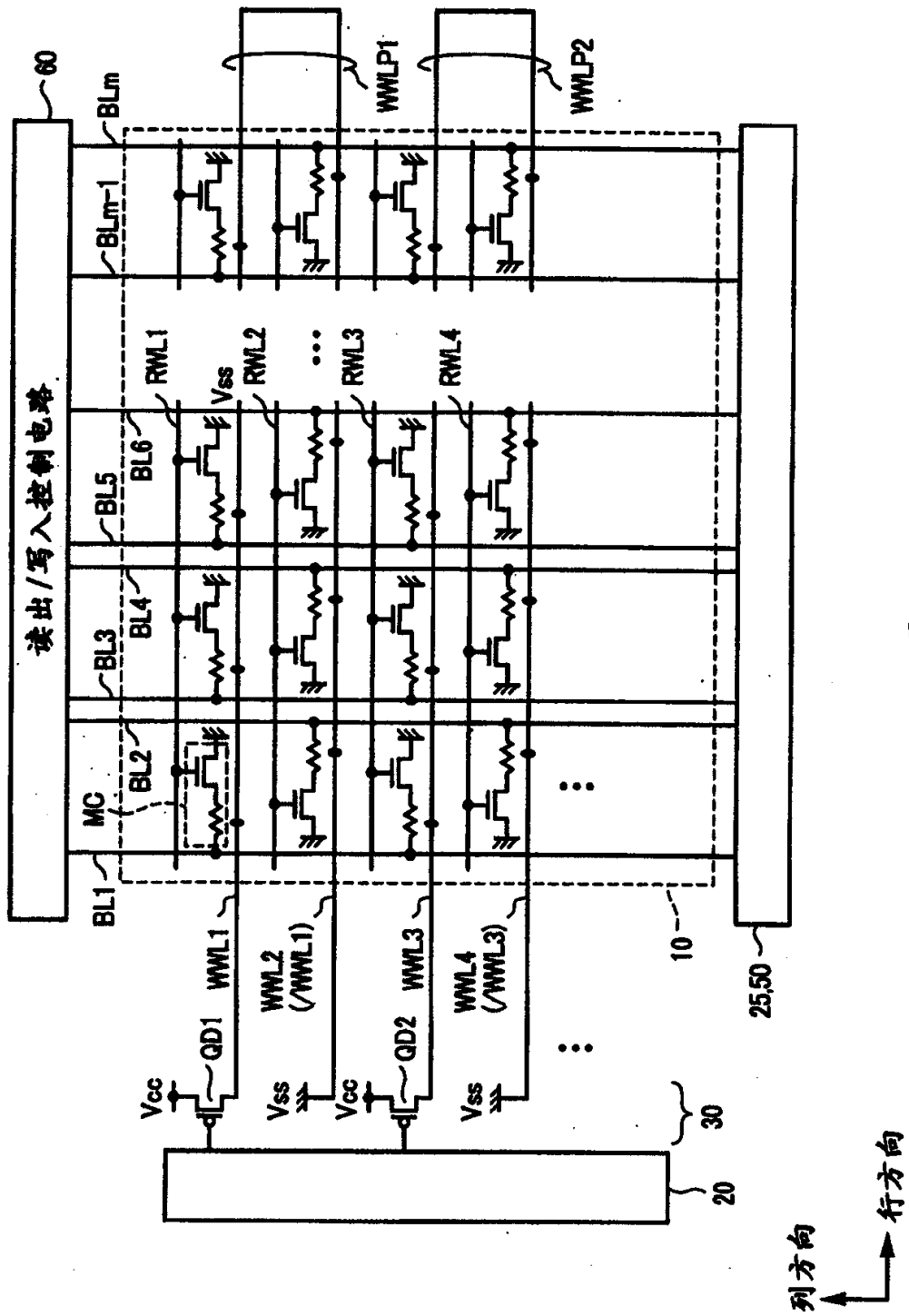


图 28

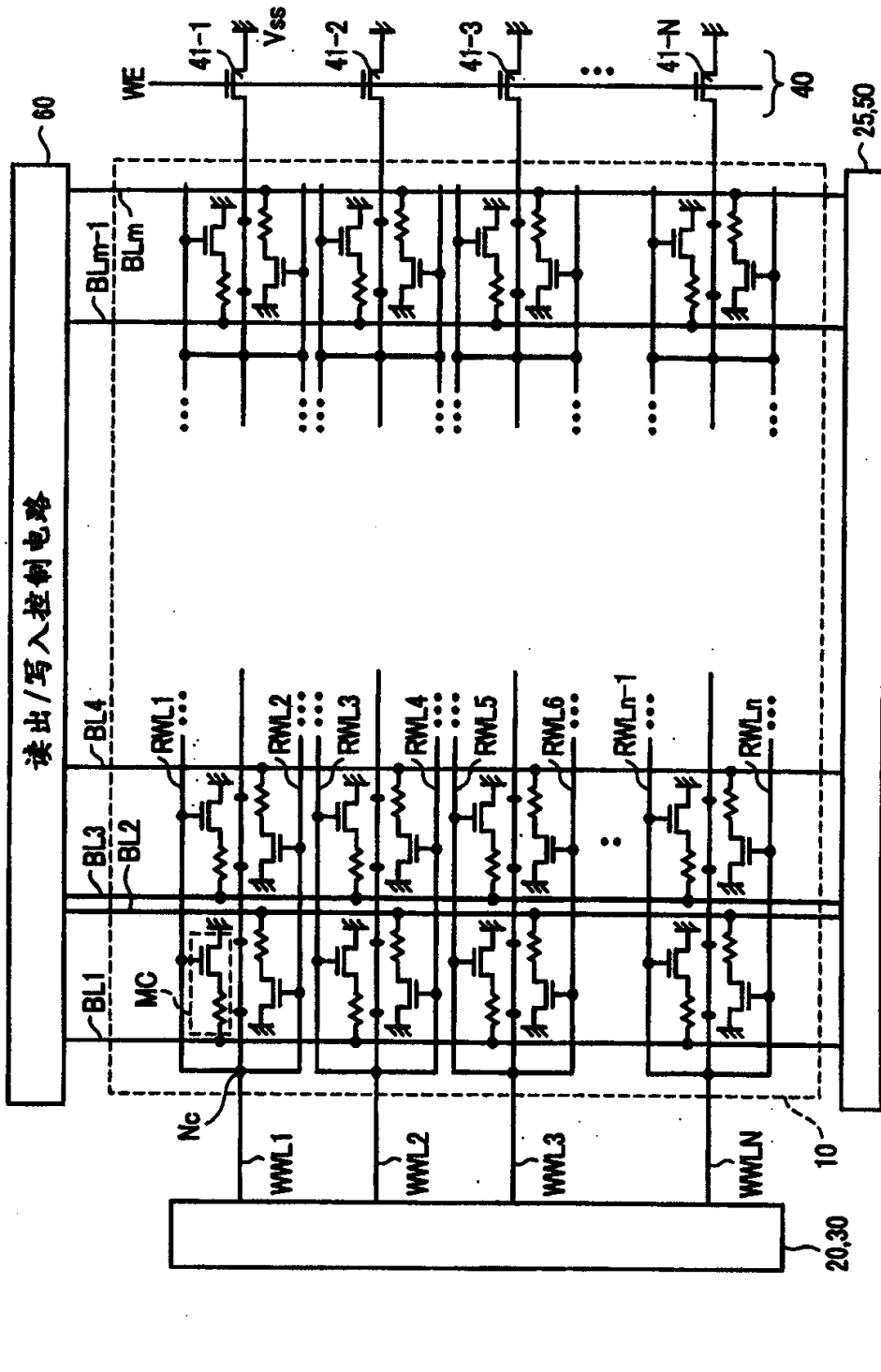


图 29

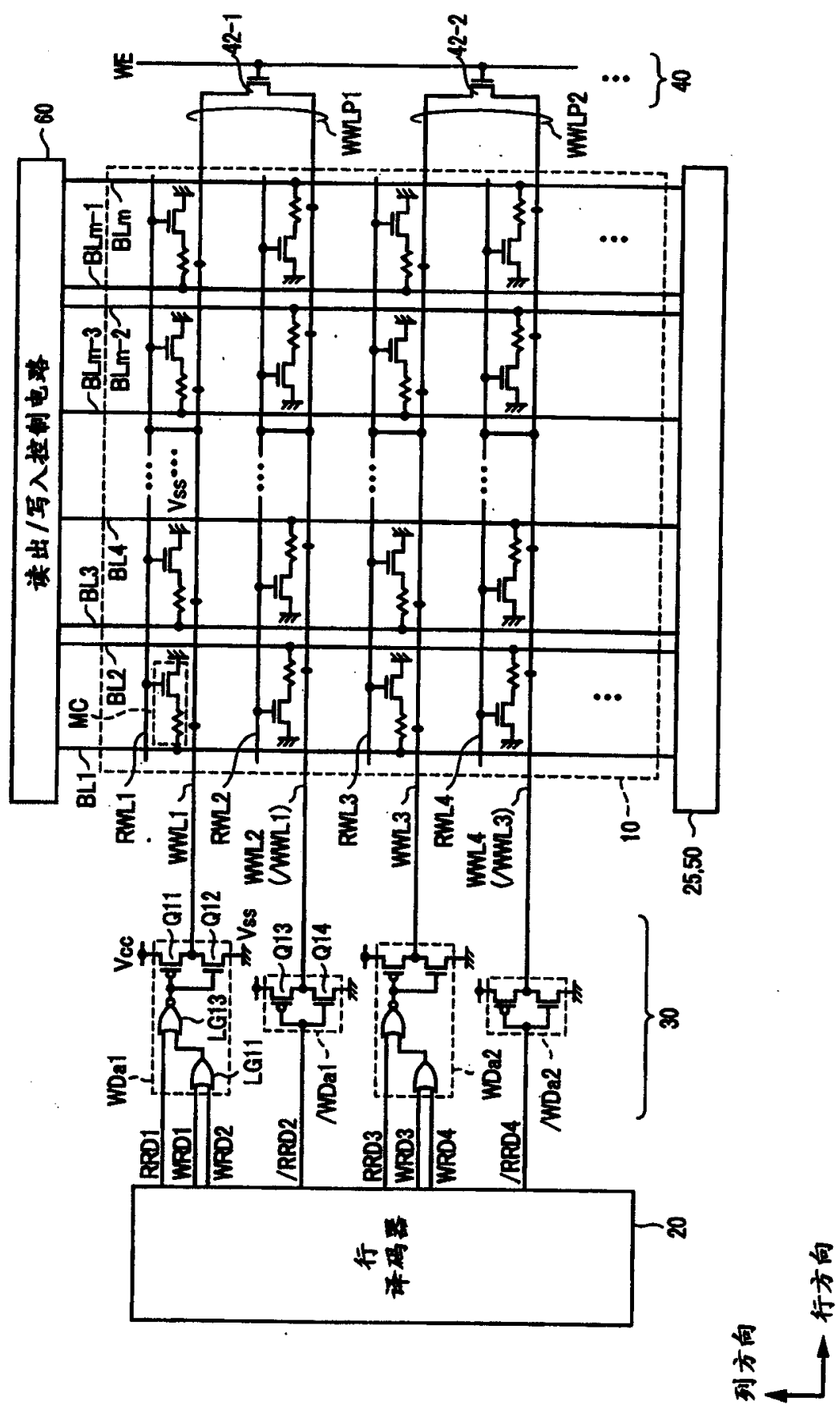


图 30

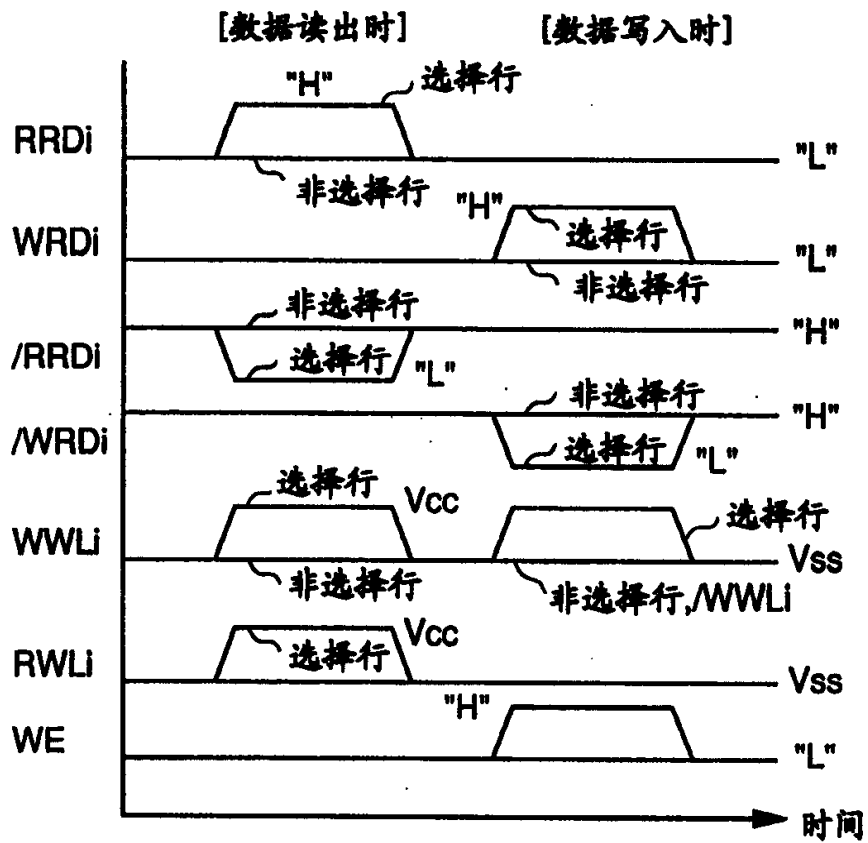


图 31

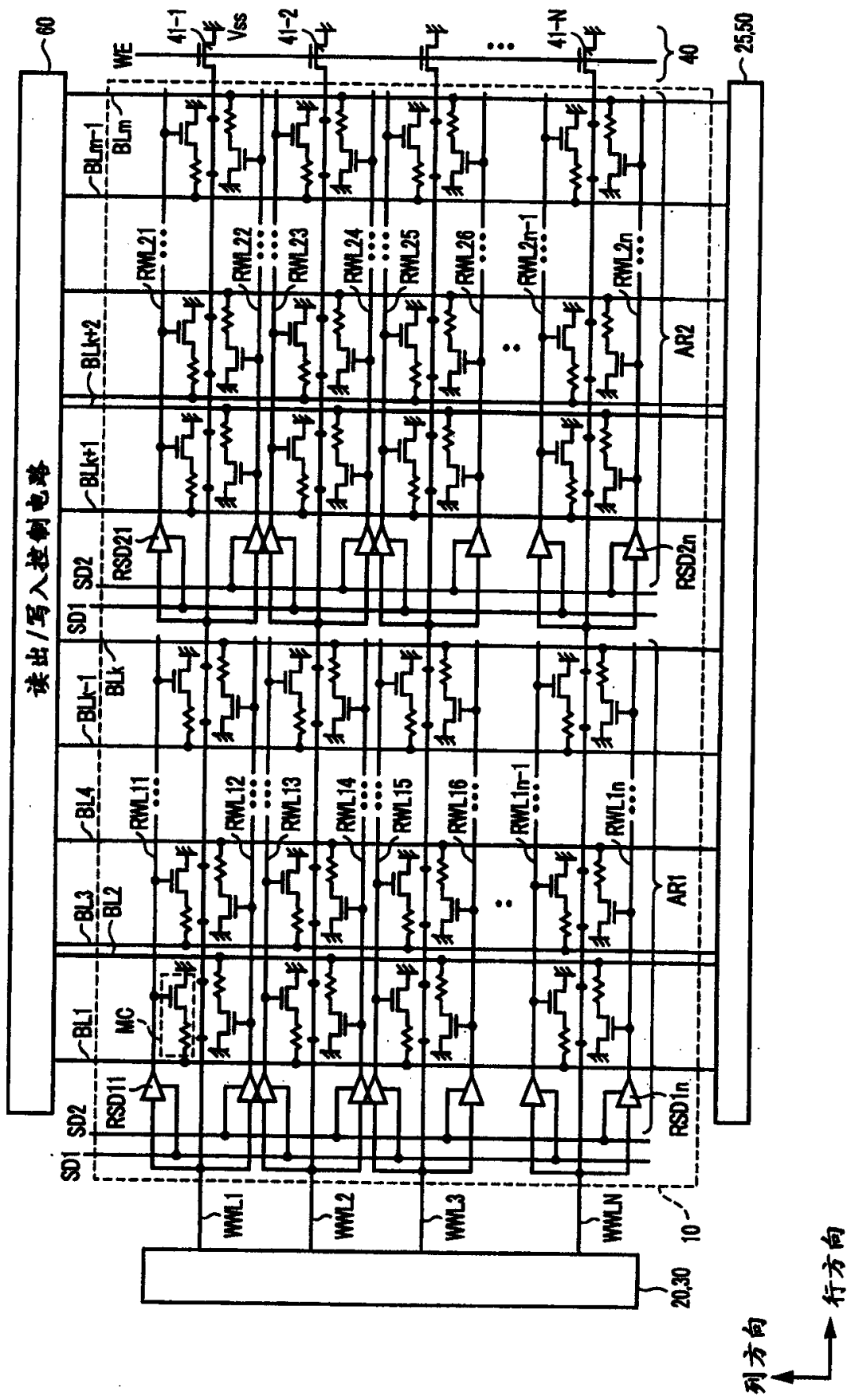


图 32

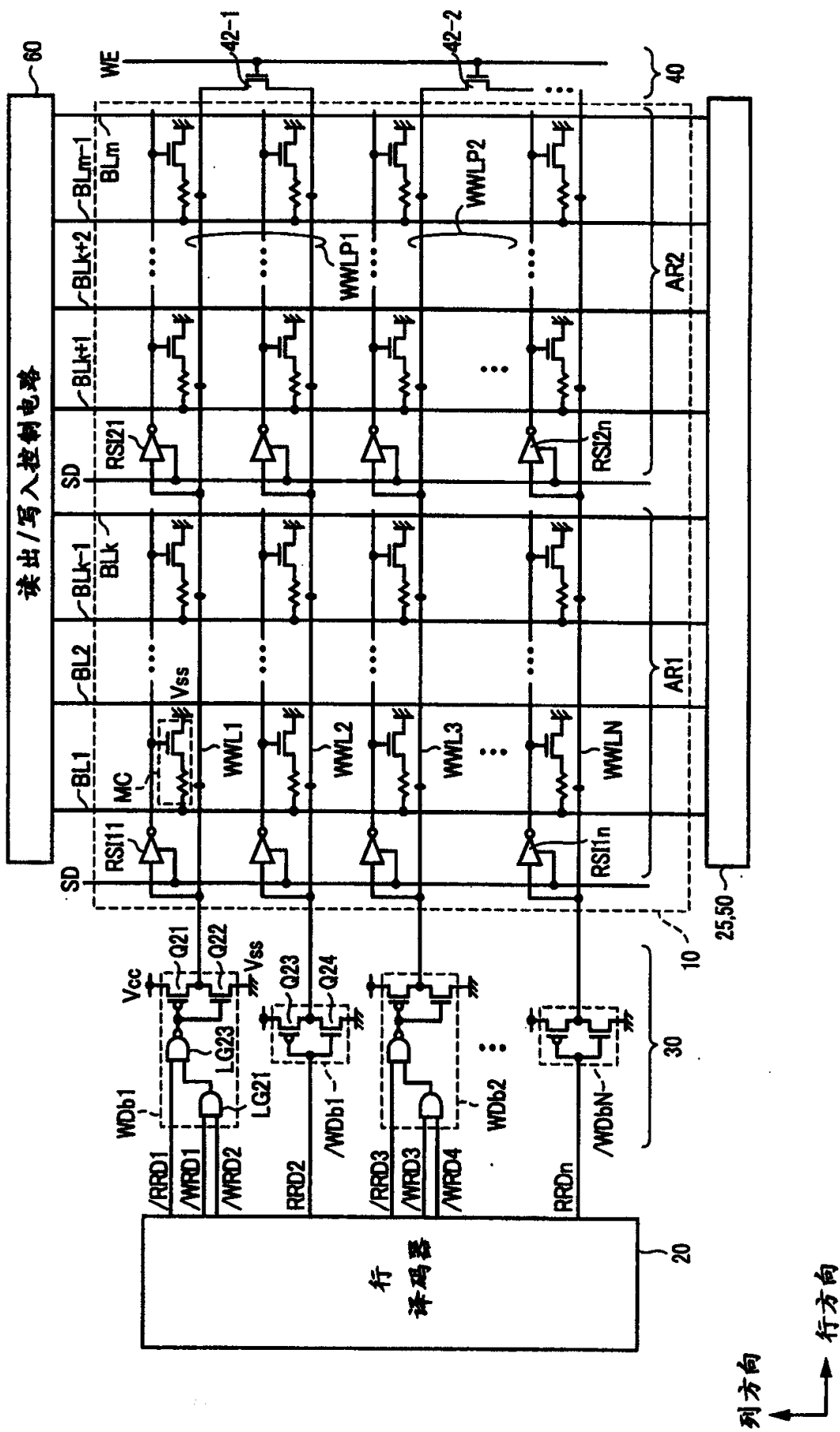


图 33

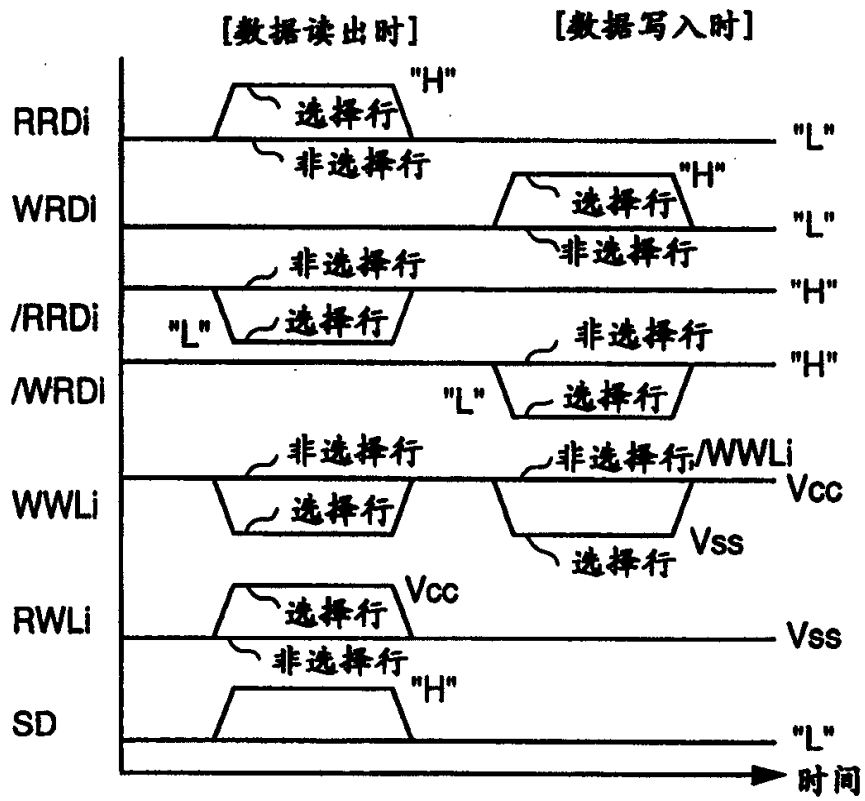


图 34

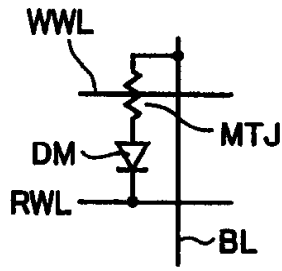


图 35

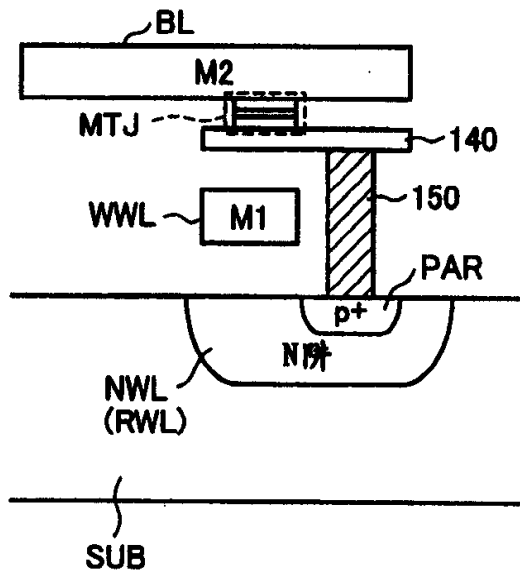


图 36

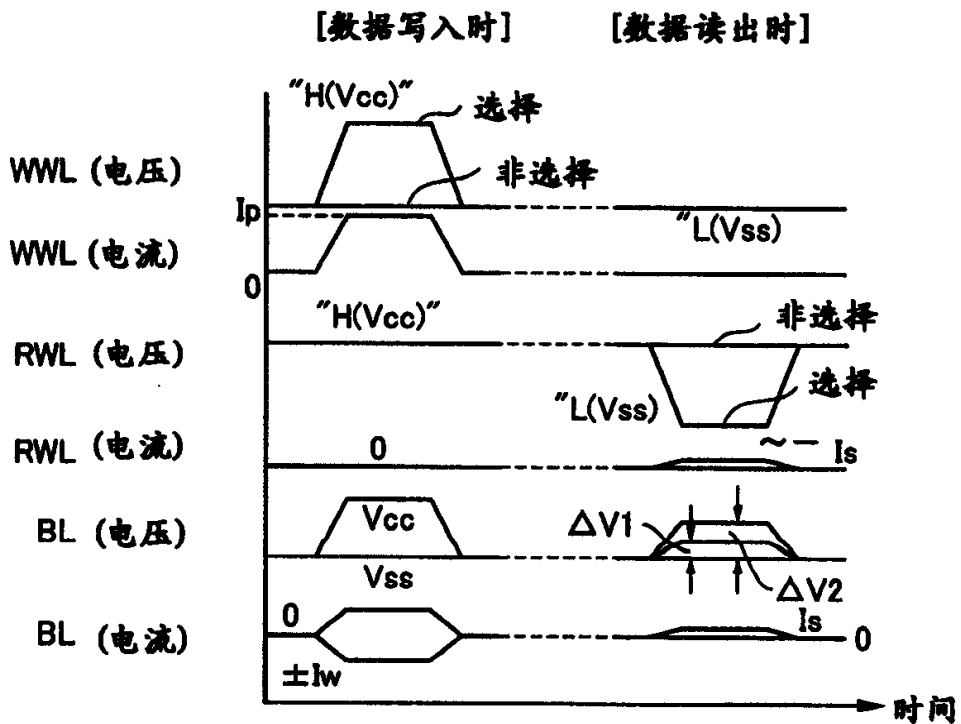


图 37

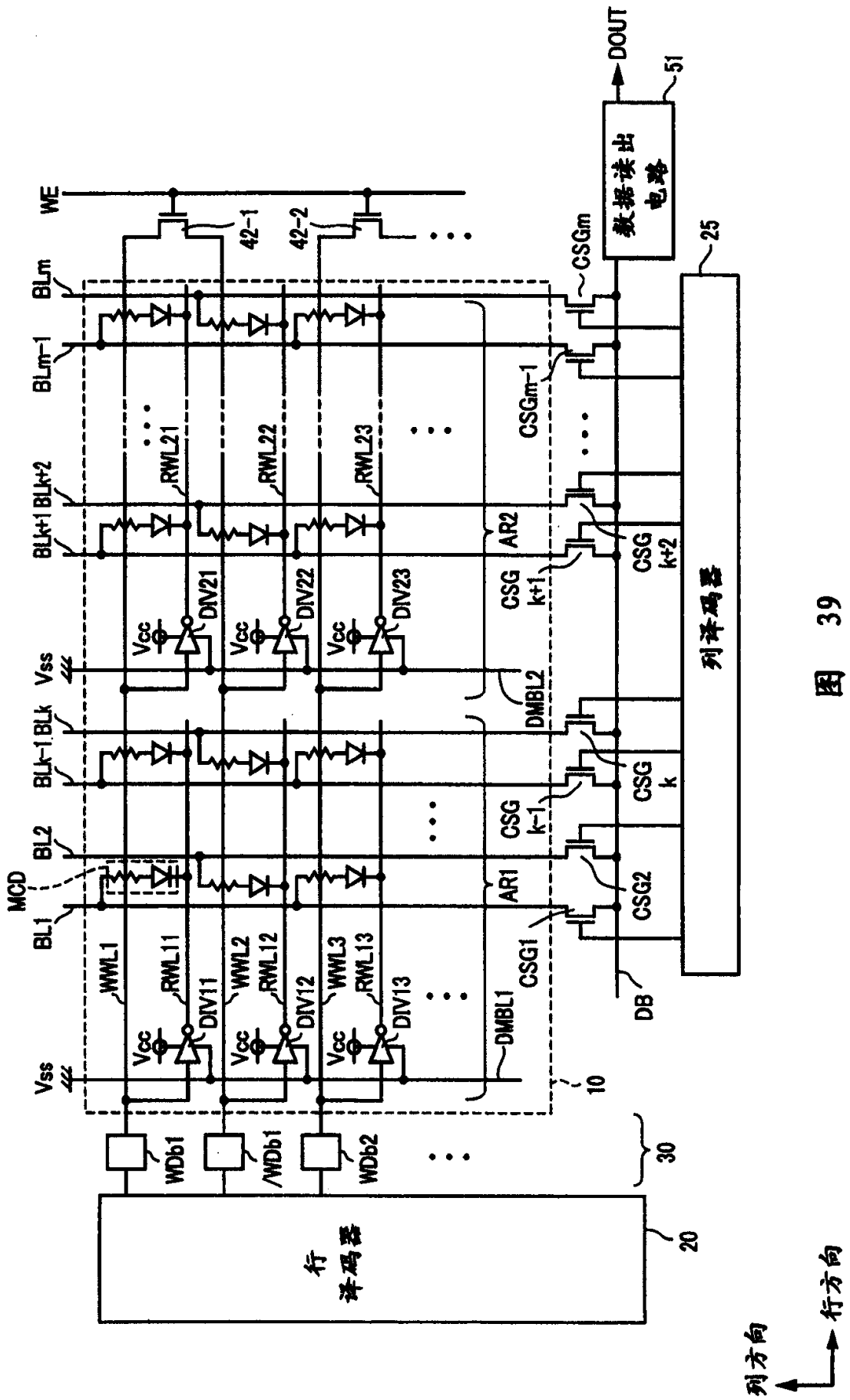


图 39

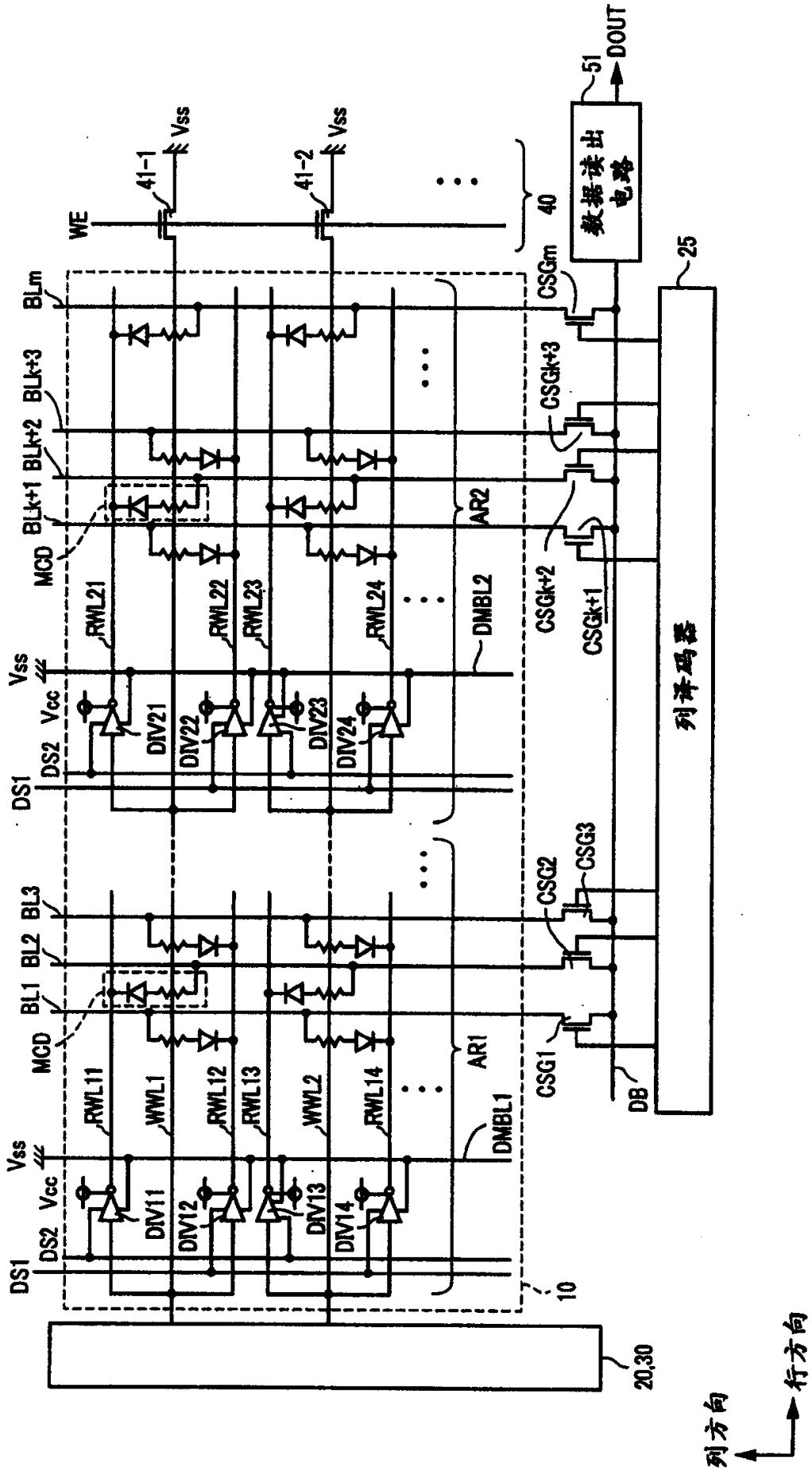


图 40

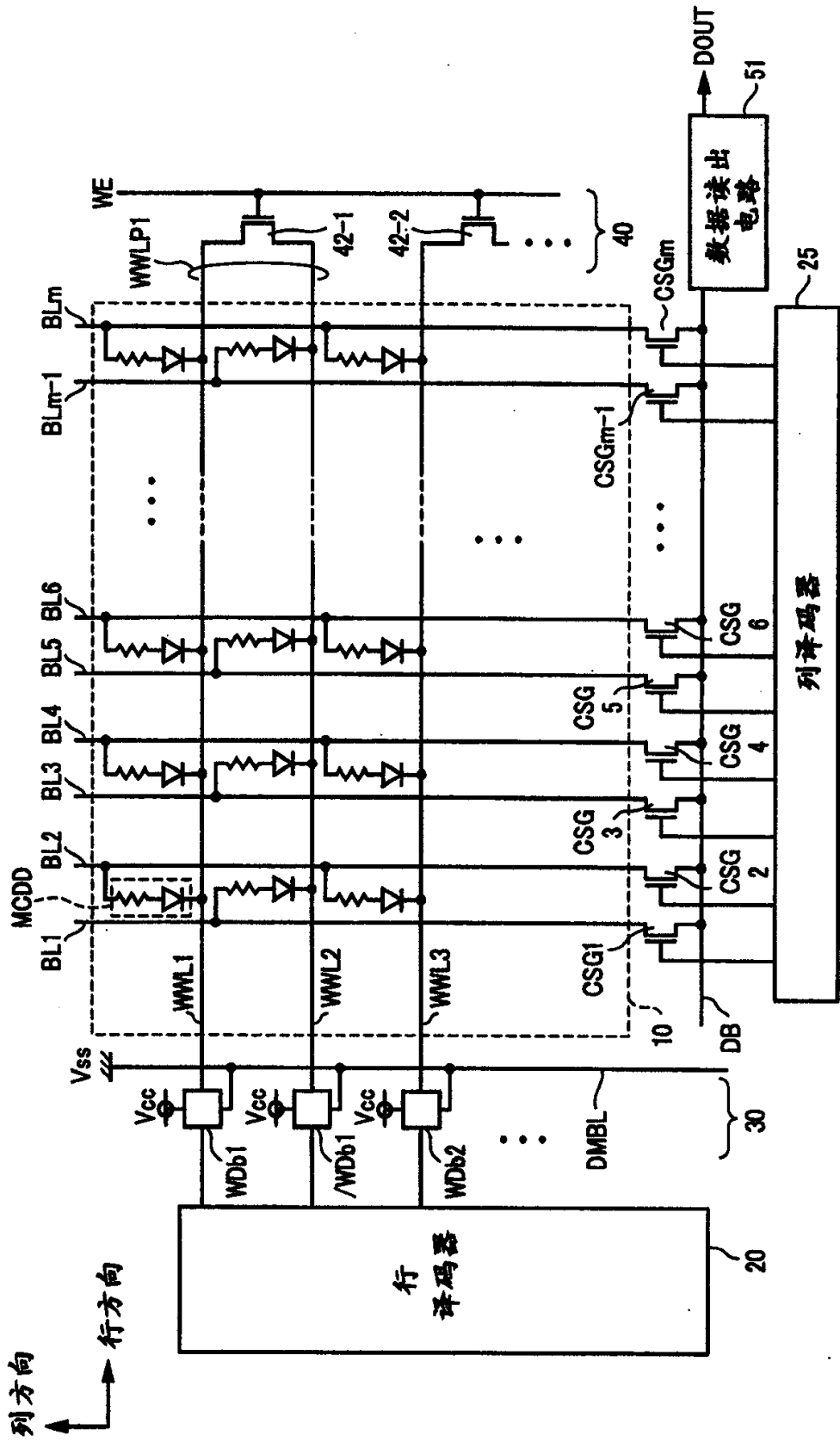


图 41

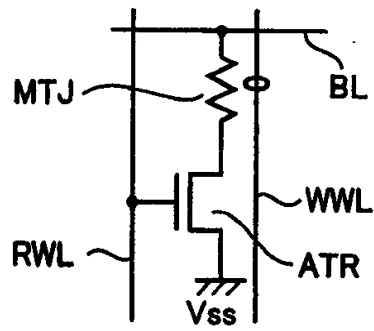


图 42

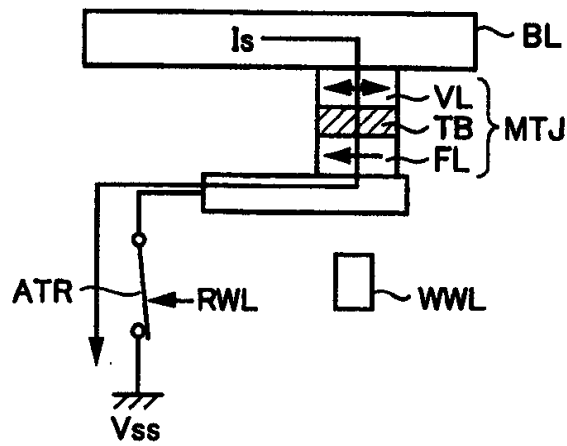


图 43

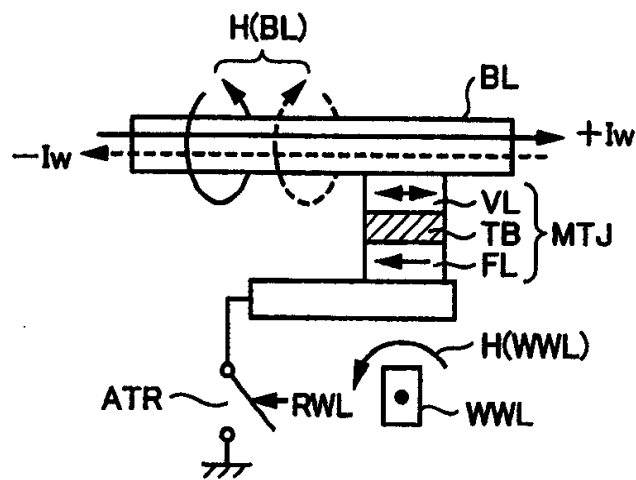


图 44

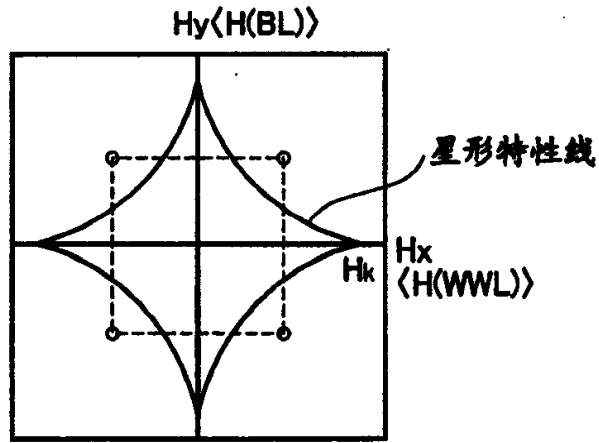


图 45

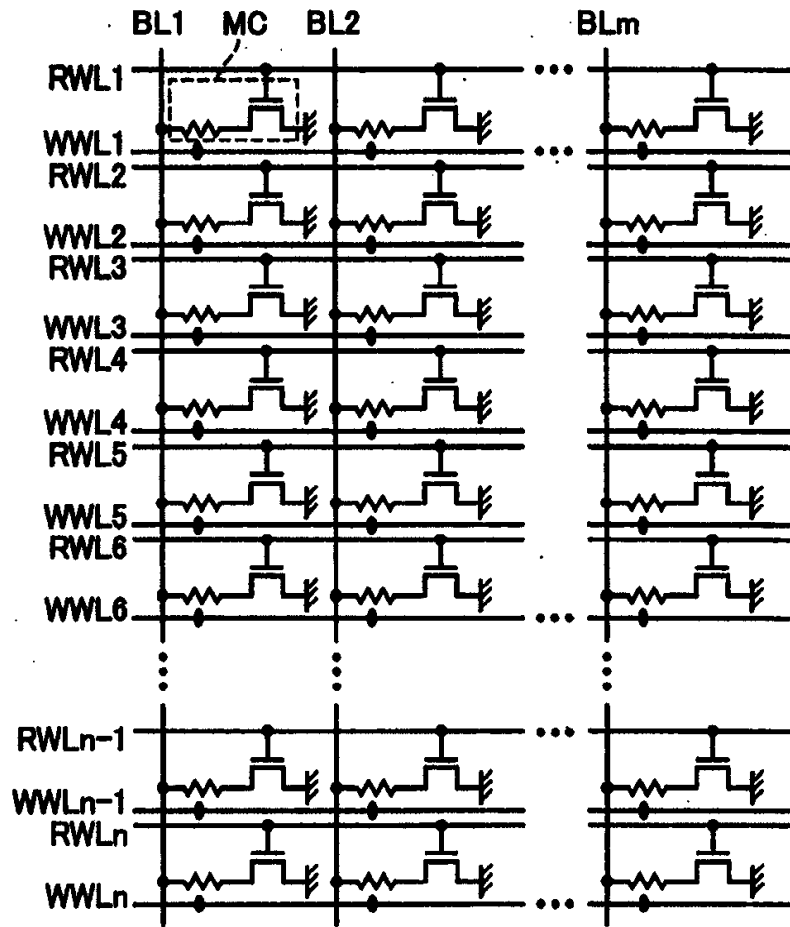


图 46

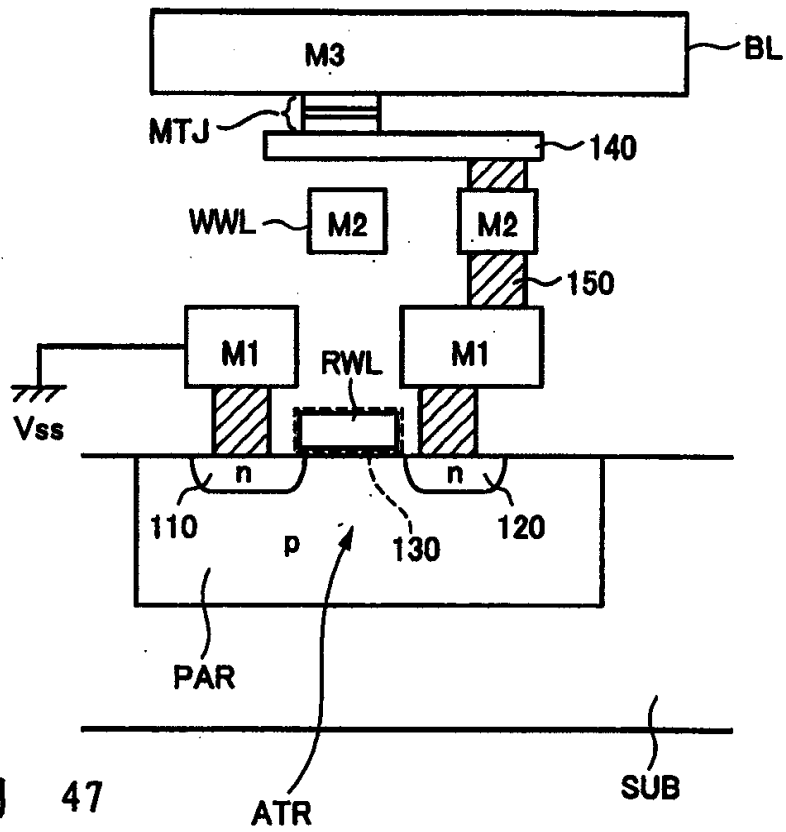


图 47

MCDD

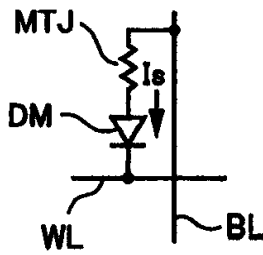


图 48

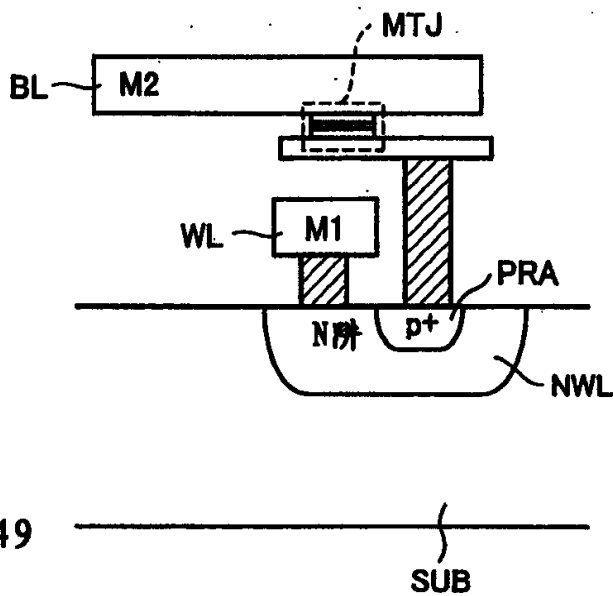


图 49