



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I846712 B

(45)公告日：中華民國 113 (2024) 年 07 月 01 日

(21)申請案號：108125058

(22)申請日：中華民國 108 (2019) 年 07 月 16 日

(51)Int. Cl. : H01J37/32 (2006.01)

H01L21/311 (2006.01)

(30)優先權：2018/07/19 美國

16/040,502

(71)申請人：美商蘭姆研究公司(美國) LAM RESEARCH CORPORATION (US)
美國

(72)發明人：柳川 匠 YANAGAWA, TAKUMI (US)；朵爾 尼基 DOLE, NIKHIL (IN)；包密克 蘭迪普 BHOWMICK, RANADEEP (IN)；哈得森 艾瑞克 HUDSON, ERIC (US)；柯札維奇 菲力克斯 萊布 KOZAKEVICH, FELIX LEIB (US)；霍藍德 約翰 HOLLAND, JOHN (US)；瑪瑞卡塔諾 艾力西 MARAKHTANOV, ALEXEI (RU)；琳戴克 布萊佛 J LYNDAKER, BRADFORD J. (US)

(74)代理人：許峻榮

(56)參考文獻：

TW 201101389A

TW 201724254A

TW 201730962A

US 9583357B1

US 9614524B1

US 9620337B2

審查人員：張嘉德

申請專利範圍項數：28 項 圖式數：7 共 104 頁

(54)名稱

用於達成高深寬比介電質蝕刻的三個以上狀態

(57)摘要

揭露施加三個以上狀態以達成高深寬比介電質蝕刻操作的系統及方法。在其中一方法中，在一高狀態與一低狀態之間導入一中間狀態。中間狀態係施加至源射頻(RF)產生器及偏壓射頻(RF)產生器兩者。在中間狀態期間，將 RF 功率維持在與高狀態相關之 RF 功率之高量和與低狀態相關之 RF 功率之低量之間以達成高深寬比介電質蝕刻。

Systems and methods for applying three or more states for achieving a high aspect ratio dielectric etch operation are described. In one of the methods, a middle state is introduced between a high state and a low state. The middle state is applied to both a source radio frequency (RF) generator and a bias radio frequency (RF) generator. During the middle state, RF power is maintained to be between a high amount of RF power associated with the high state and a low amount of RF power associated with the low state to achieve the high aspect ratio dielectric etch.

指定代表圖：

符號簡單說明：

- 202:圖
- 204:圖
- 206:圖
- 208A:參數
- 208B:參數
- 210:數位脈動訊號
- 212:時脈訊號

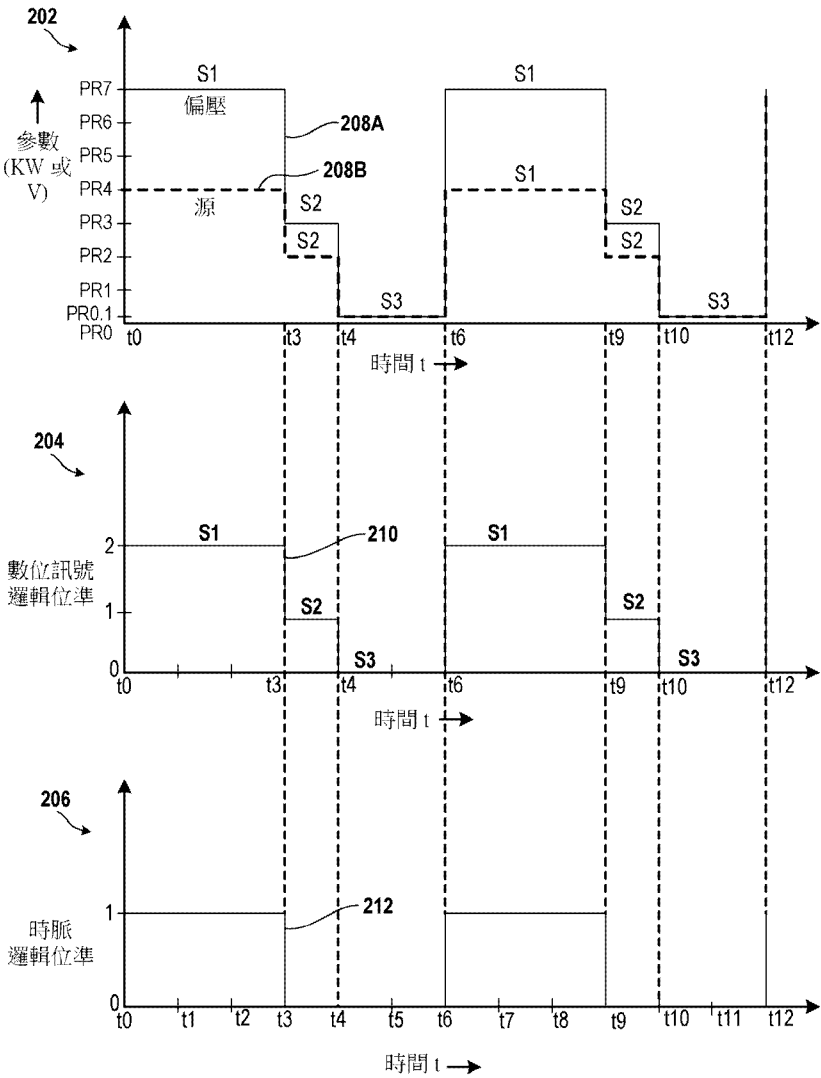


圖 2A



I846712

【發明摘要】

【中文發明名稱】 用於達成高深寬比介電質蝕刻的三個以上狀態

【英文發明名稱】 THREE OR MORE STATES FOR ACHIEVING HIGH ASPECT
RATIO DIELECTRIC ETCH

【中文】揭露施加三個以上狀態以達成高深寬比介電質蝕刻操作的系統及方法。在其中一方法中，在一高狀態與一低狀態之間導入一中間狀態。中間狀態係施加至源射頻(RF)產生器及偏壓射頻(RF)產生器兩者。在中間狀態期間，將RF功率維持在與高狀態相關之RF功率之高量和與低狀態相關之RF功率之低量之間以達成高深寬比介電質蝕刻。

【英文】 Systems and methods for applying three or more states for achieving a high aspect ratio dielectric etch operation are described. In one of the methods, a middle state is introduced between a high state and a low state. The middle state is applied to both a source radio frequency (RF) generator and a bias radio frequency (RF) generator. During the middle state, RF power is maintained to be between a high amount of RF power associated with the high state and a low amount of RF power associated with the low state to achieve the high aspect ratio dielectric etch.

【指定代表圖】 圖 2A

【代表圖之符號簡單說明】

202 圖

204 圖

206 圖

208A 參數

208B 參數

210 數位脈動訊號

212 時脈訊號

【發明說明書】

【中文發明名稱】 用於達成高深寬比介電質蝕刻的三個以上狀態

【英文發明名稱】 THREE OR MORE STATES FOR ACHIEVING HIGH
ASPECT RATIO DIELECTRIC ETCH

【技術領域】

【0001】 本發明實施例係關於產生三個以上狀態以達成高深寬比介電質蝕刻的系統及方法。

【先前技術】

【0002】 文中所提供的背景說明係用以大致上呈現本發明之文義背景。列名之發明之揭露於此先前技術段落中的研究以及在申請時不能算作先前技術的說明態樣並非用以對抗本發明之明示或暗示承認的先前技術。

【0003】 電漿設備包含射頻(RF)產生器、阻抗匹配裝置及電漿室。RF產生器係耦合至阻抗匹配裝置，阻抗匹配裝置更耦合至電漿室。晶圓係放置於電漿室內。

【0004】 RF產生器產生RF訊號，RF訊號被供給至阻抗匹配裝置。阻抗匹配裝置包含能減少自電漿室朝向RF產生器反射之功率的元件。RF訊號通過此些元件而改變RF訊號。自阻抗匹配裝置將經改變的RF訊號提供至電漿室以處理晶圓。

【0005】 文中所述的實施例係於此背景下產生。

【發明內容】

【0006】 本發明之實施例提供產生三個以上狀態以達到高深寬比介電質蝕刻的系統、設備、方法及電腦程式。應瞭解，本發明之實施例可以多種方式實施如處理、設備、系統、裝置或電腦可讀媒體上的方法。下面將說明數個實施例。

【0007】 在某些實施例中，揭露一種在高狀態與低狀態之間施加中間狀態的方法。在中間狀態期間，將低於在高狀態期間所施加之功率之射頻(RF)功率位準施加至基板。在中間狀態期間施加RF功率位準能增加基板之遮罩層之頸部處的關鍵尺寸。又，朝向基板的基板層濺射在高狀態期間沉積在遮罩層上的遮罩材料以減少在基板層中產生弓形的機會。

【0008】 在各種實施例中，提供一種在不影響高深寬比(HAR)蝕刻中之覆蓋容裕及遮罩選擇比而達成弓形縮減的方法。弓形縮減的一實例為相對於蝕刻深度之弓形成長速率縮減，覆蓋容裕的一實例為頸部關鍵尺寸(CD)縮減。該方法包含在介電質蝕刻操作期間利用中間功率狀態 RF 脈動來實施多狀態脈動。該方法有助於在不鬆動覆蓋或不阻塞基板遮罩層之遮罩刻面區域下方之頸部的情况下，維持垂直蝕刻速率並同時最少化橫向蝕刻。橫向蝕刻會造成基板之基板層的弓形。基板層係位於遮罩層下方。阻塞是因遮罩刻面區域下方之遮罩層之過度鈍化層沉積所造成的。

【0009】 在各種實施例中，方法包含在狀態 S1 與 S3 之間施加狀態 S2 以平衡遮罩再沉積對用以開啟頸部之關鍵尺寸的頸部移除。在狀態 S1 與 S3 之間導入狀態 S2 以自頸部濺射鈍化層至基板層如沉積遮罩材料，以促進弓形位置處的中性鈍化層。例如，在狀態 S2 期間的 RF 功率係介於狀態 S1 期間之 RF 功

率與狀態 S3 期間之 RF 功率之間。又例如，狀態 S2 期間之目標離子能量的範圍係自 1.0 千電子伏特(keV)至 5 keV(包含端點)。

【0010】 在某些實施例中，揭露一種在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法。CCP 室具有定義了處理體積的基板支撐電極及上電極。該方法包含供給欲施加至基板支撐電極的偏壓射頻訊號。控制偏壓 RF 訊號以在重覆的時間期間內包含第一複數參數位準。第一複數參數位準包含第一狀態期間的第一參數位準、第二狀態期間的第二參數位準及第三狀態期間的第三參數位準。又，該方法包含供給欲施加至上電極的源 RF 訊號，以在重覆的時間期間內將第二複數參數位準供給至上電極。第二複數參數位準包含第一狀態期間的第一參數位準、第二狀態期間的第二參數位準及第三狀態期間的第三參數位準。第二狀態期間之偏壓射頻訊號的第二參數位準係設定為不同於第一狀態期間之偏壓射頻訊號之第一參數位準，第三狀態期間之偏壓射頻訊號之第三參數位準係設定為不同於偏壓 RF 訊號之第一與第二參數位準。第二狀態期間之源射頻訊號之第二參數位準係設定為不同於第一狀態期間之源射頻訊號之第一參數位準，第三狀態期間之源射頻訊號之第三參數位準係設定為不同於源射頻訊號之第一與第二參數位準。

【0011】 在各種實施例中，除了將源射頻訊號及偏壓射頻訊號供給至基板支撐電極外，實施在 CCP 室中進行介電質蝕刻操作的上述方法。

【0012】 在某些實施例中，揭露一種在 CCP 室中進行介電質蝕刻操作的方法。CCP 室具有第一電極及第二電極。CCP 室係耦合至阻抗匹配電路。該方法包含將偏壓射頻訊號供給至阻抗匹配電路。偏壓射頻訊號包含在重覆的時間期間內之第一複數參數位準。第一複數參數位準包含第一狀態期間的第一參數位準

位準、第二狀態期間的第二參數位準及第三狀態期間的第三參數位準。該方法更包含將源射頻訊號供給至阻抗匹配電路以在重覆的時間期間內輸送第二複數參數位準。第二複數參數位準包含第一狀態期間的第一參數位準、第二狀態期間的第二參數位準及第三狀態期間的第三參數位準。使用偏壓射頻訊號及源射頻訊號控制 CCP 室中之介電質蝕刻操作。偏壓射頻訊號之第一、第二及第三參數位準係彼此不同。源射頻訊號之第一、第二及第三參數位準係彼此不同。

【0013】 在數個實施例中，揭露一種系統。該系統包含具有第一電極與第二電極的電漿室。該系統更包含耦合至電漿室的阻抗匹配電路及耦合至阻抗匹配電路的偏壓 RF 產生器。偏壓射頻產生器係用以將偏壓射頻訊號供給至阻抗匹配電路。偏壓射頻訊號包含在重覆的時間期間內的第一複數參數位準。第一複數參數位準包含第一狀態期間的第一參數位準、第二狀態期間的第二參數位準及第三狀態期間的第三參數位準。該系統更包含耦合至阻抗匹配電路之源射頻產生器。源 RF 產生器將源射頻訊號供給至阻抗匹配電路。源射頻訊號包含在重覆的時間期間內的第二複數參數位準。第二複數參數位準包含第一狀態期間的第一參數位準、第二狀態期間的第二參數位準及第三狀態期間的第三參數位準。偏壓 RF 訊號之第一、第二及第三參數位準係彼此不同。源射頻訊號之第一、第二及第三參數位準係彼此不同。

【0014】 文中所述之系統及方法的某些優先包含在狀態 S2 期間將中間功率位準施加至基板。在一實施例中，中間功率位準係介於狀態 S1 之高功率位準與狀態 S3 之低功率位準之間。中間功率位準產生能向下濺射遮罩材料以保護基板層的電漿離子。遮罩材料可在狀態 S1 期間沉積至遮罩層上。受到濺射之遮罩材料在進行蝕刻操作的狀態 S1 期間保護基板層。又，藉著向下濺射遮

罩材料可增加頸部處的關鍵尺寸。頸部處之關鍵尺寸的增加能減少基板層受到橫向蝕刻的機會並增加基板層受到垂直蝕刻的機會，以增加蝕刻基板的選擇比及蝕刻率。在狀態 S3 期間，將材料沉積至遮罩層上。

【0015】 文中所述之系統及方法的某些優先包含蝕刻後檢驗弓形 CD 對未打開之缺陷之間的權衡改善、顯影後檢驗弓形 CD 對未打開之缺陷之間的權衡改善、蝕刻選擇比對未打開之缺陷之間的權衡改善、及深寬比相依之蝕刻 (ARDE) 的改善。

【0016】 自下面參考附圖之詳細說明將明白其他態樣。

【圖式簡單說明】

【0017】 參考下面配合附圖之說明可最佳地瞭解本發明之實施例。

【0018】 圖 1A 為系統實施例之圖，其例示產生三狀態以達成高深寬比介電質蝕刻。

【0019】 圖 1B 為另一系統實施例之圖，其例示產生三個以上狀態以達成高深寬比介電質蝕刻。

【0020】 圖 2A 顯示複數圖之實施例，其例示圖 1A 與 1B 之偏壓產生器所產生之射頻(RF)訊號的參數及圖 1A 與 1B 之源產生器所產生之另一 RF 訊號的參數。

【0021】 圖 2B 顯示複數圖之實施例，其例示圖 1A 與 1B 之偏壓產生器所產生之 RF 訊號的參數及圖 1A 與 1B 之源產生器所產生之 RF 訊號的另一參數。

【0022】圖 3A 為系統實施例之圖，其例示產生四狀態以達成高深寬比介電質蝕刻。

【0023】圖 3B 為另一系統實施例之圖，其例示產生四狀態以達成高深寬比介電質蝕刻。

【0024】圖 4A 顯示複數圖之實施例，其例示圖 3A 與 3B 之偏壓產生器所產生之 RF 訊號的參數及圖 3A 與 3B 之源產生器所產生之另一 RF 訊號的參數。

【0025】圖 4B 顯示複數圖之實施例，其例示圖 3A 與 3B 之偏壓產生器所產生之 RF 訊號的參數及圖 3A 與 3B 之源產生器所產生之 RF 訊號的另一參數。

【0026】圖 4C 顯示複數圖之實施例，其例示圖 3A 與 3B 之偏壓產生器所產生之 RF 訊號的參數及圖 3A 與 3B 之源產生器所產生之 RF 訊號的另一參數。

【0027】圖 5A 為藉由施加兩狀態脈動而受到處理之基板的一實施例。

【0028】圖 5B 為藉由施加兩狀態脈動而受到處理之基板的一實施例。

【0029】圖 5C 為基板之一實施例，其例示三狀態脈動之狀態 S1 在基板上的效應。

【0030】圖 5D 為基板之一實施例，其例示三狀態脈動之狀態 S2 在基板上的效應。

【0031】圖 5E 為基板之一實施例，其例示三狀態脈動之狀態 S3 在基板上的效應。

【0032】圖 6 為一實施例圖，其例示繪示最大關鍵尺寸(CD)對最小關鍵尺寸的圖。

【0033】圖 7A 為一實施例圖，其例示繪示繪製在 y 軸上之未打開之缺陷對繪製在 x 軸上之蝕刻後檢驗(AEI)弓形 CD 的圖。

【0034】圖 7B 為一實施例圖，其例示繪示繪製在 y 軸上之未打開之缺陷對繪製在 x 軸上之顯影後檢驗(ADI)弓形 CD 的圖。

【0035】圖 7C 為一實施例圖，其例示繪示繪製在 y 軸上之未打開之缺陷對繪製在 x 軸上之蝕刻選擇比(sel)的圖。

【0036】圖 7D 為一實施例圖，其例示繪示繪製在 y 軸上之特定蝕刻率對深寬比的圖。

【實施方式】

【0037】下面的實施例說明用以產生三個以上狀態以達到高深寬比介電質蝕刻的系統及方法。應明白，本發明之實施例可在缺乏部分或所有此些特定細節的情況下實施。在其他實例中，不詳細說明已知之處理操作以免不必要地模糊本發明之實施例。

【0038】圖 1A 為系統 100 之實施例圖，其例示產生三狀態以達到高深寬比介電質蝕刻。系統 100 包含源產生器 102 及偏壓產生器 104。源產生器 102 為源射頻產生器的一實例而偏壓產生器 104 為偏壓 RF 產生器的一實例。系統 100 更包含源產生器 102 之阻抗匹配電路(IMCS)106 及偏壓產生器 104 之另一阻抗匹配電路(IMCB)108。阻抗匹配電路 IMCS 106 為源阻抗匹配電路的一實例而阻抗匹配電路 IMCB 108 為偏壓阻抗匹配電路的一實例。阻抗匹配電路 IMCS

106 係藉由射頻(RF)纜線 120A 而耦合至源產生器 102，阻抗匹配電路 IMCB 108 係藉由另一 RF 纜線 120B 而耦合至偏壓產生器 104。又，系統 100 包含電漿室 110，電漿室 110 為電容耦合電漿(CCP)室。阻抗匹配電路 IMCS 106 係藉由 RF 傳輸線 122A 而耦合至電漿室 110，阻抗匹配電路 IMCB 108 係藉由另一 RF 傳輸線 122B 而耦合至電漿室 110。

【0039】源產生器 102 包含數位訊號處理器(DSPS)、複數參數控制器 PRS1S、PRS2S 與 PRS3S、驅動器系統 124A 及複數頻率控制器 FCS1S、FCS2S 與 FCS3S。文中所用之參數為電壓或功率。又，源產生器 102 包含源射頻電源。源產生器 102 之數位訊號處理器係藉由傳輸纜線 TCS 而耦合至主機電腦之處理器(P)。又，源產生器 102 之數位訊號處理器係耦合至參數控制器 PRS1S、PRS2S 與 PRS3S 及頻率控制器 FCS1S、FCS2S 與 FCS3S。參數控制器 PRS1S、PRS2S 與 PRS3S 及頻率控制器 FCS1S、FCS2S 與 FCS3S 係耦合至驅動器系統 124A，驅動器系統 124A 係耦合至源射頻電源。主機電腦更包含記憶體裝置(M)，記憶體裝置(M)係耦合至主機電腦的處理器。

【0040】類似地，偏壓產生器 104 包含數位訊號處理器(DSPB)、複數參數控制器 PRS1B、PRS2B 與 PRS3B、驅動器系統 124B 及複數頻率控制器 FCS1B、FCS2B 與 FCS3B。又，偏壓產生器 104 包含偏壓 RF 電源。偏壓產生器 104 的數位訊號處理器係藉由傳輸纜線 TCB 而耦合至主機電腦的處理器。又，偏壓產生器 104 的數位訊號處理器係耦合至參數控制器 PRS1B、PRS2B 與 PRS3B 及頻率控制器 FCS1B、FCS2B 與 FCS3B。參數控制器 PRS1B、PRS2B 與 PRS3B 及頻率控制器 FCS1B、FCS2B 與 FCS3B 係耦合至驅動器系統 124B，驅動器系統 124B 係耦合至偏壓射頻電源。

【0041】電漿室 110 包含其中嵌有下電極 114 的基板支撐件 112 如夾頭。下電極 114 為基板支撐電極的一實例。夾頭的實例包含靜電夾頭(ESC)及磁性夾頭。基板 S 係放置在基板支撐件 112 上。文中所述之基板係用以製造用於一或多個電子裝置中的一或多個半導體晶片，電子裝置例如是手機、或平板、或處理器、或記憶體裝置、或電視、或施用人工智慧之裝置、或為物聯網(IoT)之一部分的裝置。又，面對基板支撐件 112 的是電漿室 110 的上電極 116。在上電極 116 與基板支撐件 112 之間形成間隙 118 如處理體積。下電極 114 與上電極 116 中的每一者係由金屬如鋁或鋁合金所製成。

【0042】主機電腦的實例包含桌上型電腦、控制器、平板、伺服器、筆記型電腦、及智慧手機等。文中所用的處理器為特殊應用積體電路(ASIC)、或數位訊號處理器、或可程式化邏輯裝置(PLD)、或中央處理單元(CPU)、或微處理器、或微控制器。文中所用的控制器包含 ASIC、或 PLD、或 CPU、或微處理器、或微控制器、或處理器、或數位訊號處理器，且更包含記憶體裝置。文中所用之記憶體裝置的實例包含隨機存取記憶體(RAM)及唯讀記憶體(ROM)。例如，記憶體裝置為快閃記憶體、硬碟、或儲存裝置等。記憶體裝置為電腦可讀媒體的一實例。文中所用之驅動系統的一實例包含一或多個電晶體。文中所用之驅動系統的另一實例包含耦合至放大器的一或多個電晶體。文中所用之 RF 電源的一實例包含可產生射頻處之正弦訊號的 RF 振盪器，頻率的範圍例如自 100 kHz 至 100 MHz(含端點)。

【0043】偏壓產生器 104 的一實例為為 X RF 產生器，其中 X 的範圍係自 100 千赫(kHz)至 13 兆赫(MHz)(含端點)。例如，偏壓產生器 104 為 400 kHz 產生器。又例如，偏壓產生器 104 為 2 MHz RF 產生器。更例如，偏壓產生器

104 具有落在自 100 kHz 至 3 MHz(含端點)之範圍內的頻率。源產生器 102 的一實例為 Y RF 產生器，其中 Y 的範圍係自 13 MHz 至 170 MHz(含端點)。例如，源產生器 102 具有落在自 40 MHz 至 70 MHz(含端點)之範圍內的頻率。又例如，源產生器 102 為 70 MHz RF 產生器、或 60 MHz RF 產生器、或 50 MHz RF 產生器、或 27 MHz RF 產生器、或 13.56 MHz RF 產生器。更例如，Y RF 產生器具有自 57 MHz 至 63 MHz(含端點)之操作範圍。

【0044】文中所述之阻抗匹配電路為一或多個元件的網路，一或多個元件例如是一或多個電阻器、或一或多個電容器、或一或多個電感、或其組合，其能夠匹配耦合至阻抗匹配電路之輸出之負載的阻抗與合至阻抗匹配電路之輸入之源的阻抗。此些元件中的兩或更多者係以並聯或串聯方式彼此耦合。阻抗匹配電路匹配耦合至阻抗匹配電路之輸出之負載的阻抗與耦合至阻抗匹配電路之一或多個輸入之源的阻抗。例如，阻抗匹配電路 IMCS 106 匹配 RF 傳輸線 122A 及電漿室 110 之阻抗與源產生器 102 及 RF 纜線 120A 之阻抗。又例如，阻抗匹配電路 IMCB 108 匹配 RF 傳輸線 122B 及電漿室 110 之阻抗與偏壓產生器 104 及 RF 纜線 120B 之阻抗。文中所述之阻抗匹配電路有時在文中被稱為匹配盒、或 RF 匹配裝置、或阻抗匹配網路、或匹配裝置。

【0045】主機電腦的處理器產生數位脈動訊號 DPS1 並藉由傳輸纜線 TCS 將其發送至源產生器 102 之數位訊號處理器並藉由傳輸纜線 TCB 將其發送至偏壓產生器 104 的數位訊號處理器。數位脈動訊號 DPS1 具有複數狀態 S1、S2 及 S3 且在狀態 S1、S2 及 S3 之間週期性地轉變。

【0046】此外，主機電腦的處理器藉由傳輸纜線 TCS 將狀態 S1 之 RF 訊號 116A 之參數位準、狀態 S2 之 RF 訊號 116A 之參數位準及狀態 S3 之 RF 訊

號 116A 之參數位準發送至源產生器 102 之數位訊號處理器。RF 訊號 116A 係由源產生器 102 所產生且為源射頻訊號的一實例。又，主機電腦的處理器藉由傳輸纜線 TCS 將狀態 S1 之 RF 訊號 116A 之頻率位準、狀態 S2 之 RF 訊號 116A 之頻率位準及狀態 S3 之 RF 訊號 116A 之頻率位準發送至源產生器 102 之數位訊號處理器。主機電腦的處理器自主機電腦之記憶體裝置識別發送至源產生器 102 之數位訊號處理器之狀態 S1 至 S3 之參數位準及頻率位準。在接收到狀態 S1 至 S3 之參數位準及頻率位準時，源產生器 102 之數位訊號處理器將狀態 S1 之參數位準發送至參數控制器 PRS1S 以儲存在參數控制器 PRS1S 之記憶體裝置中、將狀態 S2 之參數位準發送至參數控制器 PRS2S 以儲存在參數控制器 PRS2S 之記憶體裝置中、將狀態 S3 之參數位準發送至參數控制器 PRS3S 以儲存在參數控制器 PRS3S 之記憶體裝置中、將狀態 S1 之頻率位準發送至頻率控制器 FCS1S 以儲存在頻率控制器 FCS1S 之記憶體裝置中、將狀態 S2 之頻率位準發送至頻率控制器 FCS2S 以儲存在頻率控制器 FCS2S 之記憶體裝置中、及將狀態 S3 之頻率位準發送至頻率控制器 FCS3S 以儲存在頻率控制器 FCS3S 之記憶體裝置中。

【0047】 類似地，主機電腦的處理器藉由傳輸纜線 TCB 將狀態 S1 之 RF 訊號 116B 之參數位準、狀態 S2 之 RF 訊號 116B 之參數位準及狀態 S3 之 RF 訊號 116B 之參數位準發送至偏壓產生器 104 的數位訊號處理器。RF 訊號 116B 係由偏壓產生器 104 所產生且為偏壓射頻訊號的一實例。又，主機電腦的處理器藉由傳輸纜線 TCB 將狀態 S1 之 RF 訊號 116B 之頻率位準、狀態 S2 之 RF 訊號 116B 之頻率位準及狀態 S3 之 RF 訊號 116B 之頻率位準發送至偏壓產生器 104 的數位訊號處理器。主機電腦的處理器自主機電腦之記憶體裝置識別被發

送至偏壓產生器 104 之數位訊號處理器之狀態 S1 至 S3 之參數位準及頻率位準。在接收到狀態 S1 至 S3 之參數位準及頻率位準時，偏壓產生器 104 的數位訊號處理器將狀態 S1 之參數位準發送至參數控制器 PRS1B 以儲存在參數控制器 PRS1B 之記憶體裝置中、將狀態 S2 之參數位準發送至參數控制器 PRS2B 以儲存在參數控制器 PRS2B 之記憶體裝置中、將狀態 S3 之參數位準發送至參數控制器 PRS3B 以儲存在參數控制器 PRS3B 之記憶體裝置中、將狀態 S1 之頻率位準發送至頻率控制器 FCS1B 以儲存在頻率控制器 FCS1B 之記憶體裝置中、將狀態 S2 之頻率位準發送至頻率控制器 FCS2B 以儲存在頻率控制器 FCS2B 之記憶體裝置中、及將狀態 S3 之頻率位準發送至頻率控制器 FCS3B 以儲存在頻率控制器 FCS3B 之記憶體裝置中。

【0048】源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者判斷數位脈動訊號 DPS1 是否具有狀態 S1、S2 或 S3。例如，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者判斷數位脈動訊號 DPS1 之邏輯位準係高於、等於、或低於預定閾值。在判斷出數位脈動訊號 DPS1 之邏輯位準係高於預定閾值時，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者辨識出數位脈動訊號 DPS1 之發生狀態為 S1。在另一方面，在判斷出數位脈動訊號 DPS1 之邏輯位準係低於預定閾值時，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者辨識出數位脈動訊號 DPS1 之發生狀態為 S3。又，在判斷出數位脈動訊號 DPS1 之邏輯位準係等於預定閾值時，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者辨識出數位脈動訊號 DPS1 之發生狀態為 S2。又例如，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者判斷數位脈動訊號 DPS1 之邏輯位準是否為零、1、或 2。在

判斷出數位脈動訊號 DPS1 之邏輯位準為 2 時，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者辨識出數位脈動訊號 DPS1 之發生狀態為 S1。類似地，在判斷出數位脈動訊號 DPS1 之邏輯位準為 1 時，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者辨識出數位脈動訊號 DPS1 之發生狀態為 S2。在判斷出數位脈動訊號 DPS1 之邏輯位準為零時，源產生器 102 及偏壓產生器 104 之數位訊號處理器中的每一者辨識出數位脈動訊號 DPS1 之發生狀態為 S3。

【0049】在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，源產生器 102 之數位訊號處理器將代表狀態 S1 的訊號發送至參數控制器 PRS1S 及頻率控制器 FCS1S 中的每一者。又，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，源產生器 102 之數位訊號處理器將代表狀態 S2 的訊號發送至參數控制器 PRS2S 及頻率控制器 FCS2S 中的每一者。又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，源產生器 102 之數位訊號處理器將代表狀態 S3 的訊號發送至參數控制器 PRS3S 及頻率控制器 FCS3S 中的每一者。

【0050】又，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，在接收到代表狀態 S1 的訊號時，參數控制器 PRS1S 自參數控制器 PRS1S 之記憶體裝置接取狀態 S1 之參數位準並將狀態 S1 之參數位準發送至源產生器 102 之驅動器系統 124A。類似地，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，在接收到代表狀態 S1 的訊號時，頻率控制器 FCS1S 自頻率控制器 FCS1S 之記憶體裝置接取狀態 S1 之頻率位準並將狀態 S1 之頻率位準發送至源產生器 102 之驅動器系統 124A。

【0051】 又，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，在接收到代表狀態 S2 的訊號時，參數控制器 PRS2S 自參數控制器 PRS2S 之記憶體裝置接取狀態 S2 之參數位準並將狀態 S2 之參數位準發送至源產生器 102 之驅動器系統 124A。類似地，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，在接收到代表狀態 S2 的訊號時，頻率控制器 FCS2S 自頻率控制器 FCS2S 之記憶體裝置接取狀態 S2 之頻率位準並將狀態 S2 之頻率位準發送至源產生器 102 之驅動器系統 124A。

【0052】 又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，在接收到代表狀態 S3 的訊號時，參數控制器 PRS3S 自參數控制器 PRS3S 之記憶體裝置接取狀態 S3 之參數位準並將狀態 S3 之參數位準發送至源產生器 102 之驅動器系統 124A。類似地，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，在接收到代表狀態 S3 的訊號時，頻率控制器 FCS3S 自頻率控制器 FCS3S 之記憶體裝置接取狀態 S3 之頻率位準並將狀態 S3 之頻率位準發送至源產生器 102 之驅動器系統 124A。

【0053】 在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，源產生器 102 之驅動器系統 124A 接收狀態 S1 之參數位準與狀態 S1 之頻率位準並基於狀態 S1 之參數位準與狀態 S1 之頻率位準產生電流訊號，然後將電流訊號提供至源射頻電源。又，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，在自源產生器 102 之驅動器系統 124A 接收到電流訊號時，源射頻電源產生狀態 S1 之 RF 訊號 116A 的一部分。狀態 S1 之 RF 訊號 116A 的該部分具有在數位脈動訊號 DPS1 發生狀態 S1 期間之狀態 S1 之參數位準及狀態 S1 之頻率位準。

【0054】 類似地，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，源產生器 102 之驅動器系統 124A 接收狀態 S2 之參數位準與狀態 S2 之頻率位準並基於狀態 S2 之參數位準與狀態 S2 之頻率位準產生電流訊號，然後將電流訊號提供至源射頻電源。又，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，在自源產生器 102 之驅動器系統 124A 接收到電流訊號時，源射頻電源產生狀態 S2 之 RF 訊號 116A 的一部分。狀態 S2 之 RF 訊號 116A 的該部分具有在數位脈動訊號 DPS1 發生狀態 S2 期間之狀態 S2 之參數位準及狀態 S2 之頻率位準。

【0055】 又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，源產生器 102 之驅動器系統 124A 接收狀態 S3 之參數位準與狀態 S3 之頻率位準並基於狀態 S3 之參數位準與狀態 S3 之頻率位準產生電流訊號，然後將電流訊號提供至源射頻電源。又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，在自源產生器 102 之驅動器系統 124A 接收到電流訊號時，源射頻電源產生狀態 S3 之 RF 訊號 116A 的一部分。狀態 S2 之 RF 訊號 116A 的該部分具有在數位脈動訊號 DPS1 發生狀態 S3 期間之狀態 S3 之參數位準及狀態 S3 之頻率位準。

【0056】 阻抗匹配電路 IMCS 106 藉由 RF 纜線 120A 接收 RF 訊號 116A 並匹配耦合至阻抗匹配電路 IMCS 106 之輸出之負載之阻抗與耦合至阻抗匹配電路 IMCS 106 之輸入之源之阻抗，以產生經修改的 RF 訊號 126A。經修改的 RF 訊號 126A 為阻抗匹配電路 IMCS 106 之輸出的一實例。經修改的 RF 訊號 126A 係自阻抗匹配電路 IMCS 106 的輸出而供給至上電極 116。

【0057】 類似地，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，偏壓產生器 104 的數位訊號處理器將代表狀態 S1 的訊號發送至偏壓產生器 104 之

參數控制器 PRS1B 與頻率控制器 FCS1B 中的每一者。又，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，偏壓產生器 104 的數位訊號處理器將代表狀態 S2 的訊號發送至參數控制器 PRS2B 與頻率控制器 FCS2B 中的每一者。又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，偏壓產生器 104 的數位訊號處理器將代表狀態 S3 的訊號發送至參數控制器 PRS3B 與頻率控制器 FCS3B 中的每一者。

【0058】 又，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，在接收到代表狀態 S1 的訊號時，參數控制器 PRS1B 自參數控制器 PRS1B 之記憶體裝置接取狀態 S1 之參數位準並將狀態 S1 之參數位準發送至偏壓產生器 104 之驅動器系統 124B。類似地，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，在接收到代表狀態 S1 的訊號時，頻率控制器 FCS1B 自頻率控制器 FCS1B 之記憶體裝置接取狀態 S1 之頻率位準並將狀態 S1 之頻率位準發送至偏壓產生器 104 之驅動器系統 124B。

【0059】 又，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，在接收到代表狀態 S2 的訊號時，參數控制器 PRS2B 自參數控制器 PRS2B 之記憶體裝置接取狀態 S2 之參數位準並將狀態 S2 之參數位準發送至偏壓產生器 104 之驅動器系統 124B。類似地，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，在接收到代表狀態 S2 的訊號時，頻率控制器 FCS2B 自頻率控制器 FCS2B 之記憶體裝置接取狀態 S2 之頻率位準並將狀態 S2 之頻率位準發送至偏壓產生器 104 之驅動器系統 124B。

【0060】 又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，在接收到代表狀態 S3 的訊號時，參數控制器 PRS3B 自參數控制器 PRS3B 之記憶體裝

置接取狀態 S3 之參數位準並將狀態 S3 之參數位準發送至偏壓產生器 104 之驅動器系統 124B。類似地，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，在接收到代表狀態 S3 的訊號時，頻率控制器 FCS3B 自頻率控制器 FCS3B 之記憶體裝置接取狀態 S3 之頻率位準並將狀態 S3 之頻率位準發送至偏壓產生器 104 之驅動器系統 124B。

【0061】在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，偏壓產生器 104 之驅動器系統 124B 接收狀態 S1 之參數位準及狀態 S1 之頻率位準並基於狀態 S1 之參數位準及狀態 S1 之頻率位準產生電流訊號，然後將電流訊號提供至偏壓射頻電源。又，在數位脈動訊號 DPS1 發生狀態 S1 的時間期間內，在自偏壓產生器 104 之驅動器系統 124B 接收到電流訊號時，偏壓射頻電源產生狀態 S1 之 RF 訊號 116B 的一部分。狀態 S1 之 RF 訊號 116B 的該部分具有在數位脈動訊號 DPS1 發生狀態 S1 期間之狀態 S1 之參數位準及狀態 S1 之頻率位準。

【0062】類似地，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，偏壓產生器 104 之驅動器系統 124B 接收狀態 S2 之參數位準及狀態 S2 之頻率位準並基於狀態 S2 之參數位準及狀態 S2 之頻率位準產生電流訊號，然後將電流訊號提供至偏壓射頻電源。又，在數位脈動訊號 DPS1 發生狀態 S2 的時間期間內，在自偏壓產生器 104 之驅動器系統 124B 接收到電流訊號時，偏壓射頻電源產生狀態 S2 之 RF 訊號 116B 的一部分。狀態 S2 之 RF 訊號 116B 的該部分具有在數位脈動訊號 DPS1 發生狀態 S2 期間之狀態 S2 之參數位準及狀態 S2 之頻率位準。

【0063】又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，偏壓產生器 104 之驅動器系統 124B 接收狀態 S3 之參數位準及狀態 S3 之頻率位準並

基於狀態 S3 之參數位準及狀態 S3 之頻率位準產生電流訊號，然後將電流訊號提供至偏壓射頻電源。又，在數位脈動訊號 DPS1 發生狀態 S3 的時間期間內，在自偏壓產生器 104 之驅動器系統 124B 接收到電流訊號時，偏壓射頻電源產生狀態 S3 之 RF 訊號 116B 的一部分。狀態 S3 之 RF 訊號 116B 的該部分具有在數位脈動訊號 DPS1 發生狀態 S3 期間之狀態 S3 之參數位準及狀態 S3 之頻率位準。

【0064】 阻抗匹配電路 IMCB 108 藉由 RF 纜線 120B 接收 RF 訊號 116B 並匹配耦合至阻抗匹配電路 IMCB 108 之輸出之負載之阻抗與耦合至阻抗匹配電路 IMCB 108 之輸入之源之阻抗，以產生經修改的 RF 訊號 126B。經修改的 RF 訊號 126B 為阻抗匹配電路 IMCB 108 之輸出的一實例。經修改的 RF 訊號 126B 係自阻抗匹配電路 IMCB 108 的輸出而供給至基板支撐件 112 的下電極 114，以控制如管理基板 S 之處理。基板 S 之處理的實例包含在基板 S 上之進行蝕刻操作、或在基板 S 上沉積材料、或濺射基板 S、或蝕刻基板 S、或其兩或更多者的組合。

【0065】 當除了供給經修改之 RF 訊號 126A 與 126B 亦將一或多個處理氣體供給至電漿室 110 時，在電漿室 110 的間隙 118 內擊發電漿或維持電漿以處理基板 S。藉由例如包含狀態 S2 之 RF 訊號 116A 之參數位準及包含狀態 S2 之 RF 訊號 116B 之參數位準，控制基板 S 的處理。在狀態 S2 期間，RF 訊號 116A 具有一參數位準且 RF 訊號 116B 具有一參數位準以產生能向下濺射基板 S 之遮罩材料以保護基板 S 之基板層的電漿離子。藉由向下濺射遮罩材料，可增加基板 S 之頸部的關鍵尺寸。一或多種處理氣體的實例包含含氧氣體如 O₂。一或多種處理氣體的其他實例包含含氟氣體如四氟甲烷(CF₄)、六氟化硫(SF₆)、

六氟乙烷(C_2F_6)等。文中所述之處理基板的實例包含在基板上沉積材料、蝕刻基板、清理基板、及濺射基板。

【0066】 在某些實施例中，任何數目之 RF 產生器係耦合至文中所述的阻抗匹配電路如 IMCS 106 或 IMCB 108。例如，額外的 RF 產生器係藉由另一 RF 纜線而耦合至阻抗匹配電路的另一輸入以產生及發送 RF 訊號至阻抗匹配電路的其他輸出。

【0067】 在數個實施例中，使用者藉由利用輸入/輸出介面而耦合至主機電腦的處理器之輸入裝置如鍵盤、或滑鼠、或觸控筆接收發送至源產生器 102 之數位訊號處理器之狀態 S1 至 S3 之參數位準及發送至偏壓產生器 104 的數位訊號處理器之狀態 S1 至 S3 之參數位準以取代主機電腦的處理器辨識該些參數位準，或除了主機電腦的處理器辨識該些參數位準外使用者以上述方式接收該些參數位準。類似地，在某些實施例中，使用者藉由輸入裝置接收發送至源產生器 102 之數位訊號處理器之狀態 S1 至 S3 之頻率位準及發送至偏壓產生器 104 之數位訊號處理器之狀態 S1 至 S3 的頻率位準以取代主機電腦的處理器辨識該些頻率位準，或除了主機電腦的處理器辨識該些頻率位準外使用者以上述方式接收該些頻率位準。

【0068】 在某些實施例中，文中所述之 RF 訊號的每一參數位準為 RF 訊號的包脈。例如，文中所述之 RF 訊號的參數位準為 RF 訊號之零至峰值的大小或 RF 訊號之峰值至峰值的大小。

【0069】 又，在各種實施例中，RF 訊號之一參數的一參數位準包含 RF 訊號之參數的一或多個大小如振幅或數值，且該一或多個大小係排除 RF 訊號之該參數之另一參數位準的一或多個大小。例如，針對狀態 S2 發送至源產生

器 102 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對狀態 S1 發送至源產生器 102 之數位訊號處理器的參數位準的一或多個數值相同。又，針對狀態 S3 發送至源產生器 102 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對狀態 S2 發送至源產生器 102 之數位訊號處理器的參數位準的一或多個數值相同。又，針對狀態 S3 發送至源產生器 102 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對狀態 S1 發送至源產生器 102 之數位訊號處理器的參數位準的一或多個數值相同。又例如，針對狀態 S2 發送至偏壓產生器 104 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對狀態 S1 發送至偏壓產生器 104 之數位訊號處理器的參數位準的一或多個數值相同。又，針對狀態 S3 發送至偏壓產生器 104 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對狀態 S2 發送至偏壓產生器 104 之數位訊號處理器的參數位準的一或多個數值相同。又，針對狀態 S3 發送至偏壓產生器 104 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對狀態 S1 發送至偏壓產生器 104 之數位訊號處理器的參數位準的一或多個數值相同。

【0070】在各種實施例中，使用一個頻率控制器而非源產生器 102 之複數頻率控制器 FCS1S、FCS2S 與 FCS3S 來控制源 RF 電源以產生 RF 訊號的單一訊號頻率位準而非狀態 S1 至 S3 之複數頻率位準。單一訊號頻率位準包含 RF 訊號之頻率的一或多個數值。訊號頻率位準代表頻率的一連續波。主機電腦的處理器將 RF 訊號之單一訊號頻率位準的一數值發送至源產生器 102 之數位訊號處理器。在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號

DPS1 的狀態為 S1 或 S2 或 S3，源產生器 102 之數位訊號處理器將單一訊號頻率位準之該數值發送至頻率控制器以儲存在頻率控制器之記憶體裝置中。又，在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號 DPS1 的狀態為 S1 或 S2 或 S3，頻率控制器將該值發送至驅動器系統 124A。驅動器系統 124A 基於單一訊號頻率位準之該值產生電流訊號並將電流訊號提供至源 RF 電源。在接收到電流訊號時，源 RF 電源產生具有狀態 S1 至 S3 之單一訊號頻率位準及複數參數位準的 RF 訊號。

【0071】 類似地，在某些實施例中，使用一個頻率控制器而非偏壓產生器 104 之複數頻率控制器 FCS1B、FCS2B 與 FCS3B 來控制偏壓射頻電源以產生 RF 訊號的單一訊號頻率位準而非狀態 S1 至 S3 之複數頻率位準。單一訊號頻率位準包含 RF 訊號之頻率的一或多個數值且代表頻率的一連續波。主機電腦的處理器將 RF 訊號之單一訊號頻率位準的一數值發送至偏壓產生器 104 的數位訊號處理器。在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號 DPS1 的狀態為 S1 或 S2 或 S3，偏壓產生器 104 之數位訊號處理器將單一訊號頻率位準之該數值發送至頻率控制器以儲存在頻率控制器之記憶體裝置中。又，在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號 DPS1 的狀態為 S1 或 S2 或 S3，頻率控制器將單一訊號頻率位準之該數值發送至驅動器系統 124B。驅動器系統 124B 基於單一訊號頻率位準之該數值產生電流訊號並將電流訊號提供至偏壓射頻電源。在接收到電流訊號時，偏壓射頻電源產生具有狀態 S1 至 S3 之單一訊號頻率位準及複數參數位準的 RF 訊號。

【0072】 在各種實施例中，文中所述的一或多種功能係由源產生器 102 之數位訊號處理器實施而非由主機電腦的處理器實施。例如，參數位準與頻率

位準係儲存在與源產生器 102 之數位訊號處理器耦合的記憶體裝置中並由源產生器 102 之數位訊號處理器自記憶體裝置接取並基於自主機電腦的處理器所接收之數位脈動訊號 DPS1 之狀態為 S1、S2 或 S3 而發送至參數控制器 PRS1S、PRS2S 與 PRS3S 及發送至頻率控制器 FCS1S、FCS2S 與 FCS3S，而非主機電腦的處理器將狀態 S1 至 S3 之參數位準及頻率位準提供至源產生器 102 之數位訊號處理器。又例如，數位脈動訊號 DPS1 係由源產生器 102 之數位訊號處理器產生並藉由耦合源產生器 102 與偏壓產生器 104 之兩數位訊號處理器的傳輸纜線而發送至偏壓產生器 104 的數位訊號處理器，而非數位脈動訊號 DPS1 由主機電腦的處理器所產生。更例如，參數位準與頻率位準係儲存在與偏壓產生器 104 的數位訊號處理器耦合的記憶體裝置中並由偏壓產生器 104 的數位訊號處理器自記憶體裝置接取並基於自主機電腦的處理器所接收之數位脈動訊號 DPS1 之狀態為 S1、S2 或 S3 而發送至參數控制器 PRS1B、PRS2B 與 PRS3B 及發送至頻率控制器 FCS1B、FCS2B 與 FCS3B，而非主機電腦的處理器將狀態 S1 至 S3 之參數位準及頻率位準提供至偏壓產生器 104 的數位訊號處理器。又例如，數位脈動訊號 DPS1 係由偏壓產生器 104 的數位訊號處理器所產生而藉由耦合源產生器 102 與偏壓產生器 104 之兩數位訊號處理器的傳輸纜線而發送至源產生器 102 的數位訊號處理器，而非數位脈動訊號 DPS1 由主機電腦的處理器所產生。

【0073】 在各種實施例中，文中所述的一或多種功能係由主機電腦的處理器實施而非由源產生器 102 之數位訊號處理器及源產生器 102 之控制器 PRS1S、PRS2S、PRS3S、FCS1S、FCS2S 與 FCS3S 實施。例如，主機電腦的處理器係耦合至驅動器系統 124A 而未耦合至源產生器 102 之數位訊號處理

器。文中所述之能源產生器 102 之數位訊號處理器及源產生器 102 之控制器 PRS1S、PRS2S、PRS3S、FCS1S、FCS2S 與 FCS3S 所實施的一或多種功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0074】 類似地，在某些實施例中，文中所述的一或多種功能係由主機電腦的處理器實施而非由偏壓產生器 104 之數位訊號處理器及偏壓產生器 104 之控制器 PRS1B、PRS2B、PRS3B、FCS1B、FCS2B 與 FCS3B 實施。例如，主機電腦的處理器係耦合至驅動器系統 124B 而未耦合至偏壓產生器 104 的數位訊號處理器。文中所述之偏壓產生器 104 之數位訊號處理器及偏壓產生器 104 之控制器 PRS1B、PRS2B、PRS3B、FCS1B、FCS2B 與 FCS3B 所實施的一或多種功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0075】 在各種實施例中，文中所述的一或多種功能係由源產生器 102 之數位訊號處理器實施而非由源產生器 102 之控制器 PRS1S、PRS2S、PRS3S、FCS1S、FCS2S 與 FCS3S 實施。例如，源產生器 102 之數位訊號處理器係耦合至驅動器系統 124A 而未耦合至控制器 PRS1S、PRS2S、PRS3S、FCS1S、FCS2S 與 FCS3S。文中所述之源產生器 102 之控制器 PRS1S、PRS2S、PRS3S、FCS1S、FCS2S 與 FCS3S 所實施的一或多種功能為源產生器 102 之數位訊號處理器所執行的電腦程式或電腦模組。

【0076】 類似地，在某些實施例中，文中所述的一或多種功能係由偏壓產生器 104 的數位訊號處理器實施而非由偏壓產生器 104 之控制器 PRS1B、PRS2B、PRS3B、FCS1B、FCS2B 與 FCS3B 實施。例如，偏壓產生器 104 的數位訊號處理器係耦合至驅動器系統 124B 而未耦合至控制器 PRS1B、PRS2B、PRS3B、FCS1B、FCS2B 與 FCS3B。文中所述之偏壓產生器 104 之控制器

PRS1B、PRS2B、PRS3B、FCS1B、FCS2B 與 FCS3B 所實施的一或多種功能為偏壓產生器 104 的數位訊號處理器所執行的電腦程式或電腦模組。

【0077】 在各種實施例中，文中所述之由源產生器 102 之數位訊號處理器、源產生器 102 之控制器 PRS1S、PRS2S、PRS3S、及用以產生源產生器 102 之單一訊號頻率位準的控制器所實施的一或多種功能係由主機電腦的處理器所實施。例如，主機電腦的處理器係耦合至驅動器系統 124A 而未耦合至源產生器 102 之數位訊號處理器。文中所述之由源產生器 102 之數位訊號處理器、源產生器 102 之控制器 PRS1S、PRS2S、PRS3S、及用以產生源產生器 102 之單一訊號頻率位準的控制器所實施的一或多種功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0078】 類似地，在某些實施例中，文中所述之由偏壓產生器 104 的數位訊號處理器、偏壓產生器 104 之控制器 PRS1B、PRS2B 與 PRS3B、及用以產生偏壓產生器 104 之單一訊號頻率位準的控制器所實施的一或多種功能係由主機電腦的處理器所實施。例如，主機電腦的處理器係耦合至驅動器系統 124B 而未耦合至偏壓產生器 104 的數位訊號處理器。文中所述之由偏壓產生器 104 的數位訊號處理器、偏壓產生器 104 之控制器 PRS1B、PRS2B 與 PRS3B、及用以產生偏壓產生器 104 之單一訊號頻率位準的控制器所實施的一或多種功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0079】 在各種實施例中，文中所述的一或多種功能係由源產生器 102 之數位訊號處理器實施而非由源產生器 102 之控制器 PRS1S、PRS2S 與 PRS3S 及用以產生源產生器 102 之單一訊號頻率位準的控制器實施。例如，源產生器 102 之數位訊號處理器係耦合至驅動器系統 124A 而未耦合至源產生器 102 之控

制器 PRS1S、PRS2S、PRS3S 且未耦合至用以產生源產生器 102 之單一訊號頻率位準的控制器。文中所述之由源產生器 102 之控制器 PRS1S、PRS2S 與 PRS3S 及用以產生源產生器 102 之單一訊號頻率位準的控制器所實施的功能為源產生器 102 之數位訊號處理器所執行的電腦程式或電腦模組。

【0080】 類似地，在某些實施例中，文中所述的一或多種功能係由偏壓產生器 104 的數位訊號處理器實施而非由偏壓產生器 104 之控制器 PRS1B、PRS2B 與 PRS3B 及用以產生偏壓產生器 104 之單一訊號頻率位準的控制器實施。例如，偏壓產生器 104 的數位訊號處理器係耦合至驅動器系統 124B 而未耦合至偏壓產生器 104 之控制器 PRS1B、PRS2B 與 PRS3B 且未耦合至用以產生偏壓產生器 104 之單一訊號頻率位準的控制器。文中所述之由偏壓產生器 104 之控制器 PRS1B、PRS2B 與 PRS3B 及用以產生偏壓產生器 104 之單一訊號頻率位準的控制器所實施的功能為偏壓產生器 104 的數位訊號處理器所執行的電腦程式或電腦模組。

【0081】 圖 1B 為系統 150 之一實施例圖，其例示產生三個以上狀態以達成高深寬比介電質蝕刻。系統 150 包含源產生器 102、偏壓產生器 104、主機電腦、RF 纜線 120A 與 120B、阻抗匹配電路 IMC 152、RF 傳輸線 122B 及電漿室 110。阻抗匹配電路 IMC 152 係耦合至 RF 纜線 120A 與 120B 且亦耦合至 RF 傳輸線 122B。上電極 116 係耦合至地電位如接地。

【0082】 阻抗匹配電路 IMC 152 接收源產生器 102 所產生之 RF 訊號 116A 及偏壓產生器 104 所產生之 RF 訊號 116B，匹配耦合至阻抗匹配電路 IMC 152 之輸出之負載的阻抗與耦合至阻抗匹配電路 IMC 152 之輸入之源的阻抗，以產生經修改的 RF 訊號 154。例如，阻抗匹配電路 IMC 152 匹配 RF 傳輸

線 122B 及電漿室 110 之阻抗與 RF 纜線 120A 及 120B、源產生器 102 及偏壓產生器 104 之阻抗。經修改的 RF 訊號 154 為阻抗匹配電路 IMC 152 之輸出的一實例。下電極 114 接收經修改的 RF 訊號 154。當將一或多種氣體以及經修改的 RF 訊號 154 供給至電漿室 110 時，在電漿室 110 的間隙 118 內擊發或維持電漿以處理基板 S。

【0083】 在各種實施例中，下電極 112 接地而上電極 116 係耦合至 RF 傳輸線 122B 以接收經修改的 RF 訊號 154，而非上電極 116 接地。

【0084】 圖 2A 顯示圖 202、204 及 206 之實施例，例示圖 1A 與 1B 之偏壓產生器 104 所產生之 RF 訊號 116B 的參數 208A 以及圖 1A 與 1B 之源產生器 102 所產生之 RF 訊號 116A 的參數 208B。圖 202 繪示參數 208A 與 208B 對時間的關係。又，圖 204 繪示數位脈動訊號 210 之邏輯位準對時間 t 的關係，圖 206 繪示時脈訊號 212 之邏輯位準對時間 t 的關係。數位脈動訊號 210 為圖 1 之數位脈動訊號 DPS1 的一實例。

【0085】 時脈訊號 212 係由圖 1 之主機電腦的處理器所產生。例如，時脈訊號 212 係由主機電腦的處理器內之時脈訊號源如石英振盪器所產生。時脈訊號 212 在邏輯位準 1 與邏輯位準 0 之交替。例如，時脈訊號 212 在時間 t3 與時間 t0 之間的時間期間內係位於邏輯位準 1 處。時間 t3 與時間 t0 之間的時間期間包含時間 t1 與時間 t2。時脈訊號 212 在時間 t3 處自邏輯位準 1 轉變至邏輯位準 0 並在時間 t6 與時間 t3 之間的時間期間內維持在邏輯位準 0 處。時間 t6 與時間 t3 之間的時間期間包含時間 t4 與時間 t5。時脈訊號 212 在時間 t6 處自邏輯位準 0 轉變至邏輯位準 1 並在時間 t9 與時間 t6 之間的時間期間內維持在邏輯位準 1 處。時間 t9 與時間 t6 之間的時間期間包含時間 t7 與時間 t8。時脈訊

號 212 在時間 t9 處自邏輯位準 1 轉變至邏輯位準 0 並在時間 t12 與時間 t9 之間的時間期間內維持在邏輯位準 0 處。時間 t12 與時間 t9 之間的時間期間包含時間 t10 與時間 t11。時脈訊號 212 在時間 t12 處自邏輯位準 0 轉變至邏輯位準 1。

【0086】數位脈動訊號 210 在時間 t0 處自邏輯位準 0 轉變至邏輯位準 2 並在介於時間 t3 與時間 t0 之間之時間期間的狀態 S1 發生維持於邏輯位準 2 處。數位脈動訊號 210 在時間 t3 處自邏輯位準 2 轉變至邏輯位準 1 並在介於時間 t4 與時間 t3 之間之時間期間的狀態 S2 發生維持於邏輯位準 1 處。數位脈動訊號 210 在時間 t4 處自邏輯位準 1 轉變至邏輯位準 0 並在介於時間 t6 與時間 t4 之間之時間期間的狀態 S3 發生維持於邏輯位準 0 處。數位脈動訊號 210 在時間 t6 處自邏輯位準 0 轉變至邏輯位準 2 並在介於時間 t6 與時間 t9 之間之時間期間的另一狀態 S1 發生維持於邏輯位準 2 處。數位脈動訊號 210 在時間 t9 處自邏輯位準 2 轉變至邏輯位準 1 並在介於時間 t9 與時間 t10 之間之時間期間的另一狀態 S2 發生維持於邏輯位準 1 處。數位脈動訊號 210 在時間 t10 處自邏輯位準 1 轉變至邏輯位準 0 並在介於時間 t10 與時間 t12 之間之時間期間的另一狀態 S3 發生維持於邏輯位準 0 處。數位脈動訊號 210 在時間 t12 處自邏輯位準 0 轉變至邏輯位準 2。

【0087】應注意，在介於時間 t3 與 t0 之間的時間期間內數位脈動訊號 210 提供狀態 S1 發生、在介於時間 t3 與 t4 之間的時間期間內數位脈動訊號 210 提供狀態 S2 發生、在介於時間 t4 與 t6 之間的時間期間內數位脈動訊號 210 提供狀態 S3 發生。類似地，在介於時間 t6 與 t9 之間的時間期間內數位脈動訊號 210 提供另一狀態 S1 發生、在介於時間 t9 與 t10 之間的時間期間內數位脈動訊

號 210 提供另一狀態 S2 發生、在介於時間 t10 與 t12 之間的時間期間內數位脈動訊號 210 提供另一狀態 S3 發生。

【0088】參數 208A 在數位脈動訊號 210 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR7 處。參數 208A 實質上在時間 t3 處自參數位準 PR7 轉變為參數位準 PR3，並在數位脈動訊號 210 具有狀態 S2 之時間 t3 與 t4 之間的時間期間內係位於參數位準 PR3 處。參數 208A 實質上在時間 t4 處自參數位準 PR3 轉變為參數位準 PR0.1，並在數位脈動訊號 210 具有狀態 S3 之時間 t4 與 t6 之間的時間期間內係位於參數位準 PR0.1 處。參數 208A 實質上在時間 t6 處自參數位準 PR0.1 轉變為參數位準 PR7，並在數位脈動訊號 210 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內係位於參數位準 PR7 處。

【0089】參數 208A 實質上在時間 t9 處自參數位準 PR7 轉變為參數位準 PR3，並在數位脈動訊號 210 具有狀態 S2 之時間 t9 與 t10 之間的時間期間內係位於參數位準 PR3 處。參數 208A 實質上在時間 t10 處自參數位準 PR3 轉變為參數位準 PR0.1，並在數位脈動訊號 210 具有狀態 S3 之時間 t10 與 t12 之間的時間期間內係位於參數位準 PR0.1 處。參數 208A 實質上在時間 t12 處自參數位準 PR0.1 轉變為參數位準 PR7。

【0090】參數 208B 在數位脈動訊號 210 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR4 處。參數 208B 實質上在時間 t3 處自參數位準 PR4 轉變為參數位準 PR2，並在數位脈動訊號 210 具有狀態 S2 之時間 t3 與 t4 之間的時間期間內係位於參數位準 PR2 處。參數 208B 實質上在時間 t4 處自參數位準 PR2 轉變為參數位準 PR0.1，並在數位脈動訊號 210 具有狀態 S3 之時間 t4 與 t6 之間的時間期間內係位於參數位準 PR0.1 處。參數 208B 實質上在時

間 t6 處自參數位準 PR0.1 轉變為參數位準 PR4，並在數位脈動訊號 210 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內係位於參數位準 PR4 處。

【0091】參數 208B 實質上在時間 t9 處自參數位準 PR4 轉變為參數位準 PR2，並在數位脈動訊號 210 具有狀態 S2 之時間 t9 與 t10 之間的時間期間內係位於參數位準 PR2 處。參數 208B 實質上在時間 t10 處自參數位準 PR2 轉變為參數位準 PR0.1，並在數位脈動訊號 210 具有狀態 S3 之時間 t10 與 t12 之間的時間期間內係位於參數位準 PR0.1 處。參數 208B 實質上在時間 t12 自參數位準 PR0.1 轉變為參數位準 PR4。

【0092】應注意，在某些實施例中，實質上在一時間處自一參數位準轉變為另一參數位準係自該時間的預定時間期間內發生。例如，當自時間 t3 之預定數目之微秒內或預定分量的毫秒內發生轉變時，實質上在時間 t3 處發生自第一參數位準轉變為第二參數位準的轉變。又例如，當在時間 t3 處發生轉變時，實質上在時間 t3 處發生自第一參數位準轉變至第二參數位準的轉變。

【0093】更應明白，參數位準 PR0.1 係高於 PR0 之參數位準如零參數位準。參數位準 PR1 係高於參數位準 PR0.1 且參數位準 PR2 係高於參數位準 PR1。參數位準 PR3 係高於參數位準 PR2 且參數位準 PR4 係高於參數位準 PR3。參數位準 PR5 係高於參數位準 PR4 且參數位準 PR6 係高於參數位準 PR5。參數位準 PR7 係高於參數位準 PR6。

【0094】亦應明白，時脈訊號 212 的時間 t 被分割為複數相等的區段。例如，時間 t1 與 t2 之間的時間期間係等於時間 t0 與 t1 之間的時間期間。類似地，時間 t2 與 t3 之間的時間期間係等於時間 t1 與 t2 之間的時間期間、時間 t3 與 t4 之間的時間期間係等於時間 t2 與 t3 之間的時間期間、時間 t4 與 t5 之間的

時間期間係等於時間 t3 與 t4 之間的時間期間、時間 t5 與 t6 之間的時間期間係等於時間 t4 與 t5 之間的時間期間。又，時間 t6 與 t7 之間的時間期間係等於時間 t5 與 t6 之間的時間期間、時間 t7 與 t8 之間的時間期間係等於時間 t6 與 t7 之間的時間期間、時間 t8 與 t9 之間的時間期間係等於時間 t7 與 t8 之間的時間期間、時間 t9 與 t10 之間的時間期間係等於時間 t8 與 t9 之間的時間期間。又，時間 t10 與 t11 之間的時間期間係等於時間 t9 與 t10 之間的時間期間、時間 t11 與 t12 之間的時間期間係等於時間 t10 與 t11 之間的時間期間。

【0095】 在各種實施例中，參數 208A 實質上在時間 t9 處自參數位準 PR7 轉變為介於參數位準 PR0.1 與 PR7 之間的另一參數位準且在狀態 S2 期間維持在該另一參數位準處。又，參數 208A 實質上在時間 t4 或實質上在時間 t10 處自參數位準 PR3 轉變為例如介於參數位準 PR0.1 與 PR3 之間的另一參數位準或參數位準 PR0 且在狀態 S3 期間維持在該另一參數位準處。

【0096】 在某些實施例中，參數 208B 實質上在時間 t3 或實質上在時間 t9 處自參數位準 PR4 轉變為介於參數位準 PR0.1 與 PR4 之間的另一參數位準且在狀態 S2 期間維持在該另一參數位準處。又，參數 208B 實質上在時間 t4 或實質上在時間 t10 處自參數位準 PR2 轉變為例如介於參數位準 PR0.1 與 PR2 之間的另一參數位準或參數位準 PR0 且在狀態 S3 期間維持在該另一參數位準處。

【0097】 在某些實施例中，主機電腦的處理器修改數位脈動訊號 210 以改變數位脈動訊號 210 之狀態 S2 之持續時間。例如，主機電腦的處理器修改數位脈動訊號 210，使邏輯位準 1 的持續時間久於時間 t4 與 t3 之間的時間期間。例如，主機電腦的處理器修改數位脈動訊號 210，使邏輯位準 1 自時間 t3 持續至介於時間 t4 與時間 t5.5 之間的一時間。時間 t5.5 係小於時間 t6 且大於時

間 t_5 。數位脈動訊號 210 之狀態 S3 減少為時間 $t_{5.5}$ 與 t_6 之間的時間期間。又例如，主機電腦的處理器修改數位脈動訊號 210，使邏輯位準 1 自介於時間 $t_{1.5}$ 與時間 t_3 之間的一時間持續至時間 t_4 。時間 $t_{1.5}$ 係小於時間 t_2 且大於時間 t_1 。數位脈動訊號 210 之狀態 S1 減少為時間 t_0 與 $t_{1.5}$ 之間的時間期間。又更例如，主機電腦的處理器修改數位脈動訊號 210，使邏輯位準 1 持續自時間 $t_{1.5}$ 至時間 $t_{5.5}$ 之間的時間期間。又例如，數位脈動訊號 DPS1 具有狀態 S2 之時間期間至多是時間 t_0 與 t_6 之間之時間期間及時間 t_6 與 t_{12} 之間之時間期間的 30%。又例如，數位脈動訊號 DPS1 具有狀態 S2 之時間期間的範圍係自時間 t_0 與 t_6 之間之時間期間及時間 t_6 與 t_{12} 之間之時間期間的 1%至 30%(包含端點)。又例如，數位脈動訊號 DPS1 具有狀態 S2 之時間期間的範圍係自時間 t_0 與 t_6 之間之時間期間及時間 t_6 與 t_{12} 之間之時間期間的 1%至 20%(包含端點)。

【0098】圖 2B 為圖 250 之一實施例及圖 252 之一實施例，圖 250 例示另一數位脈動訊號 254，及圖 252 例示圖 1A 與 1B 之偏壓產生器 104 所產生之 RF 訊號 116B 的參數 256A 及圖 1A 與 1B 之源產生器 102 所產生之 RF 訊號 116A 的另一參數 256B。圖 250 繪示數位脈動訊號 254 之邏輯位準對時間 t 的關係。數位脈動訊號 254 為圖 1 之數位脈動訊號 DPS1 的一實例。圖 252 繪示 256A 與 256B 對時間 t 的關係。參數 256A 係與圖 2A 之時脈訊號 212 同步並與數位脈動訊號 254 同步。類似地，參數 256B 係與圖 2A 之時脈訊號 212 同步並與數位脈動訊號 254 同步。

【0099】數位脈動訊號 254 在時間 t_0 處自邏輯位準 0 轉變至邏輯位準 2 並在介於數位脈動訊號 254 之時間 t_3 與時間 t_0 之間之時間期間的狀態 S1 發生

維持於邏輯位準 2 處。數位脈動訊號 254 在時間 t3 處自邏輯位準 1 轉變至邏輯位準 0 並在介於數位脈動訊號 254 之時間 t5 與時間 t3 之間之時間期間的狀態 S2 發生維持於邏輯位準 1 處。數位脈動訊號 254 在時間 t5 處自邏輯位準 1 轉變至邏輯位準 0 並在介於數位脈動訊號 254 之時間 t6 與時間 t5 之間之時間期間的狀態 S3 發生維持於邏輯位準 0 處。數位脈動訊號 254 在時間 t6 處自邏輯位準 0 轉變至邏輯位準 2 並在介於數位脈動訊號 254 之時間 t6 與時間 t9 之間之時間期間的另一狀態 S1 發生維持於邏輯位準 2 處。數位脈動訊號 254 在時間 t9 處自邏輯位準 2 轉變至邏輯位準 1 並在介於數位脈動訊號 254 之時間 t9 與時間 t11 之間之時間期間的另一狀態 S2 發生維持於邏輯位準 1 處。數位脈動訊號 254 在時間 t11 處自邏輯位準 1 轉變至邏輯位準 0 並在介於數位脈動訊號 254 之時間 t11 與時間 t12 之間之時間期間的另一狀態 S3 發生維持於邏輯位準 0 處。數位脈動訊號 254 在時間 t12 處自邏輯位準 0 轉變至邏輯位準 2。

【0100】應注意，在介於時間 t3 與 t0 之間的時間期間內數位脈動訊號 254 提供狀態 S1 發生、在介於時間 t3 與 t5 之間的時間期間內數位脈動訊號 254 提供狀態 S2 發生、在介於時間 t5 與 t6 之間的時間期間內數位脈動訊號 254 提供狀態 S3 發生。類似地，在介於時間 t6 與 t9 之間的時間期間內數位脈動訊號 254 提供另一狀態 S1 發生、在介於時間 t9 與 t11 之間的時間期間內數位脈動訊號 254 提供另一狀態 S2 發生、在介於時間 t11 與 t12 之間的時間期間內數位脈動訊號 254 提供另一狀態 S3 發生。

【0101】參數 256A 在數位脈動訊號 254 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR7 處。參數 256A 實質上在時間 t3 處自參數位準 PR7 轉變為參數位準 PR0.1，並在數位脈動訊號 254 具有狀態 S2 之時間 t3

與 t5 之間的時間期間內維持於參數位準 PR0.1 處。參數 256A 實質上在時間 t5 處自參數位準 PR0.1 轉變為參數位準 PR3，並在數位脈動訊號 254 具有狀態 S3 之時間 t5 與 t6 之間的時間期間內維持於參數位準 PR3 處。參數 256A 實質上在時間 t6 處自參數位準 PR3 轉變為參數位準 PR7，並在數位脈動訊號 254 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR7 處。

【0102】參數 256A 實質上在時間 t9 處自參數位準 PR7 轉變為參數位準 PR0.1，並在數位脈動訊號 254 具有狀態 S2 之時間 t9 與 t11 之間的時間期間內維持於參數位準 PR0.1 處。參數 256A 實質上在時間 t11 處自參數位準 PR0.1 轉變為參數位準 PR3，並在數位脈動訊號 254 具有狀態 S3 之時間 t11 與 t12 之間的時間期間內係位於參數位準 PR3 處。參數 256A 實質上在時間 t12 處自參數位準 PR3 轉變為參數位準 PR7。

【0103】參數 256B 在數位脈動訊號 254 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR4 處。參數 256B 實質上在時間 t3 處自參數位準 PR4 轉變為參數位準 PR0.1，並在數位脈動訊號 254 具有狀態 S2 之時間 t3 與 t5 之間的時間期間內係位於參數位準 PR0.1 處。參數 256B 實質上在時間 t5 處自參數位準 PR0.1 轉變為參數位準 PR2，並在數位脈動訊號 254 具有狀態 S3 之時間 t5 與 t6 之間的時間期間內維持於參數位準 PR2 處。參數 256B 實質上在時間 t6 處自參數位準 PR2 轉變為參數位準 PR4，並在數位脈動訊號 254 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR4 處。

【0104】參數 256B 實質上在時間 t9 處自參數位準 PR4 轉變為參數位準 PR0.1，並在數位脈動訊號 254 具有狀態 S2 之時間 t9 與 t11 之間的時間期間內維持於參數位準 PR0.1 處。參數 256B 實質上在時間 t11 處自參數位準 PR0.1 轉

變為參數位準 PR2，並在數位脈動訊號 254 具有狀態 S3 之時間 t11 與 t12 之間的時間期間內維持於參數位準 PR2 處。參數 256B 實質上在時間 t12 自參數位準 PR2 轉變為參數位準 PR4。

【0105】在各種實施例中，參數 256A 實質上在時間 t3 處自參數位準 PR7 轉變為介於參數位準 PR0.1 與 PR3 之間的另一參數位準且在狀態 S2 期間維持在該另一參數位準處。又，參數 256A 實質上在時間 t5 或實質上在時間 t11 處自參數位準 PR0.1 轉變為介於參數位準 PR0.1 與 PR7 之間的另一參數位準且在狀態 S3 期間維持在該另一參數位準處。

【0106】在某些實施例中，參數 256B 實質上在時間 t3 或實質上在時間 t9 處自參數位準 PR4 轉變為介於參數位準 PR0.1 與 PR4 之間的另一參數位準且在狀態 S2 期間維持在該另一參數位準處。又，參數 256B 參數 208B 實質上在時間 t5 或實質上在時間 t11 處自參數位準 PR0.1 轉變為介於參數位準 PR0.1 與 PR4 之間的另一參數位準且在狀態 S3 期間維持在該另一參數位準處。

【0107】在某些實施例中，主機電腦的處理器修改數位脈動訊號 254 以改變數位脈動訊號 254 之狀態 S2 之持續時間。例如，主機電腦的處理器修改數位脈動訊號 254，使邏輯位準 1 的持續時間久於或短於時間 t3 與 t5 之間的時間期間。例如，主機電腦的處理器修改數位脈動訊號 254，使邏輯位準 1 自時間 t3 持續至介於時間 t5 與時間 t5.5 之間的一時間。時間 t5.5 係小於時間 t6 且大於時間 t5。數位脈動訊號 254 之狀態 S3 減少為時間 t5.5 與 t6 之間的時間期間。又例如，主機電腦的處理器修改數位脈動訊號 254，使邏輯位準 1 自介於時間 t0.5 與時間 t3 之間的一時間持續至時間 t5。時間 t0.5 係小於時間 t1 且大於時間 t0。數位脈動訊號 254 之狀態 S1 減少為時間 t0 與 t0.5 之間的時間期

間。又更例如，主機電腦的處理器修改數位脈動訊號 254，使邏輯位準 1 持續自時間 t0.5 至時間 t5.5 之間的時間期間。

【0108】 在各種實施例中，在數位脈動訊號 DPS1 之狀態 S1 期間 RF 訊號 116A 與 116B 之每一者的參數位準係高於 1 千瓦(kW)且電漿室 110 內之離子的離子能量係高於 2.5 千電子伏特(keV)。又，在數位脈動訊號 DPS1 之狀態 S1 期間電漿室 110 內的壓力係低於 30 毫托(mTorr)以獲得窄的離子角度分佈函數。在狀態 S2 期間，電漿室 110 內之離子的離子能量係介於 1.5 keV 與 2.5 keV 之間。又，在狀態 S3 期間，在數位脈動訊號 DPS1 之狀態 S3 期間 RF 訊號 116A 與 116B 之每一者的參數位準係低於 1 千瓦且電漿室 110 內之離子的離子能量係低於 100 eV。

【0109】 在數個實施例中，提供表格例示數位脈動訊號DPS1之狀態S1至S3之源產生器102與偏壓產生器104的各種功率位準範圍。

表 I

狀態	偏壓產生器 104 的功率位準範圍	源產生器 102 的功率位準範圍
S1	5 kW 至 100 kW	2 kW 至 20 kW
S2	介於狀態 S1 之功率與狀態 S3 之功率之間	小於或等於狀態 S1 之功率且大於或等於零
S3	0 kW 至小於 2 kW	0 kW 至小於 2 kW

如表I中所示，在數位脈動訊號DPS1之狀態S1期間偏壓產生器104所產生之RF訊號116B的參數位準範圍係自5 kW至100 kW(含端點)。又，在數位脈動訊號DPS1之狀態S1期間源產生器102所產生之RF訊號116A的參數位準範圍係自

2 kW至20 kW(含端點)。又，在數位脈動訊號DPS1之狀態S3期間偏壓產生器104所產生之RF訊號116B的參數位準範圍係自0 kW至小於2 kW(含端點)。又，在數位脈動訊號DPS1之狀態S3期間源產生器102所產生之RF訊號116A的參數位準範圍係自0 kW至2 kW(含端點)。又，在數位脈動訊號DPS1之狀態S2期間偏壓產生器104所產生之RF訊號116B的參數位準範圍係介於狀態S1期間RF訊號116B之參數位準之一數值與狀態S3期間RF訊號116B之參數位準之一數值之間。又，在數位脈動訊號DPS1之狀態S2期間源產生器102所產生之RF訊號116A的參數位準範圍係自零至狀態S1之RF訊號116A之參數位準之一數值(含端點)。

【0110】圖3A為系統300之一實施例圖，其例示產生四狀態以達成高深寬比介電質蝕刻。系統300包含源產生器302及偏壓產生器304。源產生器302為源射頻產生器的一實例而偏壓產生器304為偏壓RF產生器之一實例。系統300更包含主機電腦、源阻抗匹配電路IMCS 106、偏壓阻抗匹配電路IMCB 108及電漿室110。

【0111】源產生器302包含數位訊號處理器(DSPS)、參數控制器PRS1S、PRS2S與PRS3S, 頻率控制器FCS1S、FCS2S與FCS3S、驅動器系統306A及源射頻電源。又，源產生器302更包含參數控制器PRS4S及頻率控制器FCS4S。源產生器302的數位訊號處理器係耦合至參數控制器PRS1S、PRS2S、PRS3S與PRS4S且亦耦合至頻率控制器FCS1S、FCS2S、FCS3S與FCS4S。又，源產生器302之參數控制器PRS1S、PRS2S、PRS3S與PRS4S及頻率控制器FCS1S、FCS2S、FCS3S與FCS4S係耦合至驅動器系統306A。驅動器系統306A係耦合至源產生器302之源射頻電源。

【0112】 源產生器 302 所具有之操作頻率係與圖 1A 與 1B 之源產生器 102 的操作頻率相同，偏壓產生器 304 所具有之操作頻率係與圖 1A 與 1B 之偏壓產生器 104 的操作頻率相同例如，源產生器 302 為 X RF 產生器而偏壓產生器 304 為 Y RF 產生器。X 與 Y RF 產生器兩者皆已於上面說明。

【0113】 類似地，偏壓產生器 304 包含數位訊號處理器(DSPB)、參數控制器 PRS1B、PRS2B 與 PRS3B、頻率控制器 FCS1B、FCS2B 與 FCS3B、驅動器系統 306B 及偏壓 RF 電源。又，偏壓產生器 304 更包含參數控制器 PRS4B 及頻率控制器 FCS4B。偏壓產生器 304 的數位訊號處理器係耦合至參數控制器 PRS1B、PRS2B、PRS3B 與 PRS4B 且亦耦合至頻率控制器 FCS1B、FCS2B、FCS3B 及 FCS4B。又，參數控制器 PRS1B、PRS2B、PRS3B 與 PRS4B 及頻率控制器 FCS1B、FCS2B、FCS3B 及 FCS4B 係耦合至驅動器系統 306B。驅動器系統 306B 係耦合至偏壓產生器 304 之偏壓射頻電源。源產生器 302 的數位訊號處理器係藉由傳輸纜線 TCS 而耦合至主機電腦的處理器，偏壓產生器 304 之數位訊號處理器 304 係藉由傳輸纜線 TCB 而耦合至主機電腦的處理器。

【0114】 耦合至阻抗匹配電路 IMCS 106 之輸入的源包含 RF 纜線 120A 及源產生器 302。耦合至阻抗匹配電路 IMCS 106 之輸出的負載包含 RF 傳輸線 122A 及電漿室 110。又，耦合至阻抗匹配電路 IMCB 108 之輸入的源包含 RF 纜線 120B 及偏壓產生器 304。耦合至阻抗匹配電路 IMCB 108 之輸出的負載包含 RF 傳輸線 122B 及電漿室 110。

【0115】 主機電腦的處理器產生數位脈動訊號 DPS2 並藉由傳輸纜線 TCS 將其發送至源產生器 302 的數位訊號處理器並藉由傳輸纜線 TCB 將數位脈動訊

號 DPS2 發送至偏壓產生器 304 的數位訊號處理器。數位脈動訊號 DPS2 具有複數狀態 S1、S2、S3 及 S4 且週期性地在狀態 S1、S2、S3 及 S4 之間轉變。

【0116】除了利用與發送數位脈動訊號 DPS1 之狀態 S1 至 S3 之參數位準之方式相同的方式將數位脈動訊號 DPS2 之狀態 S1 至 S3 之複數參數位準發送至源產生器 302 及偏壓產生器 304 之數位訊號處理器之外，主機電腦的處理器將數位脈動訊號 DPS2 之狀態 S4 之參數位準發送至源產生器 302 的數位訊號處理器並將數位脈動訊號 DPS2 之狀態 S4 之參數位準發送至偏壓產生器 304 的數位訊號處理器。又，除了利用與發送數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準之方式相同的方式將數位脈動訊號 DPS2 之狀態 S1 至 S3 之複數頻率位準發送至源產生器 302 及偏壓產生器 304 之數位訊號處理器之外，主機電腦的處理器將數位脈動訊號 DPS2 之狀態 S4 之頻率位準發送至源產生器 302 的數位訊號處理器並將數位脈動訊號 DPS2 之狀態 S4 之頻率位準發送至偏壓產生器 304 的數位訊號處理器。

【0117】主機電腦的處理器自主機電腦之記憶體裝置辨識出發送至源產生器 302 及偏壓產生器 304 之數位訊號處理器之數位脈動訊號 DPS2 之狀態 S1 至 S4 之參數位準與頻率位準。在接收到數位脈動訊號 DPS2 之狀態 S1 至 S4 之參數位準與頻率位準時，除了將數位脈動訊號 DPS2 之狀態 S1 至 S3 之參數位準發送至源產生器 302 之對應參數控制器 PRS1S 至 PRS3S 並將數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準發送至源產生器 302 之對應頻率控制器 FCS1S 至 FCS3S 以外，源產生器 302 的數位訊號處理器將狀態 S4 之參數位準發送至參數控制器 PRS4S 以儲存在參數控制器 PRS4S 之記憶體裝置中並發送狀態 S4 之頻率位準至頻率控制器 FCS4S 以儲存在頻率控制器 FCS4S 之記憶體

裝置中。類似地，在接收到數位脈動訊號 DPS2 之狀態 S1 至 S4 之參數位準與頻率位準時，除了將數位脈動訊號 DPS2 之狀態 S1 至 S3 之參數位準發送至偏壓產生器 302 的對應參數控制器 PRS1B 至 PRS3B 並將數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準發送至偏壓產生器 302 之對應頻率控制器 FCS1B 至 FCS3B 以外，偏壓產生器 304 的數位訊號處理器將狀態 S4 之參數位準發送至參數控制器 PRS4B 以儲存在參數控制器 PRS4B 之記憶體裝置中並將狀態 S4 之頻率位準發送至頻率控制器 FCS4B 以儲存在頻率控制器 FCS4B 之記憶體裝置中。

【0118】源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者判斷數位脈動訊號 DPS2 是否具有狀態 S1、S2、S3 或 S4。例如，源產生器 302 及偏壓產生器 304 之數位訊號處理器之各者判斷數位脈動訊號 DPS2 之邏輯位準是否高於第一預定閾值、等於第一預定閾值、等於第二預定閾值、或低於第二預定閾值。第二預定閾值係低於第一預定閾值。在判斷出數位脈動訊號 DPS2 之邏輯位準係高於第一預定閾值時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 的發生狀態為 S1。另一方面，在判斷出數位脈動訊號 DPS2 之邏輯位準係等於第一預定閾值時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 的發生狀態為 S2。又，在判斷出數位脈動訊號 DPS2 之邏輯位準係等於第二預定閾值時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 的發生狀態為 S3。在判斷出數位脈動訊號 DPS2 之邏輯位準係低於第二預定閾值時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 的發生狀態為 S4。又例如，源產生器 302 及偏

壓產生器 304 之數位訊號處理器的每一者判斷數位脈動訊號 DPS2 之邏輯位準是否為三。在判斷出數位脈動訊號 DPS2 之邏輯位準為三時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 之發生狀態為 S1。類似地，在判斷出數位脈動訊號 DPS2 之邏輯位準為二時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 之發生狀態為 S2。又，在判斷出數位脈動訊號 DPS2 之邏輯位準為一時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 之發生狀態為 S3。在判斷出數位脈動訊號 DPS2 之邏輯位準為零時，源產生器 302 及偏壓產生器 304 之數位訊號處理器的每一者辨識出數位脈動訊號 DPS2 之發生狀態為 S4。

【0119】在數位脈動訊號 DPS2 具有發生狀態 S1、S2 及 S3 的時間期間內，以上述參考圖 1A 之源產生器 102 之數位訊號處理器的方式，源產生器 302 的數位訊號處理器將代表數位脈動訊號 DPS2 之狀態 S1、S2 及 S3 的複數訊號發送至源產生器 302 之對應參數控制器 PRS1S、PRS2S 與 PRS3S 及源產生器 302 之對應頻率控制器 FCS1S、FCS2S 與 FCS3S。又，在數位脈動訊號 DPS2 具有數位脈動訊號 DPS2 之發生狀態 S4 的時間期間內，源產生器 302 的數位訊號處理器將代表狀態 S4 的訊號發送至源產生器 302 之參數控制器 PRS4S 並將代表狀態 S4 的訊號發送至源產生器 302 之頻率控制器 FCS4S。

【0120】類似地，在數位脈動訊號 DPS2 具有數位脈動訊號 DPS2 之發生狀態 S1、S2 及 S3 的時間期間內，以上述參考圖 1A 之偏壓產生器 104 之數位訊號處理器的方式，偏壓產生器 304 的數位訊號處理器將代表數位脈動訊號 DPS2 之狀態 S1、S2 及 S3 的複數訊號發送至偏壓產生器 304 之對應參數控制

器 PRS1B、PRS2B 與 PRS3B 及偏壓產生器 304 之對應頻率控制器 FCS1B、FCS2B 與 FCS3B。又，在數位脈動訊號 DPS2 具有數位脈動訊號 DPS2 之發生狀態 S4 的時間期間內，偏壓產生器 304 的數位訊號處理器將代表狀態 S4 的訊號發送至偏壓產生器 304 之參數控制器 PRS4B 並將代表狀態 S4 的訊號發送至偏壓產生器 304 之頻率控制器 FCS4B。

【0121】在數位脈動訊號 DPS2 發生狀態 S1 至 S3 的時間期間內，在接收到代表數位脈動訊號 DPS2 之狀態 S1 至 S3 之訊號時，以上述參考圖 1A 之源產生器 102 的方式，源產生器 302 之參數控制器 PRS1S、PRS2S 與 PRS3S 自源產生器 302 之參數控制器 PRS1S 之對應記憶體裝置接取數位脈動訊號 DPS2 之狀態 S1 至 S3 之對應參數位準，然後將數位脈動訊號 DPS2 之狀態 S1 至 S3 之參數位準發送至源產生器 302 之驅動器系統 306A。類似地，在數位脈動訊號 DPS2 發生狀態 S1 至 S3 的時間期間內，在接收到代表狀態 S1 至 S3 之訊號時，以上述參考圖 1A 之源產生器 102 的方式，源產生器 302 之頻率控制器 FCS1S、FCS2S 與 FCS3S 自源產生器 302 之頻率控制器 FCS1S、FCS2S 與 FCS3S 之對應記憶體裝置接取之數位脈動訊號 DPS2 之狀態 S1 至 S3 之對應頻率位準，然後將數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準發送至源產生器 302 之驅動器系統 306A。

【0122】又，在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，在接收到代表狀態 S4 之訊號時，參數控制器 PRS4S 自參數控制器 PRS4S 之對應記憶體裝置接取狀態 S4 之參數位準並將狀態 S4 之參數位準發送至源產生器 302 之驅動器系統 306A。類似地，在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，在接收到代表狀態 S4 之訊號時，頻率控制器 FCS4S 自頻率控制器 FCS4S

之對應記憶體裝置接取狀態 S4 之頻率位準並將狀態 S4 之頻率位準發送至源產生器 302 之驅動器系統 306A。

【0123】在數位脈動訊號 DPS2 發生狀態 S1 至 S3 的時間期間內，源產生器 302 之驅動器系統 306A 接收數位脈動訊號 DPS2 之狀態 S1 至 S3 之參數位準及數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準的方式係與上述源產生器 102 之驅動器系統 124A 接收數位脈動訊號 DPS1 之狀態 S1 至 S3 之參數位準及數位脈動訊號 DPS1 之狀態 S1 至 S3 之頻率位準的方式相同。又，在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，源產生器 302 之驅動器系統 306A 接收狀態 S4 之參數位準與狀態 S4 之頻率位準。

【0124】在接收到數位脈動訊號 DPS2 之狀態 S1 之參數位準及數位脈動訊號 DPS2 之狀態 S1 之頻率位準時，源產生器 302 之驅動器系統 306A 基於數位脈動訊號 DPS2 之狀態 S1 之參數位準及數位脈動訊號 DPS2 之狀態 S1 之頻率位準產生電流訊號，然後將電流訊號提供至源產生器 302 之源射頻電源。在數位脈動訊號 DPS2 具有數位脈動訊號 DPS2 之發生狀態 S1 的時間期間內，在自源產生器 302 之驅動器系統 306A 接收到電流訊號時，源產生器 302 之源射頻電源產生數位脈動訊號 DPS2 之狀態 S1 之 RF 訊號 308A 的一部分。RF 訊號 308A 為源射頻訊號的一實例。數位脈動訊號 DPS2 之狀態 S1 之 RF 訊號 308A 的該部分具有數位脈動訊號 DPS2 之狀態 S1 發生期間之數位脈動訊號 DPS2 之狀態 S1 之參數位準及數位脈動訊號 DPS2 之狀態 S1 之頻率位準。

【0125】類似地，在接收到數位脈動訊號 DPS2 之狀態 S2 之參數位準及數位脈動訊號 DPS2 之狀態 S2 之頻率位準時，源產生器 302 之驅動器系統 306A 基於數位脈動訊號 DPS2 之狀態 S2 之參數位準及數位脈動訊號 DPS2 之

狀態 S2 之頻率位準產生電流訊號，然後將電流訊號提供至源產生器 302 之源射頻電源。在數位脈動訊號 DPS2 發生狀態 S2 之時間期間內，在自源產生器 302 之驅動器系統 306A 接收到電流訊號時，源產生器 302 之源射頻電源產生數位脈動訊號 DPS2 之狀態 S2 之 RF 訊號 308A 的一部分。數位脈動訊號 DPS2 之狀態 S2 之 RF 訊號 308A 的該部分具有在數位脈動訊號 DPS2 之狀態 S2 發生期間之數位脈動訊號 DPS2 之狀態 S2 之參數位準及數位脈動訊號 DPS2 之狀態 S2 之頻率位準。

【0126】 又，在接收到數位脈動訊號 DPS2 之狀態 S3 之參數位準及數位脈動訊號 DPS2 之狀態 S3 之頻率位準時，源產生器 302 之驅動器系統 306A 基於數位脈動訊號 DPS2 之狀態 S3 之參數位準及數位脈動訊號 DPS2 之狀態 S3 之頻率位準產生電流訊號，然後將電流訊號提供至源產生器 302 之源射頻電源。在數位脈動訊號 DPS2 發生狀態 S3 的時間期間內，在自源產生器 302 之驅動器系統 306A 接收到電流訊號時，源產生器 302 之源射頻電源產生數位脈動訊號 DPS2 之狀態 S3 之 RF 訊號 308A 的一部分。數位脈動訊號 DPS2 之狀態 S3 之 RF 訊號 308A 的該部分具有在數位脈動訊號 DPS2 之狀態 S3 發生期間之數位脈動訊號 DPS2 之狀態 S3 之參數位準及數位脈動訊號 DPS2 之狀態 S3 之頻率位準。

【0127】 又，在接收到狀態 S4 之參數位準及狀態 S4 之頻率位準時，源產生器 302 之驅動器系統 306A 基於狀態 S4 之參數位準與狀態 S4 之頻率位準產生電流訊號，然後將電流訊號提供至源產生器 302 的 RF 電源。在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，在自源產生器 302 之驅動器系統 306A 接收到電流訊號時，源產生器 302 之源射頻電源產生數位脈動訊號 DPS2 之狀

態 S4 之 RF 訊號 308A 的一部分。數位脈動訊號 DPS2 之狀態 S4 之 RF 訊號 308A 的該部分具有在數位脈動訊號 DPS2 之狀態 S4 發生期間之狀態 S4 之參數位準與狀態 S4 之頻率位準。

【0128】又，在數位脈動訊號 DPS2 發生狀態 S1 至 S3 的時間期間內，在接收到代表數位脈動訊號 DPS2 之狀態 S1 至 S3 之訊號時，以上述參考圖 1A 之偏壓產生器 104 的方式，偏壓產生器 304 之參數控制器 PRS1B、PRS2B 與 PRS3B 自參數控制器 PRS1B、PRS2B 與 PRS3B 之對應記憶體裝置接取數位脈動訊號 DPS2 之狀態 S1 至 S3 之對應參數位準，然後將數位脈動訊號 DPS2 之狀態 S1 至 S3 之參數位準發送至偏壓產生器 304 之驅動器系統 306B。類似地，在數位脈動訊號 DPS2 發生狀態 S1 至 S3 的時間期間內，在接收到代表數位脈動訊號 DPS2 之狀態 S1 至 S3 之訊號時，以上述參考圖 1A 之偏壓產生器 104 的方式，偏壓產生器 304 之頻率控制器 FCS1B、FCS2B 與 FCS3B 自頻率控制器 FCS1B、FCS2B 與 FCS3B 之對應記憶體裝置接取之數位脈動訊號 DPS2 之狀態 S1 至 S3 之對應頻率位準，然後將數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準發送至偏壓產生器 304 之驅動器系統 306B。

【0129】又，在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，在接收到代表狀態 S4 之訊號時，參數控制器 PRS4B 自參數控制器 PRS4B 之對應記憶體裝置接取狀態 S4 之參數位準並將狀態 S4 之參數位準發送至偏壓產生器 304 之驅動器系統 306B。類似地，在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，在接收到代表狀態 S4 之訊號時，頻率控制器 FCS4B 自頻率控制器 FCS4B 之對應記憶體裝置接取狀態 S4 之頻率位準並將狀態 S4 之頻率位準發送至偏壓產生器 304 之驅動器系統 306B。

【0130】 在數位脈動訊號 DPS2 發生狀態 S1 至 S3 的時間期間內，偏壓產生器 304 之驅動器系統 306B 接收數位脈動訊號 DPS2 之狀態 S1 至 S3 之參數位準及數位脈動訊號 DPS2 之狀態 S1 至 S3 之頻率位準的方式係與上述偏壓產生器 104 之驅動器系統 124B 接收數位脈動訊號 DPS1 之狀態 S1 至 S3 之參數位準及數位脈動訊號 DPS1 之狀態 S1 至 S3 之頻率位準的方式相同。又，在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，偏壓產生器 304 之驅動器系統 306B 接收狀態 S4 之參數位準與狀態 S4 之頻率位準。

【0131】 在接收到數位脈動訊號 DPS2 之狀態 S1 之參數位準與頻率位準時，偏壓產生器 304 之驅動器系統 306B 基於數位脈動訊號 DPS2 之狀態 S1 之參數及頻率位準產生電流訊號，然後將電流訊號提供至偏壓產生器 304 之源 RF 電源。在數位脈動訊號 DPS2 發生狀態 S1 的時間期間內，在自偏壓產生器 304 之驅動器系統 306B 接收到電流訊號時，偏壓產生器 304 之偏壓射頻電源產生數位脈動訊號 DPS2 之狀態 S1 之 RF 訊號 308B 的一部分。RF 訊號 308B 為偏壓射頻訊號的一實例。數位脈動訊號 DPS2 之狀態 S1 之 RF 訊號 308B 的該部分具有在數位脈動訊號 DPS2 之狀態 S1 發生期間之數位脈動訊號 DPS2 之狀態 S1 的參數位準及頻率位準。

【0132】 類似地，在接收到數位脈動訊號 DPS2 之狀態 S2 之參數位準與頻率位準時，偏壓產生器 304 之驅動器系統 306B 基於數位脈動訊號 DPS2 之狀態 S2 之參數位準與頻率位準產生電流訊號，然後將電流訊號提供至偏壓產生器 304 之偏壓射頻電源。在數位脈動訊號 DPS2 發生狀態 S2 之時間期間內，在自偏壓產生器 304 之驅動器系統 306B 接收到電流訊號時，偏壓產生器 304 之偏壓射頻電源產生數位脈動訊號 DPS2 之狀態 S2 之 RF 訊號 308B 的一部分。

數位脈動訊號 DPS2 之狀態 S2 之 RF 訊號 308B 的該部分具有在數位脈動訊號 DPS2 之狀態 S2 發生期間之數位脈動訊號 DPS2 之狀態 S2 之參數位準及數位脈動訊號 DPS2 之狀態 S2 之頻率位準。

【0133】又，在接收到數位脈動訊號 DPS2 之狀態 S3 之參數位準與頻率位準時，偏壓產生器 304 之驅動器系統 306B 基於數位脈動訊號 DPS2 之狀態 S3 之參數位準與頻率位準產生電流訊號，然後將電流訊號提供至偏壓產生器 304 之偏壓 RF 電源。在數位脈動訊號 DPS2 發生狀態 S3 的時間期間內，在自偏壓產生器 304 之驅動器系統 306B 接收到電流訊號時，偏壓產生器 304 之偏壓射頻電源產生數位脈動訊號 DPS2 之狀態 S3 之 RF 訊號 308B 的一部分。數位脈動訊號 DPS2 之狀態 S3 之 RF 訊號 308B 的該部分具有在數位脈動訊號 DPS2 之狀態 S3 發生期間之數位脈動訊號 DPS2 之狀態 S3 之參數位準與頻率位準。

【0134】又，在接收到狀態 S4 之參數位準與狀態 S4 之頻率位準時，偏壓產生器 304 之驅動器系統 306B 基於狀態 S4 之參數位準與狀態 S4 之頻率位準產生電流訊號，然後將電流訊號提供至偏壓產生器 304 之偏壓射頻電源。在數位脈動訊號 DPS2 發生狀態 S4 之時間期間內，在自偏壓產生器 304 之驅動器系統 306B 接收到電流訊號時，偏壓產生器 304 之偏壓射頻電源產生數位脈動訊號 DPS2 之狀態 S4 之 RF 訊號 308B 的一部分。數位脈動訊號 DPS2 之狀態 S4 之 RF 訊號 308B 的該部分具有在數位脈動訊號 DPS2 之狀態 S4 發生期間之狀態 S4 之參數位準與狀態 S4 之頻率位準。

【0135】阻抗匹配電路 IMCS 106 藉由 RF 纜線 120A 接收 RF 訊號 308A 並匹配耦合至阻抗匹配電路 IMCS 106 之輸出之負載之阻抗與耦合至阻抗匹配

電路 IMCS 106 之輸入之源之阻抗，以產生經修改的 RF 訊號 310A。經修改的 RF 訊號 310A 係自阻抗匹配電路 IMCS 106 之輸出供給至上電極 116。

【0136】 類似地，阻抗匹配電路 IMCB 108 藉由 RF 纜線 120B 接收 RF 訊號 308B 並匹配耦合至阻抗匹配電路 IMCB 108 之輸出之負載之阻抗與耦合至阻抗匹配電路 IMCB 108 之輸入之源之阻抗，以產生經修改的 RF 訊號 310B。經修改的 RF 訊號 310B 係自阻抗匹配電路 IMCB 108 之輸出供給至下電極 114。當供給經修改之 RF 訊號 310A 與 310B 並將一或多種處理氣體供給至電漿室 110 時，在電漿室 110 的間隙 118 內擊發或維持電漿以處理基板 S。

【0137】 在數個實施例中，使用者藉由利用輸入/輸出介面而耦合至主機電腦的處理器之輸入裝置接收發送至源產生器 302 及偏壓產生器 304 之數位脈動訊號 DPS2 之狀態 S1 至 S4 之參數位準以取代主機電腦的處理器辨識該些參數位準。類似地，在某些實施例中，使用者藉由輸入裝置接收發送至源產生器 302 及偏壓產生器 304 之數位訊號處理器之狀態 S1 至 S4 之頻率位準以取代主機電腦的處理器辨識該些頻率位準。

【0138】 又，在各種實施例中，如上所述，RF 訊號之一參數位準包含 RF 訊號之參數的一或多個大小如振幅或數值，且該一或多個大小係排除 RF 訊號之該參數之另一參數位準的一或多個大小。例如，針對數位脈動訊號 DPS2 之狀態 S2 發送至源產生器 302 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S1 發送至源產生器 302 之參數位準的一或多個數值相同。又，針對數位脈動訊號 DPS2 之狀態 S3 發送至源產生器 302 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S2

發送至源產生器 302 之參數位準的一或多個數值相同。又，針對數位脈動訊號 DPS2 之狀態 S3 發送至源產生器 302 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S1 發送至源產生器 302 之數位訊號處理器的參數位準的一或多個數值相同。針對數位脈動訊號 DPS2 之狀態 S4 發送至源產生器 302 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S3 發送至源產生器 302 之數位訊號處理器的參數位準的一或多個數值相同。又，針對數位脈動訊號 DPS2 之狀態 S4 發送至源產生器 302 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S2 發送至源產生器 302 之數位訊號處理器的參數位準的一或多個數值相同。針對數位脈動訊號 DPS2 之狀態 S4 發送至源產生器 302 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S1 發送至源產生器 302 之數位訊號處理器的參數位準的一或多個數值相同。

【0139】又例如，針對數位脈動訊號 DPS2 之狀態 S2 發送至偏壓產生器 304 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S1 發送至偏壓產生器 304 之參數位準的一或多個數值相同。又，針對數位脈動訊號 DPS2 之狀態 S3 發送至偏壓產生器 304 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S2 發送至偏壓產生器 304 之參數位準的一或多個數值相同。又，針對數位脈動訊號 DPS2 之狀態 S3 發送至偏壓產生器 304 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數

值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S1 發送至偏壓產生器 304 之數位訊號處理器的參數位準的一或多個數值相同。針對數位脈動訊號 DPS2 之狀態 S4 發送至偏壓產生器 304 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S3 發送至偏壓產生器 304 之數位訊號處理器的參數位準的一或多個數值相同。又，針對數位脈動訊號 DPS2 之狀態 S4 發送至偏壓產生器 304 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S2 發送至偏壓產生器 304 之數位訊號處理器的參數位準的一或多個數值相同。針對數位脈動訊號 DPS2 之狀態 S4 發送至偏壓產生器 304 之數位訊號處理器的參數位準具有一或多個數值，此一或多個數值中沒有任一者係與針對數位脈動訊號 DPS2 之狀態 S1 發送至偏壓產生器 304 之數位訊號處理器的參數位準的一或多個數值相同。

【0140】在各種實施例中，使用一個頻率控制器而非源產生器 302 之複數頻率控制器 FCS1S、FCS2S、FCS3S 與 FCS4S 來控制源產生器 302 之源射頻電源以產生 RF 訊號的單一訊號頻率位準而非狀態 S1 至 S4 之複數頻率位準。單一訊號頻率位準係於上面參考源產生器 102 說明。主機電腦的處理器將 RF 訊號之單一訊號頻率位準的一數值發送至源產生器 302 的數位訊號處理器。在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號 DPS2 的狀態為 S1 或 S2 或 S3 或 S4，源產生器 302 的數位訊號處理器將該數值發送至頻率控制器以儲存在頻率控制器之記憶體裝置中。又，在接收到訊號頻率位準的該數值時，無論數位脈動訊號 DPS2 的狀態為 S1 或 S2 或 S3 或 S4，頻率控制器將該數值發送至驅動器系統 306A。驅動器系統 306A 基於單一訊號頻率位準的該數值產

生電流訊號，然後將電流訊號提供至源產生器 302 之源射頻電源。在接收到電流訊號時，源產生器 302 的源 RF 電源產生具有狀態 S1 至 S4 之單一訊號頻率位準及複數參數位準的 RF 訊號。

【0141】 類似地，在某些實施例中，使用一個頻率控制器而非偏壓產生器 304 之複數頻率控制器 FCS1B、FCS2B、FCS3B 及 FCS4B 來控制偏壓射頻電源以產生 RF 訊號的單一訊號頻率位準而非狀態 S1 至 S4 之複數頻率位準。單一訊號頻率位準係於上面參考偏壓產生器 104 說明。主機電腦的處理器將 RF 訊號之單一訊號頻率位準的一數值發送至偏壓產生器 304 的數位訊號處理器。在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號 DPS2 的狀態為 S1 或 S2 或 S3 或 S4，偏壓產生器 304 的數位訊號處理器將該數值發送至頻率控制器以儲存在頻率控制器之記憶體裝置中。又，在接收到單一訊號頻率位準之該數值時，無論數位脈動訊號 DPS2 的狀態為 S1 或 S2 或 S3 或 S4，頻率控制器將該數值發送至驅動器系統 306B。驅動器系統 306B 基於單一訊號頻率位準之該數值產生電流訊號並將電流訊號提供至偏壓產生器 304 之偏壓射頻電源。在接收到電流訊號時，偏壓產生器 304 之偏壓 RF 電源產生具有狀態 S1 至 S4 之單一訊號頻率位準及複數參數位準的 RF 訊號。

【0142】 在各種實施例中，文中所述的一或多種功能係由源產生器 302 的數位訊號處理器實施而非由主機電腦的處理器實施。例如，參數位準與頻率位準係儲存在與源產生器 302 之數位訊號處理器耦合的記憶體裝置中並由源產生器 302 之數位訊號處理器自記憶體裝置接取並基於自主機電腦的處理器所接收之數位脈動訊號 DPS2 之狀態為 S1、S2 或 S3 或 S4 而發送至參數控制器 PRS1S、PRS2S、PRS3S 與 PRS4S 及發送至頻率控制器 FCS1S、FCS2S、

FCS3S 與 FCS4S，而非主機電腦的處理器將狀態 S1 至 S4 之參數位準及頻率位準提供至源產生器 302 之數位訊號處理器。又例如，數位脈動訊號 DPS2 係由源產生器 302 之數位訊號處理器產生並藉由耦合源產生器 302 與偏壓產生器 304 之兩數位訊號處理器的傳輸纜線而發送至偏壓產生器 304 的數位訊號處理器，而非數位脈動訊號 DPS2 由主機電腦的處理器所產生。更例如，參數位準與頻率位準係儲存在與偏壓產生器 304 的數位訊號處理器耦合的記憶體裝置中並由偏壓產生器 304 的數位訊號處理器自記憶體裝置接取並基於自主機電腦的處理器所接收之數位脈動訊號 DPS2 之狀態為 S1、S2 或 S3 或 S4 而發送至參數控制器 PRS1B、PRS2B、PRS3B 與 PRS4B 及發送至頻率控制器 FCS1B、FCS2B、FCS3B 及 FCS4B，而非主機電腦的處理器將狀態 S1 至 S4 之參數位準及頻率位準提供至偏壓產生器 304 的數位訊號處理器。又例如，數位脈動訊號 DPS2 係由偏壓產生器 304 的數位訊號處理器所產生而藉由耦合源產生器 302 與偏壓產生器 304 之兩數位訊號處理器的傳輸纜線而發送至源產生器 302 的數位訊號處理器，而非數位脈動訊號 DPS2 由主機電腦的處理器所產生。

【0143】圖 3B 為系統 350 之一實施例圖，其例示產生四狀態以達成高深寬比介電質蝕刻。系統 350 包含源產生器 302、偏壓產生器 304、主機電腦、RF 纜線 120A 與 120B、阻抗匹配電路 IMC 152、RF 傳輸線 122B 及電漿室 110。除了在系統 350 中使用四狀態源產生器 302 及偏壓產生器 304 而非三狀態源產生器 102 及偏壓產生器 104 之外，系統 350 係與圖 1B 之系統 150 相同。耦合至阻抗匹配電路 IMC 152 之輸入之源包含 RF 纜線 120A 與 120B 及源產生器 302 與偏壓產生器 304。

【0144】 阻抗匹配電路 IMC 152 接收源產生器 302 所產生之 RF 訊號 308A 及偏壓產生器 304 所產生之 RF 訊號 308B，匹配耦合至阻抗匹配電路 IMC 152 之輸出之負載的阻抗與耦合至阻抗匹配電路 IMC 152 之輸入之源的阻抗，以產生經修改的 RF 訊號 354。例如，阻抗匹配電路 IMC 152 匹配 RF 傳輸線 122B 及電漿室 110 之阻抗與 RF 纜線 120A 及 120B、源產生器 302 及偏壓產生器 304 之阻抗。下電極 114 接收經修改的 RF 訊號 354 以控制基板 S 的處理。當將一或多種氣體以及經修改的 RF 訊號 354 供給至電漿室 110 時，在電漿室 110 的間隙 118 內擊發或維持電漿以處理基板 S。藉由例如包含狀態 S2 之 RF 訊號 308A 之參數位準及包含狀態 S2 之 RF 訊號 308B 之參數位準，控制基板 S 的處理。在狀態 S2 期間，RF 訊號 308A 具有一參數位準且 RF 訊號 308B 具有一參數位準以產生能向下濺射基板 S 之遮罩材料以保護基板 S 之基板層的電漿離子。

【0145】 在各種實施例中，下電極 112 係耦合至地電位而上電極 116 係耦合至 RF 傳輸線 122B 以接收經修改的 RF 訊號 354，而非上電極 116 耦合至地位。

【0146】 在各種實施例中，文中所述的一或多種功能係由主機電腦的處理器，而非由源產生器 302 的數位訊號處理器及源產生器 302 的控制器 PRS1S、PRS2S、PRS3S、PRS4S、FCS1S、FCS2S、FCS3S 與 FCS4S 實施。例如，主機電腦的處理器係耦合至驅動器系統 306A 而未耦合至源產生器 302 的數位訊號處理器。文中所述之由源產生器 302 的數位訊號處理器及源產生器 302 的控制器 PRS1S、PRS2S、PRS3S、PRS4S、FCS1S、FCS2S、FCS3S 與 FCS4S 所實施的功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0147】 類似地，在某些實施例中，文中所述的一或多種功能係由主機電腦的處理器實施，而非由偏壓產生器 304 的數位訊號處理器及偏壓產生器 304 的控制器 PRS1B、PRS2B、PRS3B、PRS4B、FCS1B、FCS2B、FCS3B 與 FCS4B 實施。例如，主機電腦的處理器係耦合至驅動器系統 306B 而未耦合至偏壓產生器 304 的數位訊號處理器。文中所述之偏壓產生器 304 的數位訊號處理器及偏壓產生器 304 的控制器 PRS1B、PRS2B、PRS3B、PRS4B、FCS1B、FCS2B、FCS3B 與 FCS4B 所實施的功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0148】 在各種實施例中，文中所述的一或多種功能係由源產生器 302 的數位訊號處理器實施而非由源產生器 302 的控制器 PRS1S、PRS2S、PRS3S、PRS4S、FCS1S、FCS2S、FCS3S 與 FCS4S 實施。例如，源產生器 302 的數位訊號處理器係耦合至驅動器系統 306A 而未耦合至源產生器 302 的控制器 PRS1S、PRS2S、PRS3S、PRS4S、FCS1S、FCS2S、FCS3S 與 FCS4S。文中所述之源產生器 302 的控制器 PRS1S、PRS2S、PRS3S、PRS4S、FCS1S、FCS2S、FCS3S 與 FCS4S 所實施的功能為源產生器 302 的數位訊號處理器所執行的電腦程式或電腦模組。

【0149】 類似地，在某些實施例中，文中所述的一或多種功能係由偏壓產生器 304 的數位訊號處理器實施而非由偏壓產生器 304 的控制器 PRS1B、PRS2B、PRS3B、PRS4B、FCS1B、FCS2B、FCS3B 與 FCS4B 實施。例如，偏壓產生器 304 的數位訊號處理器係耦合至驅動器系統 306B 而未耦合至偏壓產生器 304 的控制器 PRS1B、PRS2B、PRS3B、PRS4B、FCS1B、FCS2B、FCS3B 與 FCS4B。文中所述之偏壓產生器 304 的控制器 PRS1B、PRS2B、

PRS3B、PRS4B、FCS1B、FCS2B、FCS3B 與 FCS4B 所實施的功能為偏壓產生器 304 的數位訊號處理器所執行的電腦程式或電腦模組。

【0150】 在各種實施例中，文中所述之由源產生器 302 之數位訊號處理器、源產生器 302 之控制器 PRS1S、PRS2S、PRS3S 與 PRS4S、及用以產生源產生器 302 之單一訊號頻率位準的控制器所實施的一或多種功能係由主機電腦的處理器所實施。例如，主機電腦的處理器係耦合至驅動器系統 306A 而未耦合至源產生器 302 的數位訊號處理器。文中所述之由源產生器 302 之數位訊號處理器、源產生器 302 之控制器 PRS1S、PRS2S、PRS3S 與 PRS4S、及用以產生源產生器 302 之單一訊號頻率位準的控制器所實施的功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0151】 類似地，在某些實施例中，文中所述之由偏壓產生器 304 的數位訊號處理器、偏壓產生器 304 之控制器 PRS1B、PRS2B、PRS3B 與 PRS4B、及用以產生偏壓產生器 304 之單一訊號頻率位準的控制器所實施的一或多種功能係由主機電腦的處理器所實施。例如，主機電腦的處理器係耦合至驅動器系統 306B 而未耦合至偏壓產生器 304 的數位訊號處理器。文中所述之由偏壓產生器 304 的數位訊號處理器、偏壓產生器 304 之控制器 PRS1B、PRS2B、PRS3B 與 PRS4B、及用以產生偏壓產生器 304 之單一訊號頻率位準的控制器所實施的功能為主機電腦的處理器所執行的電腦程式或電腦模組。

【0152】 在各種實施例中，文中所述的一或多種功能係由源產生器 302 之數位訊號處理器實施而非由源產生器 302 之控制器 PRS1S、PRS2S、PRS3S 與 PRS4S 及用以產生源產生器 302 之單一訊號頻率位準的控制器實施。例如，源產生器 302 的數位訊號處理器係耦合至驅動器系統 306A 而未耦合至源產生

器 302 的控制器 PRS1S、PRS2S、PRS3S 與 PRS4S 且未耦合至用以產生源產生器 302 之單一訊號頻率位準的控制器。文中所述之由源產生器 302 之控制器 PRS1S、PRS2S、PRS3S 與 PRS4S 及用以產生源產生器 302 之單一訊號頻率位準的控制器所實施的功能為源產生器 302 之數位訊號處理器所執行的電腦程式或電腦模組。

【0153】 類似地，在某些實施例中，文中所述的一或多種功能係由偏壓產生器 304 的數位訊號處理器實施而非由偏壓產生器 304 之控制器 PRS1B、PRS2B、PRS3B 與 PRS4B 及用以產生偏壓產生器 304 之單一訊號頻率位準的控制器實施。例如，偏壓產生器 304 的數位訊號處理器係耦合至驅動器系統 306B 而未耦合至偏壓產生器 304 的控制器 PRS1B、PRS2B、PRS3B 與 PRS4B 且未耦合至用以產生偏壓產生器 304 之單一訊號頻率位準的控制器。文中所述之由偏壓產生器 304 之控制器 PRS1B、PRS2B、PRS3B 與 PRS4B 及用以產生偏壓產生器 304 之單一訊號頻率位準的控制器所實施的功能為偏壓產生器 304 的數位訊號處理器所執行的電腦程式或電腦模組。

【0154】 圖 4A 顯示圖 206 及額外之圖 402 與 404 之實施例，其例示圖 3A 與 3B 之偏壓產生器 304 所產生之 RF 訊號 308B 的參數 408A 及圖 3A 與 3B 之源產生器 302 所產生之 RF 訊號 308A 的參數 408B。圖 404 繪示參數 408A 與 408B 對時間的關係。圖 402 繪示數位脈動訊號 406 之邏輯位準對時間 t 的關係。數位脈動訊號 406 為圖 3A 之數位脈動訊號 DPS2 的一實例。

【0155】 數位脈動訊號 406 在時間 t₀ 處自邏輯位準 0 轉變至邏輯位準 3 並在介於時間 t₀ 與時間 t₃ 之間之時間期間的狀態 S1 發生維持於邏輯位準 3 處。數位脈動訊號 406 在時間 t₃ 處自邏輯位準 3 轉變至邏輯位準 2 並在介於時

間 t3 與時間 t5 之間之時間期間的狀態 S2 發生維持於邏輯位準 2 處。數位脈動訊號 406 在時間 t3.5 處自邏輯位準 2 轉變至邏輯位準 1 並在介於時間 t3.5 與時間 t5.5 之間之時間期間的狀態 S3 發生維持於邏輯位準 1 處。數位脈動訊號 406 在時間 t5.5 處自邏輯位準 1 轉變至邏輯位準 0 並在介於時間 t5.5 與時間 t6 之間之時間期間的狀態 S4 發生維持於邏輯位準 0 處。

【0156】數位脈動訊號 406 在時間 t6 處自邏輯位準 0 轉變至邏輯位準 3 並在介於時間 t6 與時間 t9 之間之時間期間的另一狀態 S1 發生位於邏輯位準 3 處。數位脈動訊號 406 在時間 t9 處自邏輯位準 3 轉變至邏輯位準 2 並在介於時間 t9 與時間 t9.5 之間之時間期間的另一狀態 S2 發生維持於邏輯位準 2 處。數位脈動訊號 406 在時間 t9.5 處自邏輯位準 2 轉變至邏輯位準 1 並在介於時間 t9.5 與時間 t11.5 之間之時間期間的另一狀態 S3 發生維持於邏輯位準 1 處。數位脈動訊號 406 在時間 t11.5 處自邏輯位準 1 轉變至邏輯位準 0 並在介於時間 t11.5 與時間 t12 間之時間期間的另一狀態 S4 發生維持於邏輯位準 0 處。數位脈動訊號 406 在時間 t12 處自邏輯位準 0 轉變至邏輯位準 3。

【0157】應注意，在介於時間 t3 與 t0 之間的時間期間內數位脈動訊號 406 提供狀態 S1 發生、在介於時間 t3 與 t3.5 之間的時間期間內數位脈動訊號 406 提供狀態 S2 發生、在介於時間 t3.5 與 t5.5 之間的時間期間內數位脈動訊號 406 提供狀態 S3 發生、在介於時間 t5.5 與 t6 之間的時間期間內數位脈動訊號 406 提供狀態 S4 發生。類似地，在介於時間 t6 與 t9 之間的時間期間內數位脈動訊號 406 提供另一狀態 S1 發生、在介於時間 t9 與 t9.5 之間的時間期間內數位脈動訊號 406 提供另一狀態 S2 發生、在介於時間 t9.5 與 t11.5 之間的時間期

間內數位脈動訊號 406 提供另一狀態 S3 發生、在介於時間 t11.5 與 t12 之間的時間期間內數位脈動訊號 406 提供另一狀態 S4 發生。

【0158】 參數 408A 在數位脈動訊號 406 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR7 處。參數 408A 實質上在時間 t3 處自參數位準 PR7 轉變為參數位準 PR5.5，並在數位脈動訊號 406 具有狀態 S2 之時間 t3 與 t3.5 之間的時間期間內維持於參數位準 PR5.5 處。參數 408A 實質上在時間 t3.5 處自參數位準 PR5.5 轉變為參數位準 PR0.1，並在數位脈動訊號 406 具有狀態 S3 之時間 t3.5 與 t5.5 之間的時間期間內維持於參數位準 PR0.1 處。參數 408A 實質上在時間 t5.5 處自參數位準 PR0.1 轉變為參數位準 PR3，並在數位脈動訊號 406 具有狀態 S4 之時間 t5.5 與 t6 之間的時間期間內維持於參數位準 PR3 處。

【0159】 參數 408A 實質上在時間 t6 處自參數位準 PR3 轉變為參數位準 PR7，並在數位脈動訊號 406 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR7 處。參數 408A 實質上在時間 t9 處自參數位準 PR7 轉變為參數位準 PR5.5，並在數位脈動訊號 406 具有狀態 S2 之時間 t9 與 t9.5 之間的時間期間內維持於參數位準 PR5.5 處。參數 408A 實質上在時間 t9.5 處自參數位準 PR5.5 轉變為參數位準 PR0.1，並在數位脈動訊號 406 具有狀態 S3 之時間 t9.5 與 t11.5 之間的時間期間內維持於參數位準 PR0.1 處。參數 408A 實質上在時間 t11.5 處自參數位準 PR0.1 轉變為參數位準 PR3，並在數位脈動訊號 406 具有狀態 S4 之時間 t11.5 與 t12 之間的時間期間內維持於參數位準 PR3 處。參數 408A 實質上在時間 t12 處自參數位準 PR3 轉變為參數位準 PR7。

【0160】 參數 408B 在數位脈動訊號 406 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR4 處。參數 408B 實質上在時間 t3 處自參數位準 PR4 轉變為參數位準 PR3.5，並在數位脈動訊號 406 具有狀態 S2 之時間 t3 與 t3.5 之間的時間期間內維持於參數位準 PR3.5 處。參數 408B 實質上在時間 t3.5 處自參數位準 PR3.5 轉變為參數位準 PR0.1，並在數位脈動訊號 406 具有狀態 S3 之時間 t3.5 與 t5.5 之間的時間期間內維持於參數位準 PR0.1 處。參數 408B 實質上在時間 t5.5 處自參數位準 PR0.1 轉變為參數位準 PR2，並在數位脈動訊號 406 具有狀態 S4 之時間 t5.5 與 t6 之間的時間期間內維持於參數位準 PR2 處。

【0161】 參數 408B 實質上在時間 t6 處自參數位準 PR2 轉變為參數位準 PR4，並在數位脈動訊號 406 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR4 處。參數 408B 實質上在時間 t9 處自參數位準 PR4 轉變為參數位準 PR3.5，並在數位脈動訊號 406 具有狀態 S2 之時間 t9 與 t9.5 之間的時間期間內維持於參數位準 PR3.5 處。參數 408B 實質上在時間 t9.5 處自參數位準 PR3.5 轉變為參數位準 PR0.1，並在數位脈動訊號 406 具有狀態 S3 之時間 t9.5 與 t11.5 之間的時間期間內維持於參數位準 PR0.1 處。參數 408B 實質上在時間 t11.5 處自參數位準 PR0.1 轉變為參數位準 PR2，並在數位脈動訊號 406 具有狀態 S4 之時間 t11.5 與 t12 之間的時間期間內維持於參數位準 PR2 處。參數 408B 實質上在時間 t12 處自參數位準 PR2 轉變為參數位準 PR4。

【0162】 應注意，參數位準 PR3.5 係高於參數位準 PR3 且低於參數位準 PR4。又，參數位準 PR5.5 係高於參數位準 PR5 且低於參數位準 PR6。

【0163】 在各種實施例中，參數 408A 實質上在時間 t3 處或在時間 t9 處自參數位準 PR7 轉變為例如介於參數位準 PR3 與 PR7 之間的另一參數位準且在狀態 S2 期間維持在該另一參數位準處。又，參數 408A 實質上在時間 t3.5 或實質上在時間 t9.5 處自參數位準 PR5.5 轉變為介於參數位準 PR0.1 與 PR3 之間的另一參數位準或參數位準 PR0 且在狀態 S3 期間維持在該另一參數位準處。參數 408A 實質上在時間 t5.5 或實質上在時間 t11.5 處自參數位準 PR0.1 轉變為介於參數位準 PR0.1 與 PR5.5 之間的另一參數位準且在狀態 S4 期間維持在該另一參數位準處。

【0164】 在某些實施例中，參數 408B 實質上在時間 t3 處或在時間 t9 處自參數位準 PR4 轉變為介於參數位準 PR2 與 PR4 之間的另一參數位準且在狀態 S2 期間維持在該另一參數位準處。又，參數 408B 實質上在時間 t3.5 或實質上在時間 t9.5 處自參數位準 PR3.5 轉變為介於參數位準 PR0.1 與 PR2 之間的另一參數位準或參數位準 PR0 且在狀態 S3 期間維持在該另一參數位準處。參數 408B 實質上在時間 t5.5 或實質上在時間 t11.5 處自參數位準 PR0.1 轉變為介於參數位準 PR0.1 與 PR3.5 之間的另一參數位準且在狀態 S4 期間維持在該另一參數位準處。

【0165】 在某些實施例中，主機電腦的處理器修改數位脈動訊號 406 以改變數位脈動訊號 406 之狀態 S2 之持續時間及/或改變數位脈動訊號 406 之狀態 S3 之持續時間。例如，主機電腦的處理器修改數位脈動訊號 406，使邏輯位準 2 的持續時間久於或短於時間 t3 與 t3.5 之間的時間期間。又例如，主機電腦的處理器修改數位脈動訊號 406，使邏輯位準 1 的持續時間久於或短於時間 t3.5 與 t5.5 之間的時間期間。又例如，數位脈動訊號 DPS2 具有狀態 S2 及 S3

之時間期間至多是時間 t_0 與 t_6 之間之時間期間的 30%。又例如，數位脈動訊號 DPS2 具有狀態 S2 及 S3 之時間期間的範圍係自時間 t_0 與 t_6 之間之時間期間的 1%至 30%(包含端點)。又例如，數位脈動訊號 DPS2 具有狀態 S2 及 S3 之時間期間的範圍係自時間 t_0 與 t_6 之間之時間期間的 1%至 20%(包含端點)。

【0166】圖 4B 為圖 450 之一實施例及圖 452 之一實施例，圖 450 例示另一數位脈動訊號 454，及圖 452 例示圖 3A 與 3B 之偏壓產生器 304 所產生之 RF 訊號 308B 的參數 456A 及圖 3A 與 3B 之源產生器 302 所產生之 RF 訊號 308A 的另一參數 456B。圖 450 繪示數位脈動訊號 454 之邏輯位準對時間 t 的關係。數位脈動訊號 454 為圖 3A 與 3B 之數位脈動訊號 DPS2 的一實例。圖 452 繪示參數 456A 與 456B 對時間 t 的關係。參數 456A 係與圖 4A 之時脈訊號 212 同步並與數位脈動訊號 454 同步。類似地，參數 456B 係與圖 4A 之時脈訊號 212 同步並與數位脈動訊號 454 同步。

【0167】數位脈動訊號 454 在時間 t_0 處自邏輯位準 0 轉變至邏輯位準 3 並在介於數位脈動訊號 DPS2 之時間 t_0 與時間 t_3 之間之時間期間的狀態 S1 發生內位於邏輯位準 3 處。數位脈動訊號 454 在時間 t_3 處自邏輯位準 3 轉變至邏輯位準 2 並在介於數位脈動訊號 DPS2 之時間 t_3 與時間 $t_{3.5}$ 之間之時間期間的狀態 S2 發生內維持於邏輯位準 2 處。數位脈動訊號 454 在時間 $t_{3.5}$ 處自邏輯位準 2 轉變至邏輯位準 1 並在介於數位脈動訊號 DPS2 之時間 $t_{3.5}$ 與時間 t_4 之間之時間期間的狀態 S3 發生內維持於邏輯位準 1 處。數位脈動訊號 454 在時間 t_4 處自邏輯位準 1 轉變至邏輯位準 0 並在介於數位脈動訊號 DPS2 之時間 t_4 與時間 t_6 之間之時間期間的狀態 S4 發生內維持於邏輯位準 0 處。

【0168】數位脈動訊號 454 在時間 t6 處自邏輯位準 0 轉變至邏輯位準 3 並在介於數位脈動訊號 DPS2 之時間 t6 與時間 t9 之間之時間期間的狀態 S1 發生內位於邏輯位準 3 處。數位脈動訊號 454 在時間 t9 處自邏輯位準 3 轉變至邏輯位準 2 並在介於數位脈動訊號 DPS2 之時間 t9 與時間 t9.5 之間之時間期間的狀態 S2 發生內維持於邏輯位準 2 處。數位脈動訊號 454 在時間 t9.5 處自邏輯位準 2 轉變至邏輯位準 1 並在介於數位脈動訊號 DPS2 之時間 t9.5 與時間 t10 之間之時間期間的狀態 S3 發生內維持於邏輯位準 1 處。數位脈動訊號 454 在時間 t10 處自邏輯位準 1 轉變至邏輯位準 0 並在介於數位脈動訊號 DPS2 之時間 t10 與時間 t12 之間之時間期間的狀態 S4 發生內維持於邏輯位準 0 處。數位脈動訊號 454 在時間 t12 處自邏輯位準 0 轉變至邏輯位準 3。

【0169】應注意，在介於時間 t3 與 t0 之間的時間期間內數位脈動訊號 454 提供狀態 S1 發生、在介於時間 t3 與 t3.5 之間的時間期間內數位脈動訊號 454 提供狀態 S2 發生、在介於時間 t3.5 與 t4 之間的時間期間內數位脈動訊號 454 提供狀態 S3 發生、在介於時間 t4 與 t6 之間的時間期間內數位脈動訊號 454 提供狀態 S4 發生。類似地，在介於時間 t6 與 t9 之間的時間期間內數位脈動訊號 454 提供另一狀態 S1 發生、在介於時間 t9 與 t9.5 之間的時間期間內數位脈動訊號 454 提供另一狀態 S2 發生、在介於時間 t9.5 與 t10 之間的時間期間內數位脈動訊號 454 提供另一狀態 S3 發生、在介於時間 t10 與 t12 之間的時間期間內數位脈動訊號 454 提供另一狀態 S4 發生。

【0170】參數 456A 在數位脈動訊號 454 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR7 處。參數 456A 實質上在時間 t3 處自參數位準 PR7 轉變為參數位準 PR5，並在數位脈動訊號 454 具有狀態 S2 之時間 t3 與

t3.5 之間的時間期間內維持於參數位準 PR5 處。參數 456A 實質上在時間 t3.5 處自參數位準 PR5 轉變為參數位準 PR3，並在數位脈動訊號 454 具有狀態 S3 之時間 t3.5 與 t4 之間的時間期間內維持於參數位準 PR3 處。參數 456A 實質上在時間 t4 處自參數位準 PR3 轉變為參數位準 PR0.1，並在數位脈動訊號 454 具有狀態 S4 之時間 t4 與 t6 之間的時間期間內維持於參數位準 PR0.1 處。

【0171】參數 456A 實質上在時間 t6 處自參數位準 PR0.1 轉變為參數位準 PR7，並在數位脈動訊號 454 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR7 處。參數 456A 實質上在時間 t9 處自參數位準 PR7 轉變為參數位準 PR5，並在數位脈動訊號 454 具有狀態 S2 之時間 t9 與 t9.5 之間的時間期間內維持於參數位準 PR5 處。參數 456A 實質上在時間 t9.5 處自參數位準 PR5 轉變為參數位準 PR3，並在數位脈動訊號 454 具有狀態 S3 之時間 t9.5 與 t10 之間的時間期間內維持於參數位準 PR3 處。參數 456A 實質上在時間 t10 處自參數位準 PR3 轉變為參數位準 PR0.1，並在數位脈動訊號 454 具有狀態 S4 之時間 t10 與 t12 之間的時間期間內維持於參數位準 PR0.1 處。參數 456A 實質上在時間 t12 處自參數位準 PR0.1 轉變為參數位準 PR7。

【0172】參數 456B 在數位脈動訊號 454 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR4 處。參數 456B 實質上在時間 t3 處自參數位準 PR4 轉變為參數位準 PR3，並在數位脈動訊號 454 具有狀態 S2 之時間 t3 與 t3.5 之間的時間期間內係位於參數位準 PR3 處。參數 456B 實質上在時間 t3.5 處自參數位準 PR3 轉變為參數位準 PR2，並在數位脈動訊號 454 具有狀態 S3 之時間 t3.5 與 t4 之間的時間期間內維持於參數位準 PR2 處。參數 456B 實質上

在時間 t4 處自參數位準 PR2 轉變為參數位準 PR0.1，並在數位脈動訊號 454 具有狀態 S4 之時間 t4 與 t6 之間的時間期間內維持於參數位準 PR0.1 處。

【0173】參數 456B 實質上在時間 t6 處自參數位準 PR0.1 轉變為參數位準 PR4，並在數位脈動訊號 454 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR4 處。參數 456B 實質上在時間 t9 處自參數位準 PR4 轉變為參數位準 PR3，並在數位脈動訊號 454 具有狀態 S2 之時間 t9 與 t9.5 之間的時間期間內維持於參數位準 PR3 處。參數 456B 實質上在時間 t9.5 處自參數位準 PR3 轉變為參數位準 PR2，並在數位脈動訊號 454 具有狀態 S3 之時間 t9.5 與 t10 之間的時間期間內維持於參數位準 PR2 處。參數 456B 實質上在時間 t10 處自參數位準 PR2 轉變為參數位準 PR0.1，並在數位脈動訊號 454 具有狀態 S4 之時間 t10 與 t12 之間的時間期間內維持於參數位準 PR0.1 處。參數 456B 實質上在時間 t12 處自參數位準 PR0.1 轉變為參數位準 PR4。

【0174】在各種實施例中，參數 456A 實質上在時間 t3 處或在時間 t9 處自參數位準 PR7 轉變為介於參數位準 PR3 與 PR7 之間的另一參數位準且在數位脈動訊號 454 之狀態 S2 期間維持在該另一參數位準處。又，參數 456A 實質上在時間 t3.5 處或在時間 t9.5 處自參數位準 PR5 轉變為介於參數位準 PR0.1 與 PR5 之間的另一參數位準且在數位脈動訊號 454 之狀態 S3 期間維持在該另一參數位準處。參數 456A 實質上在時間 t4 處或在時間 t10 處自參數位準 PR3 轉變為介於參數位準 PR0.1 與 PR3 之間的另一參數位準或參數位準 PR0 且在數位脈動訊號 454 之狀態 S4 期間維持在該另一參數位準處。

【0175】在某些實施例中，參數 456B 實質上在時間 t3 或實質上在時間 t9 處自參數位準 PR4 轉變為例如介於參數位準 PR2 與 PR4 之間的另一參數位準

且在數位脈動訊號 454 之狀態 S2 期間維持在該另一參數位準處。又，參數 456B 實質上在時間 t3.5 或實質上在時間 t9.5 處自參數位準 PR3 轉變為介於參數位準 PR0.1 與 PR3 之間的另一參數位準且在數位脈動訊號 454 之狀態 S3 期間維持在該另一參數位準處。參數 456B 實質上在時間 t4 或實質上在時間 t10 處自參數位準 PR2 轉變為介於參數位準 PR0.1 與 PR2 之間的另一參數位準或參數位準 PR0 且在數位脈動訊號 454 之狀態 S4 期間維持在該另一參數位準處。

【0176】在某些實施例中，主機電腦的處理器修改數位脈動訊號 454，以改變數位脈動訊號 454 之狀態 S2 之持續時間及/或改變數位脈動訊號 454 之狀態 S3 之持續時間。例如，主機電腦的處理器修改數位脈動訊號 454 使邏輯位準 2 的持續時間久於或短於時間 t3 與 t5 之間的時間期間及/或修改數位脈動訊號 454 使邏輯位準 1 的持續時間久於或短於時間 t3.5 與 t4 之間的時間期間。

【0177】圖 4C 為圖 470 之一實施例及圖 472 之一實施例，圖 470 例示另一數位脈動訊號 474，及圖 472 例示圖 3A 與 3B 之偏壓產生器 304 所產生之 RF 訊號 308B 的參數 476A 及圖 3A 與 3B 之源產生器 302 所產生之 RF 訊號 308A 的另一參數 476B。圖 470 繪示數位脈動訊號 474 之邏輯位準對時間 t 的關係。數位脈動訊號 474 為圖 3A 與 3B 之數位脈動訊號 DPS2 的一實例。圖 472 繪示參數 476A 與 476B 對時間 t 的關係。參數 476A 係與圖 4A 之時脈訊號 212 同步並與數位脈動訊號 474 同步。類似地，參數 476B 係與圖 4A 之時脈訊號 212 同步並與數位脈動訊號 474 同步。

【0178】數位脈動訊號 474 在時間 t0 處自邏輯位準 0 轉變至邏輯位準 3 並在介於時間 t0 與時間 t3 之間之時間期間的狀態 S1 發生內位於邏輯位準 3 處。數位脈動訊號 474 在時間 t3 處自邏輯位準 2 轉變至邏輯位準 2 並在介於時

間 t3 與時間 t5 之間之時間期間的狀態 S2 發生內位於邏輯位準 2 處。數位脈動訊號 474 在時間 t5 處自邏輯位準 2 轉變至邏輯位準 1 並在介於時間 t5 與時間 t5.5 之間之時間期間的狀態 S3 發生內位於邏輯位準 1 處。數位脈動訊號 474 在時間 t5.5 處自邏輯位準 1 轉變至邏輯位準 0 並在介於時間 t5.5 與時間 t6 之間之時間期間的狀態 S4 發生內位於邏輯位準 0 處。

【0179】數位脈動訊號 474 在時間 t6 處自邏輯位準 0 轉變至邏輯位準 3 並在介於時間 t6 與時間 t9 之間之時間期間的另一狀態 S1 發生內位於邏輯位準 3 處。數位脈動訊號 474 在時間 t9 處自邏輯位準 3 轉變至邏輯位準 2 並在介於時間 t9 與時間 t11 之間之時間期間的另一狀態 S2 發生內位於邏輯位準 2 處。數位脈動訊號 474 在時間 t11 處自邏輯位準 2 轉變至邏輯位準 1 並在介於時間 t11 與時間 t11.5 之間之時間期間的另一狀態 S3 發生內維持於邏輯位準 1 處。數位脈動訊號 474 在時間 t11.5 處自邏輯位準 1 轉變至邏輯位準 0 並在介於時間 t11.5 與時間 t12 之間之時間期間的另一狀態 S4 發生內維持於邏輯位準 0 處。數位脈動訊號 474 在時間 t12 處自邏輯位準 0 轉變至邏輯位準 3。

【0180】應注意，在介於時間 t3 與 t0 之間的時間期間內數位脈動訊號 474 提供狀態 S1 發生、在介於時間 t3 與 t5 之間的時間期間內數位脈動訊號 474 提供狀態 S2 發生、在介於時間 t5 與 t5.5 之間的時間期間內數位脈動訊號 474 提供狀態 S3 發生、在介於時間 t5.5 與 t6 之間的時間期間內數位脈動訊號 474 提供狀態 S4 發生。類似地，在介於時間 t6 與 t9 之間的時間期間內數位脈動訊號 474 提供另一狀態 S1 發生、在介於時間 t9 與 t11 之間的時間期間內數位脈動訊號 474 提供另一狀態 S2 發生、在介於時間 t11 與 t11.5 之間的時間期間內數

位脈動訊號 474 提供另一狀態 S3 發生、在介於時間 t11.5 與 t12 之間的時間期間內數位脈動訊號 474 提供另一狀態 S4 發生。

【0181】參數 476A 在數位脈動訊號 474 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR6 處。參數 476A 實質上在時間 t3 處自參數位準 PR6 轉變為參數位準 PR0.1，並在數位脈動訊號 474 具有狀態 S2 之時間 t3 與 t5 之間的時間期間內維持於參數位準 PR0.1 處。參數 476A 實質上在時間 t5 處自參數位準 PR0.1 轉變為參數位準 PR5，並在數位脈動訊號 474 具有狀態 S3 之時間 t5 與 t5.5 之間的時間期間內維持於參數位準 PR5 處。參數 476A 實質上在時間 t5.5 處自參數位準 PR5 轉變為參數位準 PR3，並在數位脈動訊號 474 具有狀態 S4 之時間 t5.5 與 t6 之間的時間期間內維持於參數位準 PR3 處。

【0182】參數 476A 實質上在時間 t6 處自參數位準 PR3 轉變為參數位準 PR6 並在數位脈動訊號 474 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR6 處。參數 476A 實質上在時間 t9 處自參數位準 PR6 轉變為參數位準 PR0.1 並在數位脈動訊號 474 具有狀態 S2 之時間 t9 與 t11 之間的時間期間內維持於參數位準 PR0.1 處。參數 476A 實質上在時間 t11 處自參數位準 PR0.1 轉變為參數位準 PR5 並在數位脈動訊號 474 具有狀態 S3 之時間 t11 與 t11.5 之間的時間期間內維持於參數位準 PR5 處。參數 476A 實質上在時間 t11.5 處自參數位準 PR5 轉變為參數位準 PR3 並在數位脈動訊號 474 具有狀態 S4 之時間 t11.5 與 t12 之間的時間期間內維持於參數位準 PR3 處。參數 476A 實質上在時間 t12 處自參數位準 PR3 轉變為參數位準 PR6。

【0183】參數 476B 在數位脈動訊號 474 具有狀態 S1 之時間 t0 與 t3 之間的時間期間內係位於參數位準 PR4 處。參數 476B 實質上在時間 t3 處自參數位

準 PR4 轉變為參數位準 PR0.1，並在數位脈動訊號 474 具有狀態 S2 之時間 t3 與 t5 之間的時間期間內維持於參數位準 PR0.1 處。參數 476B 實質上在時間 t5 處自參數位準 PR0.1 轉變為參數位準 PR3.5，並在數位脈動訊號 474 具有狀態 S3 之時間 t5 與 t5.5 之間的時間期間內維持於參數位準 PR3.5 處。參數 476B 實質上在時間 t5.5 處自參數位準 PR3.5 轉變為參數位準 PR2，並在數位脈動訊號 474 具有狀態 S4 之時間 t5.5 與 t6 之間的時間期間內維持於參數位準 PR2 處。

【0184】參數 476B 實質上在時間 t6 處自參數位準 PR2 轉變為參數位準 PR4，並在數位脈動訊號 474 具有狀態 S1 之時間 t6 與 t9 之間的時間期間內維持於參數位準 PR4 處。參數 476B 實質上在時間 t9 處自參數位準 PR4 轉變為參數位準 PR0.1，並在數位脈動訊號 474 具有狀態 S2 之時間 t9 與 t11 之間的時間期間內維持於參數位準 PR0.1 處。參數 476B 實質上在時間 t11 處自參數位準 PR0.1 轉變為參數位準 PR3.5，並在數位脈動訊號 474 具有狀態 S3 之時間 t11 與 t11.5 之間的時間期間內維持於參數位準 PR3.5 處。參數 476B 實質上在時間 t11.5 處自參數位準 PR3.5 轉變為參數位準 PR2，並在數位脈動訊號 474 具有狀態 S4 之時間 t11.5 與 t12 之間的時間期間內維持於參數位準 PR2 處。參數 476B 實質上在時間 t12 處自參數位準 PR2 轉變為參數位準 PR4。

【0185】在各種實施例中，參數 476A 實質上在時間 t3 處或在時間 t9 處自參數位準 PR6 轉變為例如介於參數位準 PR0.1 與 PR3 之間的另一參數位準或參數位準 0，並在狀態 S2 之時間期間內維持於該另一參數位準處。又，參數 476A 實質上在時間 t5 處或在時間 t11 處自參數位準 PR0.1 轉變為介於參數位準 PR3 與 PR6 之間的另一參數位準，並在狀態 S3 之時間期間內維持於該另一參數位準處。參數 476A 實質上在時間 t5.5 處或在時間 t11.5 處自參數位準 PR5 轉

變為介於參數位準 PR0.1 與 PR5 之間的另一參數位準，並在狀態 S4 之時間期間內維持於該另一參數位準處。

【0186】在某些實施例中，參數 476B 實質上在時間 t3 處或在時間 t9 處自參數位準 PR4 轉變為例如介於參數位準 PR0.1 與 PR2 之間的另一參數位準，並在狀態 S2 之時間期間內維持於該另一參數位準處。又，參數 476B 實質上在時間 t5 處或在時間 t11 處自參數位準 PR0.1 轉變為介於參數位準 PR2 與 PR4 之間的另一參數位準，並在狀態 S3 之時間期間內維持於該另一參數位準處。參數 476B 實質上在時間 t5.5 處或在時間 t11.5 處自參數位準 PR3.5 轉變為介於參數位準 PR0.1 與 PR3.5 之間的另一參數位準，並在狀態 S4 之時間期間內維持於該另一參數位準處。

【0187】在某些實施例中，主機電腦的處理器修改數位脈動訊號 474，以改變數位脈動訊號 474 之狀態 S2 之持續時間及/或改變數位脈動訊號 474 之狀態 S3 之持續時間。例如，主機電腦的處理器修改數位脈動訊號 474 使邏輯位準 2 的持續時間久於或短於時間 t3 與 t5 之間的時間期間及/或修改數位脈動訊號 474 使邏輯位準 1 的持續時間久於或短於時間 t5 與 t5.5 之間的時間期間。

【0188】圖 5A 為藉著施加兩狀態脈動而受到處理之基板 500 的一實施例。基板 500 為圖 1A、1B、3A 及 3B 之基板 S 的一實施例。基板 500 包含基板層的一部分 504A 及基板層的另一部分 504B。基板 500 更包含遮罩層的一部分 502A 及遮罩層之另一部分 502B。遮罩層係位於基板層之上部上方。

【0189】在兩狀態脈動中，於第一狀態期間進行遮罩層濺射並將遮罩層的材料沉積部分 502A 與 502B 上以減少在部分 502A 之垂直層與部分 502B 之垂直層之間之頸部的寬度。在遮罩層上沉積遮罩層之材料有時在文中被稱為鈍

化。遮罩層的材料被顯示為圖 5A 上的圓圈。由於頸部之寬度的縮減，當使用電漿室 110 內之電漿之電漿離子於第一狀態期間蝕刻基板 500 時，在基板層的部分 502A 與 502B 之垂直層之間產生弓形。

【0190】圖 5B 為藉著施加兩狀態脈動而受到處理之基板 500 的一實施例。在兩狀態脈動中，於第二狀態期間在遮罩層上沉積沉積材料如銅或其他金屬或氧化物。被沉積在遮罩層上之沉積材料係顯示為部分 502A 與 502B 上的 X。

【0191】圖 5C 為基板 500 的一實施例，其例示數位脈動訊號 DPS1 之狀態 S1 在基板 500 上的效應。在數位脈動訊號 DPS1 或 DPS2 的狀態 S1 期間，藉著施加圖 1A 與 1B 之 RF 訊號 116A 與 116B 蝕刻基板層。例如，在數位脈動訊號 DPS1 的狀態 S1 期間進行高深寬比蝕刻。狀態 S1 期間之基板 500 的高深寬比蝕刻為介電質蝕刻操作的一實施例。在蝕刻基板層期間，在遮罩層的上部上發生遮罩層的粒子濺射及沉積，以減少部分 502A 與 502B 之間之頸部的寬度。然而，由於數位脈動訊號 DPS1 之狀態 S1 進行的時間短於兩狀態脈動之第一狀態的時間，因此較少量的遮罩層粒子沉積在遮罩層上。

【0192】圖 5D 為基板 500 的一實施例，其例示數位脈動訊號 DPS1 之狀態 S2 在基板 500 上的效應。在數位脈動訊號 DPS1 的狀態 S2 或數位脈動訊號 DPS2 之狀態 S2 與 S3 期間，藉著電漿室 110 內的電漿向下濺射沉積在遮罩層上方上之遮罩層粒子。例如，沉積在遮罩層上方上之遮罩層粒子朝向基板層向下濺射，以增加遮罩層之頸部之關鍵尺寸並促進增加基板層內任何弓形位置處的中性鈍化層。頸部之關鍵尺寸的增加能增加垂直蝕刻的機會並減少基板層之橫向蝕刻的機會。弓形位置處之中性鈍化層的增加能減少因任何橫向蝕刻在基

板層內產生弓形的機會。例如，當施加文中所述之三或四狀態脈動而處理基板 400 時，相較於施加兩狀態脈動可縮減 10%至 20%之基板層內的弓形。弓形的縮減有助於達到基板層的垂直輪廓。因此能最少化或消除基板層中的弓形。

【0193】圖 5E 為基板 500 的一實施例，其例示數位脈動訊號 DPS1 之狀態 S3 在基板 500 上的效應。在數位脈動訊號 DPS1 的狀態 S3 期間，將沉積材料的粒子沉積至遮罩層上。例如，在數位脈動訊號 DPS1 的狀態 S3 期間，在遮罩層上進行直接離子沉積且減少遮罩層材料濺射再沉積於遮罩層的頸部處。狀態 S3 期間之沉積材料的粒子沉積為沉積操作的一實例。

【0194】由於在數位脈動訊號 DPS1 的狀態 S2 或數位脈動訊號 DPS2 的狀態 S2 與 S3 期間遮罩層的粒子自遮罩層向下濺射至基板層，因此增加了遮罩層之頸部的寬度而增加在狀態 S1 期間蝕刻基板層之蝕刻率並增加基板層之選擇比。蝕刻率的增加能促進達成高深寬比介電質蝕刻。

【0195】圖 6 為圖 600 的一實施例，其例示線 602 與 604，線 602 與 604 繪示基板層之任何弓形之最大(max)關鍵尺寸(CD)對弓形之最小(min)關鍵尺寸的關係。每一關鍵尺寸的量測單位為奈米(nm)。線 602 繪示當兩狀態脈動施加至圖 1A、1B、3A 及 3B 之電漿室 110 時 y 軸上的最大 CD 對 x 軸上的最小 CD 的關係。又，線 604 繪示當多狀態脈動如三狀態脈動或四狀態脈動施加至電漿室 110 時 y 軸上的最大 CD 對 x 軸上的最小 CD 的關係。沿著 x 軸有數字 X'、X'+2、X'+4、X'+6 及 X'+8。應注意，文中所用的 X'為大於或等於 0 的實數。又，沿著 y 軸有數字 X'+11、X'+12、X'+13、X'+14、X'+15 及 X'+16。

【0196】在三狀態脈動中，產生及供給圖 1A 與 1B 之 RF 訊號 116A 與 116B。又，在四狀態脈動中，產生及供給圖 3A 與 3B 之 RF 訊號 308A 與

308B。應注意，當施加多狀態脈動時，對於相同量的最大 CD 而言最小 CD 增加，對於相同量的最小 CD 而言最大 CD 減少。文中所述之基板層之弓形的關鍵尺寸為基板層之弓形的寬度，如圖 5C 至 5E 之基板部分 504A 與 504B 之弓形間的寬度。類似地，文中所述之遮罩層之關鍵尺寸為遮罩層的寬度，如圖 5C 至 5E 之部分 502A 與 502B 之間的寬度。

【0197】 又，調整如增加或減少數位脈動訊號 DPS1 之狀態 S2 期間 RF 訊號 116A 之參數位準及/或數位脈動訊號 DPS1 之狀態 S2 期間 RF 訊號 116B 之參數位準，以使線 604 進一步沿著圖 600 之 y 軸垂直向下移動而更靠近目標區域。RF 訊號 116A 之參數位準及/或 RF 訊號 116B 之參數位準係由主機電腦的處理器所調整。主機電腦的處理器將參數位準的調整如圖 2A 之參數 208A 之參數位準 PR3 的增加或減少、圖 2A 之參數 208B 之參數位準 PR2 的增加或減少、圖 2B 之參數 256A 之參數位準 PR0.1 的增加或減少、圖 2B 之參數 256B 之參數位準 PR0.1 的增加或減少等、或經調整的參數位準發送至圖 1A 與 1B 之源產生器 102 與偏壓產生器 104 的數位訊號處理器以調整參數位準。

【0198】 又，在四狀態脈動的情況中，調整如增加或減少數位脈動訊號 DPS2 之狀態 S2 期間之 RF 訊號 308A 之參數位準、數位脈動訊號 DPS2 之狀態 S2 期間之 RF 訊號 308B 之參數位準、數位脈動訊號 DPS2 之狀態 S3 期間 RF 訊號 308A 之參數位準、及/或調整如增加或減少數位脈動訊號 DPS2 之狀態 S3 期間之 RF 訊號 308B 的參數位準，以使線 604 進一步沿著圖 600 之 y 軸垂直向下移動而更靠近目標區域。RF 訊號 308A 之參數位準及/或 RF 訊號 308B 之參數位準係由主機電腦的處理器調整。主機電腦的處理器將參數位準的調整如圖 4A 之參數 408A 之參數位準 PR5.5 的增加或減少、圖 4A 之參數 408B 之參數位

準 PR3.5 的增加或減少、圖 4A 之參數 408A 之參數位準 PR0.1 的增加或減少、圖 4A 之參數 408B 之參數位準 PR0.1 的增加或減少等、或經調整的參數位準發送至圖 3A 與 3B 之源產生器 302 與偏壓產生器 304 的數位訊號處理器以調整參數位準。

【0199】參數位準之調整的其他實例包含圖 4B 之參數 456A 之參數位準 PR5 的增加或減少、參數 456A 之參數位準 PR3 的增加或減少、參數 456B 之參數位準 PR3 的增加或減少、參數 456B 之參數位準 PR2 的增加或減少、圖 4C 之參數 476A 之參數位準 PR0.1 的增加或減少、參數 476A 之參數位準 PR5 的增加或減少、參數 476A 之參數位準 PR4 的增加或減少、參數 476B 之參數位準 PR0.1 的增加或減少、及參數 476B 之參數位準 PR3.5 的增加或減少。

【0200】圖 7A 為圖 700 之一實施例，其例示繪於 y 軸上之未打開之缺陷對繪於 x 軸上之蝕刻後檢驗(AEI)弓形 CD 之關係的線 702。圖 700 亦包含線 704。線 702 係於施加兩狀態脈動時產生而線 704 係於施加多狀態脈動時產生。文中所述之未打開之缺陷的實例為形成於基板 S 內但未到達基板層底部之通道如孔洞的數目。當施加多狀態脈動時，針對相同量之到達基板層底部的孔洞，在於基板 S 上進行蝕刻操作後基板層之弓形的關鍵尺寸減少。

【0201】圖 7B 為圖 706 之一實施例，其例示繪於 y 軸上之未打開之缺陷對繪於 x 軸上之顯影後檢驗(ADI) 弓形 CD 之關係的線 708。ADI 檢驗為在將蝕刻操作施加至基板 S 上之前所進行的檢驗。圖 706 亦包含線 710。線 708 係於施加兩狀態脈動時產生而線 710 係於施加多狀態脈動時產生。如圖 706 中所示，當施加多狀態脈動時，針對相同量之到達基板層底部的孔洞，在於基板 S 上進行蝕刻操作前基板層之弓形的關鍵尺寸減少。

【0202】圖 7C 為圖 712 之一實施例，其例示繪於 y 軸上之未打開之缺陷對繪於 x 軸上之蝕刻選擇比(sel)之關係的線 714。蝕刻選擇比為基板層相對於遮罩層的蝕刻選擇比。圖 712 亦包含線 716。線 714 係於在基板 S 上施加兩狀態脈動時產生而線 716 係於在基板 S 上施加多狀態脈動時產生。如圖 712 中所示，當施加多狀態脈動時，針對相同量之到達基板層底部的孔洞，基板層的蝕刻選擇比增加。

【0203】圖 7D 為 718 之一實施例，其例示繪於 y 軸上之特定蝕刻率對深寬比之關係的線 720。深寬比為蝕刻基板層之蝕刻深度與基板層之弓形之關鍵尺寸的比值。深寬比係繪示於 x 軸上。特定蝕刻率為特定基板層深度處的基板層蝕刻率。圖 718 亦包含線 722。線 720 係於施加兩狀態脈動時產生而線 722 係於施加多狀態脈動時產生。如圖 718 中所示，當施加多狀態脈動時，針對相同的特定蝕刻率，深寬比增加。

【0204】文中所述之實施例可以各種電腦系統配置實施，包含手持硬體單元、微處理器系統、微處理器系或可程式化之消費電子裝置、迷你電腦、主機電腦等。實施例亦可在分散的計算環境中施行，在分散環境中任務係藉著經網路連接在一起之遠端處理硬體單元實施。

【0205】在某些實施例中，控制器為系統的一部分，系統可為上述實例的一部分。此類系統包含半導體製程設備，半導體製程設備包含處理工具或複數處理工具、處理室或複數處理室、處理平臺或複數平臺、及/或特定的處理元件(晶圓座臺、氣體流動系統等)。此些系統係與一些電子裝置整合，此些電子裝置係用以在半導體晶圓或基板的處理之前、期間及之後控制系統的操作。此些電子裝置係稱為「控制器」，其可控制系統或複數系統的各種元件或子部

件。取決於處理需求及/或系統類型，控制器可被程式化以控制文中所揭露的任何處理，處理包含處理氣體的輸送、溫度設定(如加熱及/或冷卻)、壓力設定、真空設定、功率設定、RF 產生器設定、RF 匹配電路設定、頻率設定、流率設定、流體輸送設定、位置與操作設定、晶圓傳輸進入或離開設備與連接至系統或與系統具有界面的其他傳輸設備及/或裝載互鎖機構。

【0206】 概括地說，在各種實施例中，控制器可被定義為具有各種積體電路、邏輯、記憶體及/或軟體的電子裝置，其可接收指令、發佈指令、控制操作、致能清理操作、致能終點量測等。積體電路可包含儲存了程式指令之具有韌體形式的晶片、數位訊號處理器(DSP)、被定義為特殊應用積體電路(ASIC)的晶片、PLD、及/或能執行程式指令(如軟體)的一或多個微處理器或微控制器。程式指令可為與控制器通訊之具有各種獨立設定(或程式檔案)形式的指令，其定義為了在半導體晶圓上或針對半導體晶圓或對系統進行特定處理所用的參數、因子、變數等。在某些實施例中，程式指令為製程工程師為了完成一或多膜層、材料、金屬、氧化物、矽、二氧化矽、表面、電路及/或晶圓之晶粒之製造期間的一或多個製程步驟所定義之配方的一部分。

【0207】 在某些實施例中控制器為整合至系統、耦合至系統、藉由網路連接至系統、或其組合的電腦的一部分或控制器耦合至電腦。例如，控制器係位於「雲端」中或工廠主機電腦系統的全部或部分中，這允許使用者遠端接取晶圓處理。電腦致能遠端接取系統以監控製造操作的目前進展、檢視過去製造操作的歷程、自複數製造操作檢視驅勢或效能度量、改變現有處理的參數、設定處理步驟以符合現有處理、或開始一新的製程。

【0208】 在某些實施例中，遠端電腦(如伺服器)可經由電腦網路對系統提供處理配方，電腦網路包含區域網路或網際網路。遠端電腦可包含使用者介面，使用者介面讓使用者能進入或程式化參數及/或設定，然後自遠端電腦與系統通訊。在某些實例中，控制器接收數據形式的指令，此些指令指定在一或多個操作期間欲進行之每一處理步驟用的複數參數、因子、及/或變數。應瞭解，複數參數、因子、及/或變數係特別針對欲施行之處理的類型及控制器用以交界或控制之設備的類型。因此如上所述，可分散控制器如藉著包含一或多個藉由網路互連並朝向共同目的如文中所述之處理與控制工作的離散控制器。為了此類目的的分散控制器的實例包含處理室上的一或多個積體電路，其係與一或多個位於遠端(例如位於平臺位準處或為遠端電腦的一部分)的積體電路通訊而共同控制處理室中的處理。

【0209】 不受限地，在各種實施例中，可應用方法的例示系統包含電漿蝕刻室或模組、沉積室或模組、旋轉沖洗室或模組、金屬鍍室或模組、清理室或模組、邊緣蝕刻室或模組、物理氣相沉積(PVD)室或模組、化學氣相沉積(CVD)室或模組、原子層沉積(ALD)室或模組、原子層蝕刻(ALE)室或模組、離子植入室或模組、軌道室或模組、及和半導體晶圓之製造相關及/或用於製造的任何其他半導體處理系統。

【0210】 更應注意，在某些實施例中，雖然上述操作可應用至數種電漿室如包含感應耦合電漿(ICP)反應器的電漿室、變壓器耦合電漿室、導體設備、介電設備、包含電子迴旋共振(ECR)反應室的電漿室等。例如，一或多個 RF 產生器係耦合至 ICP 反應器內的一電感。電感形狀的實例包含螺管、圓頂形線圈、平面形線圈等。

【0211】 如上所述，取決於設備所欲進行的處理步驟或複數步驟，主機可與下列的一或多者通訊交流：其他設備電路或模組、其他設備的元件、叢集設備、其他設備的界面、相鄰設備、鄰近設備、位於工廠內的設備、主電腦、另一控制器、或半導體製造工廠中用以將晶圓容器載入與載出設備位置及/或裝載接口的材料運輸用設備。

【0212】 考慮到上述實施例，應瞭解，某些實施例可進行涉及儲存在電腦系統中之數據的各種電腦施行操作。此些電腦施行操作為需要操控物理數量的操作。形成實施例之文中所述操作的任何操作對於機械操作皆為有用的。

【0213】 某些實施例亦關於用以執行此些操作的硬體單元或設備。可針對專門用途的電腦專門建構設備。當一電腦被定義為專門用途之電腦時，此電腦除了能夠針對專門用途運行之外，亦可進行其他處理、程式執行或其他非屬特別用途的子程式。

【0214】 在某些實施例中，操作可由儲存在電腦記憶體、快取記憶體、或自電腦網路所獲得的一或多個電腦程式所配置或選擇性活化的電腦所執行。當數據係自電腦網路獲得時，該數據可由電腦網路上的其他電腦如雲端計算資源所處理。

【0215】 亦可將文中所述之一或多個實施例製作成非瞬變電腦可讀媒體上的電腦可讀碼。非瞬變電腦可讀媒體可以是可儲存數據且後續可被電腦系統讀取的任何數據儲存硬體單元如記憶體裝置。非瞬變電腦可讀媒體的實例包含硬碟、網路附加儲存(NAS)、ROM、RAM、光碟-ROM(CD-ROM)、可錄CD(CD-R)、可重覆寫入之 CD(CD-RW)、磁帶及其他光學式及非光學式儲存硬

體單元。在某些實施例中，非瞬變電腦可讀媒體可包含分散於網路耦合電腦系統的電腦可讀實質媒體，因此電腦可讀碼係以分散方式儲存及執行。

【0216】雖然上述某些方法操作係以特定順序說明之，但應瞭解，在各種實施例中，在方法操作之間可進行其他閒雜步驟或者可調整方法操作使其發生的時間略有不同，或者可將方法操作分配至允許方法操作以各種間隔進行的系統中，或者可以不同於文中所示的順序來進行方法操作。

【0217】更應注意，在不脫離本文所述之各種實施例的範圍的情況下，在一實施例中，來自任何上述實施例的一或多個特徵可與任何其他實施例的一或多個徵特結合。

【0218】為了讓熟知此項技藝者能清楚瞭解本發明，已詳細說明了前面的實施例，應明白，在隨附之申請專利範圍的範疇內可進行某些變化與修改。因此，此些實施例應被視為是說明性而非限制性的，且實施例並不限於文中所述的細節。

【符號說明】

【0219】

- 100 系統
- 102 源產生器
- 104 偏壓產生器
- 106 阻抗匹配電路IMCS
- 108 阻抗匹配電路IMCB
- 110 電漿室

112 基板支撐件

114 下電極

116 上電極

116A RF訊號

116B RF訊號

118 間隙

120A RF纜線

120B RF纜線

122A RF傳輸

122B RF傳輸線線

124A 驅動器系統

124B 驅動器系統

150 系統

152 阻抗匹配電路IMC

154 經修改的RF訊號

202 圖

204 圖

206 圖

208A 參數

208B 參數

210 數位脈動訊號

212 時脈訊號

250 圖

252 圖

254 數位脈動訊號

256A 參數

256B 參數

300 系統

302 源產生器

304 偏壓產生器

306A 驅動器系統

306B 驅動器系統

308A RF訊號

308B RF訊號

310A 經修改的RF訊號

310B 經修改的RF訊號

350 系統

354 經修改的RF訊號

402 圖/數位脈動訊號

404 圖/數位脈動訊號

406 圖/數位脈動訊號

408A 參數

408B 參數

450 圖

452 圖

454 數位脈動訊號

456A 參數

456B 參數

470 圖

472 圖

474 數位脈動訊號

476A 參數

476B 參數

500 基板

502A 部分

502B 部分

504A 部分

504B 部分

600 圖

602 圖

604 圖

700 圖

702 圖

704 圖

706 圖

708 圖

710 圖

712 圖

714 圖

716 圖

718 圖

720 圖

722 圖

【發明申請專利範圍】

【第1項】一種在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，該CCP室具有一第一電極與一第二電極，該CCP室係耦合至一阻抗匹配電路，該方法包含：

將一第一射頻訊號供給至該阻抗匹配電路，該第一射頻訊號包含在一重覆的時間期間內的一第一複數參數位準，該第一複數參數位準包含一第一狀態期間的一第一參數位準、一第二狀態期間的一第二參數位準、及一第三狀態期間的一第三參數位準；及

將一第二射頻訊號供給至該阻抗匹配電路以在該重覆的時間期間內輸送一第二複數參數位準，該第二複數參數位準包含該第一狀態期間的一第一參數位準、該第二狀態期間的一第二參數位準、及該第三狀態期間的一第三參數位準，

其中該第一射頻訊號及該第二射頻訊號係用以控制該CCP室中的該介電質蝕刻操作，

其中該第一射頻訊號之該第一、該第二及該第三參數位準係彼此不同，且其中該第二射頻訊號之該第一、該第二及該第三參數位準係彼此不同。

【第2項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中該阻抗匹配電路包含一偏壓阻抗匹配電路及一源阻抗匹配電路，該方法更包含：

使用該源阻抗匹配電路接收該第二射頻訊號並將一輸出提供至該第一電極；及

使用該偏壓阻抗匹配電路接收該第一射頻訊號並將一輸出提供至該第二電極。

【第3項】如申請專利範圍第2項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中該第一電極為一上電極且該第二電極為一基板支撐電極。

【第4項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，更包含使用該阻抗匹配電路基於該第一射頻訊號與該第二射頻訊號提供一輸出。

【第5項】如申請專利範圍第4項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，更包含自該阻抗匹配電路將該輸出提供至該第一電極。

【第6項】如申請專利範圍第5項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中該第一電極為一基板支撐電極。

【第7項】如申請專利範圍第5項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中該第一電極為一上電極。

【第8項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中在該第二狀態期間該第一射頻訊號及該第二射頻訊號之該些第二參數位準被設定為低於該第一狀態期間該第一射頻訊號及該第二射頻訊號之該些第一參數位準，且高於該第三狀態期間該第一射頻訊號及該第二射頻訊號之該些第三參數位準。

【第9項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中在該第三狀態期間該第一射頻訊號及該第二射頻訊號之該些第三參數位準被設定為低於該第一狀態期間該第一射頻訊號及該第二射頻訊

號之該些第一參數位準且高於該第二狀態期間該第一射頻訊號及該第二射頻訊號之該些第二參數位準。

【第10項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，更包含改變在該第二狀態內維持該第二射頻訊號之該第二參數位準的時間期間及在該第二狀態內維持該第一射頻訊號之該第二參數位準的時間期間。

【第11項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中在至多30百分比之該重覆的時間期間內維持該第一射頻訊號及該第二射頻訊號之該些第二參數位準。

【第12項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，更包含改變在該第二狀態內該第二射頻訊號所維持之該第二參數位準及改變在該第二狀態內該第一射頻訊號所維持之該第二參數位準。

【第13項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中在該第一狀態期間進行該介電質蝕刻操作並在該第三狀態期間進行一沉積操作。

【第14項】如申請專利範圍第1項之在電容耦合電漿(CCP)室中進行介電質蝕刻操作的方法，其中該第一複數參數位準包含一第四參數位準，其中供給該第一射頻訊號的步驟包含在一第四狀態期間供給該第一射頻訊號的該第四參數位準，其中該第二複數參數位準包含一第四參數位準，其中供給該第二射頻訊號的步驟包含在該第四狀態期間供給該第二射頻訊號的該第四參數位準，其中該第一射頻訊號之該第四參數位準係不同於該第一射頻訊號之該第一、該第二

及該第三參數位準中的每一者，其中該第二射頻訊號之該第四參數位準係不同於該第二射頻訊號之該第一、該第二及該第三參數位準中的每一者。

【第15項】一種在電漿室中進行介電質蝕刻操作的系統，包含：

一電漿室，具有一第一電極與一第二電極；

一阻抗匹配電路，係耦合至該電漿室；

一第一射頻產生器，係耦合至該阻抗匹配電路，其中該第一射頻產生器係用以將一第一射頻訊號供給至該阻抗匹配電路，其中該第一射頻訊號包含在一重覆的時間期間期間的一第一複數參數位準，其中該第一複數參數位準包含在一第一狀態期間的一第一參數位準、在一第二狀態期間的一第二參數位準及在一第三狀態期間的一第三參數位準；及

一第二射頻產生器，係耦合至該阻抗匹配電路，其中該第二射頻產生器係用以將一第二射頻訊號供給至該阻抗匹配電路，其中供給該第一射頻訊號及該第二射頻訊號以控制該電漿室中的介電質蝕刻操作，其中該第二射頻訊號包含在該重覆的時間期間內的一第二複數參數位準，其中該第二複數參數位準包含在該第一狀態期間的一第一參數位準、在該第二狀態期間的一第二參數位準及在該第三狀態期間的一第三參數位準，

其中該第一射頻訊號之該第一、該第二及該第三參數位準係彼此不同，且其中該第二射頻訊號之該第一、該第二及該第三參數位準係彼此不同。

【第16項】如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中該阻抗匹配電路包含一偏壓阻抗匹配電路及一源阻抗匹配電路，其中該源阻抗匹配電路係用以接收該第二射頻訊號並將一輸出提供至該第一電極，

且其中該偏壓阻抗匹配電路係用以接收該第一射頻訊號並將一輸出提供至該第二電極。

【第17項】 如申請專利範圍第16項之在電漿室中進行介電質蝕刻操作的系統，其中該第一電極為一上電極而該第二電極為一基板支撐電極。

【第18項】 如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中該阻抗匹配電路係用以基於該第一射頻訊號與該第二射頻訊號提供一輸出。

【第19項】 如申請專利範圍第18項之在電漿室中進行介電質蝕刻操作的系統，其中來自該阻抗匹配電路之該輸出係提供至該第一電極。

【第20項】 如申請專利範圍第19項之在電漿室中進行介電質蝕刻操作的系統，其中該第一電極為一基板支撐電極。

【第21項】 如申請專利範圍第19項之在電漿室中進行介電質蝕刻操作的系統，其中該第一電極為一上電極。

【第22項】 如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中該第二射頻產生器係用以將該第二狀態期間該第二射頻訊號之該第二參數位準設定為低於該第一狀態期間該第二射頻訊號之該第一參數位準且高於該第三狀態期間該第二射頻訊號之該第三參數位準，其中該第一射頻產生器係用以將該第二狀態期間該第一射頻訊號之該第二參數位準設定為低於該第一狀態期間該第一射頻訊號之該第一參數位準且高於該第三狀態期間該第一射頻訊號之該第三參數位準。

【第23項】 如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中該第二射頻產生器係用以將該第三狀態期間該第二射頻訊號之該第三

參數位準設定為低於該第一狀態期間該第二射頻訊號之該第一參數位準且高於該第二狀態期間該第二射頻訊號之該第二參數位準，其中該第一射頻產生器係用以將該第三狀態期間該第一射頻訊號之該第三參數位準設定為低於該第一狀態期間該第一射頻訊號之該第一參數位準且高於該第二狀態期間該第一射頻訊號之該第二參數位準。

【第24項】如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中該第二射頻產生器係用以改變在該第二狀態時維持該第二射頻訊號之該第二參數位準的時間期間，其中該第一射頻產生器係用以改變在該第二狀態時維持該第一射頻訊號之該第二參數位準的時間期間。

【第25項】如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中該第二射頻產生器係用以改變在該第二狀態時該第二射頻訊號所維持之該第二參數位準，且其中該第一射頻產生器係用以改變在該第二狀態時該第一射頻訊號所維持之該第二參數位準。

【第26項】如申請專利範圍第15項之在電漿室中進行介電質蝕刻操作的系統，其中在該第一狀態期間進行該介電質蝕刻操作而在該第三狀態期間進行一沉積操作。

【第27項】一種用於進行介電質蝕刻操作的控制器，包含：

一處理器，其設置以：

控制一偏壓射頻電源以產生一偏壓射頻訊號，該偏壓射頻訊號在重複的時間期間內包含一第一複數參數位準，該第一複數參數位準包含一第一狀態期間的一第一參數位準、一第二狀態期間的一第二參數位準及一第三狀態期間的一第三參數位準；及

控制一源射頻電源以產生一源射頻訊號，該源射頻訊號在該重複的時間期間內包含一第二複數參數位準，該第二複數參數位準包含該第一狀態期間的一第一參數位準、該第二狀態期間的一第二參數位準及該第三狀態期間的一第三參數位準，

其中該源射頻電源及該偏壓射頻電源係設置以耦合至一阻抗匹配電路，該阻抗匹配電路係耦合至一電漿室，

其中產生該源射頻訊號及該偏壓射頻訊號以控制該電漿室中的介電質蝕刻操作，

其中該偏壓射頻訊號的該第一、第二及第三參數位準彼此為不相同的，且其中該源射頻訊號的該第一、第二及第三參數位準彼此為不相同的；及一記憶裝置，其耦合至該處理器。

【第28項】如申請專利範圍第27項之用於進行介電質蝕刻操作的控制器，

其中該處理器係設置以將該偏壓射頻訊號的該第一、第二及第三參數位準提供至該偏壓射頻電源，其中該偏壓射頻訊號的該第二參數位準低於該偏壓射頻訊號的該第一參數位準且高於該偏壓射頻訊號的該第三參數位準，

其中該處理器係設置以將該源射頻訊號的該第一、第二及第三參數位準提供至該源射頻電源，其中該源射頻訊號的該第二參數位準低於該源射頻訊號的該第一參數位準且高於該源射頻訊號的該第三參數位準。

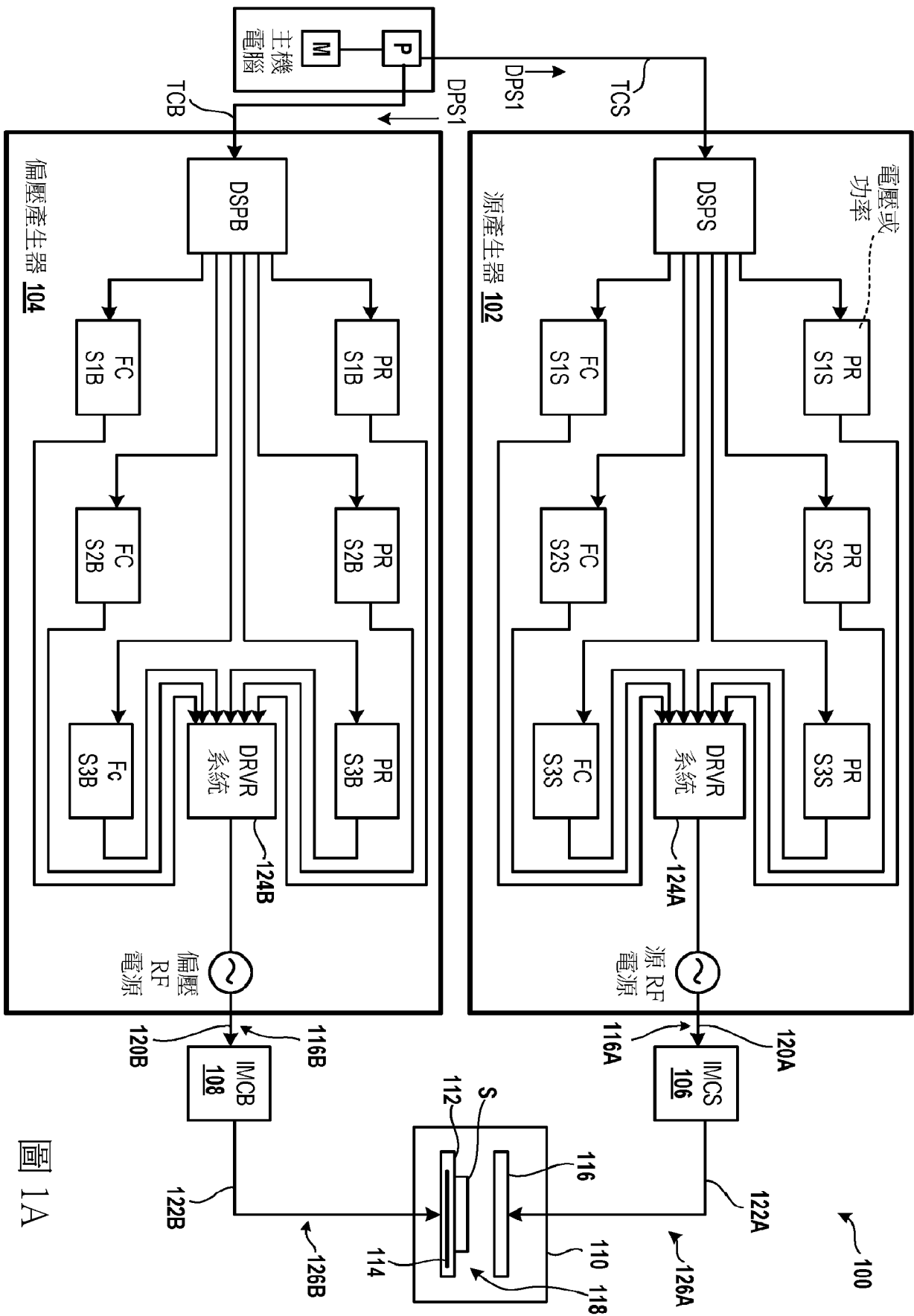


圖 1A

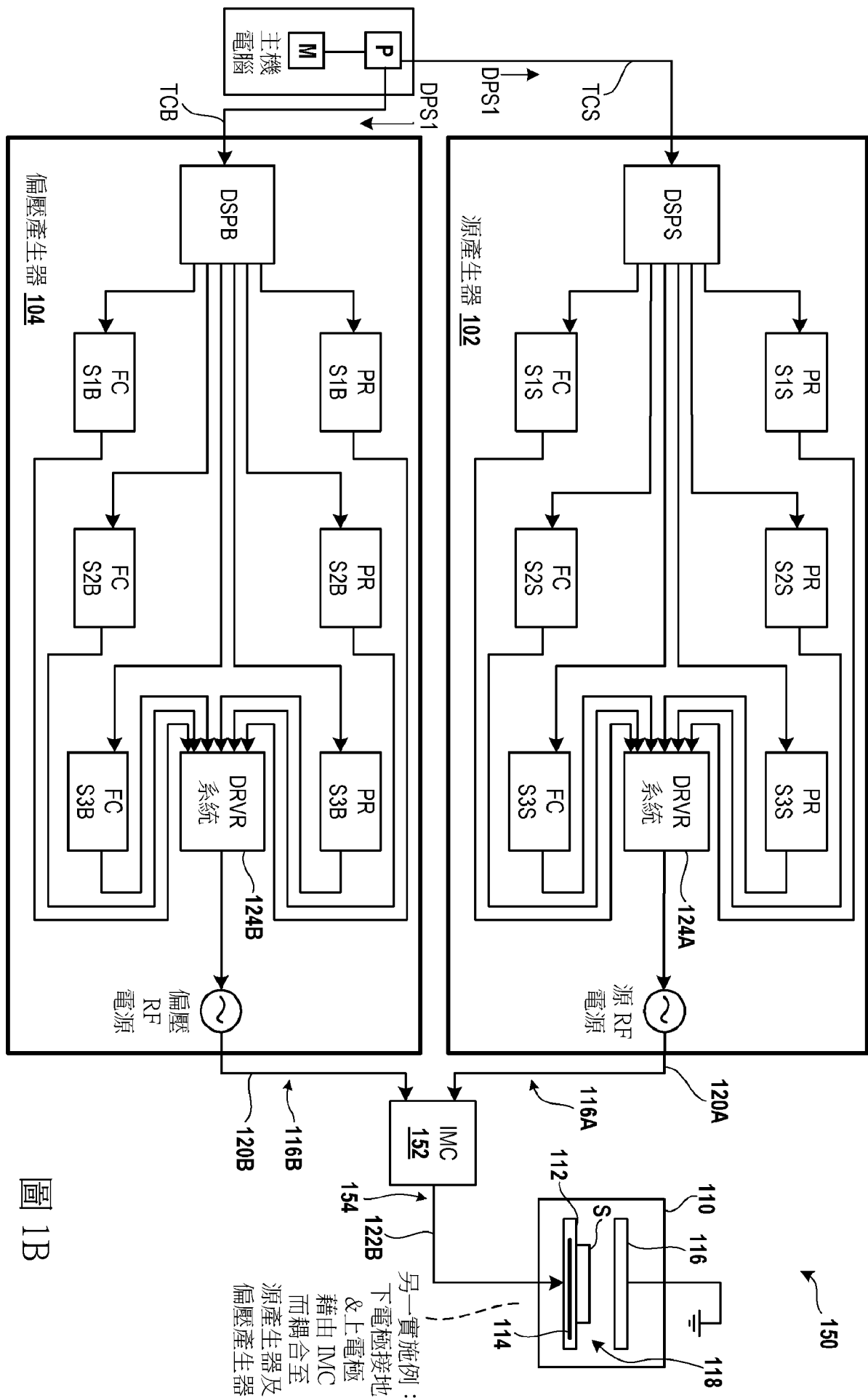


圖 1B

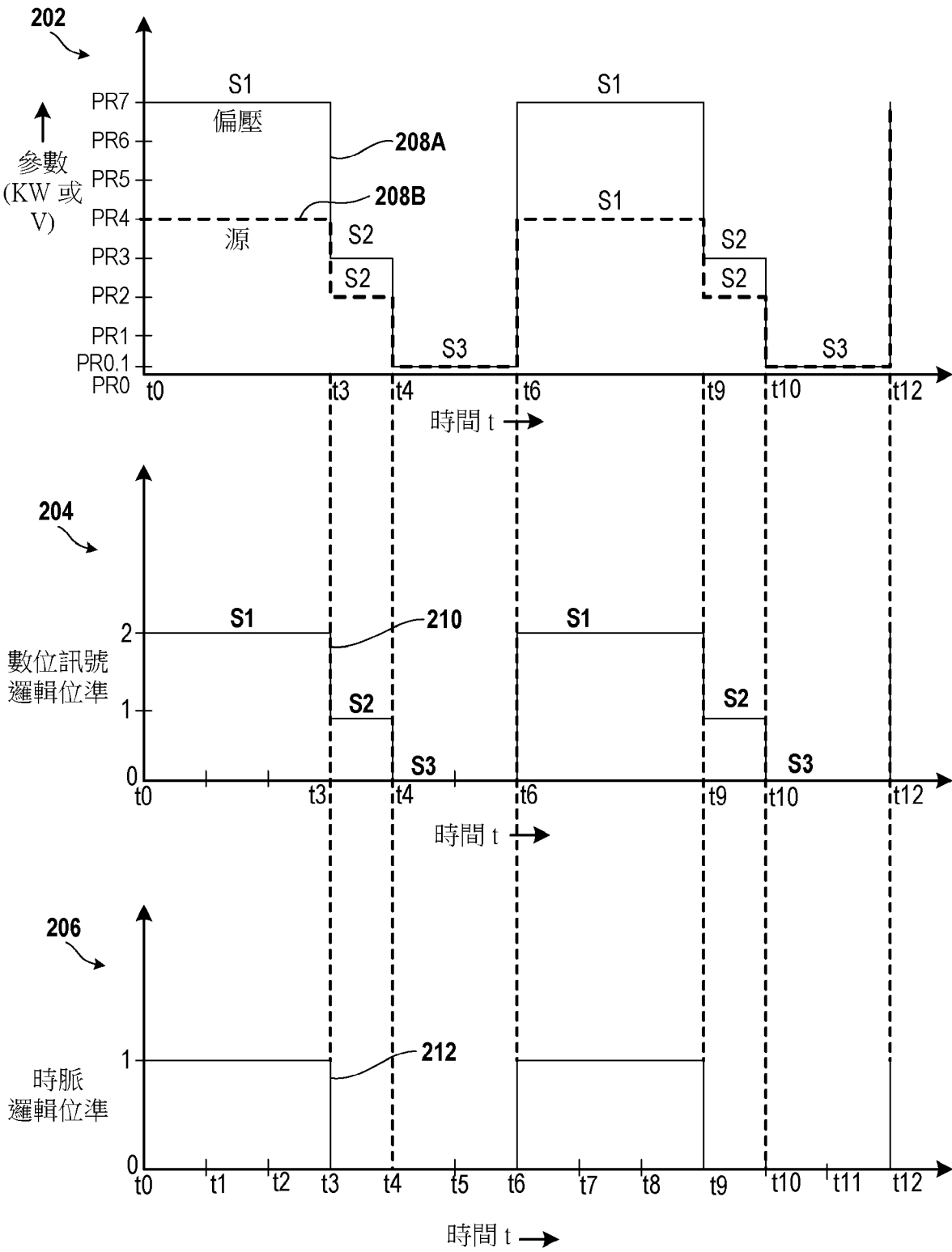


圖 2A

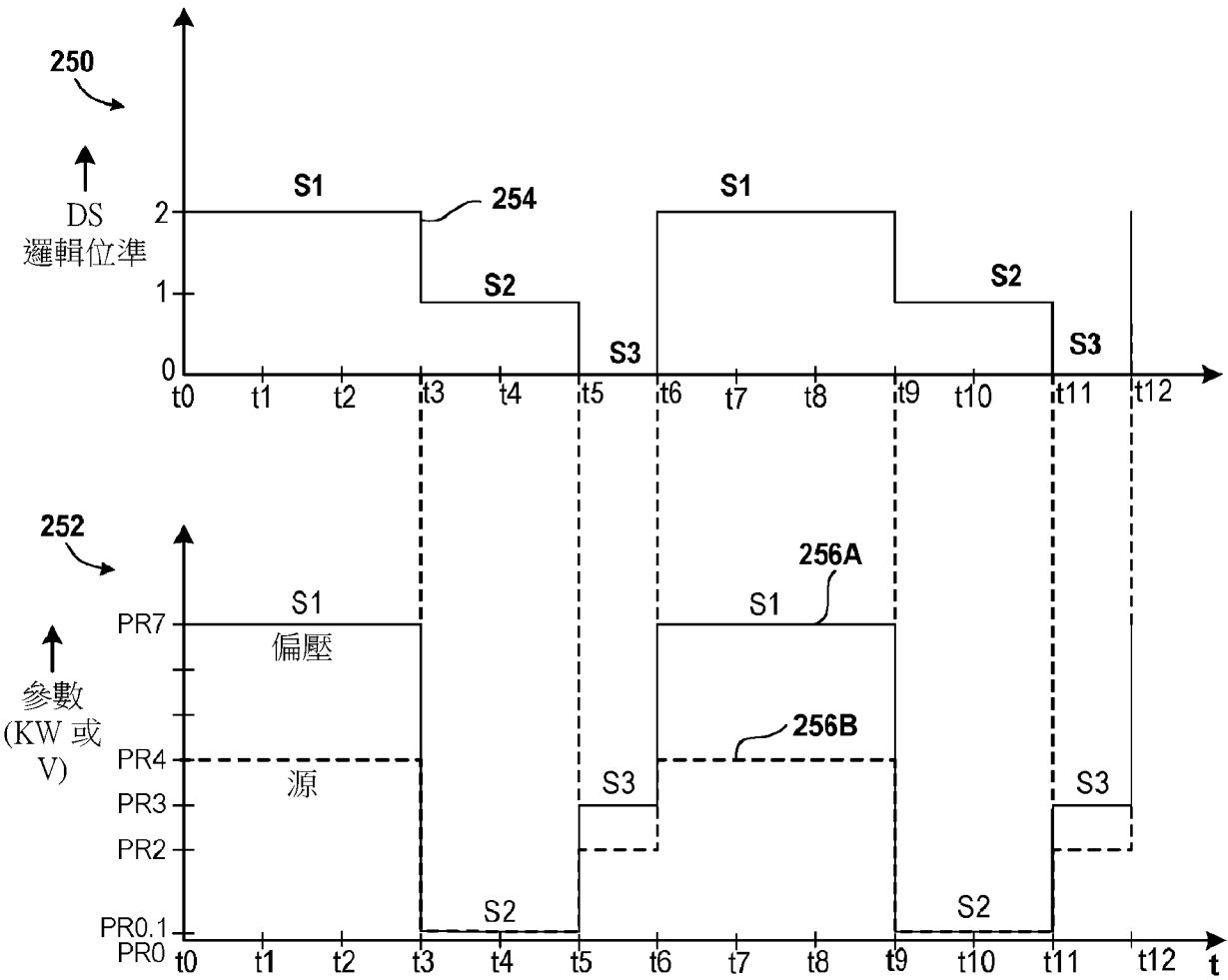


圖 2B

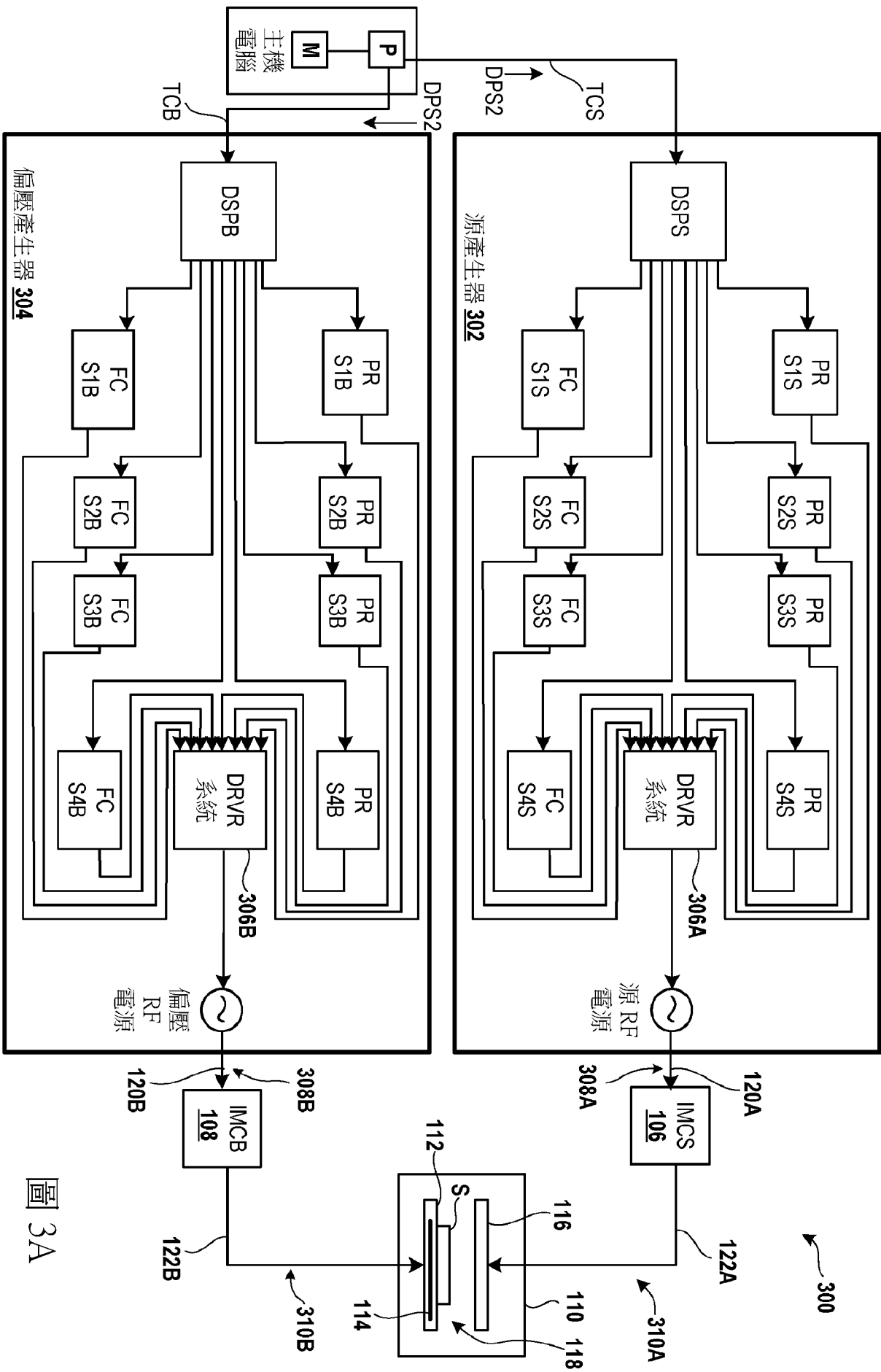


圖 3A

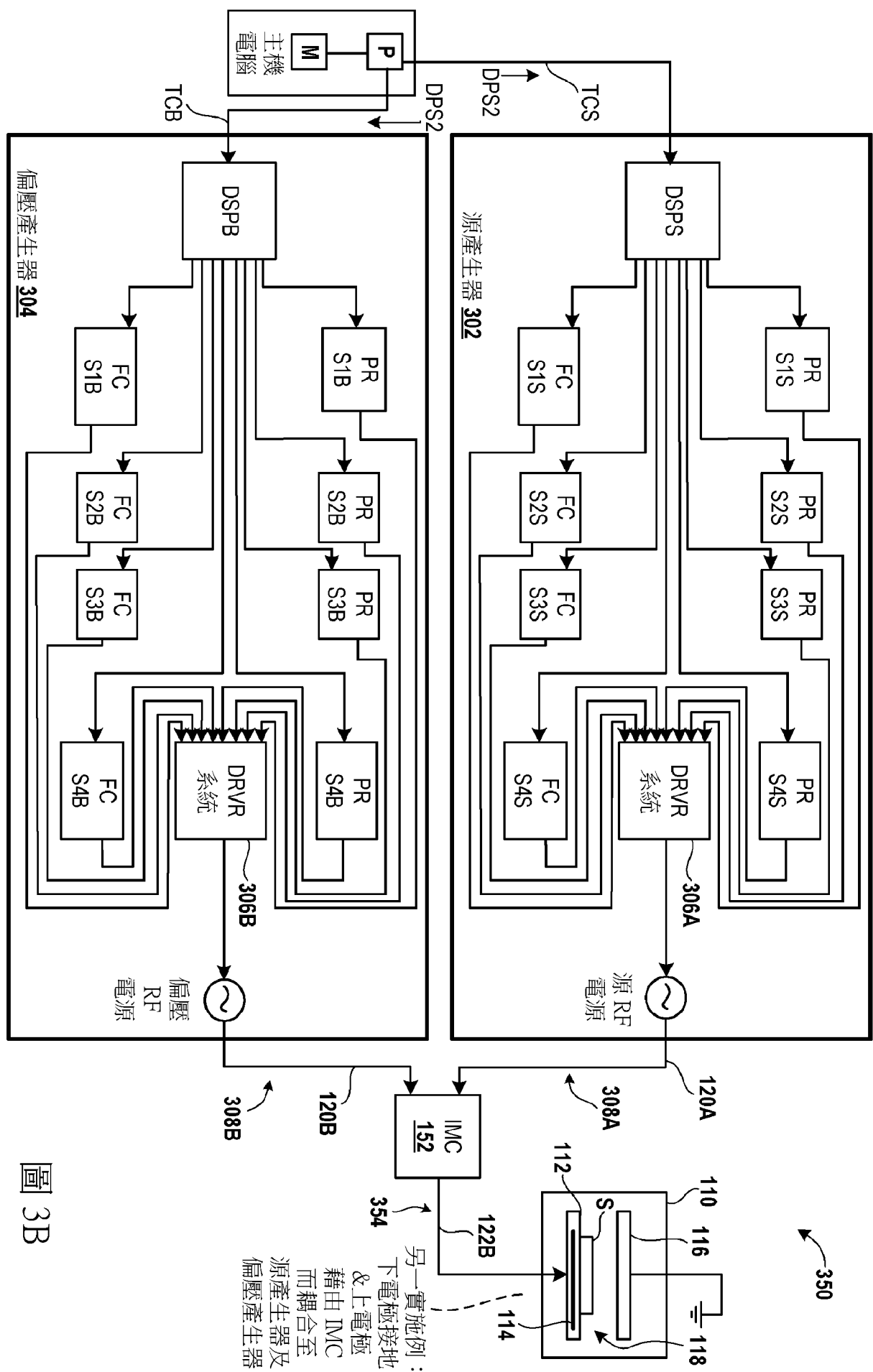


圖 3B

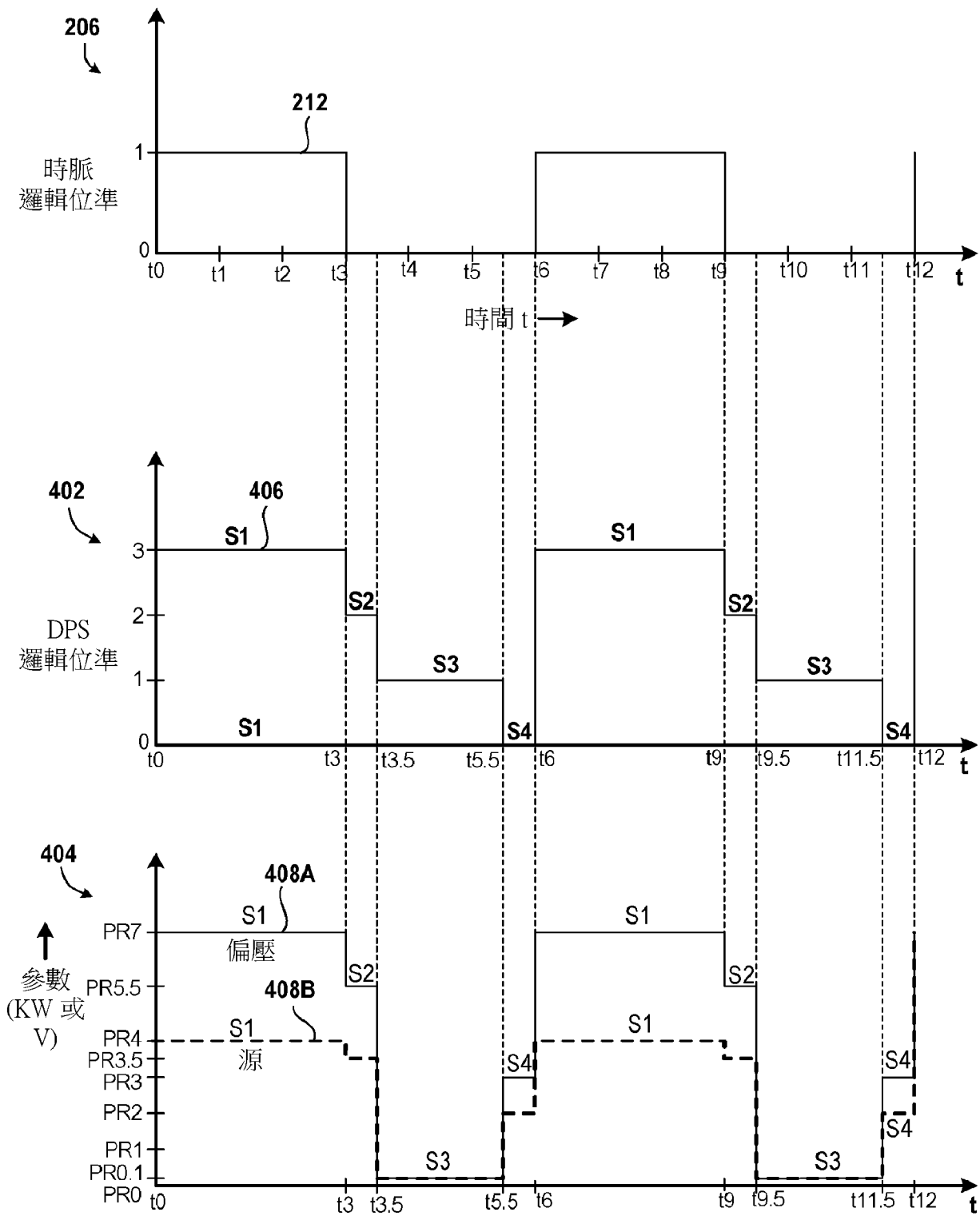


圖 4A

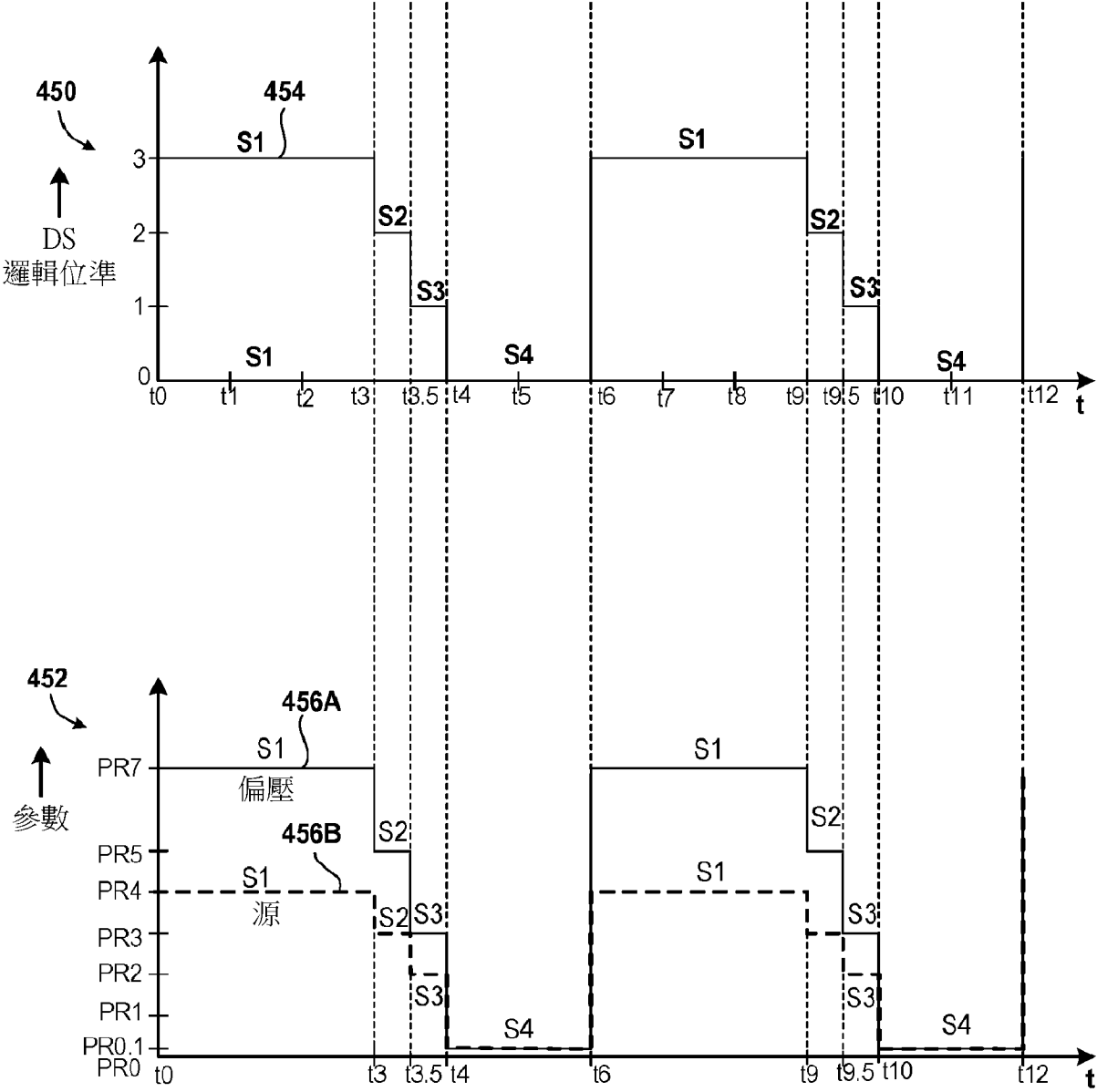


圖 4B

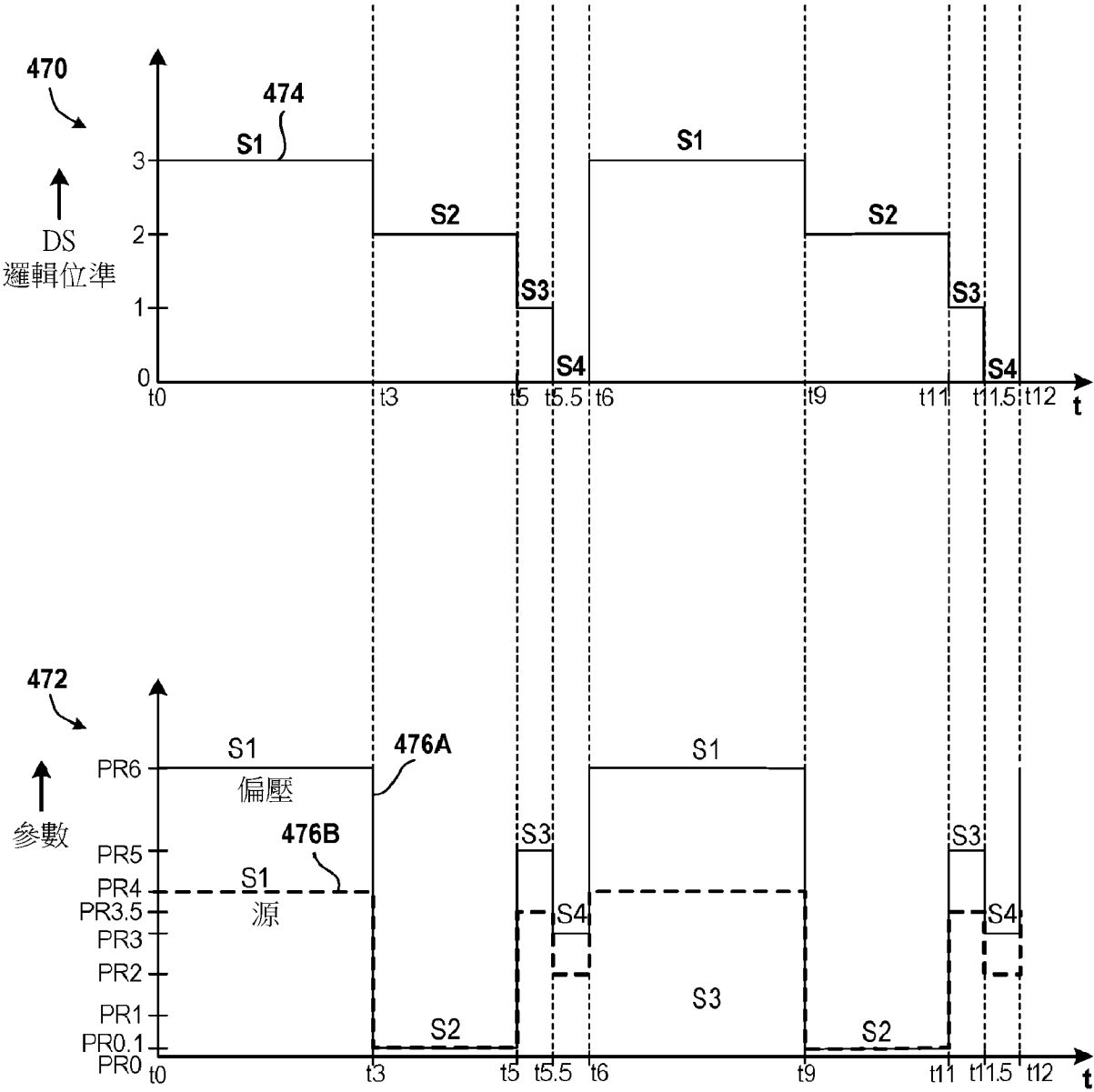


圖 4C

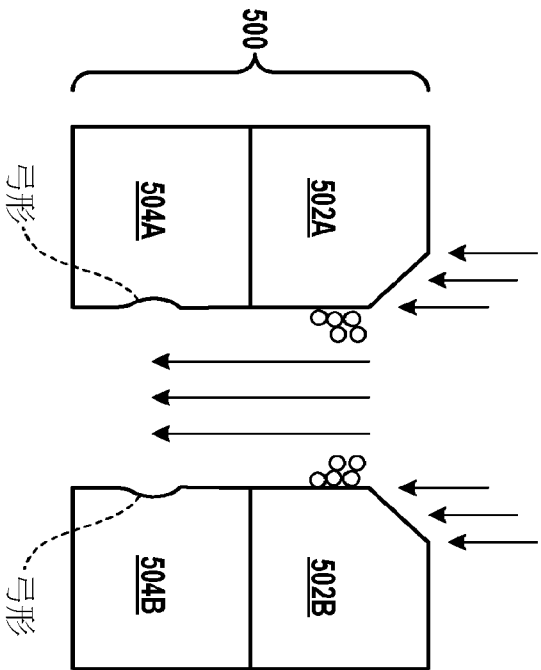


圖 5A

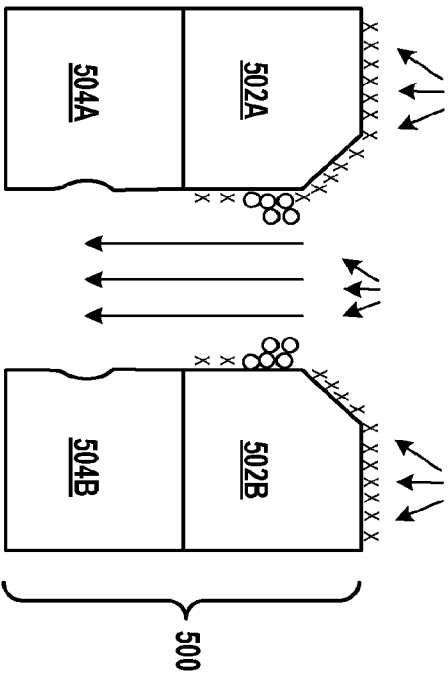


圖 5B

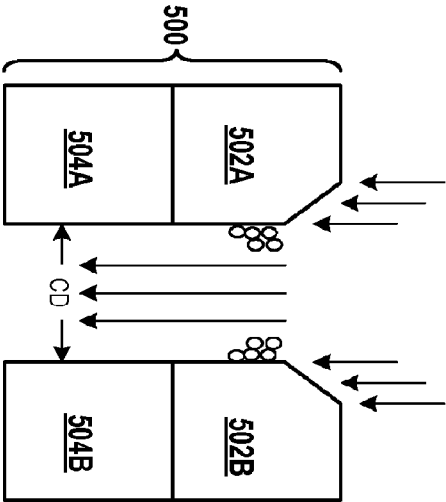


圖 5C

蝕刻 HAR
& 將遮罩
濺射至頸部

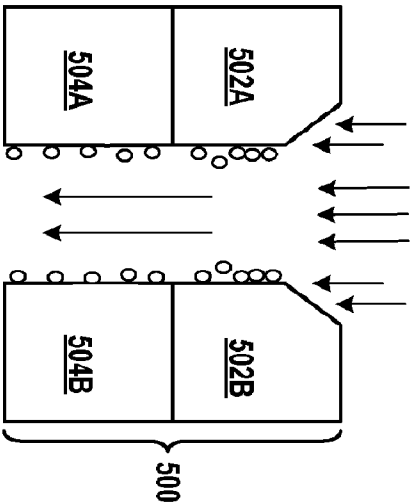


圖 5D

打開頸部
(更多中性
鈍化層至弓形)

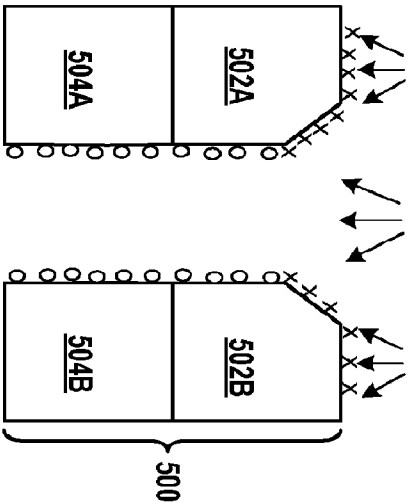


圖 5E

保護遮罩
(直接離子沉積,
離子輔助中性沉積)

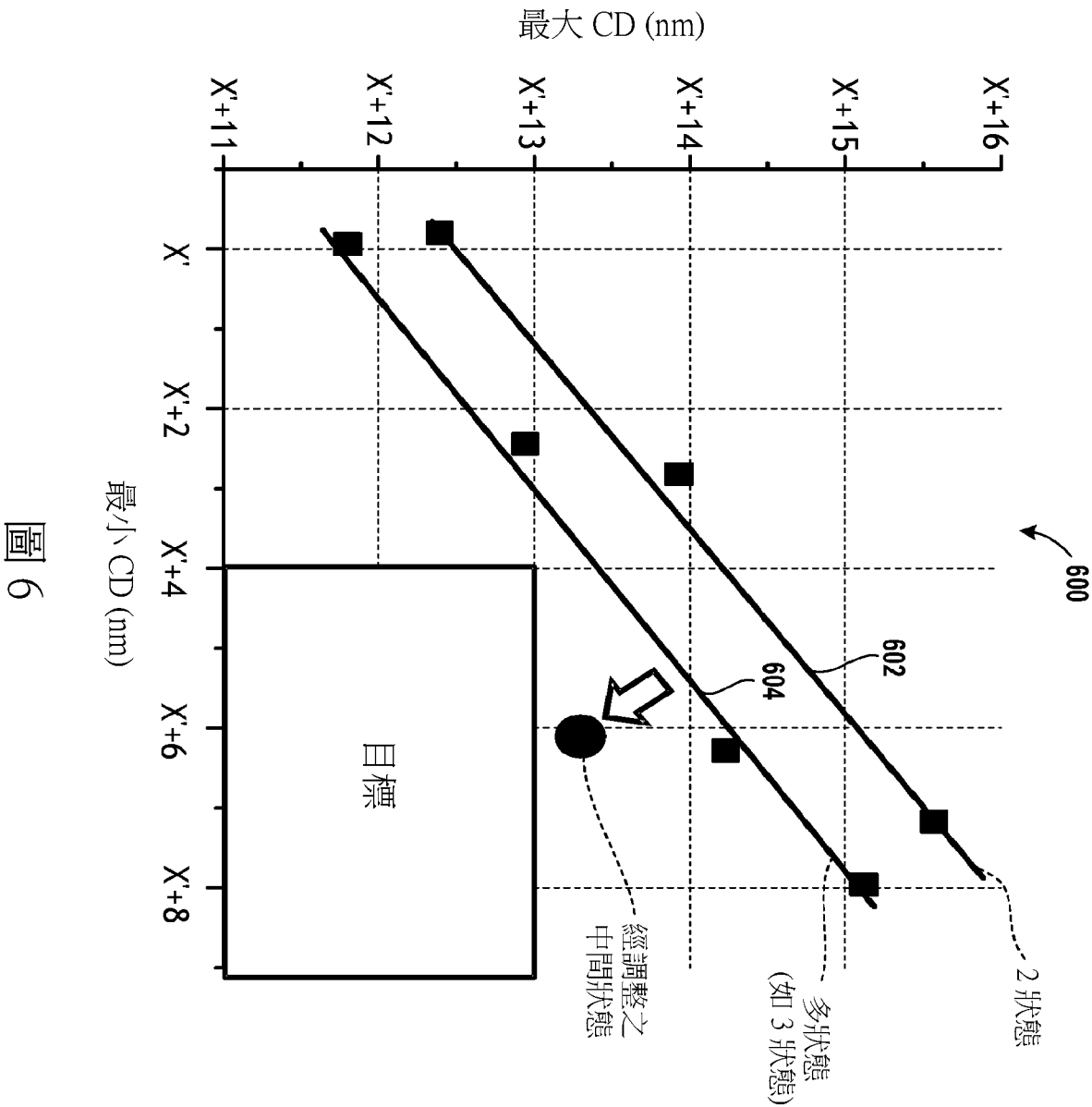


圖 6

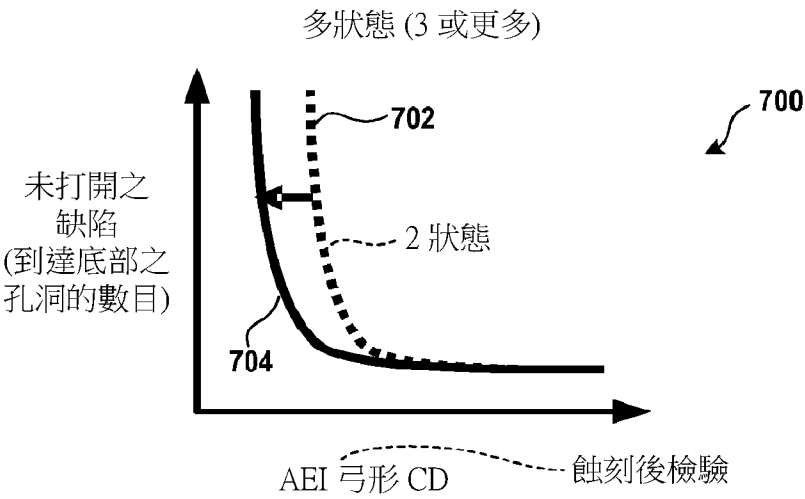


圖 7A

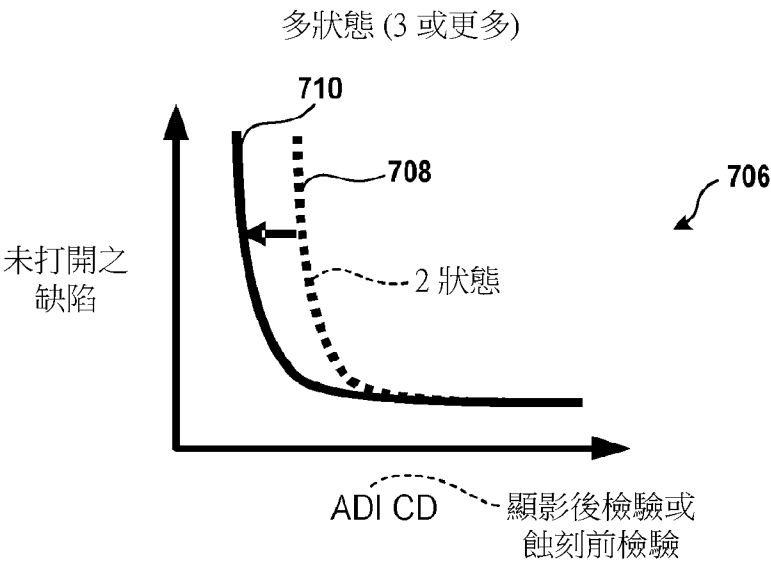


圖 7B

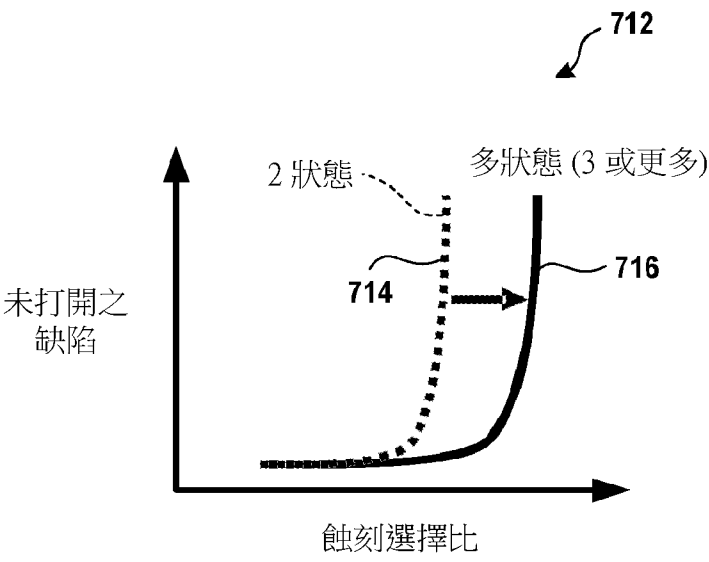


圖 7C

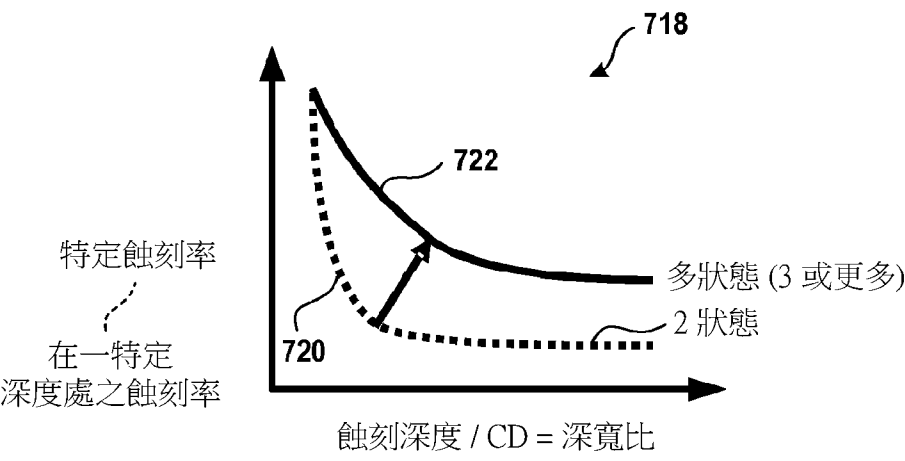


圖 7D