

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 6 月 26 日(26.06.2014)



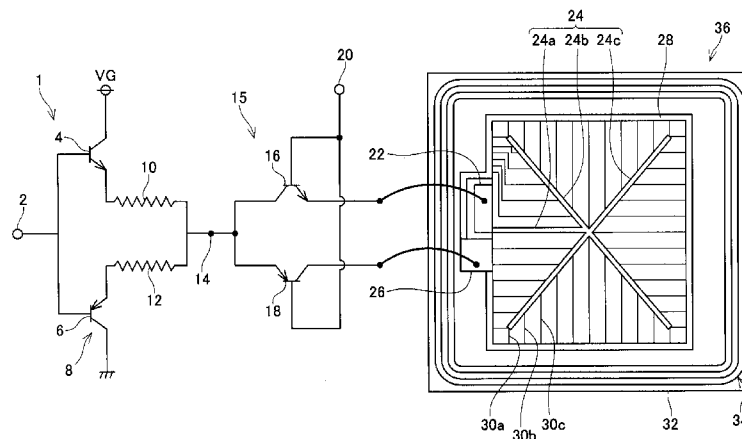
(10) 国際公開番号

WO 2014/097488 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 27/06 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2012/083346
- (22) 国際出願日: 2012 年 12 月 21 日(21.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 広瀬 敏(HIROSE Satoshi) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Thermal environments and the like vary with the position in a semiconductor substrate, and cause inconveniences at a particular place in some cases. Two or more pads (22, 26) are made conductive with respect to a gate area (30), and pads to which a gate voltage is to be applied are made selectable. For example, in the case where peripheral portions tend to be overheated, an ON voltage is applied to the first pad (22) so that the peripheral portions are turned on later than center portions, and an OFF voltage is applied to the second pad (26) so that the peripheral portions are turned off earlier than the center portions. This addresses a problem that overheating tends to occur in the peripheral portions. In the case where excessive current flows thereby causing temperature to rise, an OFF voltage is applied to the second pad (26). This addresses a problem that temperature tends to rise in the peripheral portions when excessive current flows.

(57) 要約:

[続葉有]



WO 2014/097488 A1



半導体基板内の位置によって熱的環境等が相違し、特定の場所で不都合が生じることがある。ゲート領域 30 に対して 2 以上のパッド 22, 26 を導通させ、ゲート電圧を印加するパッドを選択可能とする。例えば周辺部で過熱し易い場合は、第 1 パッド 22 にオン電圧を印加して中央部よりも遅れて周辺部をオンさせ、第 2 パッド 26 にオフ電圧を印加して中央部よりも早く周辺部をオフさせる。周辺部で過熱しやすい問題に対処できる。過大電流が流れて昇温する場合には、第 2 パッド 26 にオフ電圧を印加する。過大電流が流れる場合には周辺部で昇温し易いという問題に対処することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本明細書では、ゲート領域を備えている半導体装置を開示する。

背景技術

[0002] ゲート領域に加える電圧を調整することで、エミッタ領域とコレクタ領域の間、あるいはソース領域とドレイン領域の間の抵抗が変化する半導体装置が知られている。例えば、IGBTの場合、ゲート領域に電圧を加えることで、エミッタとコレクタ間の抵抗が低下してエミッタとコレクタ間に電流が流れる。あるいは、MOSの場合、ゲート領域に電圧を加えることで、ソースとドレイン間の抵抗が低下してソースとドレイン間に電流が流れる。本明細書でいうゲート領域は、ベース領域といわれることもある。

[0003] 上記半導体装置によって、モータに通電する電流を制御するインバータを構成する場合がある。インバータは、上段の半導体装置と下段の半導体装置を直列に接続した直列回路の複数本を並列に接続した並列回路を備えている。この場合、たとえばモータのコイルが短絡するという異常が発生すると、半導体装置に過大な電流が流れることがある。また、インバータが正常であれば、上段の半導体装置と下段の半導体装置の両方が同時にオンすることはない。しかしながら、両方が同時にオンする異常が生じれば、半導体装置に過大電流が流れてしまう。

[0004] なんらかの異常が発生して半導体装置に過大電流が流れると半導体装置は昇温する。半導体装置を過熱から保護する技術が必要とされている。そこで、放熱ないし冷却することで半導体装置を過熱から保護する技術が開発されており、特許文献1の技術が開発されている。

[0005] 特許文献1の技術では、半導体装置の表面に形成されている表面電極に、リードフレームないしバスバーを接合する。その構造によると、半導体装置で発生した熱を表面電極を介してリードフレーム等に伝熱することができ、

半導体装置を過熱から保護することができるものと期待されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-305948号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1の技術でも、半導体装置を過熱から保護できない場合がある。例えば、リードフレーム等と半導体装置の位置あわせには公差が存在することから、半導体装置の周辺部ではリードフレーム等に至るまでの距離が長くなることがある。半導体装置の周辺部で発生した熱をリードフレーム等に伝熱するのに時間を要することがある。そのために、特許文献1の技術によっても、半導体装置の周辺部では過熱現象が発生してしまうことがある。

[0008] 半導体装置に過大電流が流れたことを検出した時に半導体装置をオフすることによって半導体装置を過熱から保護する技術も知られている。その技術と、リードフレーム等に伝熱する技術を併用しても、半導体装置を過熱から保護できない場合がある。過大電流を検出してから半導体装置をオフするまでの間に半導体装置に過熱現象が発生してしまうことがあるからである。特に、半導体装置の周辺部では、前記したように、発生した熱をリードフレーム等に伝熱するのに時間を要することから、過熱現象が発生しやすい。

[0009] 上記では、半導体装置内の場所によって異なる現象が発生する事例の一例を説明した。それ以外にも半導体装置内の場所によって異なる現象が生じる事例は多い。例えば、半導体装置が正常に動作している間は、半導体装置内の中央部が周辺部より昇温し易い現象が生じる。あるいは、冷却液の流れとの関係で、半導体装置内に、冷却し易い場所と冷却し難い場所が分布することもある。

[0010] 本明細書では、半導体装置内の場所によって異なる現象が発生し、それに起因して特定の場所で不都合が生じる場合に、それを解決する技術を開示す

る。

課題を解決するための手段

[0011] 本技術では、半導体基板の表面に沿ってゲート領域が伸びている半導体装置を対象とする。

ここでいうゲート領域は、半導体基板の一部に形成されている領域、あるいは、半導体基板に付加して形成されている領域であって、導電性が高められた半導体材料で形成されている領域をいう。半導体装置のなかには、半導体基板を平面視した場合に、半導体基板の表面に沿ってゲート領域が伸びているものがある。例えば、直線的に伸びているゲート領域の複数本が、基板上の広い範囲に亘って平行に配置されている I G B T が知られている。この種の半導体装置では、ゲート領域に印加する電圧を伝達するためのゲート配線が必要とされ、そのゲート配線に導通するパッドが必要とされ、そのパッドを半導体基板の表面に配置していることがある。パッドとゲート配線は金属材料で形成されている。本明細書では、パッドに導通している導電性の部分のうち、金属材料で形成されている部分をゲート配線といい、導電性が高められた半導体材料で形成されている領域をゲート領域という。

[0012] 本明細書で開示する半導体装置は、基板の表面に沿ってゲート領域が伸びており、そのゲート領域の 2 箇所以上でゲート配線に接続されており、各々のゲート配線に対して固有のパッドが形成されていることを特徴とする。また、ゲート領域と第 1 のゲート配線を接続している位置を第 1 接続位置とし、ゲート領域と第 2 のゲート配線を接続している位置を第 2 接続位置としたときに、第 1 接続位置と第 2 接続位置が基板上の異なる位置に設定されていることを特徴とする。

[0013] 上記の半導体装置は、2 以上のパッド（例えば、第 1 パッドと第 2 パッド）を備えている。そこでゲート電圧を伝達するパッドを選択することができる。金属材料で形成されているゲート配線と半導体材料で形成されているゲート領域を比較した場合、前者におけるゲート電圧伝播速度よりも後者におけるゲート電圧伝播速度が遅い。ゲート領域ではゲート電圧伝播速度が遅い

ことから、半導体装置内の場所によって、ゲート電圧の到達タイミングが分布するという現象が生じる。

[0014] 例えば、第1パッドから伸びている第1ゲート配線とゲート領域の接続位置を第1接続位置とし、第2パッドから伸びている第2ゲート配線とゲート領域の接続位置を第2接続位置とする。同じゲート領域が、第1接続位置を介して第1パッドにも接続されており、第2接続位置を介して第2パッドにも接続されているものとする。

また、第1接続位置に近くて第2接続位置から遠い位置を第1位置とし、第1接続位置から遠くて第2接続位置から近い位置を第2位置とする。その場合、ゲート領域ではゲート電圧伝播速度が遅いことから、ゲート電圧を印加するパッドを選択することによって、図1に示す現象が生じる。

(1a) 第1パッドを選択してオン電圧を印加する。その場合、第1接続位置に近い第1位置では早くオンし、第1接続位置から遠い第2位置では遅れてオンする。

(1b) 第2パッドを選択してオン電圧を印加する。その場合、第2接続位置に近い第2位置では早くオンし、第2接続位置から遠い第1位置では遅れてオンする。

(2a) 第1パッドを選択してオフ電圧を印加する。その場合、第1接続位置に近い第1位置では早くオフし、第1接続位置から遠い第2位置では遅れてオフする。

(2b) 第2パッドを選択してオフ電圧を印加する。その場合、第2接続位置に近い第2位置では早くオフし、第2接続位置から遠い第1位置では遅れてオフする。

[0015] 上記の半導体装置によると、半導体装置内の場所によって異なる現象が発生し、それに起因して半導体装置内の特定の場所で不都合が生じる場合に、ゲート電圧を伝達するパッドを選択することによって不都合が生じないようにすることができる。

[0016] 例えば、第2位置で過熱しやすい場合、第1パッドにオン電圧を伝達して

第2パッドにオフ電圧を伝達する（図1の「1 aと2 b」を採用する）と、第2位置で過熱しやすいという問題に対処することが可能となる。逆に、第1位置で過熱しやすい場合は、第2パッドにオン電圧を伝達して第1パッドにオフ電圧を伝達する（図1の「1 bと2 a」を採用する）と、第1位置で過熱しやすいという問題に対処することが可能となる。

[0017] 2以上のパッドの中からゲート電圧を伝達するパッドを選択できる場合、様々な選択が可能となる。例えば、オン電圧の印加時とオフ電圧の印加時とで、ゲート電圧を印加するパッドを切り替えることが有効な場合がある。また、半導体装置に過大電流が流れたことが検出されない期間と検出された時とで、ゲート電圧を印加するパッドを切り替えることが有効な場合がある。特に、オフ電圧を印加するパッドを切り替えることが有効な場合がある。

[0018] 第1接続位置を半導体基板の中央部に配置し、第2接続位置を半導体基板の周辺部に配置すると、周辺部で過熱しやすい問題、あるいは逆に、中央部で過熱し易い問題に対処することができる。

周辺部で過熱しやすい場合は、第1パッドにオン電圧を伝達して第2パッドにオフ電圧を伝達するのが有効である。すなわち、図1の「1 aと2 b」を採用すると、第2接続位置が配置されている周辺部で過熱しやすい現象に対処することができる。

[0019] ゲート領域ではゲート電圧伝播速度が遅いといっても、第1位置と第2位置におけるオンタイミングの時間差、あるいは、オフタイミングの時間差は小さい。オンタイミングの時間差／一回のオン期間の比、あるいは、オフタイミングの時間差／一回のオフ期間の比の値は小さい。それでも、半導体装置に過大電流が流れた時に半導体装置をオフする技術と、リードフレーム等に伝熱する技術を併用して過熱を防止する技術では、第1接続位置を半導体基板の中央部に配置し、第2接続位置を半導体基板の周辺部に配置し、第2パッドにオフ電圧を伝達するのが有効である。半導体装置に過大電流が流れる場合に生じる昇温は極めて高速であり、第2パッドにオフ電圧を伝達することで周辺部におけるオフタイミングを早めることが有効である。第1パッ

ドにオフ電圧を伝達する場合のオフタイミングに対して、第2パッドにオフ電圧を伝達する場合のオフタイミングが早められる時間差が小さくても、上記の場合には過熱防止効果が高い。

[0020] 半導体装置に過大電流が流れていない期間は、第1パッドにオフ電圧を伝達し、半導体装置に過大電流が流れたことを検出した時に、第2パッドにオフ電圧を伝達する技術も有効である。

半導体装置に過大電流が流れていない期間は、第2パッドにオン電圧を伝達して第1パッドにオフ電圧を伝達するのが有効な場合もあれば、第1パッドにオン電圧とオフ電圧の双方を伝達するのが有効な場合もある。いずれの場合でも、半導体装置に過大電流が流れたことを検出した時に、第2パッドにオフ電圧を伝達することによって、過熱を防止する技術が有用である。

発明の効果

[0021] 本明細書で開示する半導体装置によると、ゲート電圧を印加するパッドを選択することができることから、半導体装置内の場所によって異なる現象が発生することに起因して特定の場所で不都合が生じる場合に、それに対処することが可能となる。

[0022] 特に、ゲート領域と第1ゲート配線が導通している第1接続位置を基板の中央部に配置し、ゲート領域と第2ゲート配線が導通している第2接続位置を基板の周辺部に配置しておく、中央部におけるオンタイミングと周辺部におけるオンタイミングの間に時間差を設定したり、あるいは、中央部におけるオフタイミングと周辺部におけるオフタイミングの間に時間差を設定したりすることができ、中央部あるいは周辺部で不都合が発生する場合に対処することが可能となる。

[0023] 第1パッドにオン電圧を印加して第2パッドにオフ電圧を伝達すると、周辺部が過熱しやすい環境にあっても、周辺部が過熱することを防止できる。しかも、過大電流発生時には、過大電流発生時に過熱しやすい周辺部での発熱を抑えることができ、半導体装置を過熱から保護する効果が得られる。

[0024] 過大電流が検出されない間は第1パッドにオフ電圧を伝達し、過大電流が

検出された時に第2パッドにオフ電圧を伝達するようにすると、過大電流発生時に過熱しやすい周辺部での発熱を抑えることができ、半導体装置を過熱から保護する効果がえられる。

過大電流が検出されない間は、オン電圧とオフ電圧の両方を第1パッドに伝達するようにしてもよい。過大電流が検出されない間のオン期間を、中央部と周辺部で揃えることができる。これに代えて、過大電流が検出されない間は、第2パッドにオン電圧を印加して第1パッドにオフ電圧を印加してもよい。中央部で過熱し易い場合には、上記によって中央部での過熱を防止できる。

図面の簡単な説明

[0025] [図1]ゲート電圧を印加するパッドを選択することで生じる事象を説明する。

[図2]実施例の回路構成と半導体基板の表面を模式的に示す。

[図3]半導体装置の表面を模式的に示す。

[図4]第1実施例のパッド選択方法とそれによって生じる事象を説明する。

[図5]第2実施例のパッド選択方法とそれによって生じる事象を説明する。

[図6]第3実施例のパッド選択方法とそれによって生じる事象を説明する。

[図7]別実施例の半導体基板の表面を模式的に示す。

発明を実施するための形態

[0026] 下記に説明する実施例の特徴を整理しておく。以下では、ゲート領域との接続位置が半導体基板の中央側にあるゲート配線に導通しているパッドを第1パッドといい、ゲート領域との接続位置が半導体基板の周辺側にあるゲート配線に導通しているパッドを第2パッドという。

特徴1：オン信号の印加タイミングでは第1パッドを選択しておき、オフ信号の印加タイミングでは第2パッドを選択しておく。

特徴1A：ゲート電圧調整回路がオン電圧を出力している間に、第1パッドをフローティングして、第2パッドをゲート電圧調整回路に接続する。

特徴1B：ゲート電圧調整回路がオフ電圧を出力している間に、第1パッドをゲート電圧調整回路に接続して、第2パッドをフローティングする。

特徴 2：過大電流が検出されない期間は、オン信号の印加タイミングでは第 2 パッドを選択しておき、オフ信号の印加タイミングでは第 1 パッドを選択しておく。過大電流が検出された時に、第 2 パッドを選択する。

特徴 2 A：ゲート電圧調整回路がオン電圧を出力している間に、第 1 パッドをゲート電圧調整回路に接続して、第 2 パッドをフローティングする。

特徴 2 B：ゲート電圧調整回路がオフ電圧を出力している間に、第 1 パッドをフローティングして、第 2 パッドをゲート電圧調整回路に接続する。

特徴 3：過大電流が検出されない期間は、第 1 パッドを選択しておく。過大電流が検出された時に、第 2 パッドを選択する。

特徴 3 A：過大電流を検出した時に、ゲート電圧調整回路がオフ電圧を出力する。

実施例

[0027] 図 2 において、参照番号 3 6 は第 1 実施例の半導体装置を示す。基板 3 2 の表面に第 1 パッド 2 2 と第 2 パッド 2 6 が形成されている。第 1 パッド 2 2 に第 1 ゲート配線 2 4 が導通している。第 1 ゲート配線 2 4 は、基板 3 2 の中央位置と第 1 パッド 2 2 を接続している水平部分 2 4 a と、基板 3 2 の対角線方向に伸びる 2 本の斜行部分 2 4 b、2 4 c で形成されている。第 2 パッド 2 6 に第 2 ゲート配線 2 8 が導通している。第 2 ゲート配線 2 8 は、基板 3 2 の外周に沿って伸びている。参照番号 3 4 は、半導体装置の周辺部での耐圧を高めるためのガードリングである。半導体装置 3 6 は I G B T であり、ガードリング 3 4 の内側の領域に、I G B T 構造が形成されている。第 2 ゲート配線 2 8 は、I G B T が形成されている領域の外側を一巡している。

[0028] 参照番号 3 0 a、3 0 b、3 0 c 等は、ゲート領域を示している。図示の明瞭化のために、一部のゲート領域にのみ、符号 3 0 a、3 0 b、3 0 c を付している。図示の細線の一本一本が、基板 3 2 の表面に沿って伸びているゲート領域を示している。

ゲート領域 3 0 a、3 0 b、3 0 c 等は、基板 3 2 の表面に沿って直線的

に伸びており、相互に平行に配置されている。図2では、図示の明瞭化のために、隣接するゲート領域の間隔を拡大して図示している。実際には、平行するゲート領域間の間隔はもっと狭い。ゲート領域30a, 30b, 30c等は、ガードリング34の内側の領域に広く広がっており、ガードリング34の内側の領域の広い範囲にIGBTを形成している。

[0029] 各々のゲート領域は、第1ゲート配線24と第2ゲート配線28の双方に接続されている。例えば、ゲート領域30cは、第1ゲート配線24の斜行部分24cと、第2ゲート配線28に接続されている。以下では、複数本あるゲート領域を総称する場合にゲート領域30という。第2ゲート配線28が基板32の外周に沿って伸びていることから、ゲート領域30と第2ゲート配線28を接続している第2接続位置は、基板32の外周に沿った位置に配置されている。それに対して、第1ゲート配線24は第2ゲート配線28で囲まれた範囲に形成されていることから、ゲート領域30と第1ゲート配線24を接続している第1接続位置は、第2接続位置よりも内側に領域に分布している。第1接続位置は、基板32の中央よりの領域42（図3参照）内に分布しており、第2接続位置は、基板32の周辺に位置している領域40内に分布している。

[0030] 図2は、半導体基板32の表面に形成されている保護膜の内側の構造を示しており、実際には半導体基板32の表面は保護膜で覆われている。図3は、半導体装置36の表面を見た図であり、第1パッド22と第2パッド26を除いた領域は、保護膜44で覆われている。保護膜44の表面には、エミッタ電極38が形成されている。エミッタ電極38は、半導体基板32内に形成されているエミッタ領域に導通している。エミッタ電極38とゲート領域30は、保護膜44で絶縁されている。また半導体基板32の裏面には、図示しないコレクタ電極が形成されている。

図3では、第1接続位置の分布領域42と、第2接続位置の分布領域40を破線で示している。

[0031] この半導体装置36は、裏面のコレクタ電極を別の基板にはんだ付けし、

表面のエミッタ電極 38 をバスバーにはんだ付けし、パッド 22, 26 をゲート電圧調整回路に接続して用いる。半導体装置 36 に過大電流が流れて発熱する場合、その熱は主として半導体基板 32 の表面側で発生する。その熱は、エミッタ電極 38 を介してバスバーに伝熱される設計となっている。ただし実際には、エミッタ電極 38 とバスバーの位置あわせには公差が存在することから、基板 32 の周辺部、すなわち、第 2 接続位置の分布領域 40 の近傍では、バスバーまでの距離が長くて放熱に時間を要するという問題が生じ易い。過大電流が流れて発熱する場合の昇温速度は極めて高速であり、バスバーまでの距離が長くて放熱に時間を要することが、大きな影響を与えることがある。実施例の半導体装置 36 は、過大電流が流れたときに、周辺部が過熱しやすいという性格を備えている。

本実施例では、ゲート領域 30 にゲート電圧を伝達するパッドを 2 個備えており、ゲート電圧を伝達するパッドを選択できるという特性を利用して、上記問題に対処する。

[0032] 図 2 において、端子 2 は、別の装置が出力する信号電圧を入力する端子を示している。端子 2 には、半導体装置 (IGBT) 36 をオンさせる期間はハイの電圧が入力され、半導体装置 36 をオフさせる期間はローの電圧が入力される。端子 2 にハイ電圧が入力すると、cMOS 回路 8 を構成するトランジスタ 4 がオンしてトランジスタ 6 がオフし、参照番号 14 で示す位置の電圧が V_G 電圧に上昇する。その上昇速度はオン抵抗 10 で調整される。端子 2 にロー電圧が入力すると、cMOS 回路 8 を構成するトランジスタ 4 がオフしてトランジスタ 6 がオンし、参照番号 14 で示す位置の電圧が接地電圧に下降する。その下降速度はオフ抵抗 12 で調整される。cMOS 回路 8 等で、ゲート電圧調整回路 1 が構成されている。

[0033] 本実施例では、参照番号 14 で示す位置と第 1 パッド 22 の間、ならびに参照番号 14 で示す位置と第 2 パッド 26 の間に、ゲート電圧調整回路 1 が出力するゲート電圧を伝達するパッドを選択する回路 15 が付加されている。

端子 20 には、第 1 パッド 22 をゲート電圧調整回路 1 に接続して第 2 パッド 26 をフローティングする間はハイ電圧が入力され、第 2 パッド 26 をゲート電圧調整回路 1 に接続して第 1 パッド 22 をフローティングする間はロー電圧が入力される。端子 20 にハイ電圧が入力すると、トランジスタ 16 がオンしてトランジスタ 18 がオフし、ゲート電圧調整回路 1 の出力電圧が第 1 パッド 22 に入力され、第 2 パッド 26 はフローティングされる。端子 20 にロー電圧が入力すると、トランジスタ 16 がオフしてトランジスタ 18 がオンし、ゲート電圧調整回路 1 の出力電圧が第 2 パッド 26 に入力され、第 1 パッド 22 はフローティングされる。

[0034] 図 4 (a) は、端子 2 の入力電圧を例示している。図 4 (b) は端子 20 の入力電圧を示している。(a) (b) を比較すると明らかに、オン信号が入力するタイミング t_1 に先立って、第 1 パッド 22 を選択して第 2 パッド 26 をフローティングする関係に調整されている。また、オフ信号が入力するタイミング t_2 に先立って、第 2 パッド 26 を選択して第 1 パッド 22 をフローティングする関係に調整されている。(e) は、その関係を整理したものである。

(c) は、基板 32 の中央部に形成されている IGBT のゲート電圧を示し、(d) は基板 32 の周辺部に形成されている IGBT のゲート電圧を示している。オン電圧は第 1 パッド 22 に伝達されるために、中央部に形成されている IGBT は早くオンし、周辺部に形成されている IGBT は遅れてオンする。その一方において、オフ電圧は第 2 パッド 26 に伝達されるために、中央部に形成されている IGBT は遅れてオフし、周辺部に形成されている IGBT は早くオフする。IGBT はオン期間に発熱する。本実施例によると、周辺部での発熱を抑制することができ、周辺部で過熱する問題に対処することができる。

上記実施例では、半導体装置 36 に過大電流が流れたことが検出されたときには、端子 2 にロー電圧が入力され、端子 20 にもロー電圧が入力される。この結果、最初に周辺部の IGBT がオフする。過大電流が流れる時に周

辺部で過熱しやすい問題にも対処することができる。

図4（b）に示すように、パッド選択回路15は、ゲート領域30にハイ電圧が印加されて安定している状態と、ゲート領域30の電荷が放電して安定している状態で、第1パッド22と第2パッド26の選択を切り替える。切換え時に不都合が生じることはない。以下の実施例でも同様である。

図4は、中央部と周辺部におけるオンタイミングの時間差とオフタイミングの時間差を拡大して示している。実際の時間差は小さく、時間に対して平均した値に依存する現象に対しては、中央部のオン期間が長くて周辺部のオフ期間が短いことが実際的な影響を与えない。しかしながら、過大電流が流れる時の昇温現象といった過渡的事象に対しては、時間差が影響する。過大電流によって周辺部が過熱し易いという問題には、中央部よりも周辺部で早くオフすることが効果的である。

[0035] 図5（a）は、端子2の入力電圧を例示している。図5（b）は端子20の入力電圧を示している。矢印46は、過大電流が流れた瞬間を例示している。過大電流が流れていない間は、（a）（b）を比較すると明らかに、オン信号が入力するタイミング t_1 に先立って、第2パッド26を選択して第1パッド22をフローティングする関係に調整されている。また、オフ信号が入力するタイミング t_2 に先立って、第1パッド22を選択して第2パッド26をフローティングする関係に調整されている。過大電流が流れると、矢印46の位置に示すように、端子2に入力する電圧はローとなり、端子20に入力する電圧もローとなる。過大電流が流れると、オフ信号が第2パッド26に伝達される。（e）は、その関係を整理したものである。

（c）は、基板32の中央部に形成されているIGBTのゲート電圧を示し、（d）は基板32の周辺部に形成されているIGBTのゲート電圧を示している。オン電圧は第2パッド26に伝達されるために、周辺部に形成されているIGBTは早くオンし、中央部に形成されているIGBTは遅れてオフする。その一方において、オフ電圧は第1パッド22に伝達されるために、中央部に形成されているIGBTは早くオフし、周辺部に形成されてい

る IGBT は遅れてオフする。本実施例によると、中央部での発熱を抑制することができ、中央部で過熱する問題に対処することができる。

半導体装置 36 に過大電流が流れたことが検出されたときには、端子 2 にロー電圧が入力され、端子 20 にもロー電圧が入力される。この結果、周辺部の IGBT が早くオフする。過大電流が流れる時に周辺部で過熱しやすい問題にも対処することができる。

[0036] 図 6 (a) は、端子 2 の入力電圧を例示している。図 6 (b) は端子 20 の入力電圧を示している。矢印 46 は、過大電流が流れた瞬間を例示している。過大電流が流れていない間は、(b) から明らかに、第 1 パッド 22 を選択して第 2 パッド 26 をフローティングする関係に調整されている。過大電流が流れると、矢印 46 の位置に示すように、端子 2 に入力する電圧はローとなり、端子 20 に入力する電圧もローとなる。過大電流が流れると、オフ信号が第 2 パッド 26 に伝達される。(e) は、その関係を整理したものである。

(c) は、基板 32 の中央部に形成されている IGBT のゲート電圧を示し、(d) は基板 32 の周辺部に形成されている IGBT のゲート電圧を示している。過大電流が検出されない間は、オン電圧もオフ電圧も第 1 パッド 22 に伝達されるために、中央部に形成されている IGBT は早くオンして早くオフする。その一方において、周辺部に形成されている IGBT は遅れてオンし、遅れてオフする。本実施例によると、中央部でのオン期間と、周辺部でのオン期間を揃えることができる。

半導体装置 36 に過大電流が流れたことが検出されたときには、端子 2 にロー電圧が入力され、端子 20 にもロー電圧が入力される。この結果、周辺部の IGBT が早くオフする。過大電流が流れる時に周辺部で過熱しやすい問題にも対処することができる。

[0037] 上記の実施例のいずれでも、半導体装置内の場所によるオンタイミングの時間差／一回のオン期間の比、あるいはオフタイミングの時間差／一回のオフ期間の比の値は小さい。パッドを選択することが、一回のオン期間あるい

は一回のオフ期間に亘って積分した影響が現れる事象に及ぼす影響は低い。それに対して、過大電流が流れる場合の昇温現象は高速であり、第1パッドにオフ電圧を伝達する場合のオフタイミングに比して、第2パッドにオフ電圧を伝達する場合のオフタイミングが早められる時間差が小さいけれども、過大電流が流れる場合に周辺部が過熱し易いという問題には効果的である。

[0038] 図7は、第1パッド22Aと第2パッド26Aと第1ゲート配線24Aと第2ゲート配線28Aとゲート領域30Aの別実施例を例示する。この半導体装置でも、先に説明した半導体装置と同等の現象を得ることができる。

[0039] 以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

符号の説明

[0040] 1 : ゲート電圧調整回路
2 : 端子
4 : トランジスタ
6 : トランジスタ
8 : c M O S
10 : オン抵抗
12 : オフ抵抗
15 : パッド選択回路
16 : トランジスタ
18 : トランジスタ
20 : 端子

- 22 : 第1パッド
- 24 : 第1ゲート配線
- 26 : 第2パッド
- 28 : 第2ゲート配線
- 30 : ゲート領域
- 32 : 基板
- 34 : ガードリング
- 36 : 半導体装置
- 38 : エミッタ電極
- 40 : 第2接続位置の分布領域
- 42 : 第1接続位置の分布領域
- 44 : 保護膜
- 46 : 過大電流の発生タイミング

請求の範囲

- [請求項1] 基板と、
前記基板上に配置されている第1パッドと、
前記第1パッドに導通している第1ゲート配線と、
前記基板上に配置されている第2パッドと、
前記第2パッドに導通している第2ゲート配線と、
前記基板の表面に沿って伸びているとともに前記第1ゲート配線と前記第2ゲート配線の双方に接続されているゲート領域を備えており、
前記ゲート領域と前記第1ゲート配線を接続している第1接続位置と、前記ゲート領域と前記第2ゲート配線を接続している第2接続位置が、前記基板上の異なる位置に設定されている半導体装置。
- [請求項2] 前記第1接続位置が前記基板の中央部に配置され、
前記第2接続位置が前記基板の周辺部に配置されている請求項1に記載の半導体装置。
- [請求項3] 請求項1または2に記載の半導体装置とゲート電圧調整回路の組み合わせであり、
前記ゲート電圧調整回路が、オン電圧の印加時とオフ電圧の印加時とで、ゲート電圧を印加するパッドを切り替える。
- [請求項4] 請求項2に記載の半導体装置とゲート電圧調整回路の組み合わせであり、
前記ゲート電圧調整回路が、オン電圧を前記第1パッドに印加してオフ電圧を前記第2パッドに印加する。
- [請求項5] 請求項1または2に記載の半導体装置とゲート電圧調整回路の組み合わせであり、
前記ゲート電圧調整回路が、過大電流が検出されない期間と検出された時とで、オフ電圧を印加するパッドを切り替える。
- [請求項6] 請求項2に記載の半導体装置とゲート電圧調整回路の組み合わせで

あり、

過大電流が検出されない期間は、前記ゲート電圧調整回路が、オフ電圧を前記第 1 パッドに印加し、

過大電流が検出された時に、前記ゲート電圧調整回路が、オフ電圧を前記第 2 パッドに印加する。

[請求項7]

請求項 2 に記載の半導体装置とゲート電圧調整回路の組み合わせであり、

過大電流が検出されない期間は、前記ゲート電圧調整回路が、オン電圧とオフ電圧を前記第 1 パッドに印加し、

過大電流が検出された時に、前記ゲート電圧調整回路が、オフ電圧を前記第 2 パッドに印加する。

[請求項8]

請求項 2 に記載の半導体装置とゲート電圧調整回路の組み合わせであり、

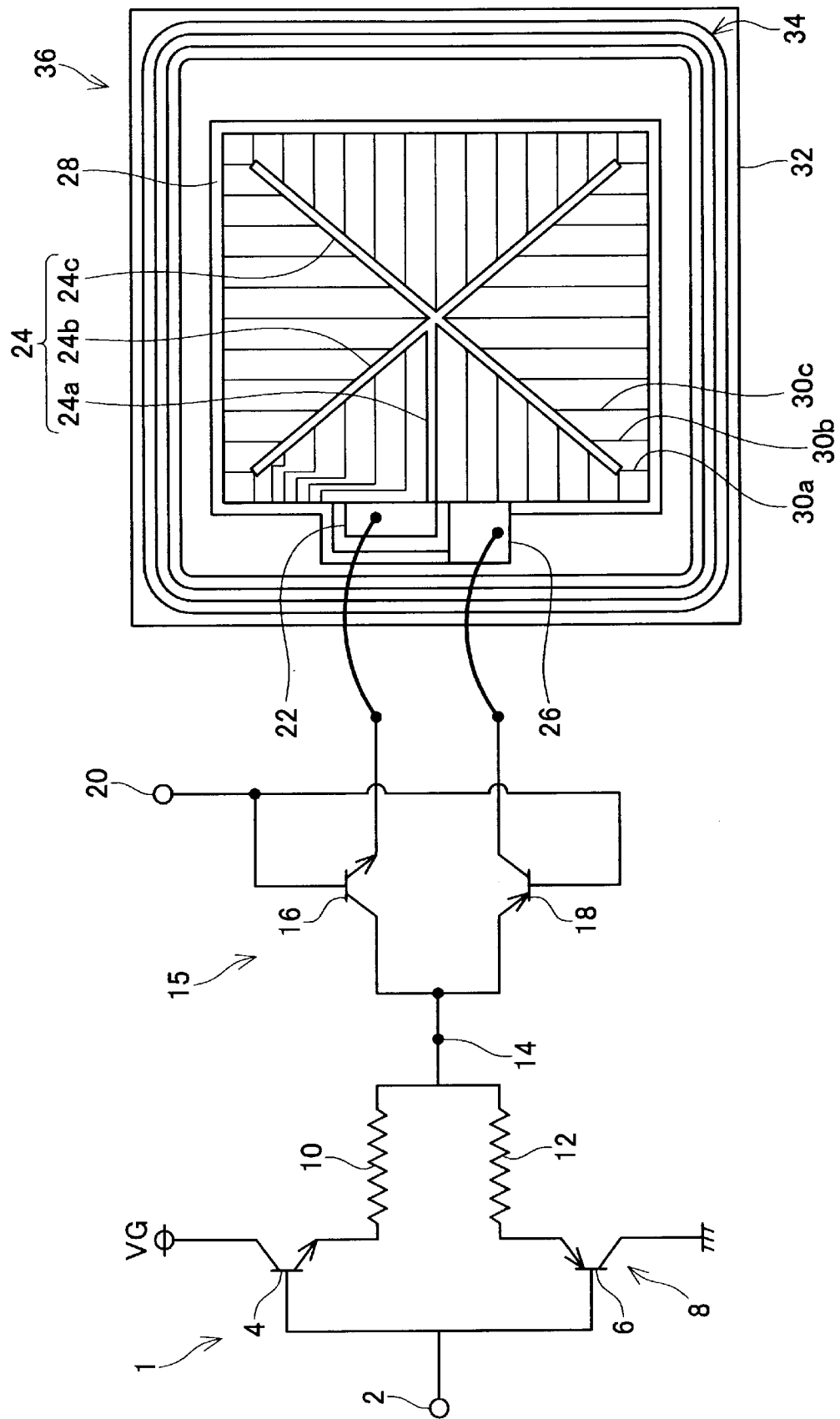
過大電流が検出されない期間は、前記ゲート電圧調整回路が、オン電圧を前記第 2 パッドに印加してオフ電圧を前記第 1 パッドに印加し、

過大電流が検出された時に、前記ゲート電圧調整回路が、オフ電圧を前記第 2 パッドに印加する。

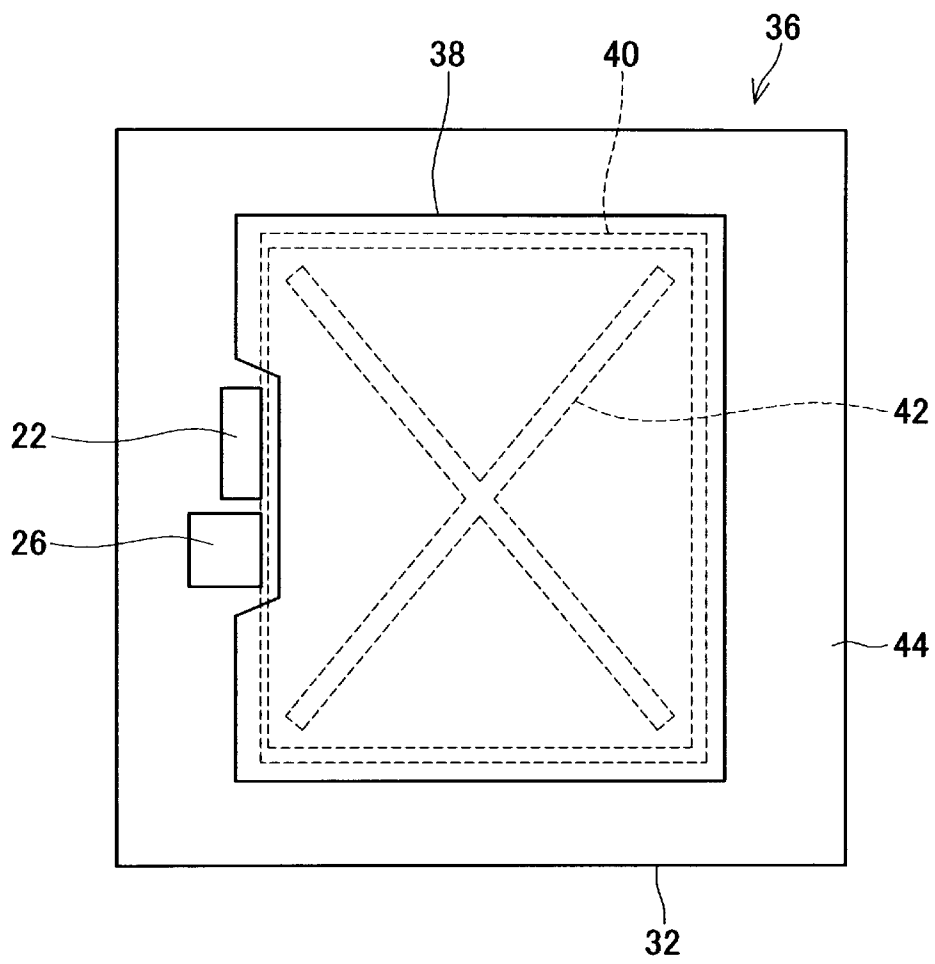
[図1]

	第1パッド	第1位置	第2位置	第2パッド
1a	オン電圧を印加	早くオンする	遅くオンする	
1b		遅くオンする	早くオンする	オン電圧を印加
2a	オフ電圧を印加	早くオフする	遅くオフする	
2b		遅くオフする	早くオフする	オフ電圧を印加

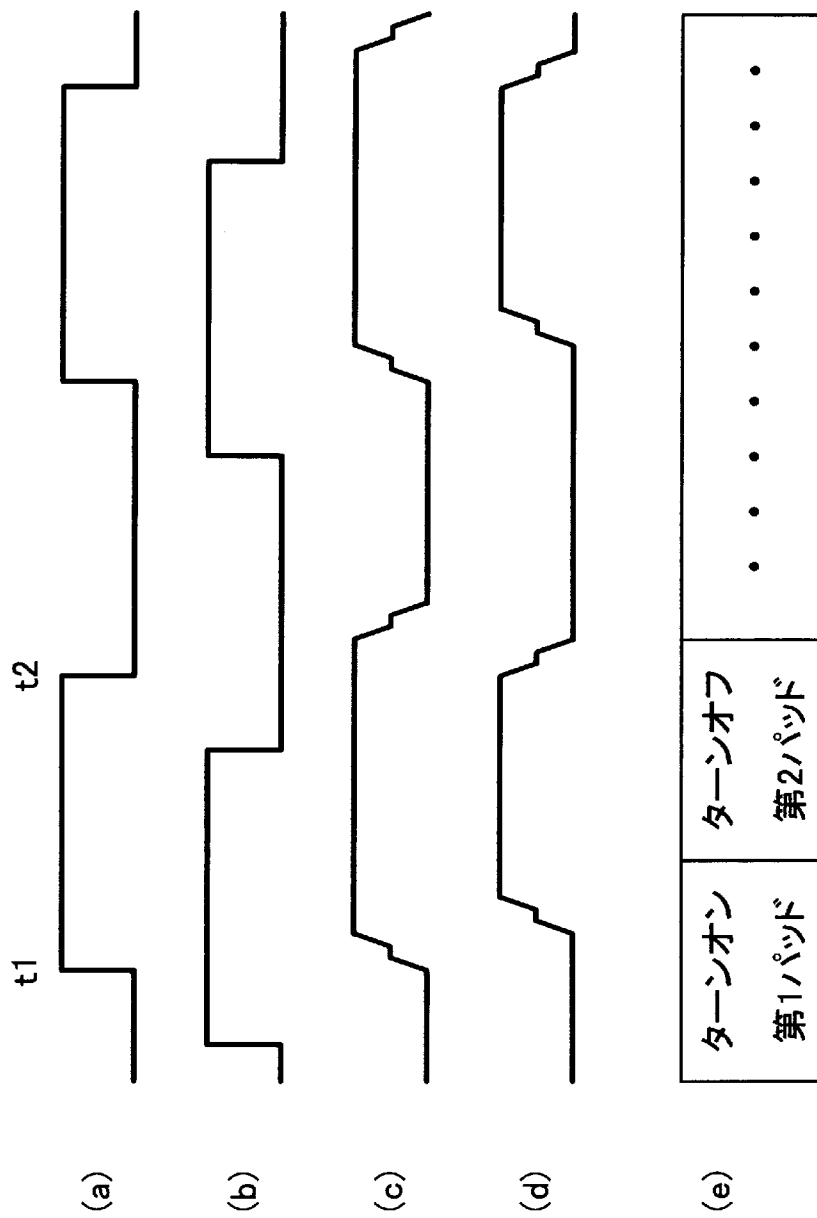
[図2]



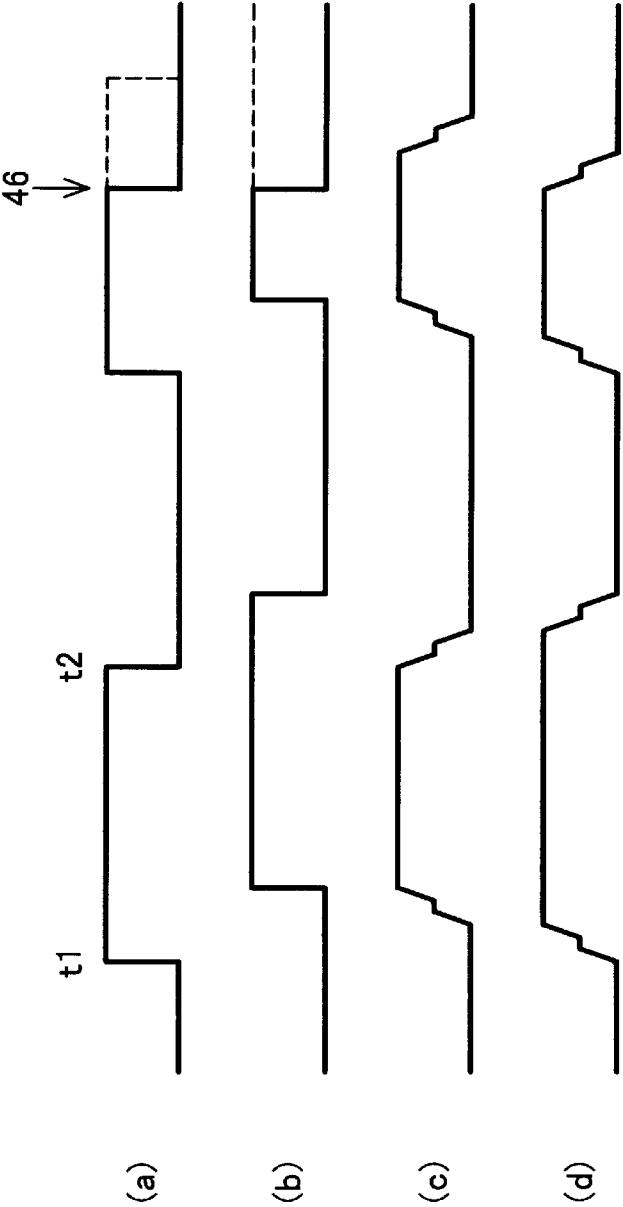
[図3]



[図4]

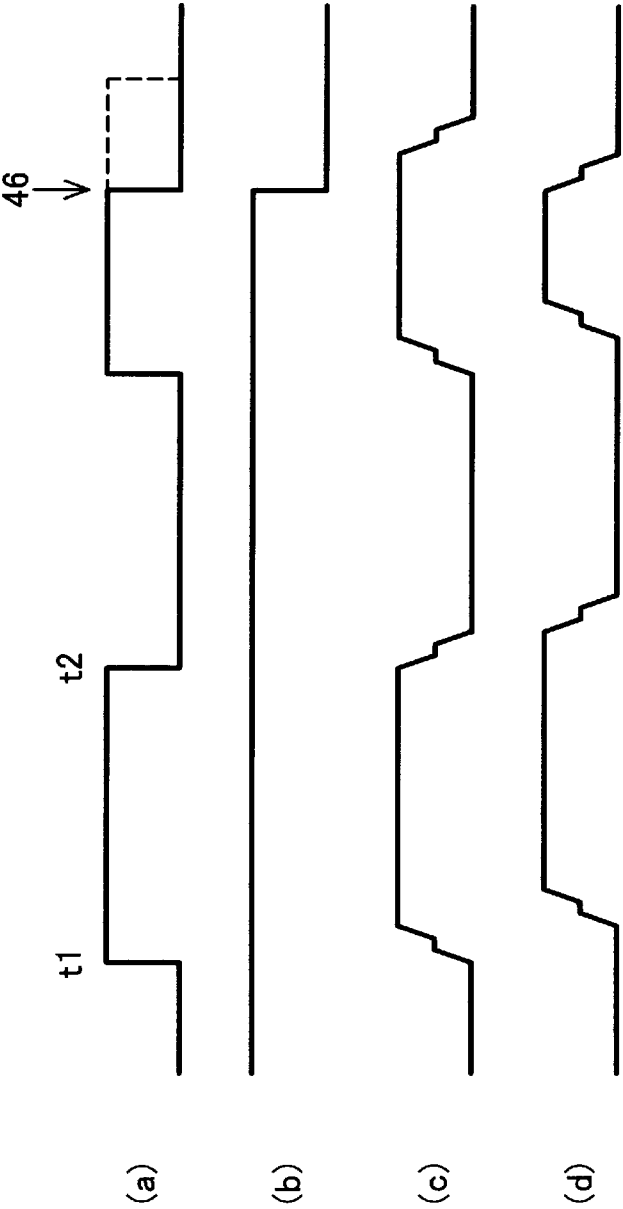


[図5]



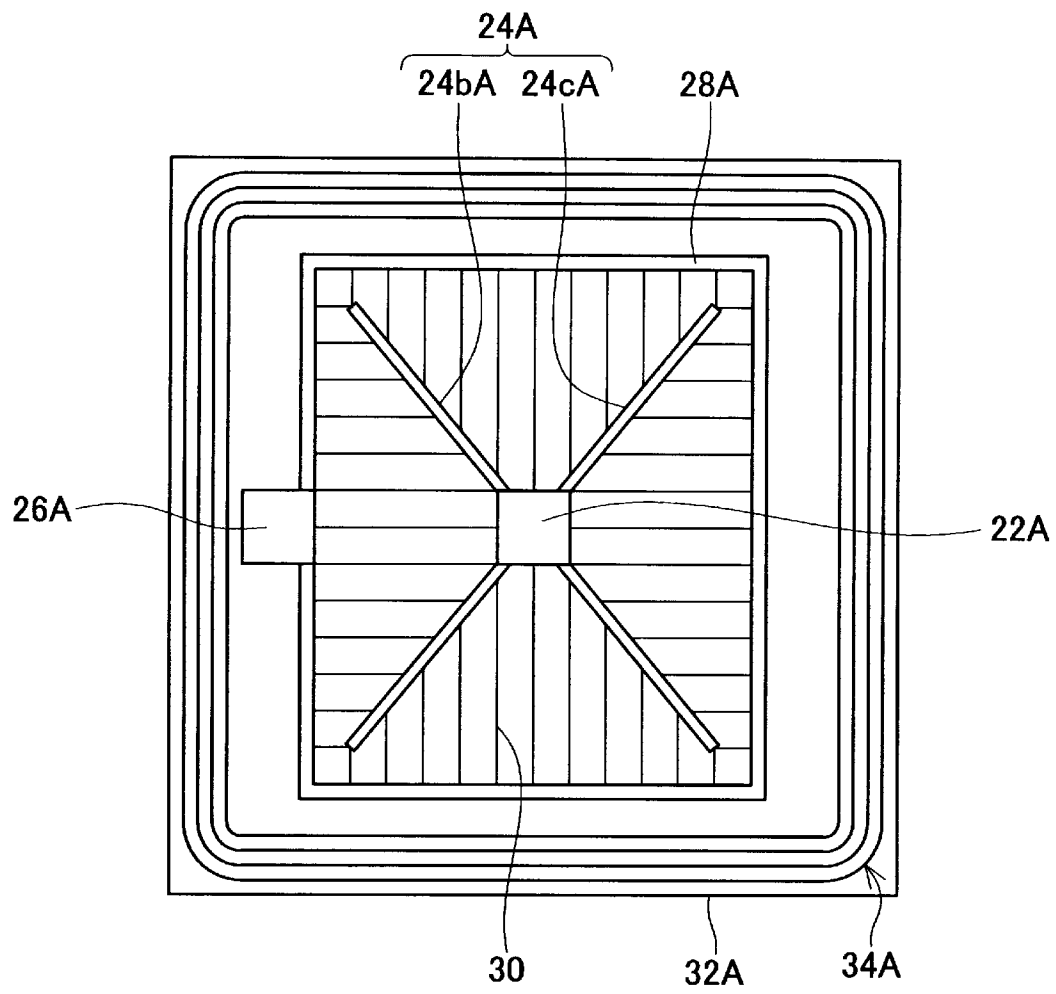
正常時	過大電流時	
	ターンオン 第2パッド	ターンオフ 第2パッド
	ターンオン 第1パッド	ターンオフ 第1パッド
	...	...

[図6]



正常時			過大電流時
ターンオン 第1パッド	ターンオフ 第1パッド	・ ・ ・ ・ ・	ターンオフ 第2パッド

[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083346

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/739, H01L21/8234, H01L27/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-101076 A (Toshiba Corp.), 07 April 2000 (07.04.2000), entire text; all drawings (Family: none)	1, 2 3-8
X A	JP 2008-311523 A (Toyota Motor Corp.), 25 December 2008 (25.12.2008), entire text; all drawings (Family: none)	1, 2 3-8
A	JP 2004-319624 A (Denso Corp.), 11 November 2004 (11.11.2004), entire text; all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 March, 2013 (04.03.13)

Date of mailing of the international search report
12 March, 2013 (12.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/739(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/739, H01L21/8234, H01L27/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2000-101076 A（株式会社東芝）2000.04.07, 全文, 全図 （ファミリーなし）	1, 2 3-8
X A	JP 2008-311523 A（トヨタ自動車株式会社）2008.12.25, 全文, 全図（ファミリーなし）	1, 2 3-8
A	JP 2004-319624 A（株式会社デンソー）2004.11.11, 全文, 全図 （ファミリーなし）	1-8

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 3 . 2 0 1 3

国際調査報告の発送日

1 2 . 0 3 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴山 将隆

5 F

3 0 3 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6