

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-86322

(P2006-86322A)

(43) 公開日 平成18年3月30日(2006.3.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 7	5 F O O 4
HO 1 L 21/8246 (2006.01)	HO 1 L 43/08 P	5 F O 4 3
HO 1 L 43/08 (2006.01)	HO 1 L 43/08 Z	5 F O 8 3
HO 1 L 43/12 (2006.01)	HO 1 L 43/12	
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 O 5 A	
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2004-269273 (P2004-269273)

(22) 出願日 平成16年9月16日 (2004.9.16)

(71) 出願人 503121103

株式会社ルネサステクノロジ  
東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 古田 陽雄

東京都千代田区丸の内二丁目4番1号 株  
式会社ルネサステクノロジ内

(72) 発明者 上野 修一

東京都千代田区丸の内二丁目4番1号 株  
式会社ルネサステクノロジ内

最終頁に続く

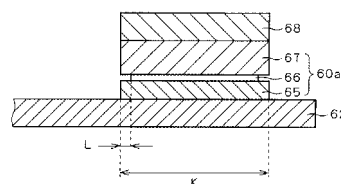
(54) 【発明の名称】 磁気抵抗記憶素子およびその製造方法

## (57) 【要約】

【課題】歩留まりを向上させることが可能な磁気抵抗記憶素子およびその製造方法を提供する。

【解決手段】 TMR素子60aは、磁性膜からなるピン層65、非磁性絶縁膜からなるトンネル絶縁層66および磁性膜からなるフリー層67をこの順に堆積した構成からなる。TMR素子60aは、それぞれ同一平面形状を有するピン層65、トンネル絶縁層66およびフリー層67において、トンネル絶縁層66の側壁に切れ込みを形成したサイドエッチ構造を有している。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

下部磁性層および上部磁性層並びに前記下部磁性層と前記上部磁性層との間に挟まれた非磁性絶縁膜を有する磁気抵抗記憶素子であって、

前記非磁性絶縁膜の側壁に第一の切れ込みを形成したことを特徴とする磁気抵抗記憶素子。

## 【請求項 2】

請求項 1 に記載の磁気抵抗記憶素子であって、

前記下部磁性層の側壁の上部に前記第一の切れ込みに連なる第二の切れ込みを形成したことを特徴とする磁気抵抗記憶素子。

10

## 【請求項 3】

請求項 2 に記載の磁気抵抗記憶素子であって、

前記上部磁性層の側壁の下部に前記第一の切れ込みに連なる第三の切れ込みを形成したことを特徴とする磁気抵抗記憶素子。

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれかに記載の磁気抵抗記憶素子であって、

前記第一の切れ込みの長さは、前記下部磁性層又は前記上部磁性層の長さの 5 ~ 10 % であることを特徴とする磁気抵抗記憶素子。

## 【請求項 5】

請求項 1 に記載の磁気抵抗記憶素子の製造方法であって、

前記第一の切れ込みを形成するために、

C O と N H<sub>3</sub> とを含むガスを用いたスパッタによる異方性エッチングを行うことを特徴とする磁気抵抗記憶素子の製造方法。

20

## 【請求項 6】

請求項 2 に記載の磁気抵抗記憶素子の製造方法であって、

前記第一及び第二の切れ込みを形成するために、

C l と A r と O とを含むガスを用いたスパッタによる異方性エッチングをオーバーエッチになるように行うことを特徴とする磁気抵抗記憶素子の製造方法。

30

## 【請求項 7】

請求項 5 又は請求項 6 に記載の磁気抵抗記憶素子の製造方法であって、

前記異方性エッチングを行った後にウェットエッチングを行う

ことを特徴とする磁気抵抗記憶素子の製造方法。

## 【請求項 8】

請求項 3 に記載の磁気抵抗記憶素子の製造方法であって、

前記第一乃至第三の切れ込みを形成するために、

C O と N H<sub>3</sub> とを含むガス又は C l と A r と O とを含むガスを用いたスパッタによる異方性エッチングをオーバーエッチになるように行った後に有機酸もしくはアミン系の有機溶媒を用いたウェットエッチングを行うことを特徴とする磁気抵抗記憶素子の製造方法。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、磁気抵抗記憶素子およびその製造方法に関し、特に、TMR ( Tunnel Magneto-Resistance: トンネル磁気抵抗 ) 効果を用いた不揮発性メモリである MRAM ( Magnetoresistive Random Access Memory ) の歩留まりを向上させるための技術に関する。

## 【背景技術】

## 【0002】

従来から、スピン依存電気伝導による TMR 効果を用いた不揮発性メモリである MRA

50

Mが用いられている。MRAMは、無限回数の書き換え、TMR素子の微細化による大容量化、高速動作、および低電圧動作が可能等の優れた特性を持っている。メモリ動作を行う素子は、TMR構造と呼ばれる構造を持ち、2つの磁性膜が上下にトンネル絶縁層を挟む形状で配置されている。下部の磁性層はピン層、上部の磁性層はフリー層と呼ばれ、磁性を持つ合金の積層膜によって構成されている。メモリ動作としては、ピン層の磁性の向きを固定しておき、電流によって誘起された外部磁場をTMR素子に印加することにより、フリー層の磁性の向きをコントロールする。ピン層の磁性の向きに対して、フリー層の磁性の向きが平行な場合と半平行な場合とにおいて、トンネル絶縁膜を流れるトンネル電流の抵抗値が変化し、この変化がメモリ動作の"0"および"1"にそれぞれ対応する。

【0003】

10

このようなMRAMの例は、例えば、特許文献1～3等の開示されている。

【0004】

【特許文献1】特開2002-314170号公報

【特許文献2】特開2002-124717号公報

【特許文献3】特開2003-110162号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述のメモリ動作において、トンネル絶縁膜にはトンネル電流が流れる必要があり、TMR膜のピン層とフリー層とが電氣的に絶縁されている必要がある。

20

【0006】

しかしながら、従来のTMR素子においては、ピン層、トンネル絶縁層、およびフリー層それぞれの側面が、同一平面上に位置するように（言い換えれば、それぞれの側面が面一となるように）加工される。従って、制御良くピン層とフリー層とを絶縁して加工することが困難であるので、TMR素子のショートに起因して、メモリ動作に必要な抵抗変化率を確保できない場合がある。そのため、歩留まりが低下してしまう場合があるという問題点があった。

【0007】

本発明は、以上の問題点を解決するためになされたものであり、歩留まりを向上させることが可能な磁気抵抗記憶素子およびその製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【0008】

上記の課題を解決するために、本発明に係る磁気抵抗記憶素子は、下部磁性層および上部磁性層並びに下部磁性層と上部磁性層との間に挟まれた非磁性絶縁膜を有する磁気抵抗記憶素子であって、非磁性絶縁膜の側壁に第一の切れ込みを形成したことを特徴とする。

【発明の効果】

【0009】

本発明に係る磁気抵抗記憶素子は、下部磁性層および上部磁性層並びに下部磁性層と上部磁性層との間に挟まれた非磁性絶縁膜を有する磁気抵抗記憶素子であって、非磁性絶縁膜の側壁に第一の切れ込みを形成したことを特徴とする。従って、下部磁性層と上部磁性層との間の絶縁性を高めることができる。よって、メモリ動作に必要な抵抗変化率を確保できるので、この磁気抵抗記憶素子を有するメモリセルの歩留まりを高めることが可能となる。

40

【発明を実施するための最良の形態】

【0010】

<実施の形態1>

図1は、本発明の実施の形態1に係るメモリセルの構造を示す上面図である。図1においては、TMR下部電極膜62上にTMR素子60aが形成され、TMR素子60a上にビットライン72が形成されている。

【0011】

50

図 2 は、図 1 に示されるメモリセルの構造を示す断面図である。図 2 ( a ) ~ ( c ) は、それぞれ、図 1 における A - A 断面、B - B 断面および C - C 断面を示している。すなわち、図 2 ( a ) はビットライン 7 2 に平行な断面を示し、図 2 ( b ) , ( c ) はビットライン 7 2 に直交する断面をそれぞれ示している。

【 0 0 1 2 】

図 2 において、半導体基板 1 0 は、厚さが約 4 0 n m 程度の分離領域 1 1 により活性領域が分離されている。活性領域上には、ソース / ドレイン 2 0 およびゲート構造 2 4 を含むトランジスタ領域が形成されている。

【 0 0 1 3 】

このゲート構造 2 4 は、厚さが約 3 n m 程度のゲート酸化膜 1 4 上に厚さが約 1 5 0 n m 程度のゲート電極 1 6 を形成しその両側面に幅が約 1 5 0 n m 程度のサイドウォール 1 8 を形成させた構造からなる。また、このゲート電極 1 6 の上面は、約 1 5 0 n m × 2 0 0 n m 程度であり、その上にコバルトシリサイド 2 3 が形成されている。

【 0 0 1 4 】

半導体基板 1 0 上には、酸化膜からなり厚さが約 5 0 0 n m 程度の層間絶縁膜 2 6 が形成されており、層間絶縁膜 2 6 中にはコンタクトプラグ 2 8 が形成されている。層間絶縁膜 2 6 上には、窒化膜からなり厚さが約 8 0 n m 程度の層間絶縁膜 3 0 および酸化膜からなり厚さが約 4 0 0 n m 程度の層間絶縁膜 3 2 がこの順に形成されており、層間絶縁膜 3 0 , 3 2 中には C u 配線 3 4 が形成されている。層間絶縁膜 3 2 上には、窒化膜からなり厚さが約 5 0 n m 程度の層間絶縁膜 3 6 、酸化膜からなり厚さが約 4 0 0 n m 程度の層間絶縁膜 3 8 および酸化膜からなり厚さが約 4 0 0 n m 程度の層間絶縁膜 4 0 がこの順に形成されており、層間絶縁膜 3 6 , 3 8 , 4 0 中には C u 配線 4 2 が形成されている。層間絶縁膜 4 0 上には、窒化膜からなり厚さが約 8 0 n m 程度の層間絶縁膜 4 4 、酸化膜からなり厚さが約 4 0 0 n m 程度の層間絶縁膜 4 6 および酸化膜からなり厚さが約 4 0 0 n m 程度の層間絶縁膜 4 8 がこの順に形成されている。層間絶縁膜 4 4 , 4 6 , 4 8 中には C u 配線からなるディジットライン 5 0 が形成されており、層間絶縁膜 4 8 中には、C u 配線 5 1 が形成されている。

【 0 0 1 5 】

層間絶縁膜 4 8 上には、窒化膜からなり厚さが約 1 0 0 n m 程度の層間絶縁膜 5 2 が形成されており、層間絶縁膜 5 2 中および上には T a からなる T M R 下部電極膜 6 2 がディジットライン 5 0 に接するように形成されている。

【 0 0 1 6 】

T M R 下部電極膜 6 2 上の一領域には、T M R 素子 6 0 a および T M R 上部電極膜 6 8 がこの順に形成されている。また、T M R 下部電極膜 6 2 上の他領域には、酸化膜からなり厚さが約 5 0 0 n m 程度の層間絶縁膜 7 0 が形成されている。層間絶縁膜 7 0 中には、C u 配線からなり太さが約 4 0 0 n m 程度のビットライン 7 2 が形成されている。層間絶縁膜 7 0 上には、窒化膜からなるパッシベーション膜 7 4 が形成されている。

【 0 0 1 7 】

図 3 は、図 1 , 2 に示される T M R 素子 6 0 a の詳細な構造を示す断面図である。図 3 において、T M R 素子 ( 磁気抵抗記憶素子 ) 6 0 a は、厚みが約 3 0 ~ 5 0 n m 程度であり、磁性膜からなるピン層 ( 下部磁性層 ) 6 5 、非磁性絶縁膜からなるトンネル絶縁層 6 6 および磁性膜からなるフリー層 ( 上部磁性層 ) 6 7 をこの順に堆積した構成からなる。また、T M R 素子 6 0 a および T M R 上部電極膜 6 8 は、いずれも同一平面形状を有し、約 2 0 0 n m × 4 0 0 n m 程度である。

【 0 0 1 8 】

図 3 に示すように、T M R 素子 6 0 a は、それぞれ同一平面形状を有するピン層 6 5 、トンネル絶縁層 6 6 およびフリー層 6 7 において、トンネル絶縁層 6 6 の側壁に切れ込み ( 第一の切れ込み ) を形成したサイドエッチ構造を有している。この切れ込みの長さ L としては、ピン層 6 5 又はフリー層 6 7 の長さ K の 5 ~ 1 0 % であることが望ましい。このような切れ込みを形成することにより、ピン層 6 5 とフリー層 6 7 との間の絶縁性を高め

ることができる。従って、メモリ動作に必要な抵抗変化率を確保できるので、このようなメモリセルの歩留まりを高めることが可能となる。

【0019】

以下、図4～22に示される断面図を用いて、図1，2に示されるメモリセルの製造方法について説明する。

【0020】

まず、図4に示すように、半導体基板10上に、活性領域および、STI (Shallow-Trench-Isolation: 浅いトレンチ分離)を用いた分離領域11を形成する。

【0021】

次に、図5に示すように、半導体基板10上に熱酸化膜(図示しない)を形成した後に、イオン注入を行うことにより、活性領域にウェル12およびチャンネル13を形成する。このとき、例えば、Pウェルとしては、不純物として、ボロンを、まず200～500 keVおよび $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入し、次に15～70 keVおよび $3 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入する。また、Nウェルとしては、不純物として、リンを300～1000 keVおよび $5 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ の条件で注入するとともに砒素を15～70 keVおよび $3 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ の条件で注入する。

【0022】

次に、図6に示すように、ゲート酸化を行うことにより半導体基板10上にゲート酸化膜14を形成した後に、ゲート酸化膜14上にゲート電極16を形成する。

【0023】

次に、図7に示すように、ゲート電極16の両側面にサイドウォール18を形成した後に、半導体基板10上にイオン注入を行うことによりソース/ドレイン20を形成する。このとき、例えば、Pウェル対しては、不純物として、ボロンを、1～20 keVおよび $5 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ の条件で注入する。また、Nウェルに対しては、不純物として、砒素を、3～100 keVおよび $5 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ の条件で注入する。

【0024】

次に、図8に示すように、ソース/ドレイン20上およびゲート電極16上に、それぞれ、コバルトシリサイド22，23を形成する。これにより、ゲート酸化膜14、ゲート電極16、サイドウォール18およびコバルトシリサイド23を含むゲート構造24が形成される。

【0025】

次に、図9に示すように、半導体基板10上に層間絶縁膜26を堆積した後に、層間絶縁膜26中にコンタクトプラグ28を形成する。

【0026】

次に、図10に示すように、層間絶縁膜26上に層間絶縁膜30，32をこの順に堆積した後に、ダマシン技術を用いて、層間絶縁膜30，32中にCu配線34を形成する。

【0027】

次に、図11に示すように、層間絶縁膜32上に、層間絶縁膜36，38，40をこの順に堆積した後に、ダマシン技術を用いて、層間絶縁膜36，38，40中にCu配線42を形成する。

【0028】

次に、図12に示すように、層間絶縁膜40上に、層間絶縁膜44，46，48をこの順に堆積する。その後に、ダマシン技術を用いて、層間絶縁膜44，46，48中にCu配線からなるディジットライン50を形成し、層間絶縁膜48中にCu配線51を形成する。

【0029】

次に、図13に示すように、層間絶縁膜48上に、層間絶縁膜52を堆積した後に、レジスト(図示しない)を塗布し、写真製版技術を用いてレジストパターン(図示しない)

10

20

30

40

50

を形成する。そして、このレジストパターンに異方性エッチングを行うことにより、ビア 54 を開口する。

【0030】

次に、図 14 に示すように、ビア 54 を開口された層間絶縁膜 52 上に、Ta からなる TMR 下部電極膜 62 を堆積する。そして、TMR 下部電極膜 62 上に、ピン層 65、トンネル絶縁層 66、およびフリー層 67 をこの順に堆積することにより TMR 膜 60 を形成する（図 14 においては、ピン層 65、トンネル絶縁層 66、およびフリー層 67 は図示していない）。さらに、TMR 膜 60 上に、Ta からなる TMR 上部電極膜 68 を堆積する。

【0031】

次に、図 15 に示すように、TMR 上部電極膜 68 および TMR 膜 60 を加工する。この加工において、TMR 上部電極膜 68 および TMR 膜 60 は、図 3 に示されるようなサイドエッチ構造に加工される。これにより、TMR 膜 60 から TMR 素子 60a が形成される。TMR 上部電極膜 68 および TMR 膜 60 の詳細な加工手順については、図 17 ~ 20 を用いて後述する。

【0032】

次に、図 16 に示すように、TMR 下部電極膜 62 の形状を加工する。TMR 下部電極膜 62 の詳細な加工手順については、図 21 ~ 22 を用いて後述する。

【0033】

次に、層間絶縁膜 52 上および TMR 下部電極膜 62 上に層間絶縁膜 70 を堆積した後、ダマシン技術を用いて、層間絶縁膜 70 に、Cu 配線からなるビットライン 72 を形成する。そして、層間絶縁膜 70 上にパッシベーション膜 74 を形成する。これにより、図 2 に示されるようなメモリセルが形成される。

【0034】

以下、図 17 ~ 22 に示される断面図を用いて、TMR 上部電極膜 68、TMR 膜 60 および TMR 下部電極膜 62 の詳細な加工手順について説明する。

【0035】

まず、図 17 に示すように、TMR 上部電極膜 68 上にレジストを塗布し、写真製版技術を用いてレジストマスク 80 を形成する。

【0036】

次に、図 18 に示すように、レジストマスク 80 を用いて、TMR 上部電極膜 68 をエッチングする。

【0037】

次に、図 19 に示すように、レジストマスク 80 を除去する。

【0038】

次に、図 20 に示すように、Ta からなる TMR 上部電極膜 68 をハードマスクとしてスパッタによる異方性エッチングを行い、TMR 膜 60 の形状を加工する。このとき、CO 分子と NH<sub>3</sub> 分子とを含む CO / NH<sub>3</sub> ガスを用いることにより、トンネル絶縁膜 66 の側壁に切れ込みを形成することができる。

【0039】

そして、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。これにより、ピン層 65 とフリー層 67 との間の絶縁性を高めリーク電流を抑制することが可能となる。

【0040】

次に、図 21 に示すように、TMR 上部電極膜 68 上にレジストを塗布し、写真製版技術を用いてレジストマスク 82 を形成する。

【0041】

次に、図 22 に示すように、レジストマスク 82 を用いて、スパッタにより TMR 下部電極膜 62 の異方性エッチングを行う。

【0042】

10

20

30

40

50

次に、レジストマスク 82 を除去した後に、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。これにより、ピン層 65 とフリー層 67 との間の絶縁性を高めリーク電流を抑制することが可能となり、図 3 に示されるようなサイドエッチ構造を有する TMR 素子 60a が形成される。

【0043】

このように、本実施の形態に係る磁気抵抗記憶素子およびその製造方法においては、CO/NH<sub>3</sub> ガスを用いてスパッタによる異方性エッチングを行うことにより、トンネル絶縁膜 66 の側壁に切れ込みを形成する。従って、ピン層 65 とフリー層 67 との間の絶縁性を高めることができる。よって、メモリ動作に必要な抵抗変化率を確保できるので、TMR 素子 60a を有するメモリセルの歩留まりを高めることが可能となる。

10

【0044】

また、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。これにより、ピン層 65 とフリー層 67 との間の絶縁性をさらに高めることが可能となる。

【0045】

< 実施の形態 2 >

実施の形態 1 においては、トンネル絶縁膜 66 に切れ込みを形成するが、トンネル絶縁膜 66 に加えてピン層 65 の上部に切れ込みを形成してもよい。

【0046】

図 23 は、実施の形態 2 に係る TMR 素子 60b の構造を示す断面図である。図 23 は、図 3 に示されるサイドエッチ構造において、トンネル絶縁膜 66 の側壁に加えてピン層 65 の側壁の上部にも切れ込み（第二の切れ込み）が形成されたものである。この第二の切れ込みは、第一の切れ込みに連なるように形成される。

20

【0047】

以下、図 24 ~ 26 に示される断面図を用いて、図 23 に示される TMR 素子 60 の製造方法について説明する。

【0048】

まず、図 17 ~ 図 19 と同様の手順で、TMR 上部電極膜 68 の形状を加工する。

【0049】

次に、図 24 に示すように、Ta からなる TMR 上部電極膜 68 をハードマスクとしてスパッタによる異方性エッチングを行い、TMR 膜 60 の形状を加工する。このとき、Cl イオンと Ar イオンと O イオンとを含む Cl / Ar / O ガスを用いてオーバーエッチを行うことにより、トンネル絶縁膜 66 の側壁およびピン層 65 の側壁の上部に切れ込みを形成することができる。このオーバーエッチにおいては、TMR 下部電極膜 62 表面において散乱されたイオン等（リスパッタ成分）がエッチング成分として作用することにより、トンネル絶縁膜 66 に加えてピン層 65 をエッチングすることが可能となる。

30

【0050】

そして、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。これにより、ピン層 65 とフリー層 67 との間の絶縁性を高めリーク電流を抑制することが可能となる。

40

【0051】

次に、図 25 に示すように、TMR 上部電極膜 68 上にレジストを塗布し、写真製版技術を用いてレジストマスク 82 を形成する。

【0052】

次に、図 26 に示すように、レジストマスク 82 を用いて、スパッタにより TMR 下部電極膜 62 の異方性エッチングを行う。

【0053】

次に、レジストマスク 82 を除去した後に、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。これにより、ピン層 65 とフリー層 67 との間の絶縁性を高めリーク電流を抑制することが可能となり、図 23 に示される

50

ようなサイドエッチ構造を有する TMR 素子 60b が形成される。

【0054】

このように、本実施の形態では、実施の形態 1 における CO / NH<sub>3</sub> ガスに代えて Cl / Ar / O ガスを用いて、オーバーエッチを行うことにより、トンネル絶縁膜 66 に加えてピン層 65 の上部に切れ込みを形成する。従って、実施の形態 1 の効果に加えて、メモリセルの歩留まりをさらに高めることが可能となるという効果を有する。

【0055】

< 実施の形態 3 >

実施の形態 2 においては、トンネル絶縁膜 66 とピン層 65 の上部とに切れ込みを形成するが、トンネル絶縁膜 66 とピン層 65 の上部とに加えてフリー層 67 の下部に切れ込みを形成してもよい。 10

【0056】

図 27 は、実施の形態 3 に係る TMR 素子 60c の構造を示す断面図である。図 27 は、図 23 に示されるサイドエッチ構造において、トンネル絶縁膜 66 の側壁およびピン層 65 の側壁の上部に加えてフリー層 67 の側壁の下部にも切れ込み（第三の切れ込み）が形成されたものである。この第三の切れ込みは、第一の切れ込みに連なるように形成される。

【0057】

以下、図 28 ~ 30 に示される断面図を用いて、図 27 に示される TMR 素子 60c の製造方法について説明する。 20

【0058】

まず、図 17 ~ 図 19 と同様の手順で、TMR 上部電極膜 68 の形状を加工する。

【0059】

次に、図 28 に示すように、Ta からなる TMR 上部電極膜 68 をハードマスクとしてスパッタによる異方性エッチングを行い、TMR 膜 60 の形状を加工する。このとき、Cl / Ar / O ガスを用いてオーバーエッチを行うことにより、トンネル絶縁膜 66 の側壁およびピン層 65 の側壁の上部に切れ込みを形成することができる。このオーバーエッチにおいては、TMR 下部電極膜 62 表面において散乱されたイオン等（リスパッタ成分）がエッチング成分として作用することにより、トンネル絶縁膜 66 に加えてピン層 65 をエッチングすることが可能となる。 30

【0060】

そして、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。このとき、エッチング液として有機酸もしくはアミン系の有機溶媒を用いることにより、トンネル絶縁膜 66 の側壁およびピン層 65 の側壁の上部に加えてフリー層 67 の側壁の下部に切れ込みを形成することが可能となる。これにより、ピン層 65 とフリー層 67 との間の絶縁性を高めリーク電流を抑制することが可能となる。

【0061】

次に、図 29 に示すように、TMR 上部電極膜 68 上にレジストを塗布し、写真製版技術を用いてレジストマスク 82 を形成する。

【0062】

次に、図 30 に示すように、レジストマスク 82 を用いて、スパッタにより TMR 下部電極膜 62 の異方性エッチングを行う。 40

【0063】

次に、レジストマスク 82 を除去した後に、スパッタにより TMR 膜 60 の側壁に堆積された堆積物を、ウェットエッチングにより除去する。これにより、ピン層 65 とフリー層 67 との間の絶縁性を高めリーク電流を抑制することが可能となり、図 27 に示されるようなサイドエッチ構造を有する TMR 素子 60c が形成される。

【0064】

このように、本実施の形態では、有機酸もしくはアミン系の有機溶媒を用いたウェットエッチングを行うことにより、トンネル絶縁膜 66 とピン層 65 の上部とに加えてフリー 50



層 6 7 の下部に切れ込みを形成する。従って、実施の形態 2 の効果に加えて、メモリセルの歩留まりをさらに高めることが可能となるという効果を有する。

【 0 0 6 5 】

なお、本実施の形態においては、エッチングガスとして、C l / A r / O ガスに代えて C O / N H<sub>3</sub> ガスを用いた場合にも、同様の効果を奏することが確認されている。すなわち、有機酸もしくはアミン系の有機溶媒を用いたウェットエッチングを行うことにより、ピン層 6 5 の側壁の上部とフリー層 6 7 の側壁の下部との両方がエッチングされと考えられる。

【 0 0 6 6 】

< 実施の形態 4 >

実施の形態 1 ~ 3 においては、ソース / ドレイン 2 0 およびゲート構造 2 4 を含むトランジスタ領域を形成し、それぞれ、このトランジスタ領域を用いて T M R 素子 6 0 a ~ c の選択を行っている。しかし、T M R 素子 6 0 a ~ 6 0 c をクロスポイント型に配置することにより、このトランジスタ領域を省いてもよい。

【 0 0 6 7 】

図 3 1 は、実施の形態 4 に係る半導体装置における T M R 素子 ( 図 3 1 では T M R 素子 6 0 a を用いた場合を示している ) の配置を示す模式図である。図 3 1 に示されるようなクロスポイント型配置においては、T M R 素子 6 0 a は、複数のディジットライン 5 0 と複数のビットライン 7 2 とのそれぞれの交点に配置され、ディジットライン 5 0 とビットライン 7 2 とを制御することにより、トランジスタを用いることなく選択されデータの書き込みが行われる。従って、T M R 素子 6 0 a をクロスポイント型に配置することにより、図 3 2 に示すように、メモリセルにおいてトランジスタ領域を省くことが可能となる。図 3 2 は、図 2 において、層間絶縁膜 4 0 および C u 配線 4 2 より下の領域を省いた構造を層間絶縁膜 7 6 上に形成したものである。

【 0 0 6 8 】

このように、本実施の形態においては、T M R 素子をクロスポイント型に配置することにより、メモリセルのトランジスタ領域を省いている。従って、メモリセルの面積を低減できるので、集積度を高めることができる。

【 図面の簡単な説明 】

【 0 0 6 9 】

【 図 1 】 本発明の実施の形態 1 に係るメモリセルの構造を示す断面図である。

【 図 2 】 本発明の実施の形態 1 に係るメモリセルの構造を示す上面図である。

【 図 3 】 本発明の実施の形態 1 に係る T M R 素子の構造を示す断面図である。

【 図 4 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 5 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 6 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 7 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 8 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 9 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 0 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 1 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 2 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 3 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 4 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 5 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 6 】 本発明の実施の形態 1 に係るメモリセルの製造方法を示す断面図である。

【 図 1 7 】 本発明の実施の形態 1 に係る T M R 素子の製造方法を示す断面図である。

【 図 1 8 】 本発明の実施の形態 1 に係る T M R 素子の製造方法を示す断面図である。

【 図 1 9 】 本発明の実施の形態 1 に係る T M R 素子の製造方法を示す断面図である。

【 図 2 0 】 本発明の実施の形態 1 に係る T M R 素子の製造方法を示す断面図である。

10

20

30

40

50

- 【図 2 1】本発明の実施の形態 1 に係る T M R 素子の製造方法を示す断面図である。  
 【図 2 2】本発明の実施の形態 1 に係る T M R 素子の製造方法を示す断面図である。  
 【図 2 3】本発明の実施の形態 2 に係る T M R 素子の構造を示す断面図である。  
 【図 2 4】本発明の実施の形態 2 に係る T M R 素子の製造方法を示す断面図である。  
 【図 2 5】本発明の実施の形態 2 に係る T M R 素子の製造方法を示す断面図である。  
 【図 2 6】本発明の実施の形態 2 に係る T M R 素子の製造方法を示す断面図である。  
 【図 2 7】本発明の実施の形態 3 に係る T M R 素子の構造を示す断面図である。  
 【図 2 8】本発明の実施の形態 3 に係る T M R 素子の製造方法を示す断面図である。  
 【図 2 9】本発明の実施の形態 3 に係る T M R 素子の製造方法を示す断面図である。  
 【図 3 0】本発明の実施の形態 3 に係る T M R 素子の製造方法を示す断面図である。  
 【図 3 1】本発明の実施の形態 4 に係るメモリセルの配置を示す模式図である。  
 【図 3 2】本発明の実施の形態 4 に係るメモリセルの構造を示す断面図である。

10

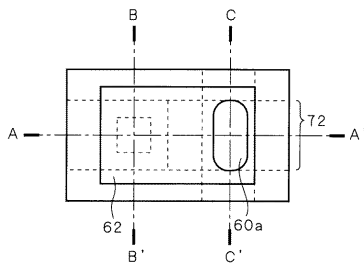
【符号の説明】

【0070】

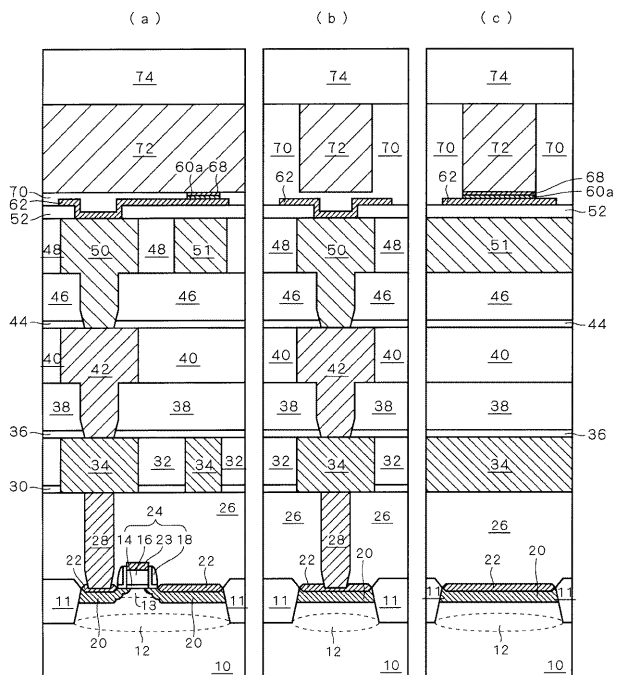
10 半導体基板、11 分離領域、12 ウェル、13 チャンネル、14 ゲート酸化膜、16 ゲート電極、18 サイドウォール、20 ソース/ドレイン、22, 23 コバルトシリサイド、24 ゲート構造、26, 30, 32, 36, 38, 40, 44, 46, 52, 76 層間絶縁膜、28 コンタクトプラグ、34, 42, 51 Cu 配線、50 デジットライン、54 ピア、60 T M R 膜、60a, 60b, 60c T M R 素子、62 T M R 下部電極膜、65 ピン層、66 トンネル絶縁層、67 フリー層、68 T M R 上部電極膜、72 ビットライン、74 パッシベーション膜、80, 82 レジストマスク。

20

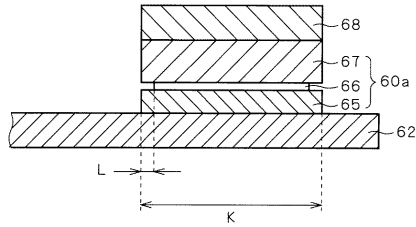
【図 1】



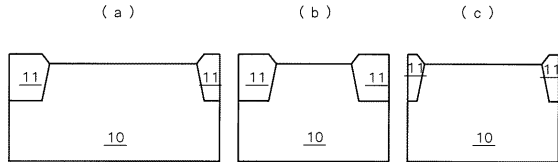
【図 2】



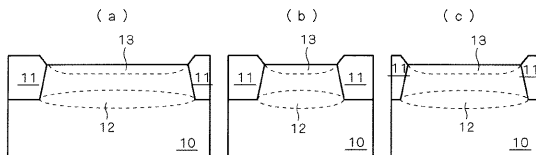
【図 3】



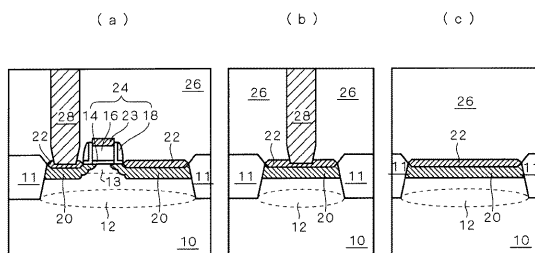
【図 4】



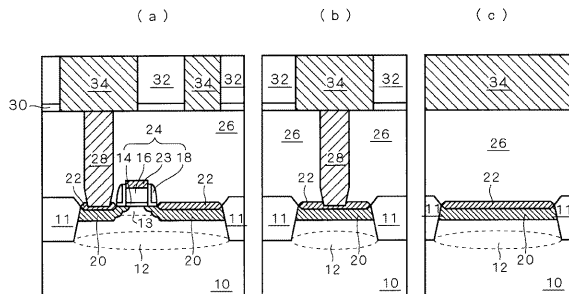
【図 5】



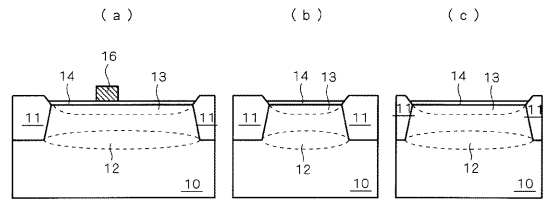
【図 9】



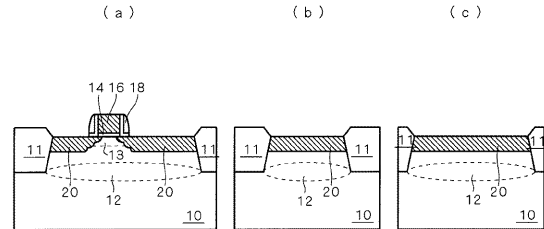
【図 10】



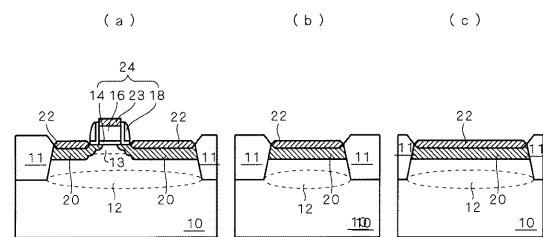
【図 6】



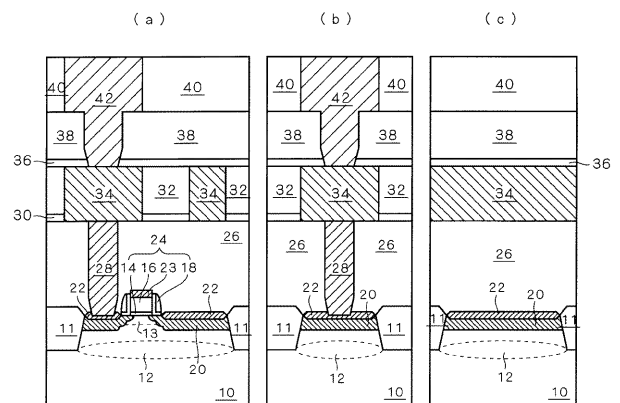
【図 7】



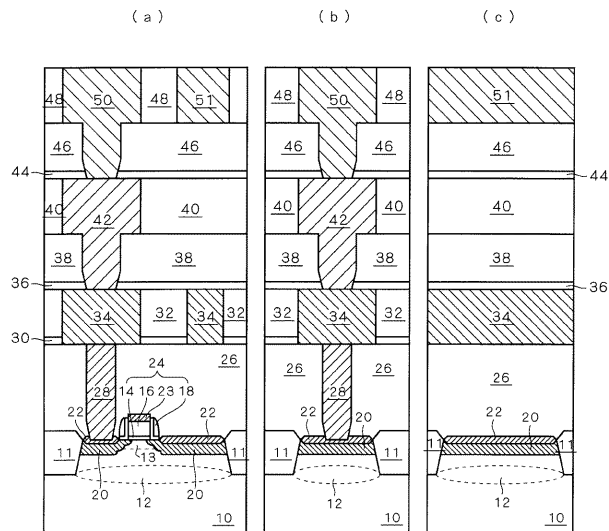
【図 8】



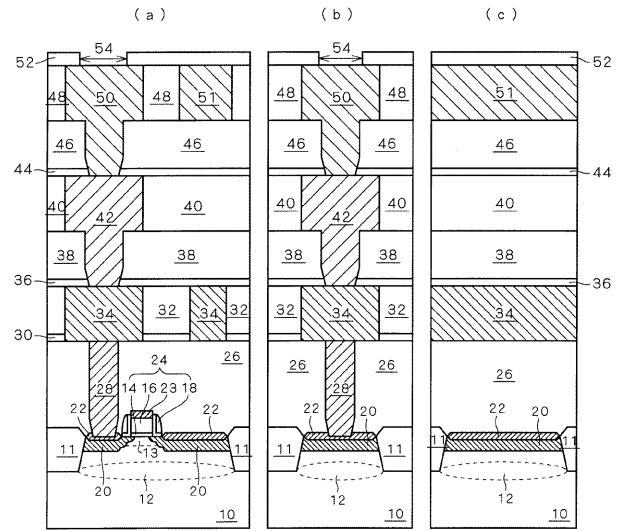
【図 11】



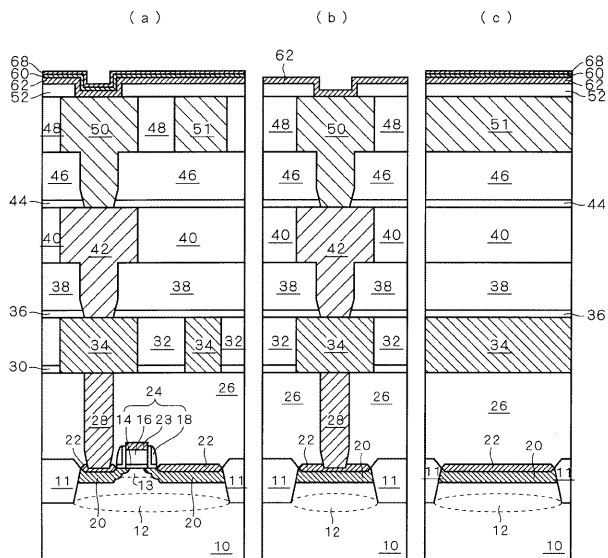
【図 12】



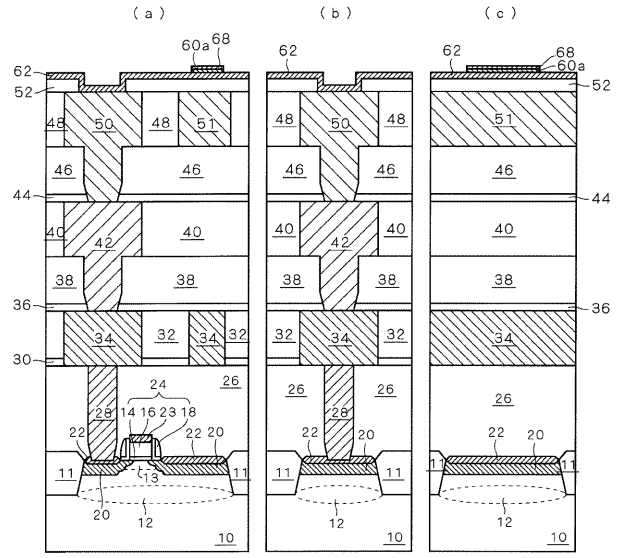
【図 13】



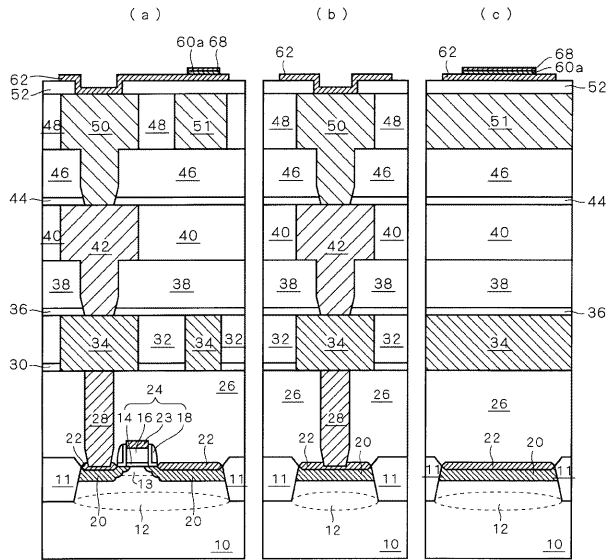
【図 14】



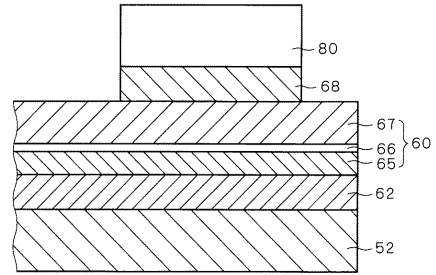
【図 15】



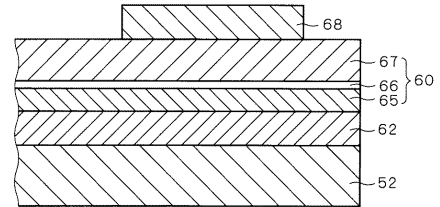
【図 16】



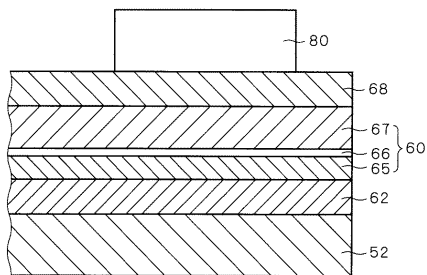
【図 18】



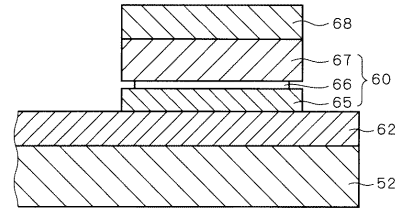
【図 19】



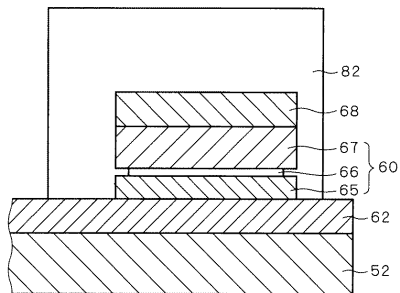
【図 17】



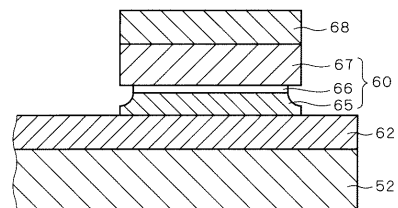
【図 20】



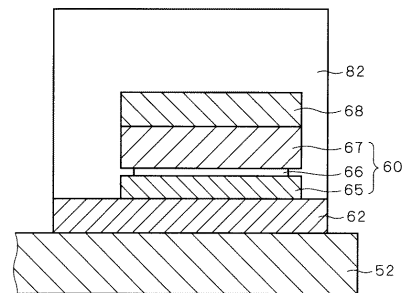
【図 21】



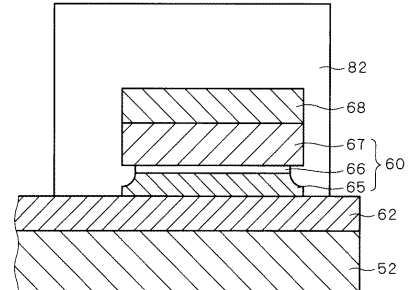
【図 24】



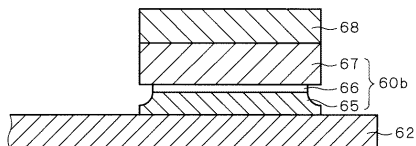
【図 22】



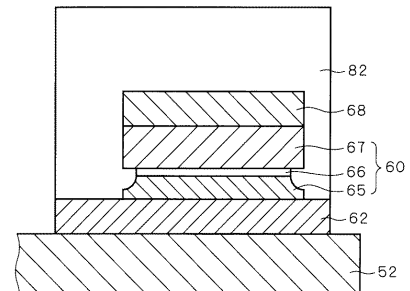
【図 25】



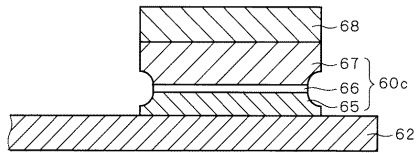
【図 23】



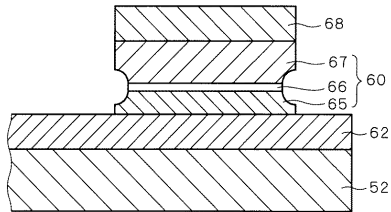
【図 26】



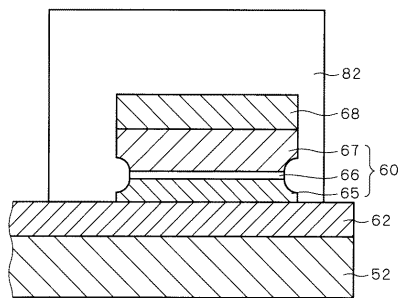
【図 27】



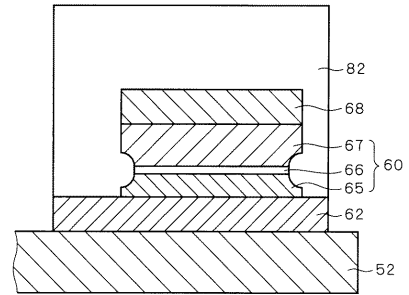
【図 28】



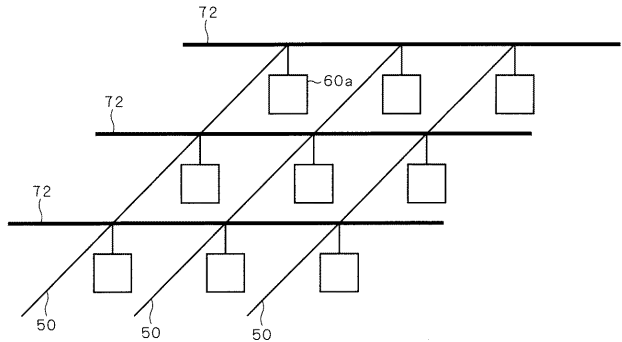
【図 29】



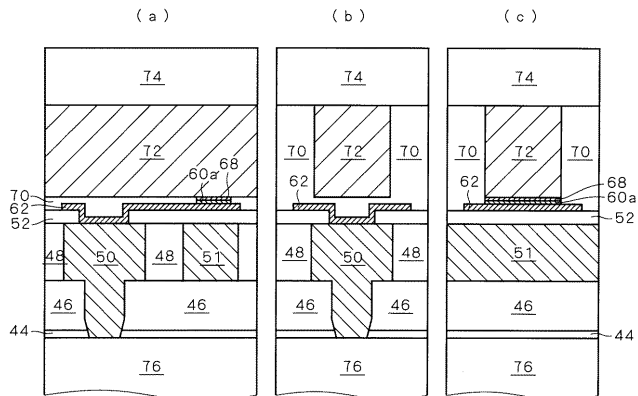
【図 30】



【図 31】



【図 32】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 21/306 (2006.01)** H 0 1 L 21/306 S

(72)発明者 黒岩 丈晴

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

F ターム(参考) 5F004 AA09 DA00 DA23 DB00 EA09 EB08  
5F043 AA40 BB30 DD15 FF02 GG10  
5F083 FZ10 JA35 JA37 JA39 JA56 MA06 MA16 MA19 NA01 NA08  
PR03 PR05 PR22 PR36