



(12) 发明专利申请

(10) 申请公布号 CN 105280708 A

(43) 申请公布日 2016. 01. 27

(21) 申请号 201510295584. 4

(22) 申请日 2015. 06. 02

(30) 优先权数据

2014-115133 2014. 06. 03 JP

(71) 申请人 瑞萨电子株式会社

地址 日本东京

(72) 发明人 德光成太

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 李兰 孙志湧

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/72(2006. 01)

H01L 29/861(2006. 01)

H01L 21/76(2006. 01)

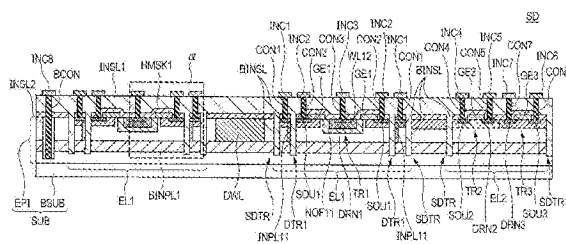
权利要求书3页 说明书11页 附图24页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及一种半导体器件。元件隔离沟槽形成在衬底中且在平面图中沿多边形的各边形成。第一沟槽形成在衬底中并在不同于沟槽的任意边的方向上延伸。第一导电类型区形成在位于衬底中的第一沟槽的端部侧的部分上/上方。因此,当通过在衬底中形成沟槽且将杂质斜向地注入沟槽中而形成在衬底的深度方向上延伸的杂质区时,能防止杂质注入凹槽的侧面中,诸如用于元件隔离等的凹槽的不希望杂质注入的侧面中。



1. 一种半导体器件,包括:

衬底;

元件隔离沟槽,所述元件隔离沟槽形成在所述衬底中,并且在平面图中沿多边形的每一条边形成;

第一沟槽,所述第一沟槽形成在所述衬底中,并且在与所述元件隔离沟槽的任意边不同的方向上延伸;以及

第一第一导电类型区,所述第一第一导电类型区形成在位于所述衬底中的所述第一沟槽的端部侧的部分上。

2. 根据权利要求 1 所述的半导体器件,

其中,所述衬底为第二导电类型,

其中,所述第一沟槽位于被所述元件隔离沟槽围绕的区域的内侧,

进一步包括:

掩埋在所述衬底中的第一第一导电类型掩埋层,

其中,所述第一沟槽的底面到达所述第一掩埋层或定位为低于所述第一掩埋层,并且

其中,所述第一第一导电类型区耦接至所述第一掩埋层。

3. 根据权利要求 2 所述的半导体器件,进一步包括:

晶体管,所述晶体管形成在位于所述衬底中的所述元件隔离沟槽的内侧的区域中。

4. 根据权利要求 3 所述的半导体器件,进一步包括:

掩埋绝缘膜,所述掩埋绝缘膜掩埋在所述衬底中的所述晶体管的漏极区和栅电极之间的区域中。

5. 根据权利要求 2 所述的半导体器件,进一步包括:

第一第二导电类型区,所述第一第二导电类型区形成在位于所述衬底中的所述元件隔离沟槽的内侧的区域中,并且杂质浓度高于所述衬底;

第一接触,所述第一接触电耦接至所述第一第一导电类型区;以及

第二接触,所述第二接触电耦接至所述第一第二导电类型区。

6. 根据权利要求 5 所述的半导体器件,

其中,多个所述第一沟槽沿所述元件隔离沟槽的至少一部分布置,并且

其中,为所述第一沟槽中的每一个形成所述第一第一导电类型区。

7. 根据权利要求 6 所述的半导体器件,

其中,所述多边形是矩形,

其中,所述第一沟槽沿所述矩形的相互面对的第一边和第二边布置,

其中,所述第一沟槽布置为沿着所述第一边在第一方向上延伸,

其中,所述第一沟槽布置为沿着所述第二边在与所述第一方向不同的第二方向上延伸,并且

其中,所述第一第一导电类型区形成在所述第一沟槽的两个端部中的更靠近所述元件隔离沟槽的端部侧。

8. 根据权利要求 7 所述的半导体器件,

其中,所述第二方向与所述第一方向正交。

9. 根据权利要求 6 所述的半导体器件,

其中,所述第一第一导电类型区形成在所述第一沟槽的所述两个端部中的每一个端部侧。

10. 根据权利要求 2 所述的半导体器件,

其中,所述第一第一导电类型区形成在位于所述衬底中的所述第一沟槽的一个端部侧的部分上,

进一步包括:

第二第二导电类型掩埋层,所述第二第二导电类型掩埋层形成在所述第一嵌入层上,并且与所述第一掩埋层接触;

第二第二导电类型区,所述第二第二导电类型区形成在位于所述衬底中的所述第一沟槽的另一端部侧的部分上,并且耦接至所述第二掩埋层;

第一接触,所述第一接触电耦接至所述第一第一导电类型区,以及

第三接触,所述第三接触电耦接至所述第二第二导电类型区。

11. 根据权利要求 2 所述的半导体器件,进一步包括:

第二第二导电类型掩埋层,所述第二第二导电类型掩埋层形成在所述第一掩埋层上,并且与所述第一掩埋层接触;

第二第二导电类型区,所述第二第二导电类型区形成在位于所述衬底中的所述第一沟槽的端部侧的部分上;

其中,所述第一第一导电类型区和所述第二第二导电类型区在所述第一沟槽延伸的方向上并排布置,

其中,所述第二第二导电类型区耦接至所述第二掩埋层,

并且进一步地

第一接触,所述第一接触电耦接至所述第一第一导电类型区,以及

第三接触,所述第三接触电耦接至所述第二第二导电类型区。

12. 根据权利要求 1 所述的半导体器件,

其中,所述多边形是矩形,并且

其中,所述第一沟槽以相对于所述元件隔离沟槽的每一条边以至少约 30 度且不大于约 60 度的角度延伸。

13. 一种半导体器件,包括:

衬底;

第一沟槽,所述第一沟槽形成在所述衬底中,并且在平面图中在第一方向上延伸;

第二沟槽,所述第二沟槽形成在所述衬底中,并且在平面图中在与所述第一方向不同的第二方向上延伸;

第一导电类型区,所述第一导电类型区形成在位于所述衬底中的所述第一沟槽的端部侧的部分上,以及

第二导电类型区,所述第二导电类型区形成在位于所述衬底中的所述第二沟槽的端部侧的部分上。

14. 一种半导体器件,包括:

衬底;

沟槽,所述沟槽形成在所述衬底中,并且在平面图中在第一方向上延伸;

第一导电类型区,所述第一导电类型区形成在位于所述衬底中的所述沟槽的一个端部侧的部分上,以及

第二导电类型区,所述第二导电类型区形成在位于所述衬底中的所述沟槽的另一端部侧的部分上。

半导体器件

[0001] 相关申请交叉引用

[0002] 将 2014 年 6 月 3 日提交的日本专利申请 No. 2014-115133 的公开内容,包括说明书、附图和摘要整体并入本文作为参考。

技术领域

[0003] 本发明涉及一种半导体器件并涉及一种适用于例如具有杂质已经注入形成在衬底中的沟槽的侧面的结构的半导体器件的技术。

背景技术

[0004] 在半导体器件中,存在当沟槽形成在衬底中且通过将杂质斜向地注入沟槽而形成的在衬底的深度方向延伸的杂质区的情况。日本未审专利申请公布 No. 2002-118256 公开了低浓度杂质层外延生长在高浓度杂质衬底上,到达高浓度杂质衬底的沟槽形成在低浓度杂质层中,且杂质斜向地注入沟槽中。在这种情况下,通过将 n 型杂质离子从第一方向注入且将 p 型杂质离子从与第一方向的相反侧注入,而使 n 型杂质区形成在沟槽的一个侧面上且 p 型杂质区形成在沟槽的相反侧面上。

[0005] 另一方面,日本未审专利申请公布 No. 2011-66067 公开了通过形成凹槽以便围绕在形成有诸如晶体管等的元件的衬底中的元件且在凹槽中掩埋绝缘膜而执行的元件隔离。在日本未审专利申请公布 No. 2011-66067 中,除这种凹槽之外还形成了 STI 结构的元件隔离膜。上述凹槽形成得比元件隔离膜深。

发明内容

[0006] 当通过在衬底中形成沟槽且将杂质斜向地注入沟槽而形成在衬底的深度方向上延伸的杂质区时,杂质可能注入诸如用于元件隔离等的凹槽的凹槽的侧面中,杂质注入其侧面是不可取的。本发明的发明人进行研究以降低上述可能性。本发明的其他主题和新颖特征将从说明书的描述和附图中变得显而易见。

[0007] 根据一个实施例,元件隔离沟槽形成在衬底中。元件隔离沟槽在平面图中沿多边形的各个边形成。而且,第一沟槽形成在衬底中。第一沟槽在不同于元件隔离沟槽的任意边的方向上延伸。随后,第一导电类型区形成在位于衬底中的第一沟槽的端部侧的部分上 / 上方。

[0008] 根据另一实施例,第一沟槽和第二沟槽形成在衬底中。第一沟槽在平面图中在第一方向上延伸。第二沟槽在平面图中在不同于第一方向的第二方向上延伸。第一导电类型区形成在位于衬底中的第一沟槽端部侧的部分上 / 上方,且第二导电类型区形成在位于衬底中的第二沟槽端部侧的部分上 / 上方。

[0009] 根据又一实施例,第一沟槽形成在衬底中。第一沟槽在平面图中在第一方向上延伸。第一导电类型区形成在位于衬底中的第一沟槽的一个端部侧的部分上 / 上方,且第二导电类型区形成在位于衬底中的第一沟槽的另一端部侧的部分上 / 上方。

[0010] 根据上述实施例,当通过在衬底中形成沟槽并将杂质斜向地注入沟槽而形成在衬底深度方向上延伸的杂质区时,变得能够抑制不希望存在的杂质注入凹槽侧面的现象。

附图说明

[0011] 图 1 是说明根据第一实施例的半导体器件的构造的一个实例的截面图。

[0012] 图 2A 和 2B 是说明第一元件区的一个实例的示意图,其中图 2A 是由图 1 中的虚线围绕的区域的放大图且图 2B 是第一元件区的平面图。

[0013] 图 3A 和 3B 是说明根据图 2 中的实施例的一个变型例的晶体管的一个实例的示意图,其中图 3A 对应于图 2A 且图 3B 对应于图 2B。

[0014] 图 4A 和 4B 是说明半导体器件制造方法的一个实例的截面图,其中图 4A 对应于图 1 且图 4B 对应于图 2B。

[0015] 图 5A 和 5B 是说明半导体器件制造方法的一个实例的截面图,其中图 5A 对应于图 1 且图 5B 对应于图 2B。

[0016] 图 6A 和 6B 是说明半导体器件制造方法的一个实例的截面图,其中图 6A 对应于图 1 且图 6B 对应于图 2B。

[0017] 图 7A 和 7B 是说明半导体器件制造方法的一个实例的截面图,其中图 7A 对应于图 1 且图 7B 对应于图 2B。

[0018] 图 8A 和 8B 是说明作为根据第二实施例的半导体器件包括的双极晶体管的一个实例的示意图,其中图 8A 是双极晶体管的截面图且图 8B 是双极晶体管的平面图。

[0019] 图 9A 和 9B 是说明作为根据第三实施例的半导体器件包括的双极晶体管的一个实例的示意图,其中图 9A 是双极晶体管的截面图且图 9B 是双极晶体管的平面图。

[0020] 图 10 是说明作为根据第四实施例的半导体器件包括的二极管的一个实例的截面图。

[0021] 图 11 是说明图 10 中所示的二极管的一个实例的平面图。

[0022] 图 12 是说明根据第五实施例的半导体器件的一个实例的平面图。

[0023] 图 13 是说明图 12 中的实施例的一个变型例的示意图。

[0024] 图 14 是说明图 12 中的实施例的一个变型例的示意图。

[0025] 图 15 是说明根据第六实施例的半导体器件的一个实例的平面图。

[0026] 图 16 是说明作为根据第七实施例的半导体器件包括的二极管的构造的一个实例的截面图。

[0027] 图 17 是说明图 16 中所示的二极管的一个实例的平面图。

[0028] 图 18 是说明图 17 中所示的二极管的一个变型例的示意图。

[0029] 图 19 是说明图 17 中所示的二极管的一个变型例的示意图。

[0030] 图 20 是说明图 17 中所示的二极管的一个变型例的示意图。

[0031] 图 21 是说明作为根据第八实施例的半导体器件包括的二极管的一个实例的截面图。

[0032] 图 22 是说明作为根据第八实施例的半导体器件包括的二极管的一个实例的截面图。

[0033] 图 23 是说明图 21 和图 22 中所示的二极管的一个实例的平面图。

[0034] 图 24 是说明图 23 中的二极管的一个变型例的示意图。

具体实施方式

[0035] 以下将参考附图说明本发明的优选实施例。顺便提及,在所有附图中,相同的符号表示相同的构成元件并适当省略其说明。

[0036] (第一实施例)

[0037] 图 1 是说明根据第一实施例的半导体器件 SD 的构造的一个实例的截面图。根据本实施例的半导体器件 SD 通过采用衬底 SUB 而形成。衬底 SUB 是已经生长在由体半导体(例如硅)构造的基础衬底 BSUB 上/上方的半导体(例如硅)的外延层 EPI 的类型。基础衬底 BSUB 和外延层 EPI 具有相同导电类型(第二导电类型:例如 p 型)。基础衬底 BSUB 的杂质浓度高于外延层 EPI 的杂质浓度。随后,在外延层 EPI 中形成不同于外延层 EPI 的导电类型的导电类型(第一导电类型:例如 n 型)的第一掩埋层 BINPL1。第一掩埋层 BINPL1 与基础衬底 BSUB 隔开。因为为了外延生长外延层 EPI 而形成第一掩埋层 BINPL1,因此第一掩埋层 BINPL1 形成在衬底 SUB 的整个表面上。

[0038] 顺便提及,在下文中,将对第一导电类型是 n 型且第二导电类型是 p 型的情况进行说明。但是,第一导电类型可以是 p 型且第二导电类型可以是 n 型。

[0039] 在外延层 EPI 中形成构成逻辑电路的晶体管 TR2 和 TR3 以及用于功率控制的晶体管 TR1。

[0040] 晶体管 TR2 是 n 型低耐压晶体管并包括栅电极 GE2、源极 SOU2 以及漏极 DRN2。晶体管 TR3 是 p 型低耐压晶体管并包括栅电极 GE3、源极 SOU3 以及漏极 DRN3。晶体管 TR2 和 TR3 构成 CMOS 晶体管。顺便提及,栅极绝缘膜(未示出)形成在栅电极 GE2 和 GE3 下/下方。

[0041] 晶体管 TR1 是用于功率控制的横向晶体管且具有比晶体管 TR2 和 TR3 更高的耐压。晶体管 TR1 包括栅电极 GE1、源极 SOU1 以及漏极 DRN1。漏极 DRN1 和栅电极 GE1 之间的距离长于源极 SOU1 和栅电极 GE1 之间的距离。由此,增大漏极 DRN1 和栅电极 GE1 之间的耐压。栅极绝缘膜(未示出)形成在栅电极 GE1 下/下方。栅极绝缘膜具有等同于或厚于晶体管 TR2 和 TR3 的栅极绝缘膜的膜厚。顺便提及,虽然将通过利用图 2 在下文说明,但是掩埋绝缘膜 STI 形成在漏极 DRN1 和栅电极 GE1 之间。

[0042] 随后,在衬底 SUB 上/上方形成绝缘膜 HMSK1 以及层间绝缘膜 INSL1。绝缘膜 HMSK1 例如为氮化硅膜且层间绝缘膜 INSL1 例如为氧化硅膜。接触 CON2、CON3、CON4、CON5、CON6 以及 CON7 掩埋在绝缘膜 HMSK1 以及层间绝缘膜 INSL1 中。接触 CON2 耦接至晶体管 TR1 的源极 SOU1 且接触 CON3 耦接至晶体管 TR1 的漏极 DRN1。接触 CON4 耦接至晶体管 TR2 的源极 SOU2 且接触 CON5 耦接至晶体管 TR2 的漏极 DRN2。接触 CON6 耦接至晶体管 TR3 的源极 SOU3 且接触 CON7 耦接至晶体管 TR3 的漏极 DRN3。此外,虽未在附图中示出,在绝缘膜 HMSK1 以及层间绝缘膜 INSL1 中还可掩埋耦接至栅电极 GE1 的接触、耦接至栅电极 GE2 的接触、耦接至栅电极 GE3 的接触以及耦接至深阱(下文说明)的接触。

[0043] 布线 INC2、INC3、INC4、INC5、INC6 以及 INC7 形成在层间绝缘膜 INSL1 上/上方。通过采用诸如铝等的金属并相应耦接至接触 CON2、CON3、CON4、CON5、CON6 以及 CON7 而形成布线 INC2、INC3、INC4、INC5、INC6 以及 INC7。顺便提及,在层间绝缘膜 INSL1 上/上方

也形成耦接至各个栅电极的布线（未示出）以及耦接至深阱 DWL 的布线。

[0044] 晶体管 TR1 形成在第一元件区 EL1 中且晶体管 TR2 和 TR3 形成在第二元件区 EL2 中。详细来说，一个晶体管 TR1 形成在第一元件区 EL1 中。另一方面，多组晶体管 TR2 和 TR3 形成在第二元件区 EL2 中。顺便提及，出于附图的简化，仅在图 1 中的第二元件区 EL2 中示出一组晶体管 TR2 和 TR3。随后，通过元件隔离沟槽 SDTR 围绕第一元件区 EL1 和第二元件区 EL2 中每一个。虽然元件隔离沟槽 SDTR 贯穿第一掩埋层 BINPL1，但是元件隔离沟槽 SDTR 没有到达基础衬底 BSUB。替代地，元件隔离沟槽 SDTR 可到达基础衬底 BSUB。随后，掩埋绝缘膜 BINS1 被掩埋在元件隔离沟槽 SDTR 中。在图 1 中所示的实例中，掩埋绝缘膜 BINS1 构成衬底 SUB 上 / 上方的层间绝缘膜 INSL1 的一部分。

[0045] 顺便提及，此外，n 型深阱 DWL 以及掩埋接触 BCON 形成在衬底 SUB 中。深阱 DWL 的底面到达第一掩埋层 BINPL1 且为第一掩埋层 BINPL1 提供固定电势。掩埋接触 BCON 是掩埋在衬底 SUB 中并贯穿第一掩埋层 BINPL1 的接触。因此，固定电势通过掩埋接触 BCON 提供至位于第一掩埋层 BINPL1 下的外延层 EPI 以及基础衬底 BSUB。

[0046] 顺便提及，虽然在与例如掩埋接触 CON2 的耦接孔的相同的工艺中形成其中将掩埋掩埋接触 BCON 的凹槽，但是凹槽可在独立的工艺中形成。绝缘膜（例如热氧化物膜或 TEOS（四乙基原硅酸酯）膜）INSL2 形成在凹槽的内表面上。由此，掩埋接触 BCON 与第一掩埋层 BINPL1 以及外延层 EPI 的位于高于第一掩埋层 BINPL1 的部分绝缘。此外，掩埋接触 BCON 在与接触 CON2 等相同的工艺中形成。因此，掩埋接触 BCON 也贯穿层间绝缘膜 INSL1 以及绝缘膜 HMSK1，且掩埋接触 BCON 的上端部耦接至层间绝缘膜 INSL1 上 / 上方的布线 INC8。

[0047] 第一沟槽 DTR1 形成在外延层 EP1 中。因为第一沟槽 DTR1 在与元件隔离沟槽 SDTR 相同的工艺中形成，因此第一沟槽 DTR1 的底面位于第一掩埋层 BINPL1 下（基础衬底 BSUB 侧）。此外，掩埋绝缘膜 BINS1 掩埋在第一沟槽 DTR1 中。

[0048] 随后，第一导电性区 INPL11（第一第一导电类型区）形成在构成外延层 EPI 中的第一沟槽 DTR1 的侧面的区域的一部分中。第一导电类型区 INPL11 耦接至第一掩埋层 BINPL1。换言之，第一导电类型区 INPL11 将第一掩埋层 BINPL1 电拉高至外延层 EP1 的表面层。

[0049] 图 2A 是说明由图 1 中的虚线“a”围绕的区域的一个实例的放大图。图 2B 是说明第一元件区 EL1 的一个实例的平面图。顺便提及，图 2A 对应于沿图 2B 的线 A-A' 截取的截面。此外，在图 2B 中，省略了晶体管 TR1 的某些构成元件的说明。

[0050] 如图 2A 中所示，高耐压晶体管 TR1 形成在第一元件区 EL1 中。晶体管 TR1 包括上述漏极 DRN1、栅电极 GE1 以及源极 SOU1。漏极 DRN1 包括 n 型阱 WL12 以及形成在 n 型阱 WL12 的表面层上 / 上方的 n 型高浓度区 HINPL13。高浓度区 HINPL13 耦接至接触 CON3。此外，围绕 n 型阱 WL12 形成 n 型偏移区 NOF11。换言之，n 型阱 WL12 形成在偏移区 NOF11 的表面层中。

[0051] 另一方面，源极 SOU1 包括 n 型高浓度区 HINPL12。高浓度区 HINPL12 形成在 p 型阱 WL21 的表面层中。此外，p 型高浓度区 HINPL21 形成在位于与高浓度区 HINPL12 相邻的 p 型阱 WL21 的部分中。随后，接触 CON2 耦接至高浓度区 HINPL12 和 HINPL21。

[0052] 此外，STI 结构的掩埋绝缘膜 STI 形成在栅电极 GE1 和漏极 DRN1 之间。上述偏移

区 NOF11 形成在掩埋绝缘膜 STI 的下表面前方。

[0053] 如图 2B 中所示,栅电极 GE1 围绕漏极 DRN1 的 n 型阱 WL12 且 p 型阱 WL21 围绕栅电极 GE1。此外,元件隔离沟槽 SDTR 沿多边形(图 2B 中的实例中为矩形)的各个边形成并围绕 p 型阱 WL21。换言之,晶体管 TR1 位于元件隔离沟槽 SDTR 内侧。

[0054] 随后,多个第一沟槽 DTR1 形成在 p 型阱 WL21 和元件隔离沟槽 SDTR 之间的区域中。所有多个第一沟槽 DTR1 中都在平面图中在不同于元件隔离沟槽 SDTR 的任意边的方向上延伸。在图 2B 中所示的实例中,第一沟槽 DTR1 以相对于元件隔离沟槽 SDTR 的各边至少约 30 度且不大于约 60 度的角度(优选地,至少约 43 度且不大于约 47 度的角度)延伸。随后,第一导电类型区 INPL11 形成在位于外延层 EPI 中的第一沟槽 DTR1 的端部侧的部分上/上方。这是因为第一导电类型区 INPL11 通过如下详细说明书的将杂质离子通过第一沟槽 DTR1 斜向地注入外延层 EPI 而形成。随后,杂质离子注入的方向为第一沟槽 DTR1 在平面图中延伸的方向。因此,杂质离子难以注入位于外延层 EPI 中的元件隔离沟槽 SDTR 的侧面上的部分中。

[0055] 顺便提及,在图 2B 中所示的实例中,第一沟槽 DTR1 没有叠置于 p 型阱 WL21 上。则,多个第一沟槽 DTR1 沿位于元件隔离沟槽 SDTR 的四边中,在插入一个角的两边(图 2B 中的实例中的右边和上边)上布置。第一导电类型区 INPL11 形成在(位于)相应的第一沟槽 DTR1 的相同侧端部(图 2B 中的实例中的右上侧端部)侧(的部分上/上方)。

[0056] 此外,而且,多个第二沟槽 DTR2 形成在元件隔离沟槽 SDTR 的内侧区域中。第二沟槽 DTR2 沿元件隔离沟槽 SDTR 的四边中没有形成第一沟槽 DTR1 的一边布置。所有第二沟槽 DTR2 在不同于第一沟槽 DTR1 的方向(第二方向)上延伸。在图 2B 中所示的实例中,第二方向几乎正交于第一沟槽 DTR1 延伸的方向(第一方向)。随后,各个第一导电类型区 INPL11 也形成在各个第二沟槽 DTR2 的一个端部(更接近于图 2B 中所示的实例中的元件隔离沟槽 SDTR 的端部)侧。通过以此方式布置上述元件,与形成第一沟槽 DTR1 以替代第二沟槽 DTR2 的情况相比,变得能将所有第一导电类型区 INPL11 与 p 型阱 WL21 隔离。

[0057] 随后,n 型阱 WL11 形成在元件隔离沟槽 SDTR 内侧。n 型阱 WL11 围绕 p 型阱 WL21。如图 2A 中所示,第一导电类型区 INPL11 的上部与 n 型阱 WL11 链接,且 n 型高浓度区 HINPL11 形成在 n 型阱 WL11 的表面层上/上方。n 型高浓度区 HINPL11 耦接至第一接触 CON1。第一接触 CON1 将第一掩埋层 BINPL1 通过 n 型高浓度区 HINPL11、n 型阱 WL11 以及第一导电类型区 INPL11 耦接至层间绝缘膜 INSL1 上/上方的布线 INC1。顺便提及,在图 2B 中所示的实例中,n 型阱 WL1 形成在元件隔离沟槽 SDTR 的整个内周。但是,n 型阱 WL11 可仅形成在叠置于第一沟槽 DTR1 上的区域中。

[0058] 顺便提及,第一沟槽 DTR1 和元件隔离沟槽 SDTR 都叠置于掩埋绝缘膜 STI 上。换言之,第一沟槽 DTR1 以及元件隔离沟槽 SDTR 贯穿掩埋绝缘膜 STI。但是,一些第一沟槽 DTR1 以及元件隔离沟槽 SDTR 的一部分可不叠置于掩埋绝缘膜 STI 上。

[0059] 图 3A 和 3B 是说明根据图 2 中的实施例的一个变型例的晶体管 TR3 的构造的一个实例的示意图且分别对应于图 2A 和 2B。根据本变型例的晶体管 TR3 是 p 沟道型晶体管,且图 2 中的 n 型阱 WL11、n 型阱 WL12、偏移区 NOF11 以及 n 型高浓度区 HINPL 12、HINPL13 以及 HINPL21 形成为具有与图 2 中的元件相反导电类型的元件。顺便提及,在图 3 中,为了容易理解,与图 2 中相同的符号表示相同的元件。则,对应于图 2 中的 p 型阱 WL21 的阱与阱

WL11 集成,因此转换成 p 型。

[0060] 图 4 至图 7 是各说明半导体器件 SD 的制造方法的一个实例的截面图。在各个附图中,“A”对应于图 1 且“B”对应于图 2A。

[0061] 首先,如图 4A 和 4B 中所示,制备基础衬底 BSUB。随后,在基础衬底 BSUB 上 / 上方形成外延层 EPI。在这种情况下,暂停外延层 EPI 的形成且通过离子注入等形成第一掩埋层 BINPL1。随后,在已经热扩散第一掩埋层 BINPL1 之后,再次形成外延层 EPI。随后,例如通过采用离子注入方法等在外延层 EPI 中形成各个阱(包括深阱 DWL)以及偏移区 NOF11。随后,在外延层 EPI 中形成凹槽且例如氧化硅膜等的绝缘膜埋掩埋在该凹槽中。由此形成掩埋绝缘膜 STI。顺便提及,对于各个阱和偏移区 NOF11 的形成时间来说,可在掩埋绝缘膜 STI 形成之后形成各个阱和偏移区 NOF11。

[0062] 随后,形成晶体管 TR1、TR2 以及 TR3 的栅极绝缘膜。随后,沉积栅电极的材料(例如多晶硅膜等)且选择性去除这样沉积的膜。由此形成栅电极 GE1、GE2 以及 GE3。随后,例如通过采用离子注入方法等在外延层 EPI 中形成相应的高浓度区(例如高浓度区 HINPL11、HINPL12、HINPL13、HINPL21 等)。

[0063] 顺便提及,存在侧壁形成在栅电极 GE1、GE2 以及 GE3 的侧面上的情况。在这种情况下,在侧壁形成之后形成各个高浓度区。

[0064] 随后,如图 5A 和 5B 中所示,在外延层 EPI 上 / 上方形成绝缘膜 HMSK1。随后,在绝缘膜 HMSK1 上 / 上方形成抗蚀剂图案 PR1。抗蚀剂图案 PR1 包括将要形成第一沟槽 DTR1 以及元件隔离沟槽 SDTR 的区域中的开口。随后,通过采用抗蚀剂图案 PR1 作为掩膜蚀刻绝缘膜 HMSK1。由此在将要形成第一沟槽 DTR1 以及元件隔离沟槽 SDTR 的绝缘膜 HMSK1 的区域中形成开口。

[0065] 随后,如图 6A 和 6B 中所示,通过采用绝缘膜 HMSK1 作为掩膜蚀刻掩埋绝缘膜 STI 以及外延层 EPI。由此形成第一沟槽 DTR1 以及元件隔离沟槽 SDTR。随后,当抗蚀剂图案 PR1 残留时,去除抗蚀剂图案 PR1。

[0066] 随后,如图 7A 和 7B 中所示, n 型杂质离子斜向地注入外延层 EPI。在这种情况下,将要注入杂质离子的方向被设定为第一沟槽 DTR1 延伸的方向。由此第一导电类型区 INPL11 形成在位于外延层 EPI 中的第一沟槽 DTR1 的一个端部侧的部分上 / 上方。另一方面,元件隔离沟槽 SDTR 的任何部分都不与第一沟槽 DTR1 平行。因此,杂质离子难以注入位于外延层 EPI 中的元件隔离沟槽 SDTR 的侧面上的部分中。随后,当将要形成第一导电类型区 INPL11 时,相对于衬底 SUB 的离子注入的角度在第一导电类型区 INPL11 的形成中间阶段改变。这里,通过倾斜角(相对于基础衬底 BSUB 的法线方向的角度)以及扭转角(在基础衬底 BSUB 中的切口设定为基准的情况下的旋转角度)定义离子注入。通过以此方式执行离子注入,第一导电类型区 INPL11 形成在第一沟槽 DTR1 的相关端部侧以及第二沟槽 DTR2 的相关端部侧。

[0067] 随后,形成层间绝缘膜 INSL1。在这种情况下,层间绝缘膜 INSL1 的一部分掩埋在元件隔离沟槽 SDTR 以及第一沟槽 DTR1 中并作为掩埋绝缘膜 BINS1。在这种情况下,虽然空隙形成在各个元件隔离沟槽 SDTR 以及第一沟槽 DTR1 中,但是这种空隙由层间绝缘膜 INSL1(掩埋绝缘膜 BINS1)填充且不会在后续处理中暴露,其不会影响半导体器件 SD 的质量。

[0068] 随后,抗蚀剂图案(未示出)形成在层间绝缘膜 INSL1 上且通过采用抗蚀剂图案作为掩膜蚀刻层间绝缘膜 INSL1。由此耦接孔形成在层间绝缘膜 INSL1 中,以便形成相应接触。顺便提及,在本工艺中,耦接孔也形成在将要形成掩埋接触 BCON 的层间绝缘膜 INSL1 的区域中。这种耦接孔向下到达形成在外延层 EPI 中的凹槽的底部。随后,诸如 W 等的金属掩埋在这些耦接孔中的每一个中。由此形成各个接触以及掩埋接触 BCON。在这种情况下,预先热氧化将要掩埋掩埋接触 BCON 的耦接孔的侧面。

[0069] 随后,金属膜(例如 A1 等)形成在层间绝缘膜 INSL1 上/上方。随后选择性去除金属膜。由此形成各个布线。

[0070] 如上所述,根据本实施例,元件隔离沟槽 SDTR 的任意部分都不平行于第一沟槽 DTR1。因此,杂质离子难以注入位于元件隔离沟槽 SDTR 的侧面上的外延层 EPI 的部分中。因此,能仅在第一沟槽 DTR1 的相关端部侧选择性形成第一导电类型区 INPL11。

[0071] 顺便提及,半导体器件 SD 无需包括本实施例中所述的所有元件。此外,第一沟槽 DTR1 和元件隔离沟槽 SDTR,以及掩埋绝缘膜 BINS1 可在形成绝缘膜 HMS1 之前形成(例如在形成晶体管 TR1、TR2 和 TR3 的栅极绝缘膜之前)。在这种情况下,掩埋绝缘膜 BINS1 形成成为与层间绝缘膜 INSL1 隔离的绝缘膜。

[0072] 此外,第二沟槽 DTR2 延伸的第二方向不同于第一沟槽 DTR1 延伸的第一方向。通过以此方式使得第一和第二方向互相不同,能抑制相对于第一沟槽 DTR1 形成第一导电类型区 INPL11 时,在第二沟槽 DTR2 的侧面上形成非故意的杂质区。这种有利效果能在第一方向正交于第二方向时最大地展现。

[0073] (第二实施例)

[0074] 图 8A 是说明作为根据第二实施例的半导体器件 SD 包括的双极晶体管 BPT 的一个实例的截面图。图 8B 是图 8A 中所示的双极晶体管的平面图。图 8A 对应于沿图 8B 的线 B-B' 截取的截面。

[0075] 双极晶体管 BPT 是 npn 型晶体管且通过采用衬底 SUB 形成。衬底 SUB 的构造与第一实施例相同,包括第一沟槽 DTR1、元件隔离沟槽 SDTR、第一导电类型区 INPL11、n 型阱 WL11、高浓度区 HINPL11 等的构造。顺便提及,在图 8A 和 8B 中所示的实例中,第一沟槽 DTR1 仅布置在沿元件隔离沟槽 SDTR 一边的区域中。但是,将要布置的第一沟槽 DTR1 的数量及其布置不限于图 8A 和 8B 中所示的实例。

[0076] 发射极 EM1、基极 BSE 以及集电极 COR 形成在由元件隔离沟槽 SDTR 围绕的外延层 EPI 的区域中。基极 BSE 包括 p 型阱 BSE1 以及高浓度 p 型杂质层 BSE2。p 型杂质层 BSE2 形成在 p 型阱 BSE1 的表面层的一部分上/上方。发射极 EM1 是高浓度 n 型杂质层且位于 p 型阱 BSE1 的表面层的一部分(例如平面图中 p 型阱 BSE1 的中央部)上/上方。集电极 COR 包括 n 型阱 COR1 以及高浓度 n 型杂质层 COR2。顺便提及,在平面图中,p 型杂质层 BSE2 围绕发射极 EM1。随后,集电极 COR 的 n 型阱 COR1 围绕 p 型杂质层 BSE2。掩埋绝缘膜 STI 形成在发射极 EM1 和 p 型杂质层 BSE2 之间,且掩埋绝缘膜 STI 也形成在 p 型杂质层 BSE2 以及 n 型杂质层 COR2 之间。

[0077] 随后,基极 BSE 的 p 型杂质层 BSE2 通过接触 CON9 耦接至基极电极 INC10 且发射极 EM1 通过接触 CON8 耦接至发射极电极 INC9。此外,集电极 COR 的 n 型杂质层 COR2 通过接触 CON10 耦接至集电极电极 INC11。

[0078] 根据本实施例的半导体器件 SD 的制造方法与第一实施例中说明的半导体器件 SD 的制造方向相同。

[0079] 而且在图 8A 和 8B 中所示的实例中, 元件隔离沟槽 SDTR 的任意部分都不与第一沟槽 DTR1 平行。因此, 能仅在第一沟槽 DTR1 的相关端部侧选择性形成第一导电类型区 INPL11。

[0080] (第三实施例)

[0081] 图 9A 是说明作为根据第三实施例的半导体器件 SD 包括的双极晶体管 BPT 的一个实例的截面图, 且图 9B 是图 9A 中所示的双极晶体管 BPT 的平面图。图 9A 对应于沿图 9B 的线 B-B' 截取的截面。根据本实施例的半导体器件 SD 的构造与根据第二实施例的半导体器件 SD 的构造相同, 除双极晶体管 BPT 是 pnp 型晶体管这一点之外。

[0082] 详细来说, 形成 n 型阱 BSE3 以替代第二实施例中的 p 型阱 BSE1, 且形成高浓度 n 型杂质层 BSE4 以替代 p 型杂质层 BSE2。此外, 发射极 EM1 是形成在 n 型阱 BSE3 的表面层的一部分上 / 上方的高浓度 p 型杂质层。随后, 形成 p 型阱 COR3 以替代第二实施例中的 n 型阱 COR1 且形成高浓度 p 型杂质层 COR4 以替代 n 型杂质层 COR2。

[0083] 顺便提及, n 型阱 BSE3 向下形成至与元件隔离沟槽 SDTR 的一边接触的部分。则, n 型阱 BSE3 也作为第二实施例中的 n 型阱 WL11。

[0084] 而且根据本实施例, 元件隔离沟槽 SDTR 的任意部分都不与第一沟槽 DTR1 平行。因此, 能仅在第一沟槽 DTR1 的相关端部侧选择性形成第一导电类型区 INPL11。

[0085] (第四实施例)

[0086] 图 10 是说明作为根据第四实施例的半导体器件 SD 包括的二极管 DD 的一个实例的截面图。图 11 是图 10 中所示的二极管 DD 的平面图。顺便提及, 图 10 对应于沿图 11 的线 C-C' 截取的截面。

[0087] 通过采用衬底 SUB 形成二极管 DD。衬底 SUB 的构造与第一实施例相同, 包括第一沟槽 DTR1、元件隔离沟槽 SDTR、第一导电类型区 INPL11、n 型阱 WL11、高浓度区 HINPL11 等的构造。

[0088] 二极管 DD 的阴极由第一掩埋层 BINPL1 构造并通过第一导电类型区 INPL11、n 型阱 WL11、高浓度区 HINPL11 等耦接至第一接触 CON1。在图 10 中所示的实例中, 第一接触 CON1 将第一掩埋层 BINPL1 电耦接至阴极电极 INC12。阴极电极 INC12 形成在层间绝缘膜 INSL1 的表面层上 / 上方并例如在与第一实施例中的布线 INC4 等相同的工艺中形成。

[0089] 二极管 DD 的阳极由 p 型阱 WL23 (第一第二导电类型区) 以及低浓度 p 型阱 LWL21 构成且通过形成在 p 型阱 WL23 的表面层上 / 上方的 p 型高浓度区 HINPL22 耦接至第二接触 CON12。第二接触 CON12 将 p 型阱 WL23 电耦接至阳极电极 INC13。阳极电极 INC13 形成在层间绝缘膜 INSL1 的表面层上 / 上方且例如在与第一实施例中的布线 INC4 等相同的工艺中形成。

[0090] 顺便提及, 布置多个第一沟槽 DTR1 以及多个第一导电类型区 INPL11 以便围绕高浓度区 HINPL22。详细来说, 多个第一沟槽 DTR1 沿元件隔离沟槽 SDTR 的各边形成。随后, 第一导电类型区 INPL11 形成在多个第一沟槽 DTR1 的每一个的一个端部侧。顺便提及, 在图 10 中所示的实例中, 所有第一导电类型区 INPL11 分别形成在第一沟槽 DTR1 的每两个端部的相同侧端部 (例如右上侧端部) 侧。

[0091] 高浓度区 HINPL22 为矩形。随后, 优选布置多个第一沟槽 DTR1 以致高浓度区 HINPL22 至第一导电类型区 INPL11 的最小距离 L 变得在半数第一导电类型区 INPL11 (优选地, 在所有第一导电类型区 INPL11 中) 中彼此相同。

[0092] 根据本实施例的半导体器件 SD 的制造方法与第一实施例相同。

[0093] 而且根据本实施例, 元件隔离沟槽 SDTR 的任意部分都不与第一沟槽 DTR1 平行。因此, 能仅在第一沟槽 DTR1 的相关端部侧选择性形成第一导电类型区 INPL11。

[0094] (第五实施例)

[0095] 图 12 是说明根据第五实施例的半导体器件 SD 的一个实例的平面图, 且对应于第四实施例中的图 11。根据本实施例的半导体器件 SD 与根据第四实施例的半导体器件 SD 相同, 除以下要点之外。

[0096] 首先, 多个第一沟槽 DTR1 沿元件隔离沟槽 SDTR 的三边布置。随后, 多个第二沟槽 DTR2 沿元件隔离沟槽 SDTR 的剩余一边布置。则, 与第一实施例中的情况相同, 第一导电类型区 INPL11 也形成在各个第二沟槽 DTR2 的相关端部侧。

[0097] 根据本实施例的半导体器件 SD 的制造方法与根据第一实施例的半导体器件 SD 的制造方法相同。

[0098] 顺便提及, 第一沟槽 DTR1 可仅沿图 13 中所示的元件隔离沟槽 SDTR 的四边中相互相交的两边布置。此外, 第一沟槽 DTR1 可仅沿图 14 中所示的元件隔离沟槽 SDTR 的一边布置。此外, 在与第一实施例有关的图 2B 中所示的实例中, 第一沟槽 DTR1 的布置可与图 12 或图 13 中所示的布置相同。而且, 在与第一实施例有关的图 3B 中所示的实例中, 第一沟槽 DTR1 的布置可与图 11 至 13 中任一个所示的实例中的布置相同。

[0099] 而且根据本实施例, 元件隔离沟槽 SDTR 的任意部分都不与第一沟槽 DTR1 平行。因此能仅在第一沟槽 DTR1 的相关端部侧以及第二沟槽 DTR2 的相关端部侧选择性形成第一导电类型区 INPL11。此外, 因为第二沟槽 DTR2 沿不同于第一沟槽 DTR1 的方向延伸, 因此能使第一导电类型区 INPL11 更接近于沿元件隔离沟槽 SDTR 的四边的相互面对的边的元件隔离沟槽 SDTR。由此能降低二极管 DD 专用面积。

[0100] 此外, 第二沟槽 DTR2 延伸的第二方向不同于第一沟槽 DTR1 延伸的第一方向。通过以此方式使第一和第二方向相互不同, 能在将要相对于第一沟槽 DTR1 形成第一导电类型区 INPL11 时, 抑制第二沟槽 DTR2 的侧面上形成非故意的杂质区。这种有利效果在第一方向正交于第二方向时能最大地展现。

[0101] (第六实施例)

[0102] 图 15 是说明根据第六实施例的半导体器件 SD 的一个实例的平面图, 且对应于第四实施例的图 11。根据本实施例的半导体器件 SD 的构造与根据第四实施例的半导体器件 SD 的构造相同, 除第一导电类型区 INPL11 形成在各个第一沟槽 DTR1 的两个端部侧这一点之外。根据本实施例的半导体器件 SD 的制造方法与根据第四实施例的半导体器件 SD 的制造方法相同, 除衬底 SUB 在执行用于第一导电类型区 INPL11 的形成的离子注入时转动约 180 度这一点之外。

[0103] 而且根据本实施例, 可获得与第四实施例相同的有利效果。此外, 因为能在不增加第一沟槽 DTR1 数量的情况下增加第一导电类型区 INPL11 的数量, 因此能在不增加第一沟槽 DTR1 的数量的情况下减小二极管 DD 的阴极侧 (或阳极侧) 上的寄生电阻。

[0104] (第七实施例)

[0105] 图 16 是说明作为根据第七实施例的半导体器件 SD 包括的二极管 DD 的构造的一个实例的截面图。图 17 是图 16 中所示的二极管 DD 的平面图。顺便提及,图 16 是沿图 17 中的线 D-D' 截取的截面图。

[0106] 首先,如图 16 中所示,二极管 DD 的阴极不由掩埋绝缘膜 BINS1 构成,而是由形成在外延层 EPI 的表面层中的低浓度 n 型阱 LWL11 和 n 型阱 WL13 构成。n 型高浓度区 HINPL14 形成在 n 型阱 WL13 的表面层的一部分上 / 上方。n 型高浓度区 HINPL14 通过接触 CON15 耦接至阴极电极 INC12。

[0107] 另一方面,二极管 DD 的阳极由掩埋在外延层 EPI 中的第二 n 型掩埋层 BINPL2 构成。第二掩埋层 BINPL2 位于高于外延层 EPI 中的第一掩埋层 BINPL1 的位置且例如在平面图中形成在 n 型阱 LWL11 及其周围的整个表面下。

[0108] 第一导电类型区 INPL11 形成在第一沟槽 DTR1 的两个端部中的一个端部侧。另一方面,第二导电类型区 INPL21 (第二第二导电类型区) 形成在第一沟槽 DTR1 的另一端部侧。第二导电类型区 INPL21 的下部耦接至掩埋绝缘膜 BINS2 且第二导电类型区 INPL21 的上部耦接至 p 型阱 WL23。p 型高浓度区 HINPL23 形成在 p 型阱 WL23 的表面层上 / 上方。高浓度区 HINPL23 通过第三接触 CON14 耦接至阳极电极 INC13。顺便提及,在图 16 中所示的实例中,第一接触 CON1 另外耦接至阳极电极 INC13。

[0109] 随后,如图 17 中所示,第一导电类型区 INPL11 形成在多个第一沟槽 DTR1 的相互相同侧端部(图 17 中所示的实例中,右上侧端部)侧,且第二导电类型区 INPL21 形成在多个第一沟槽 DTR1 的相反侧端部(图 17 中所示的实例中,左下侧端部)侧。

[0110] 根据本实施例的半导体器件 SD 的制造方法与根据第四实施例的半导体器件 SD 的制造方法相同,除以下要点之外。首先,包括例如通过采用离子注入方法等形成第二掩埋层 BINPL12 的工艺。这种工艺例如在已经形成外延层 EPI 之后且形成掩埋绝缘膜 STI 之前执行。此外,通过执行用于形成第一导电类型区 INPL11 的离子注入,随后转动衬底 SUB 约 180 度且随后将 p 型杂质离子斜向地注入衬底 SUB 中而形成第二导电类型区 INPL21。

[0111] 顺便提及,如图 18 中的平面图所示,在本实施例中,可提供图 12 中所示的第二沟槽 DTR2。在这种情况下,第一导电类型区 INPL11 也形成在第二沟槽 DTR2 的一个端部侧,且第二导电类型区 INPL21 也形成在第二沟槽 DTR2 的另一端部侧。

[0112] 则,图 18 中所示的半导体器件 SD 的制造方法与图 16 和图 17 中所示的半导体器件 SD 的制造方法相同,除形成第一导电类型区 INPL11 和第二导电类型区 INPL21 的工艺之外。在图 18 中所示的半导体器件 SD 中,杂质离子注入衬底 SUB 的角度在形成第一导电类型区 INPL11 时在中间改变。此外,杂质离子注入衬底 SUB 的角度也在形成第二导电类型区 INPL21 时在中间改变。由此相对于第一沟槽 DTR1 和第二沟槽 DTR2 中的每一个形成第一导电类型区 INPL11 和第二导电类型区 INPL21。

[0113] 此外,如图 19 中所示,第一导电类型区 INPL11 的布置可与图 13 中所示的实例中的方式相同。此外,如图 20 中所示,第一导电类型区 INPL11 的布置可与图 14 中所示的实例中的方式相同。

[0114] 根据本实施例,能在各个第一沟槽 DTR1 的一个端部侧形成第一导电类型区 INPL11 且在各个第一沟槽 DTR1 的另一端部侧形成第二导电类型区 INPL21。因此,在将要

形成第一导电类型区 INPL11 和第二导电类型区 INPL21 的情况下变得不在需要增加第一沟槽 DTR1 的数量。

[0115] (第八实施例)

[0116] 图 21 和图 22 是各说明作为根据第八实施例的半导体器件 SD 包括的二极管 DD 的一个实例的截面图。图 23 是二极管 DD 的平面图。则,图 21 是沿图 23 中的线 E-E' 截取的截面图且图 22 是沿图 23 中的线 F-F' 截取的截面图。这些附图中示出的二极管 DD 的构造与根据第七实施例的二极管 DD 相同,除第一导电类型区 INPL11 和第二导电类型区 INPL21 形成在各个第一沟槽 DTR1 的相同端侧这一点之外。

[0117] 详细来说,第一导电类型区 INPL11 和第二导电类型区 INPL21 在各个第一沟槽 DTR1 延伸的方向上并排布置。虽然在图 23 和 24 中所示的实例中,第二导电类型区 INPL21 位于比第一导电类型区 INPL11 更靠近第一沟槽 DTR1 的位置,但是这些区域的相对位置可颠倒。则,第一沟槽 DTR1 叠置在 p 型阱 WL23 上。

[0118] 图 23 中所示的半导体器件 SD 的制造方法与根据第七实施例的半导体器件 SD 的制造方法相同,除用于形成第一导电类型区 INPL11 和第二导电类型区 INPL21 的工艺之外。在本实施例中,当将要形成第一导电类型区 INPL11 时的衬底 SUB 的角度与将要形成第二导电类型区 INPL21 时的衬底 SUB 的角度相同。则,通过使将要形成第一导电类型区 INPL11 时施加的离子注入能量不同于将要形成第二导电类型区 INPL21 时施加的离子注入能量,来形成第一导电类型区 INPL11 和第二导电类型区 INPL21 以便不相互重叠。

[0119] 顺便提及,也在本实施例中,如图 24 中所示,第一沟槽 DTR1 的布置与图 20 中所示的实例中的布置的方式相同。此外,虽未示出,但是第一沟槽 DTR1 的布置与图 17 中所示的实例中的布置的方式相同,且与图 18 中所示的实例中的布置的方式相同。

[0120] 而且根据本实施例,在将要形成第一导电类型区 INPL11 和第二导电类型区 INPL21 的情况下,变得不必增加第一沟槽 DTR1 的数量。

[0121] 虽然上文已经根据优选实施例具体说明了本发明的发明人提出的本发明,但是毋庸置疑的是本发明不限于上述实施例,且可在不背离本发明主旨的范围内进行各种方式的变型。

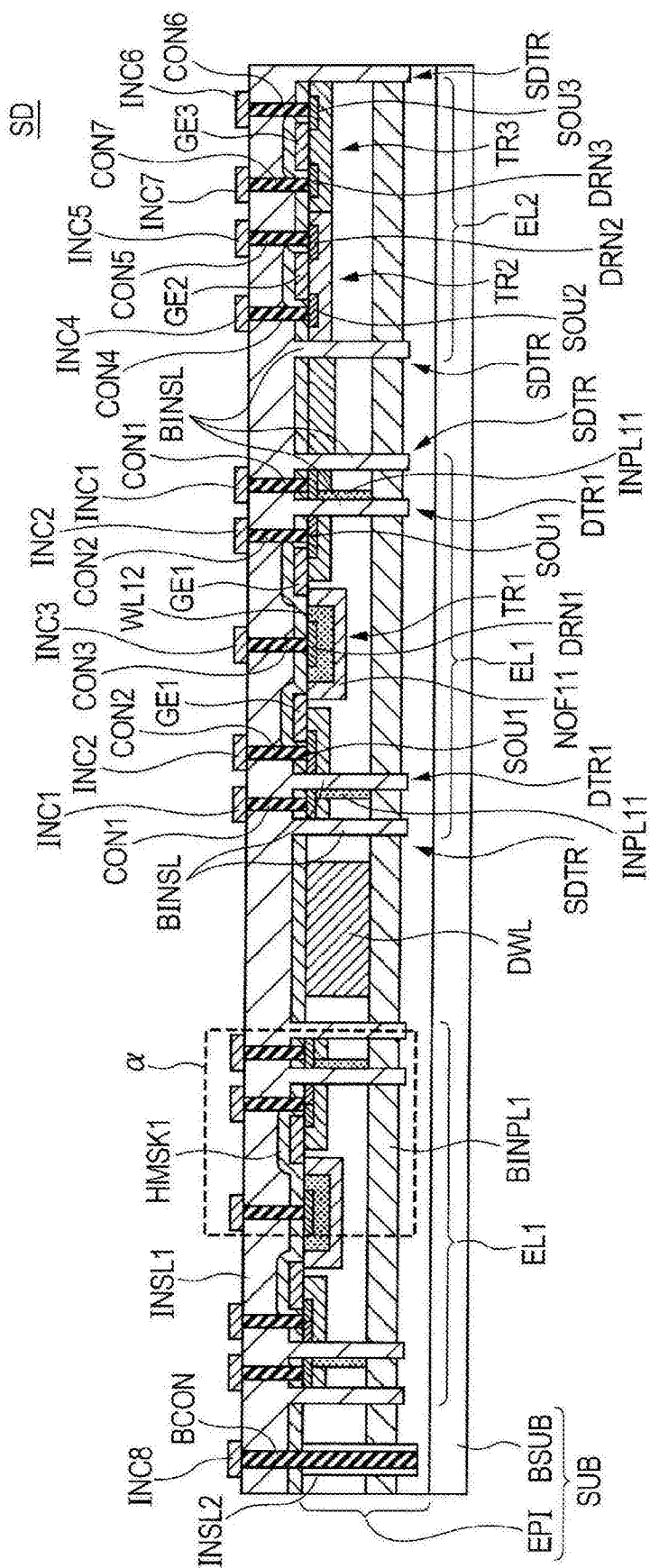


图 1

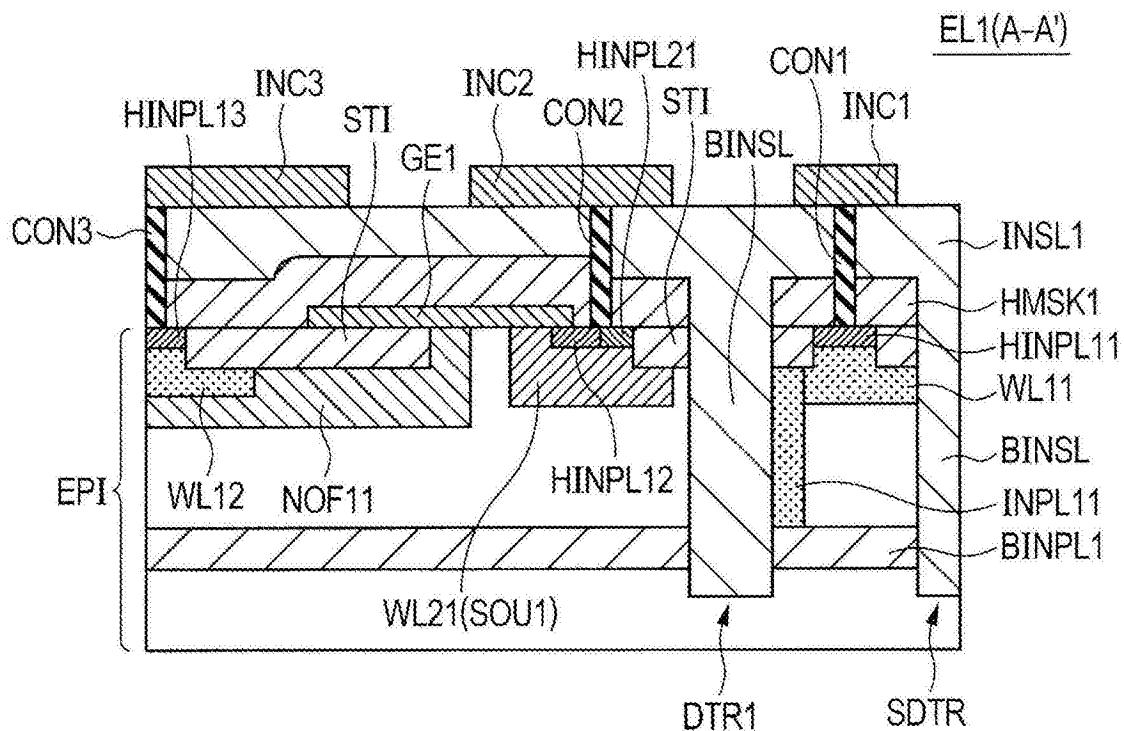


图 2A

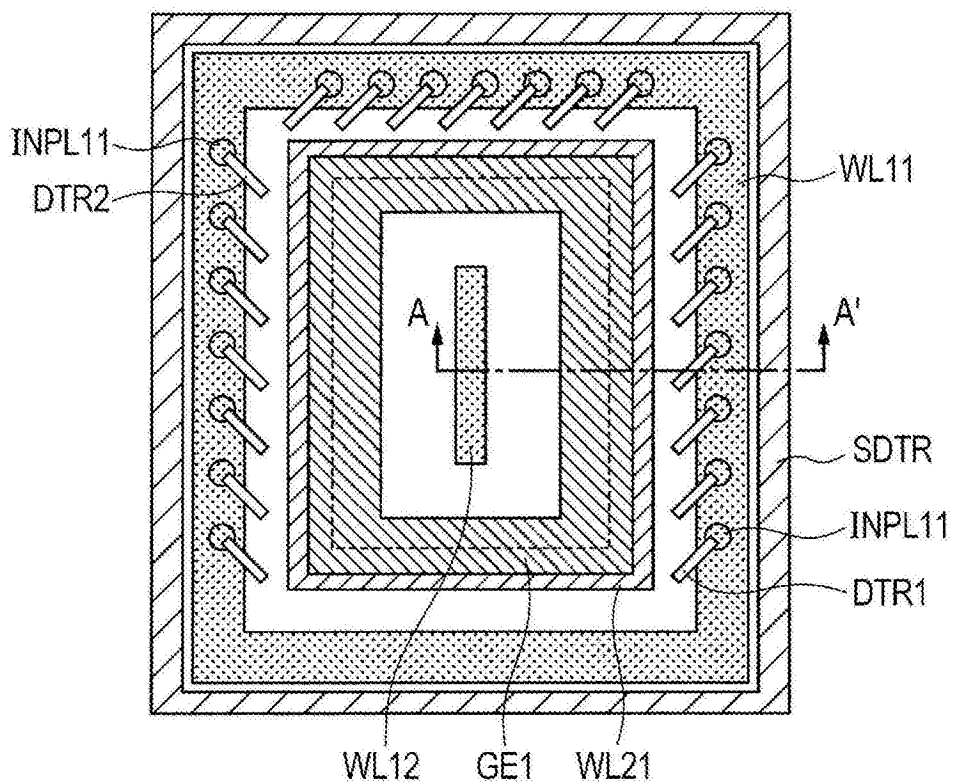


图 2B

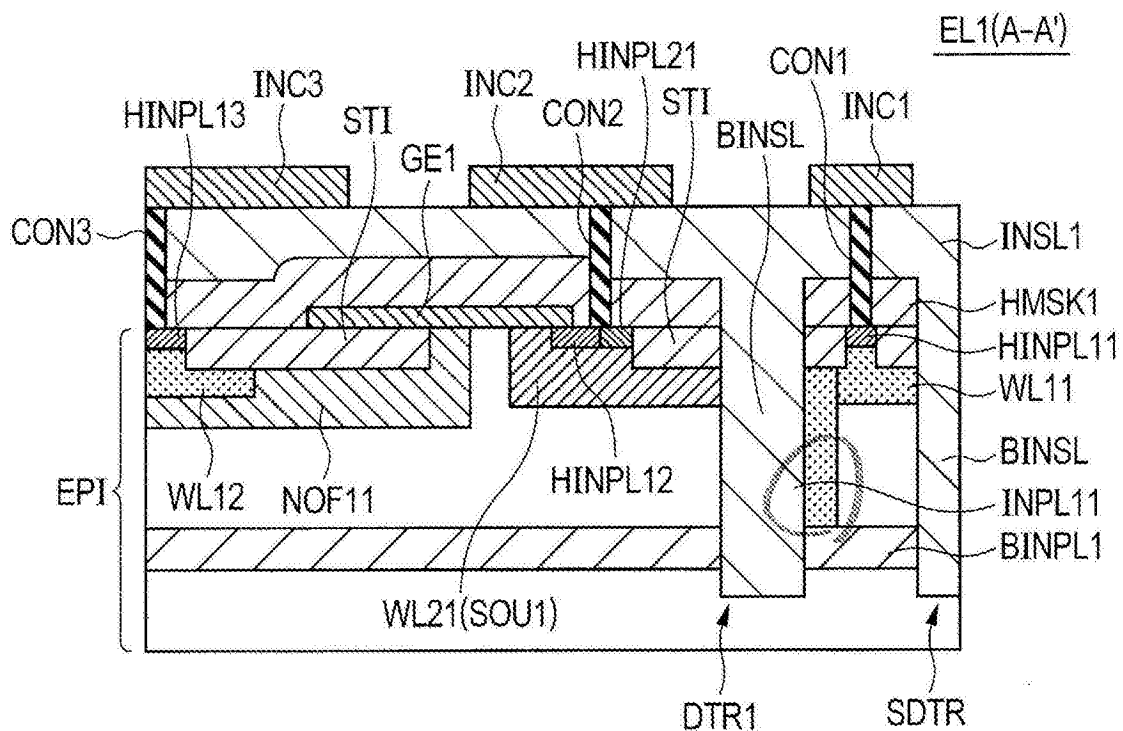


图 3A

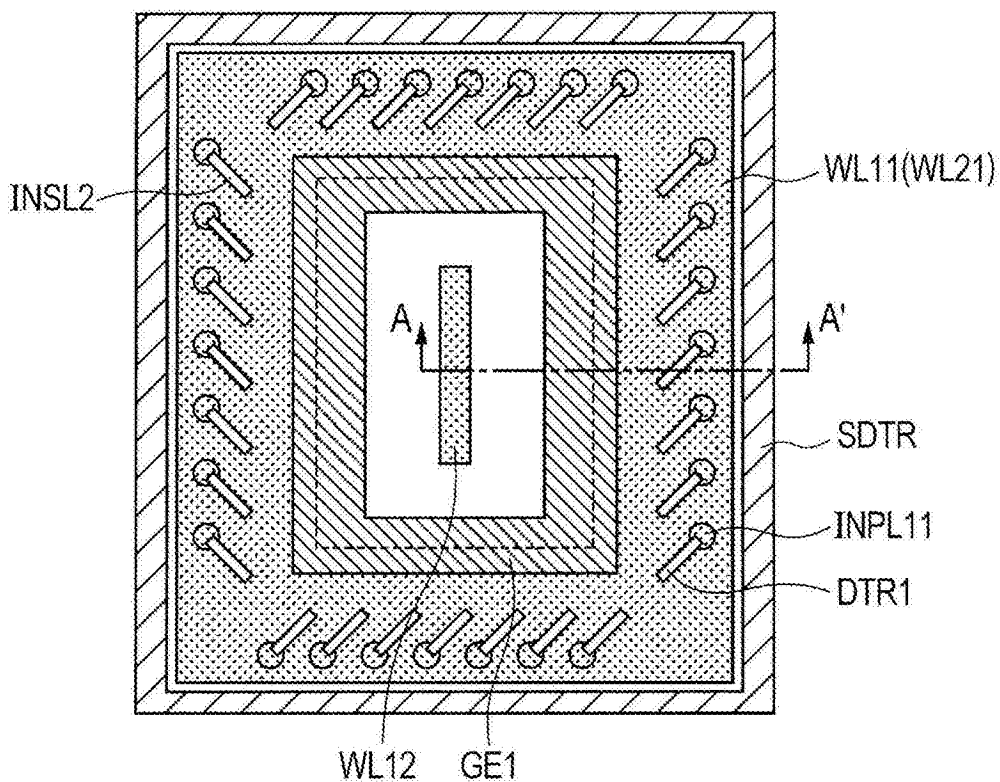


图 3B

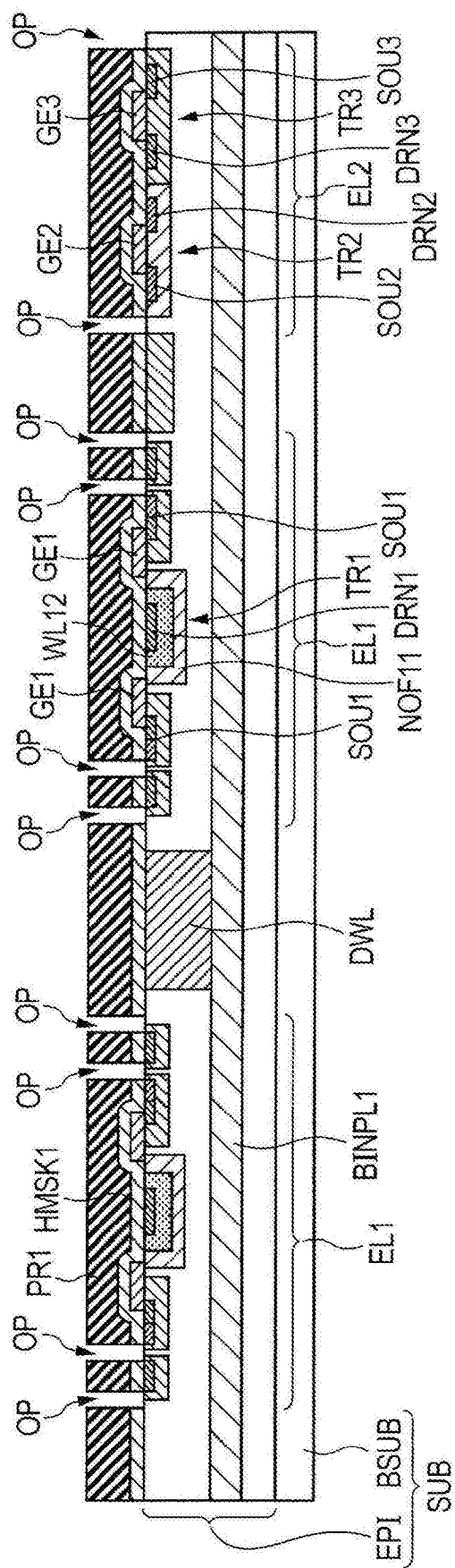


图 5A

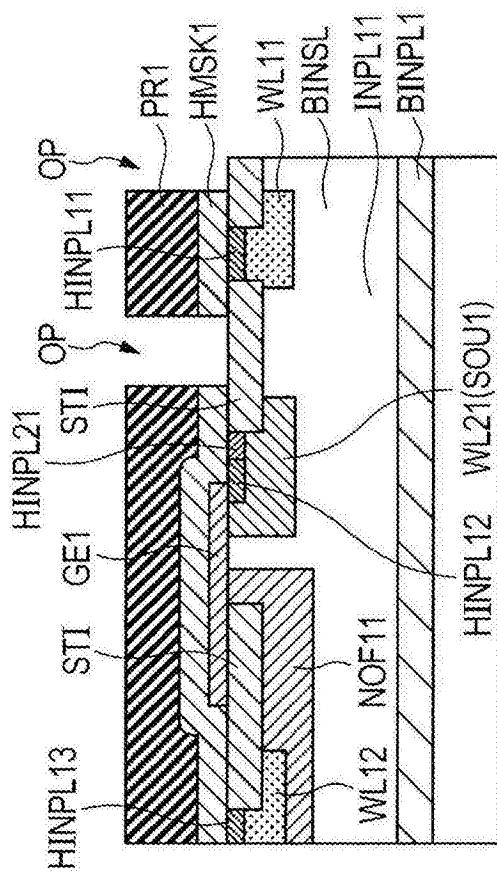


图 5B

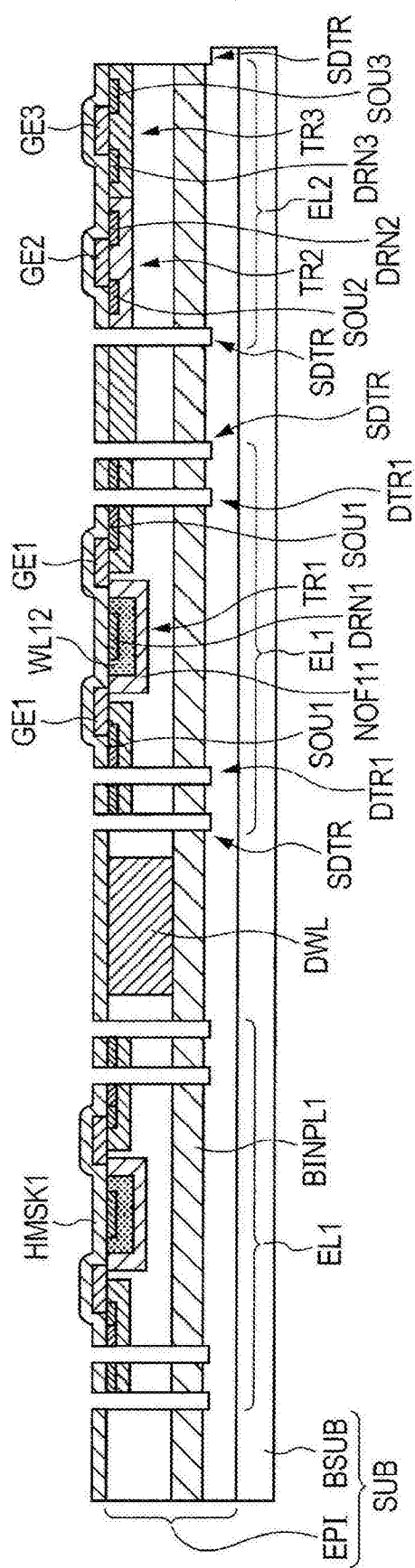


图 6A

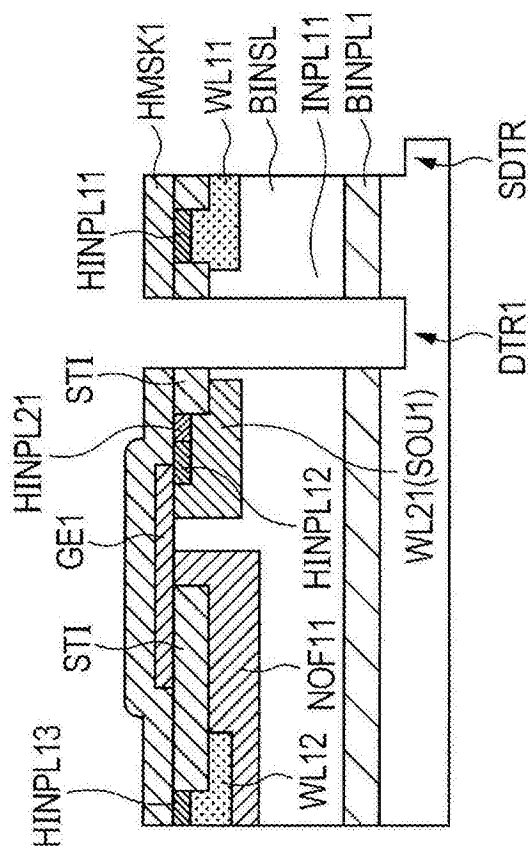


图 6B

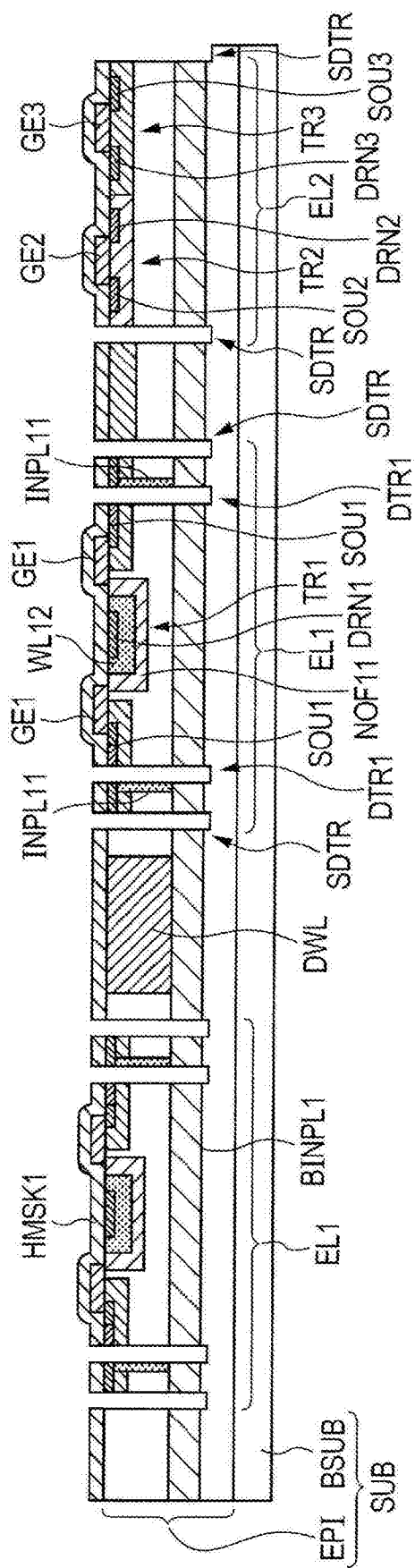


图 7A

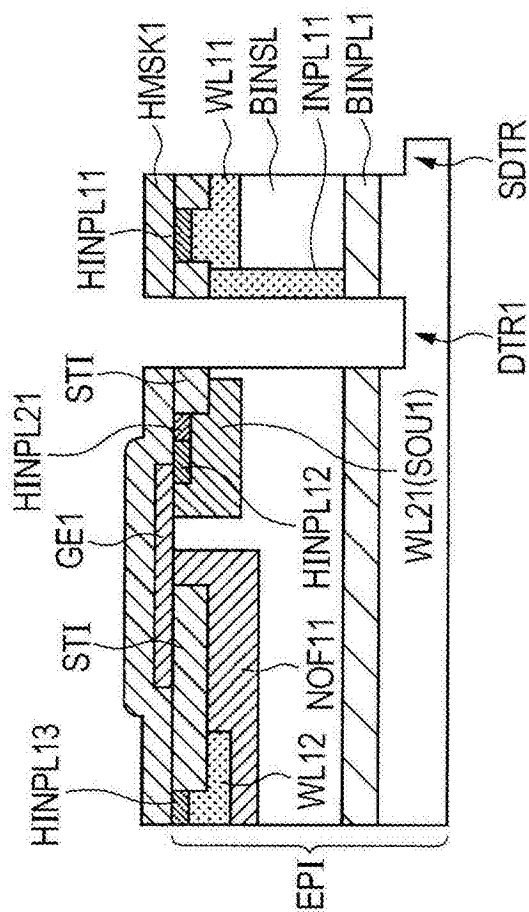


图 7B

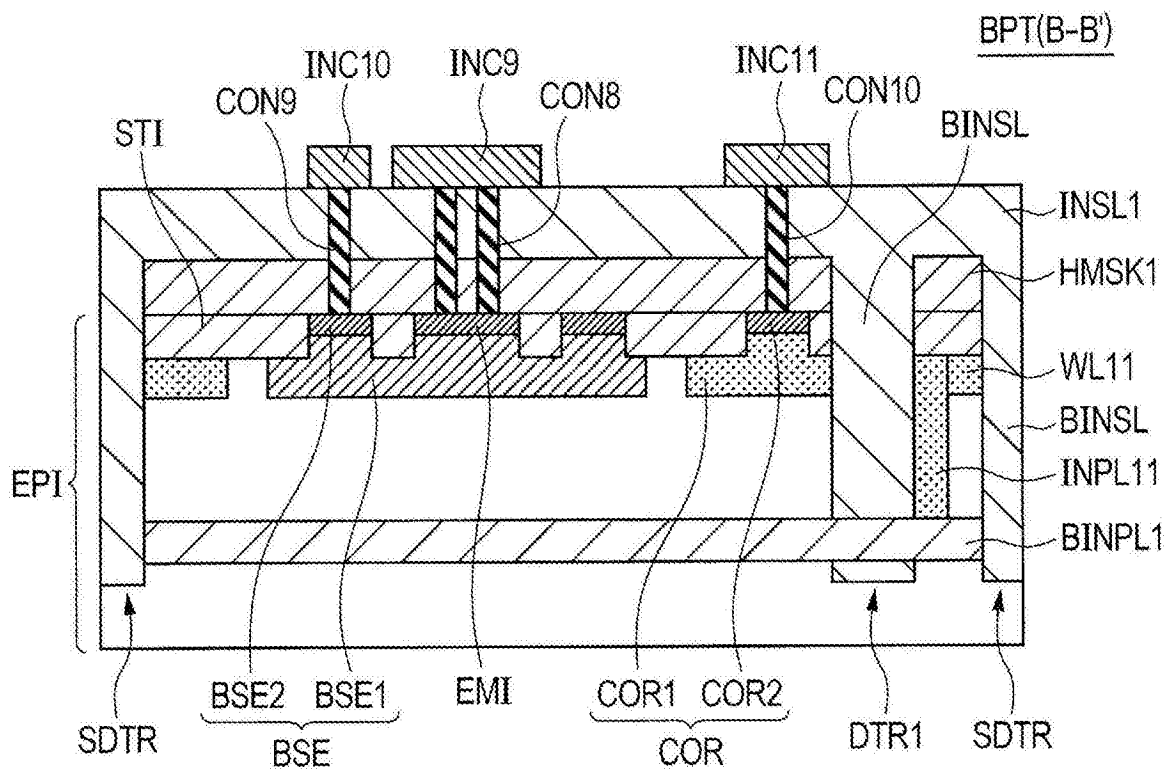


图 8A

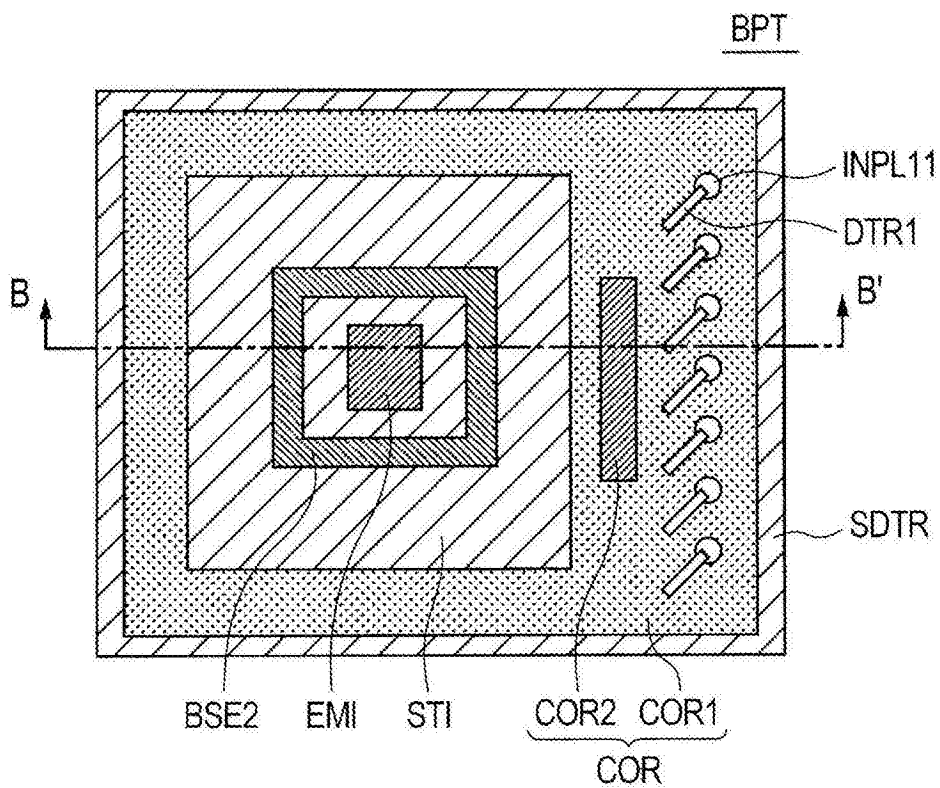


图 8B

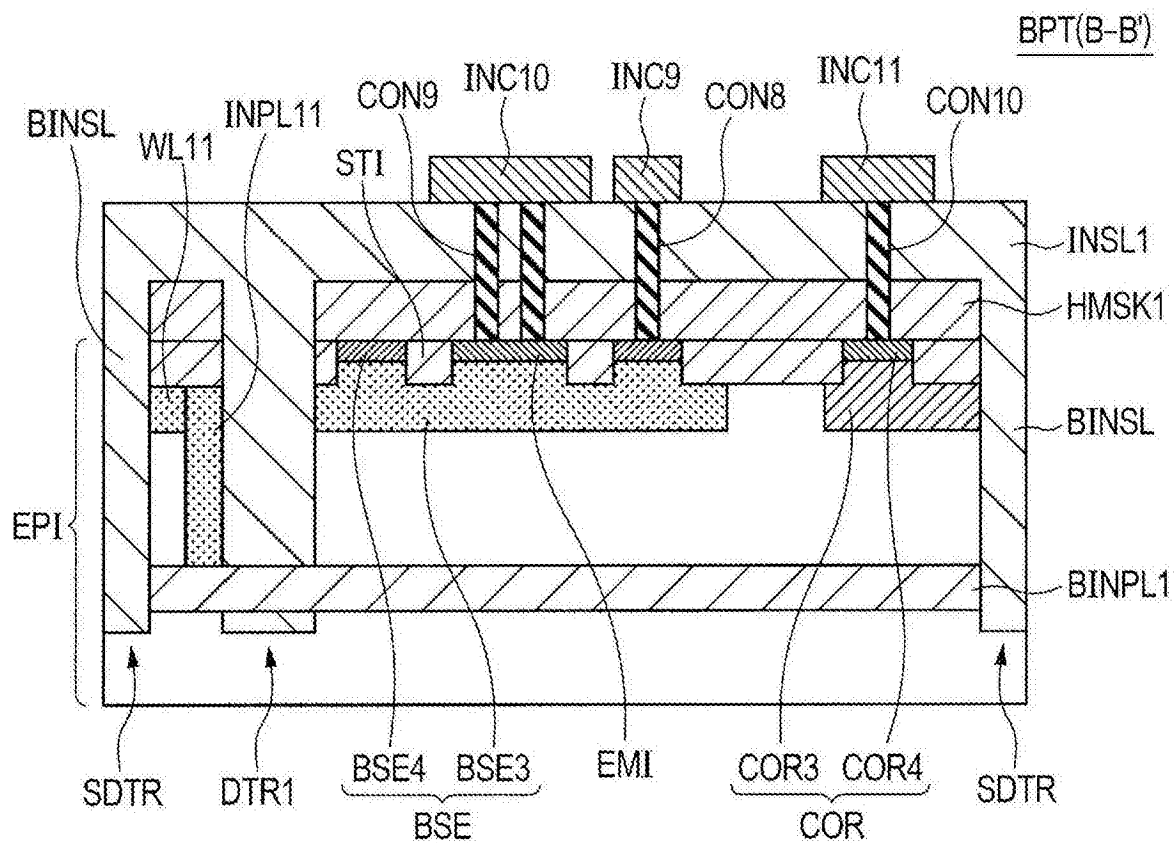


图 9A

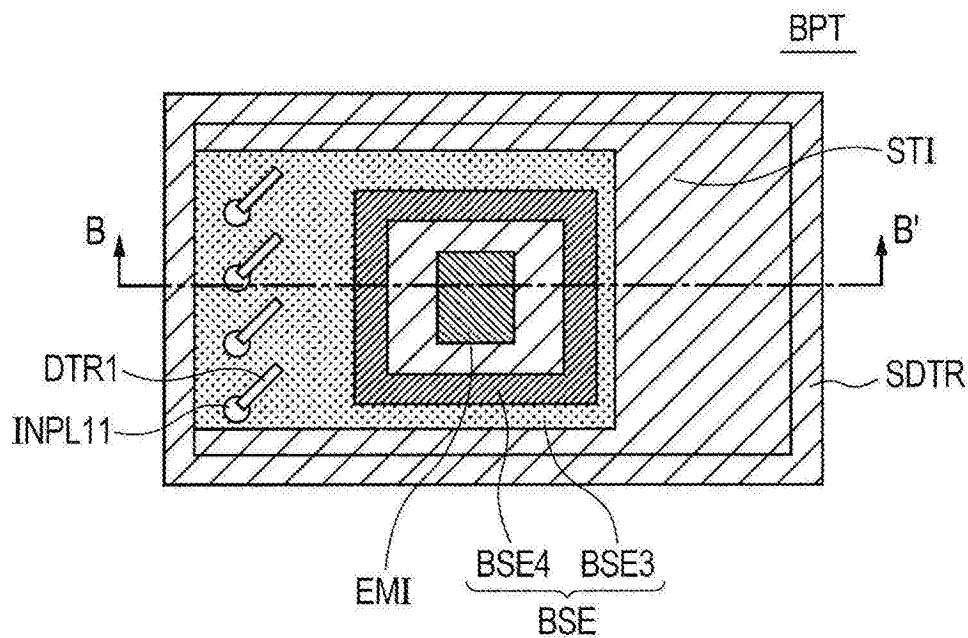


图 9B

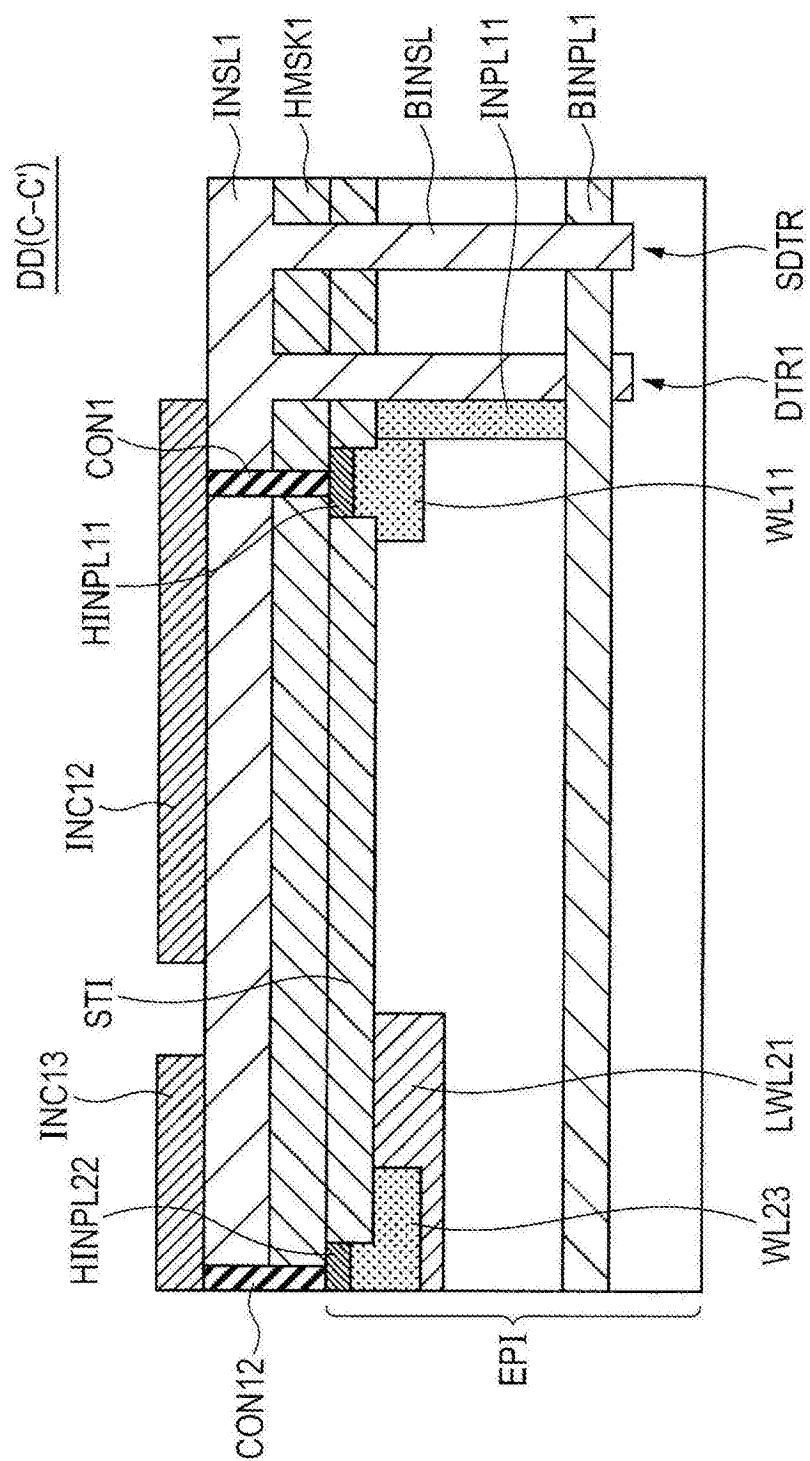


图 10

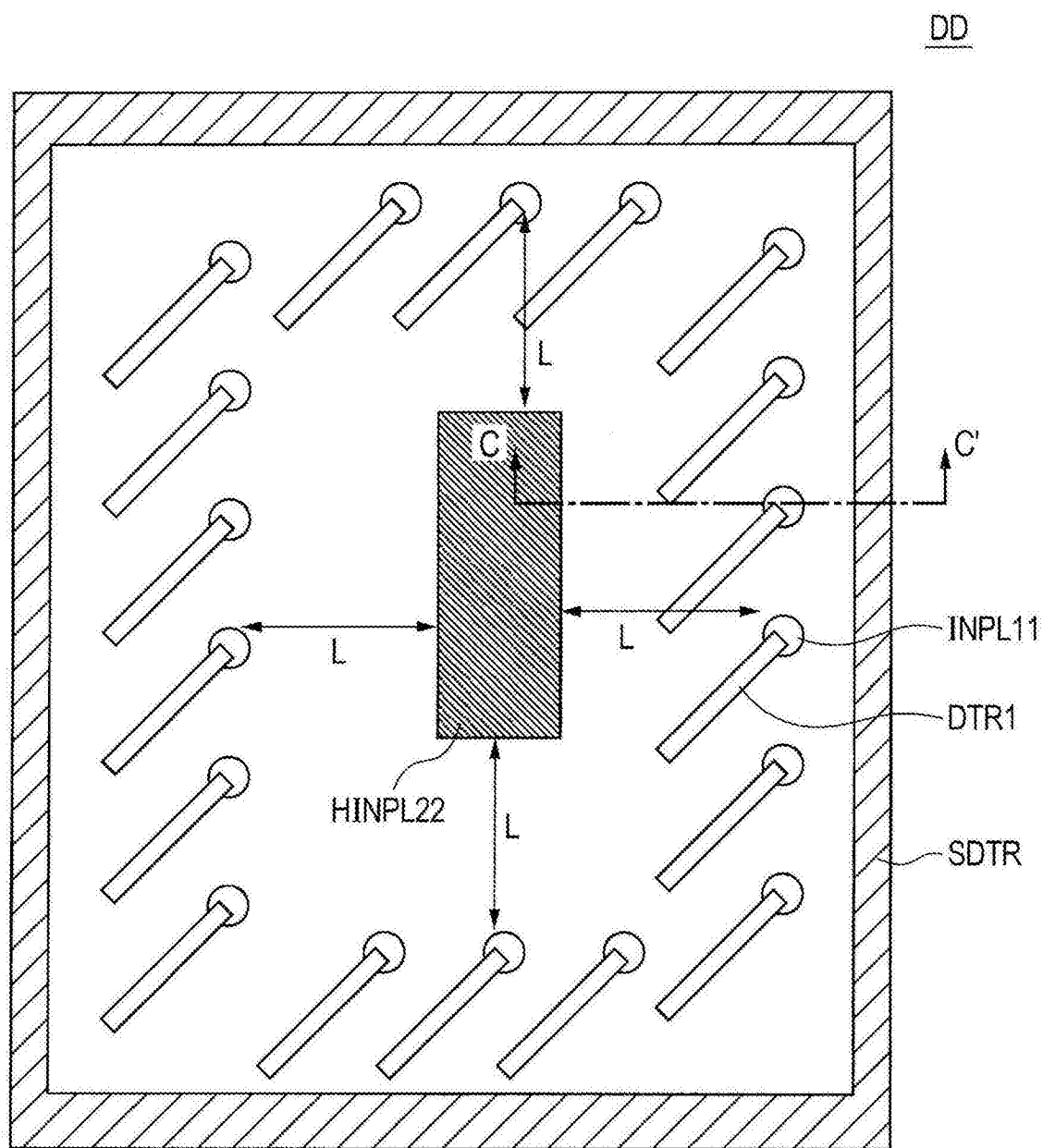


图 11

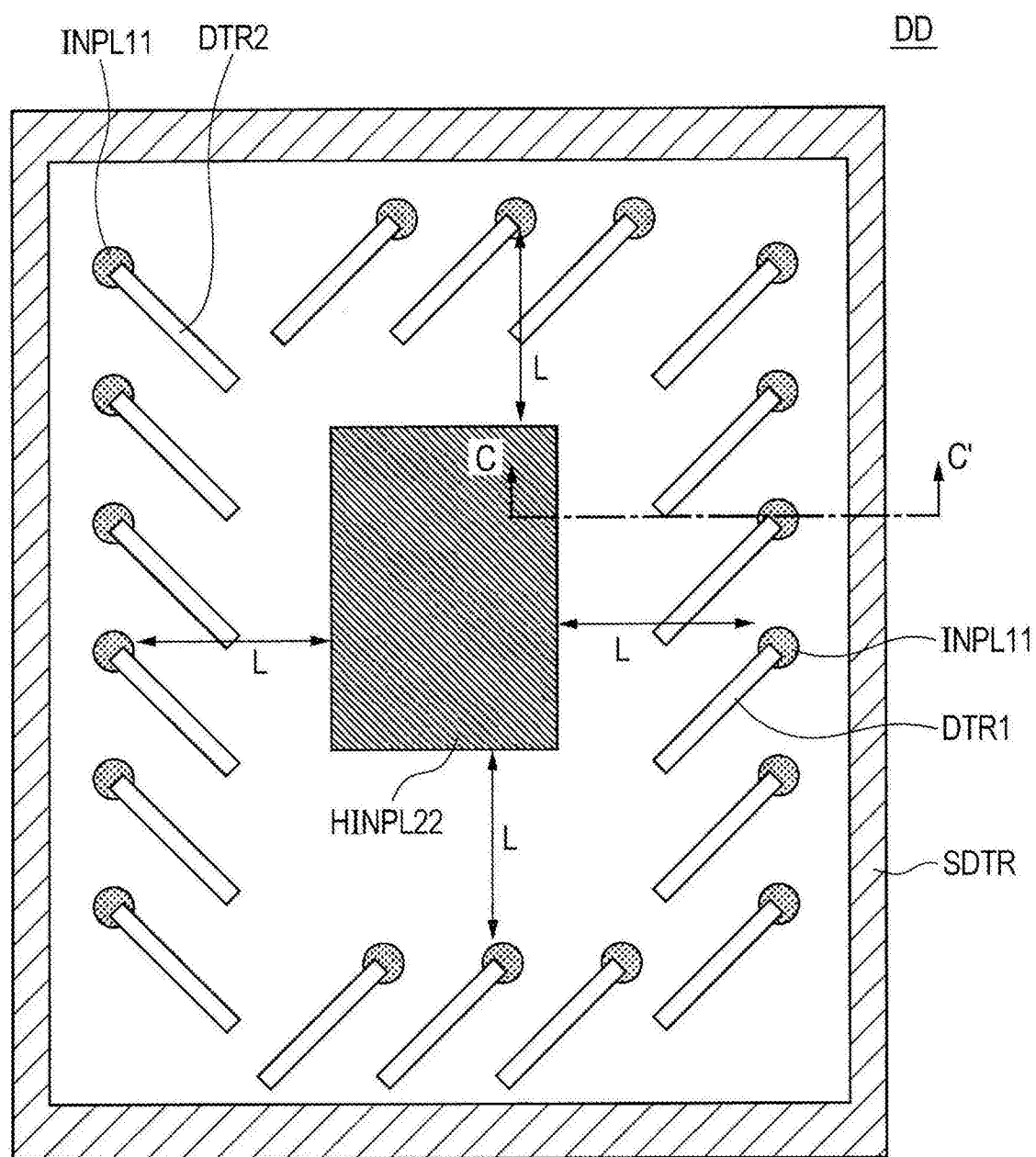


图 12

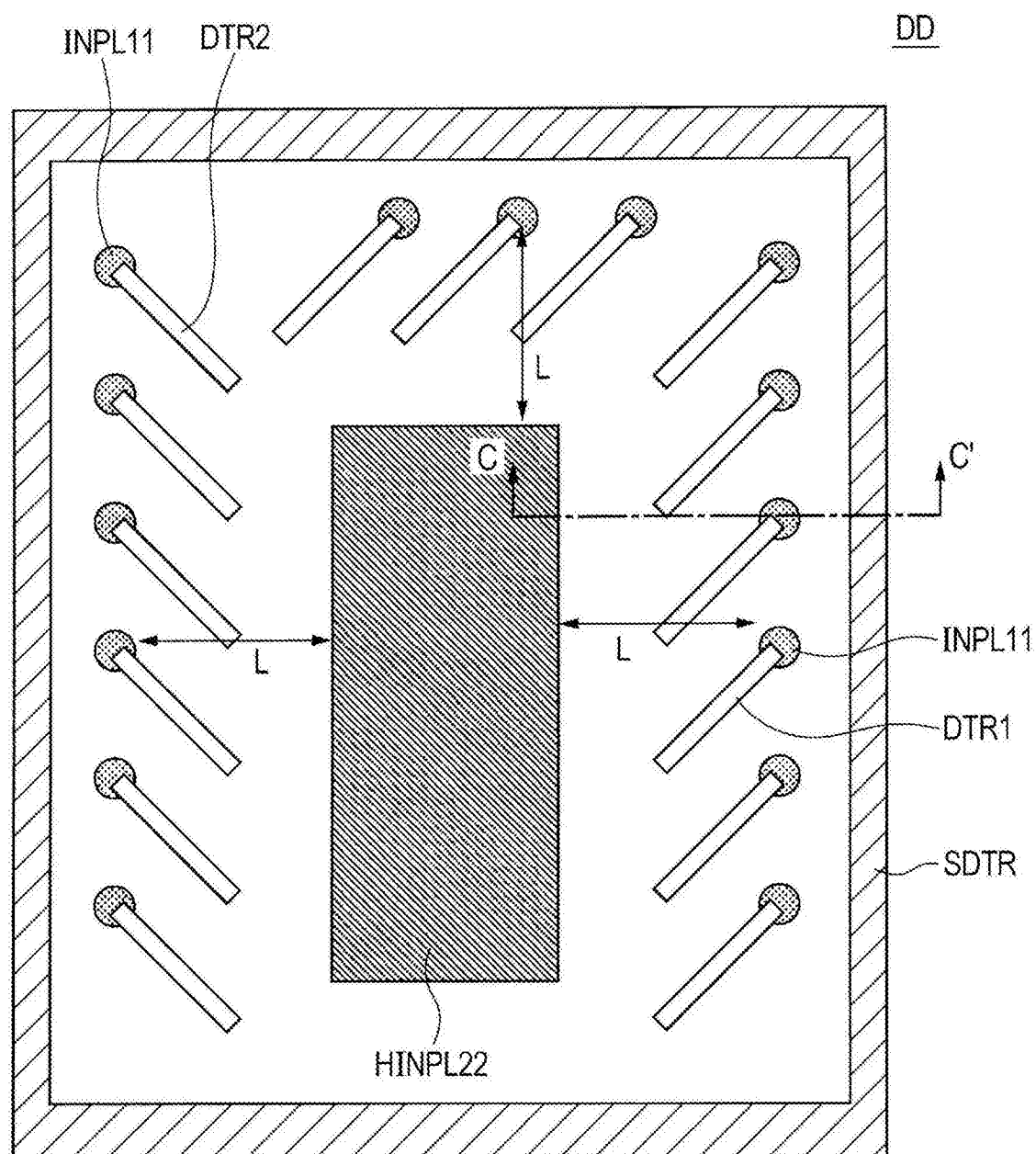


图 13

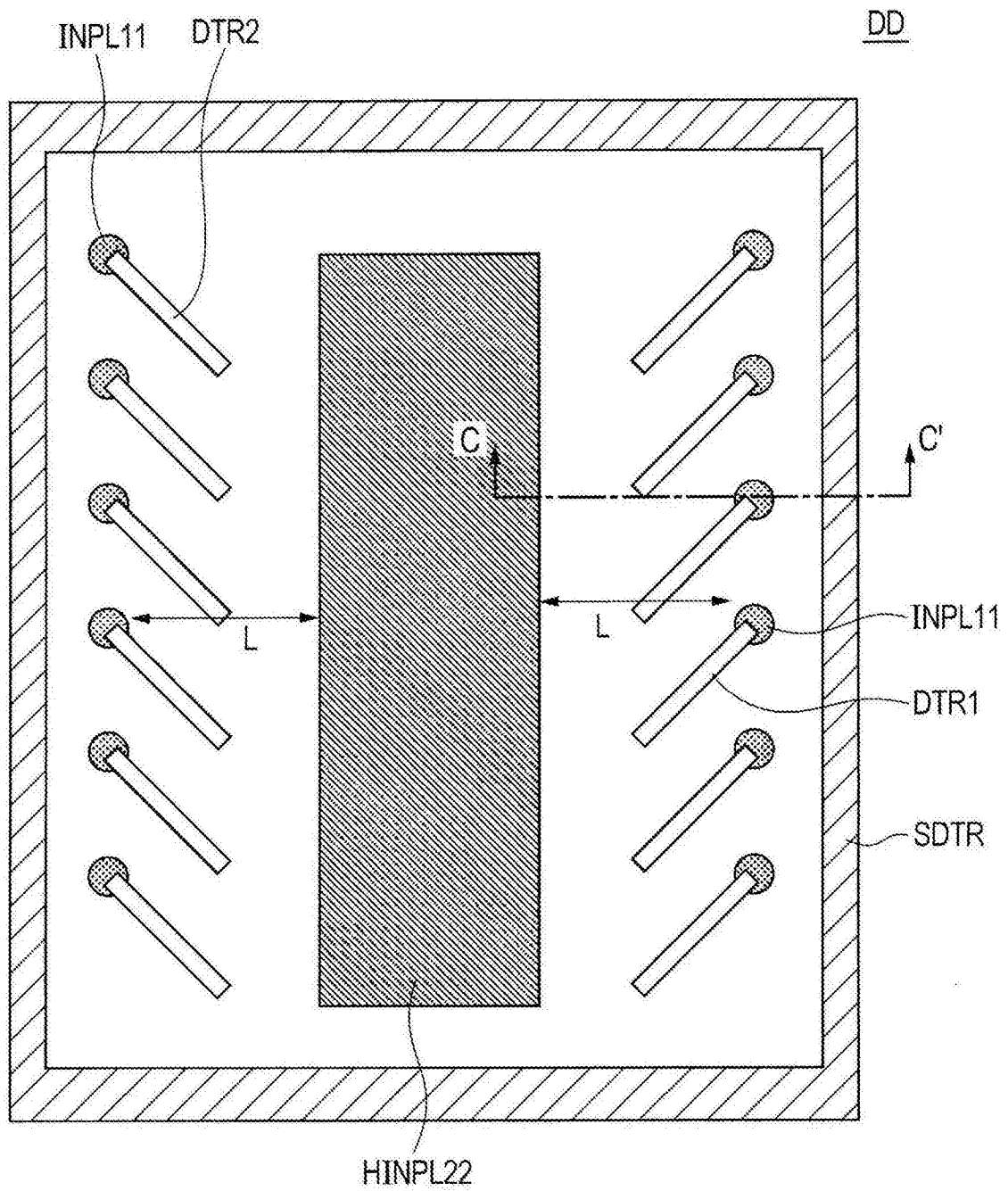


图 14

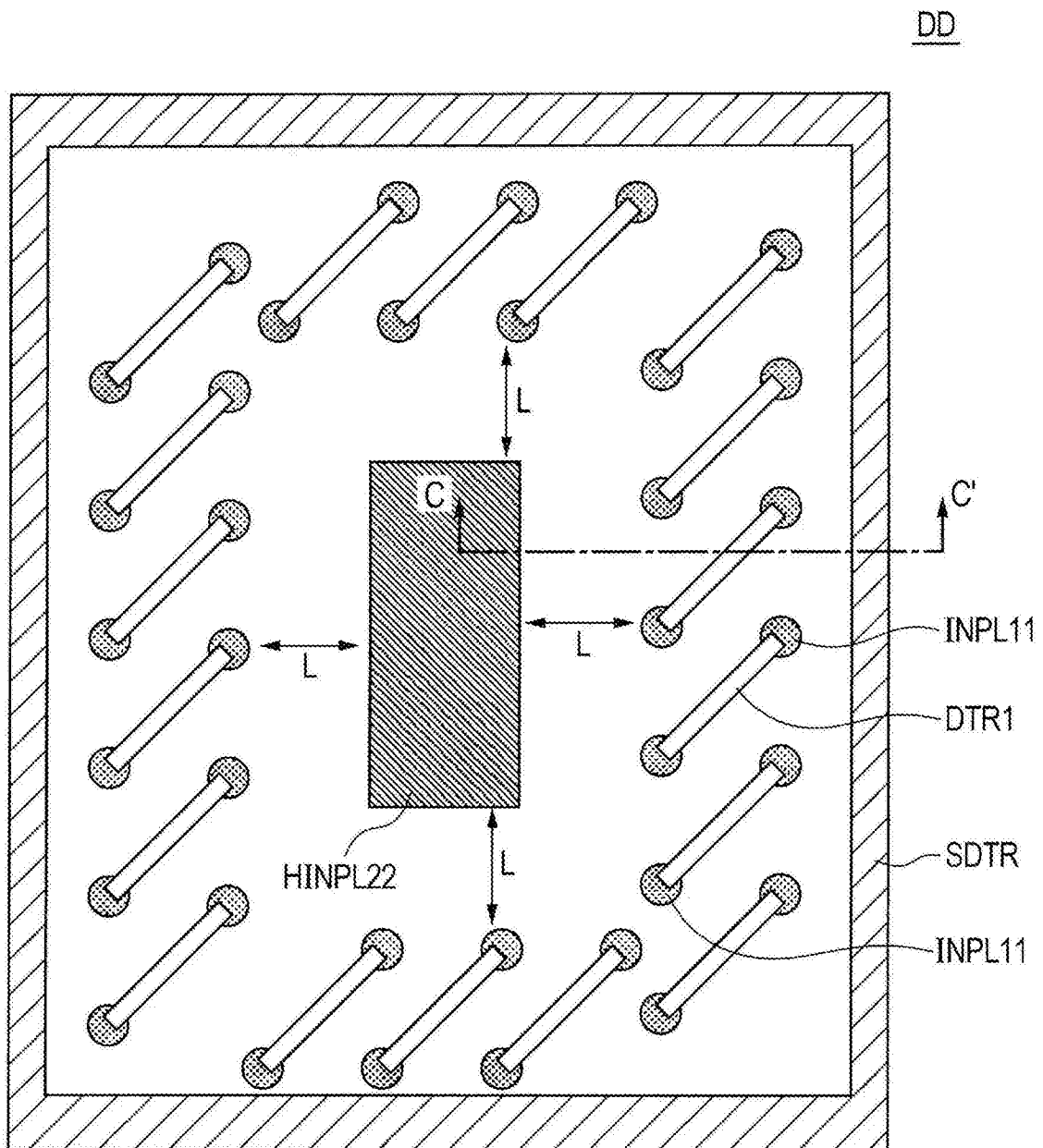


图 15

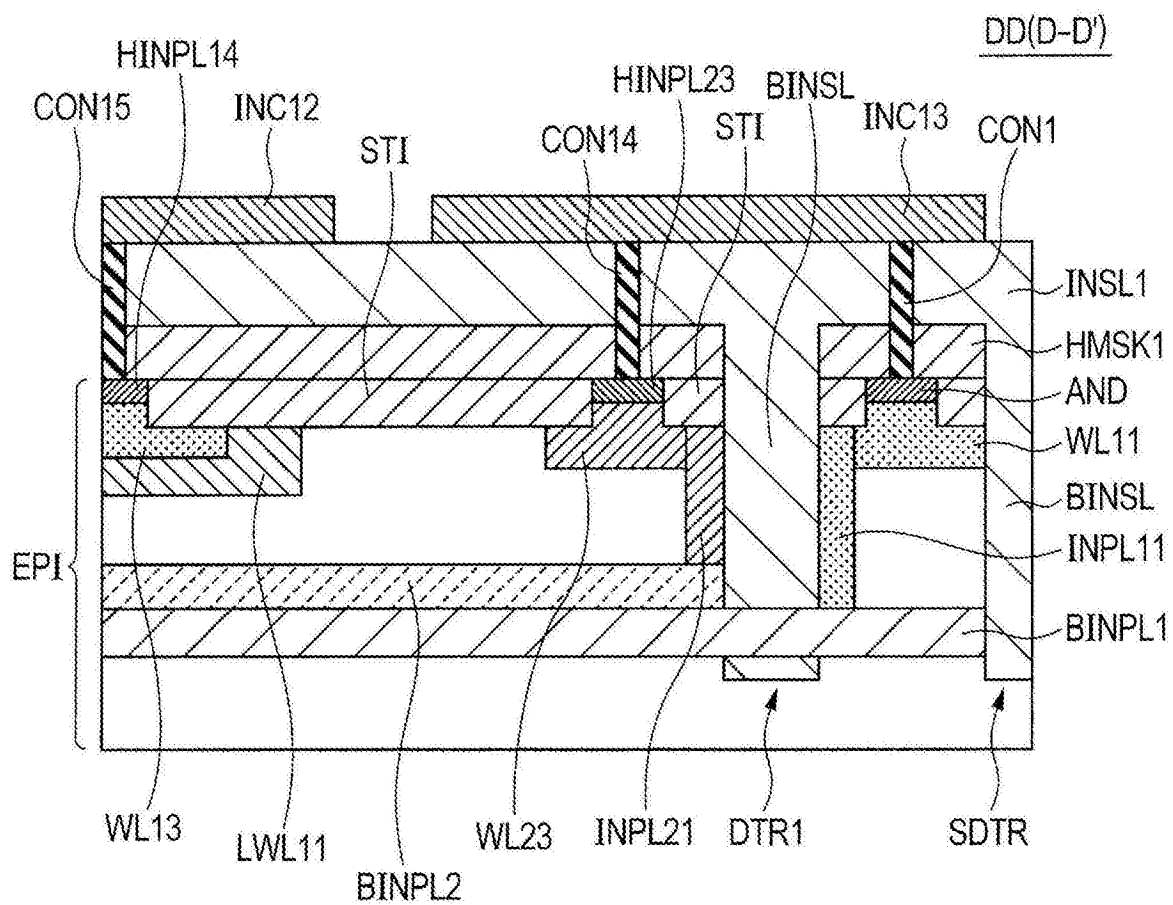


图 16

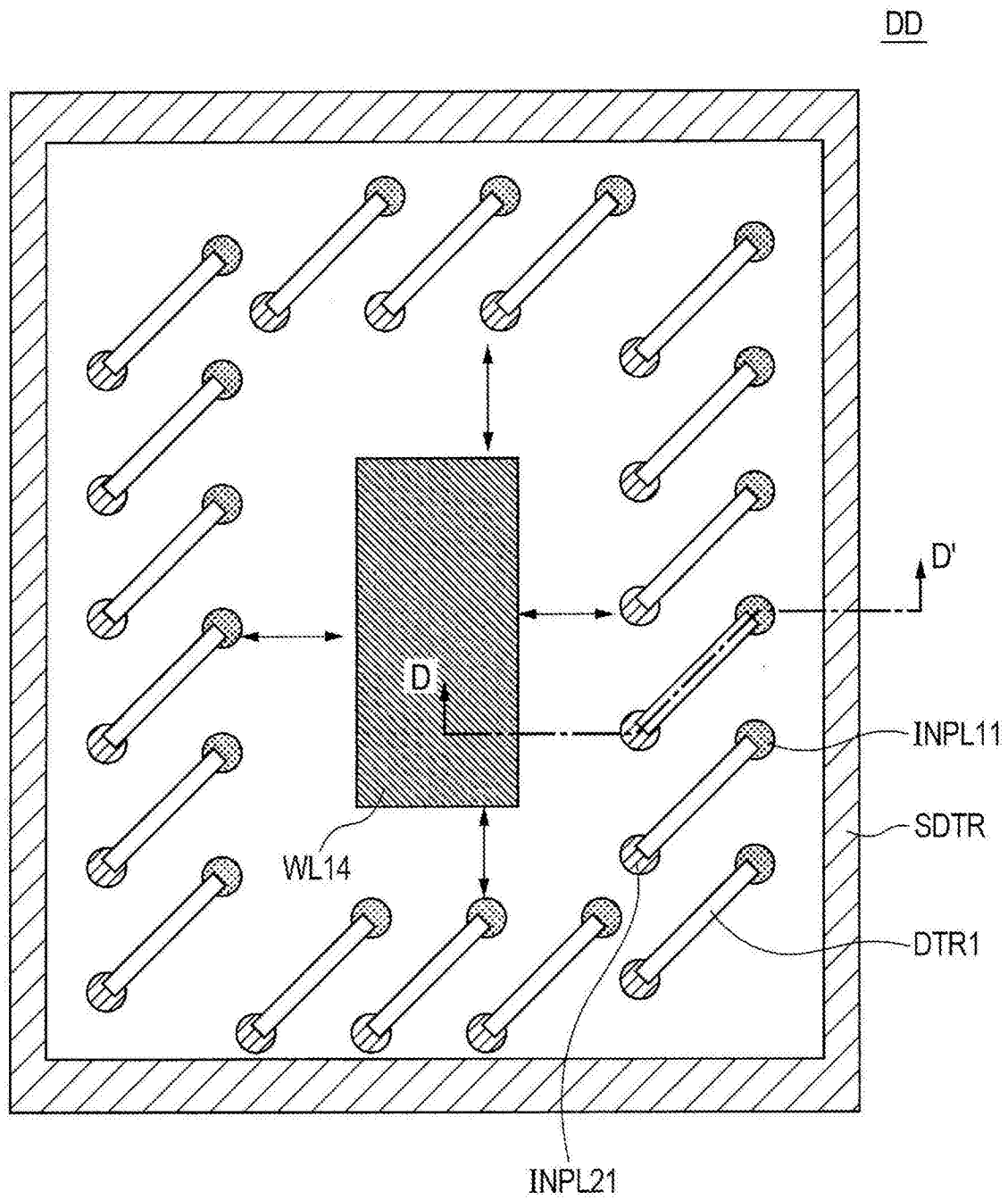


图 17

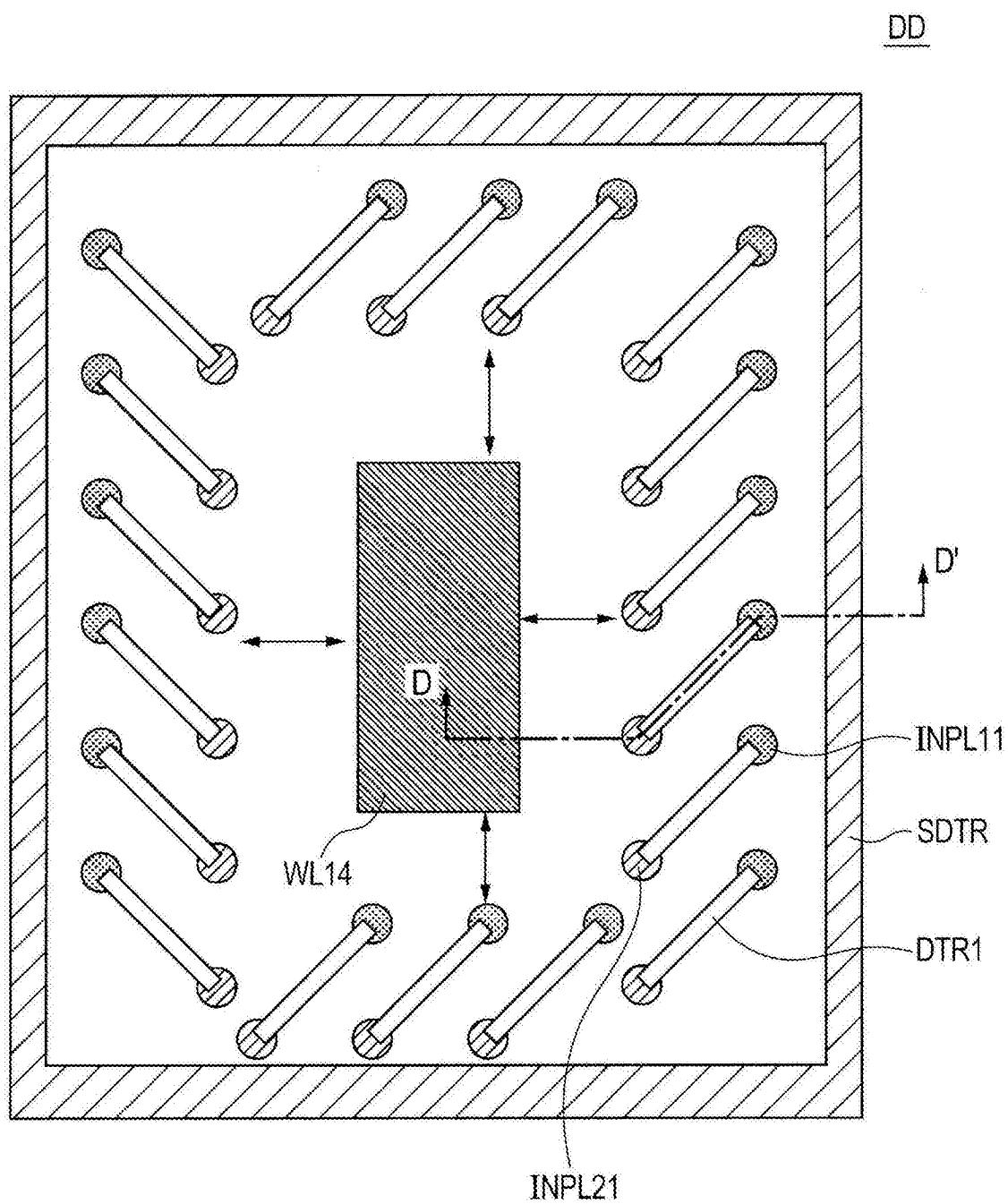


图 18

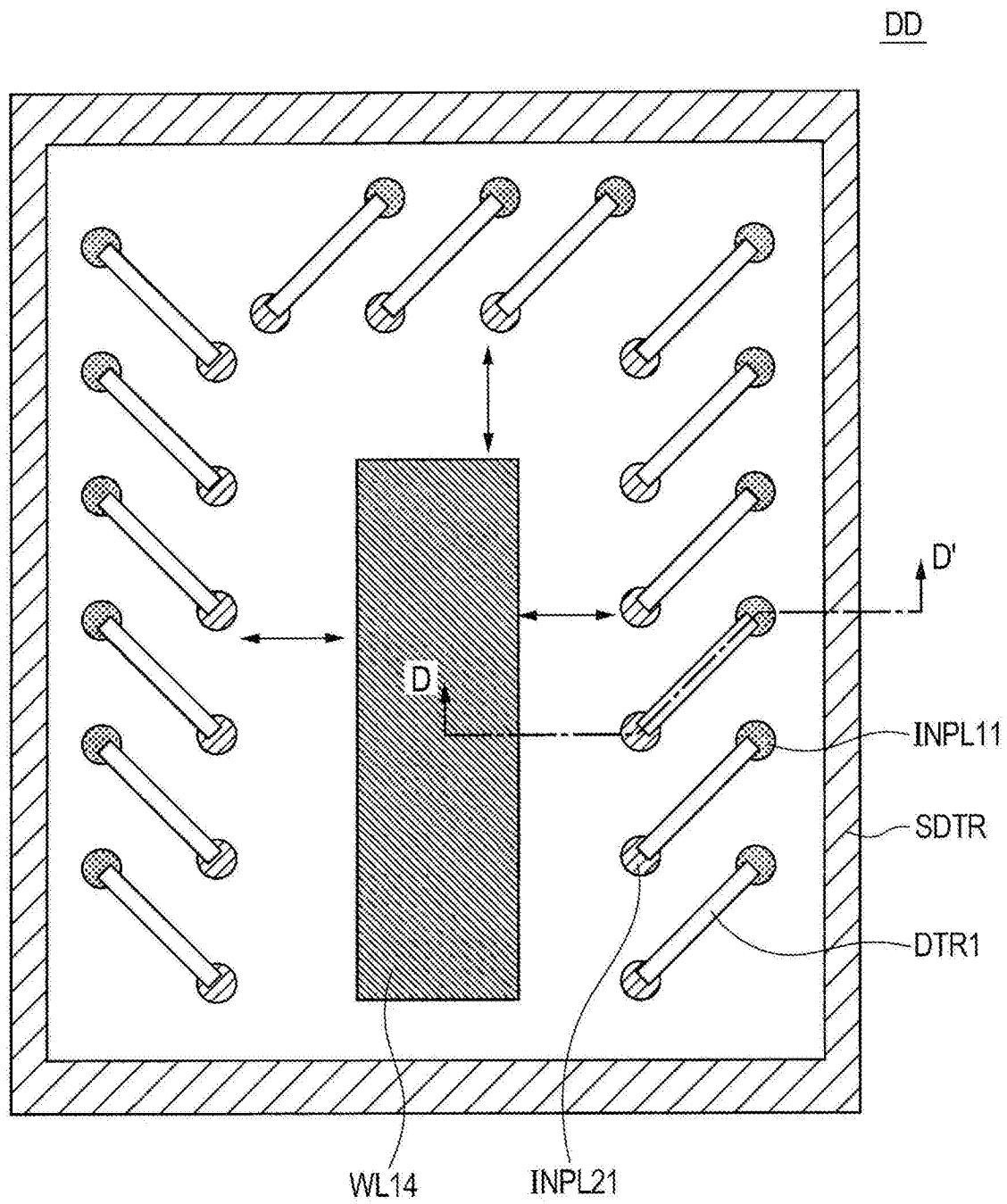


图 19

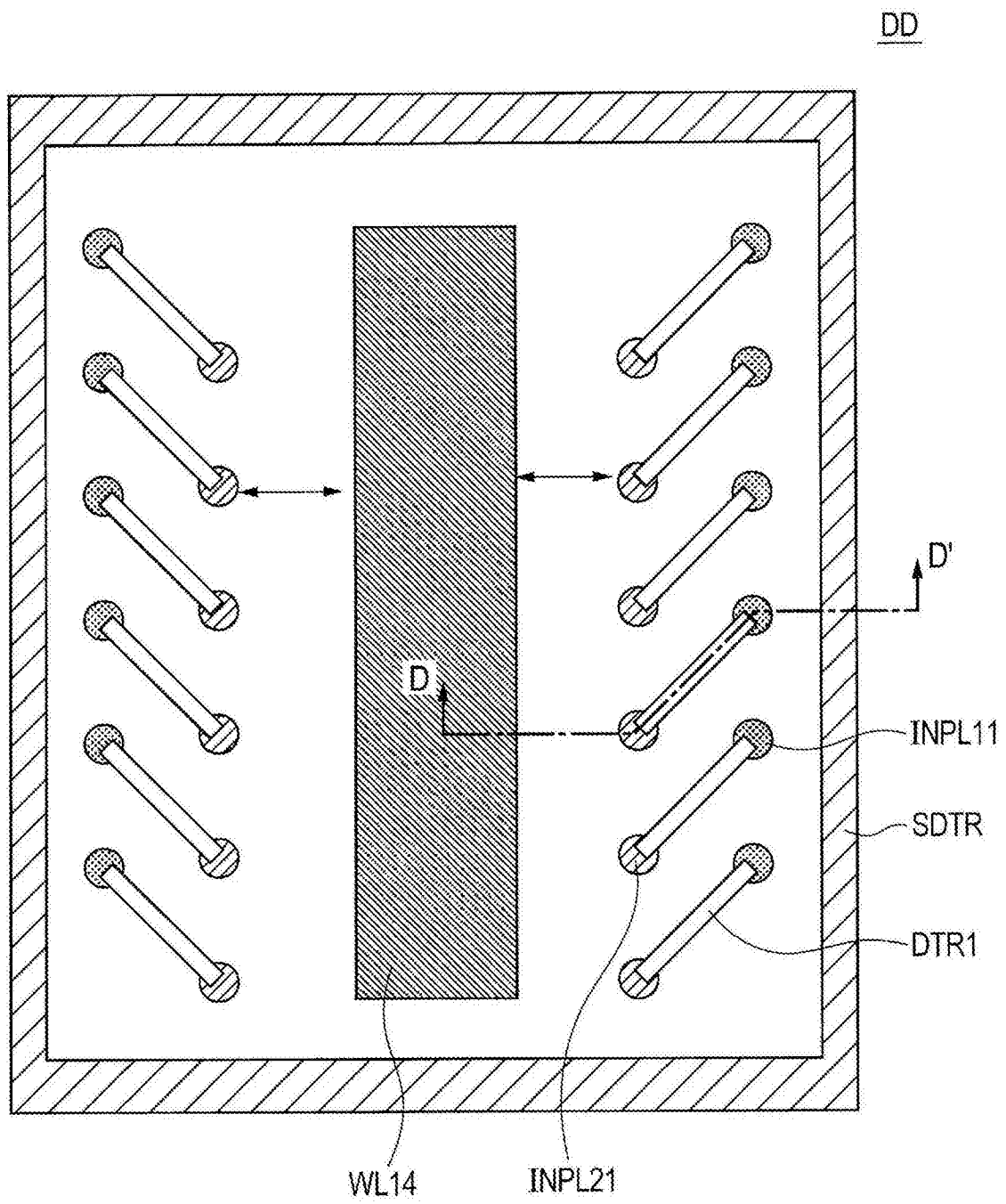


图 20

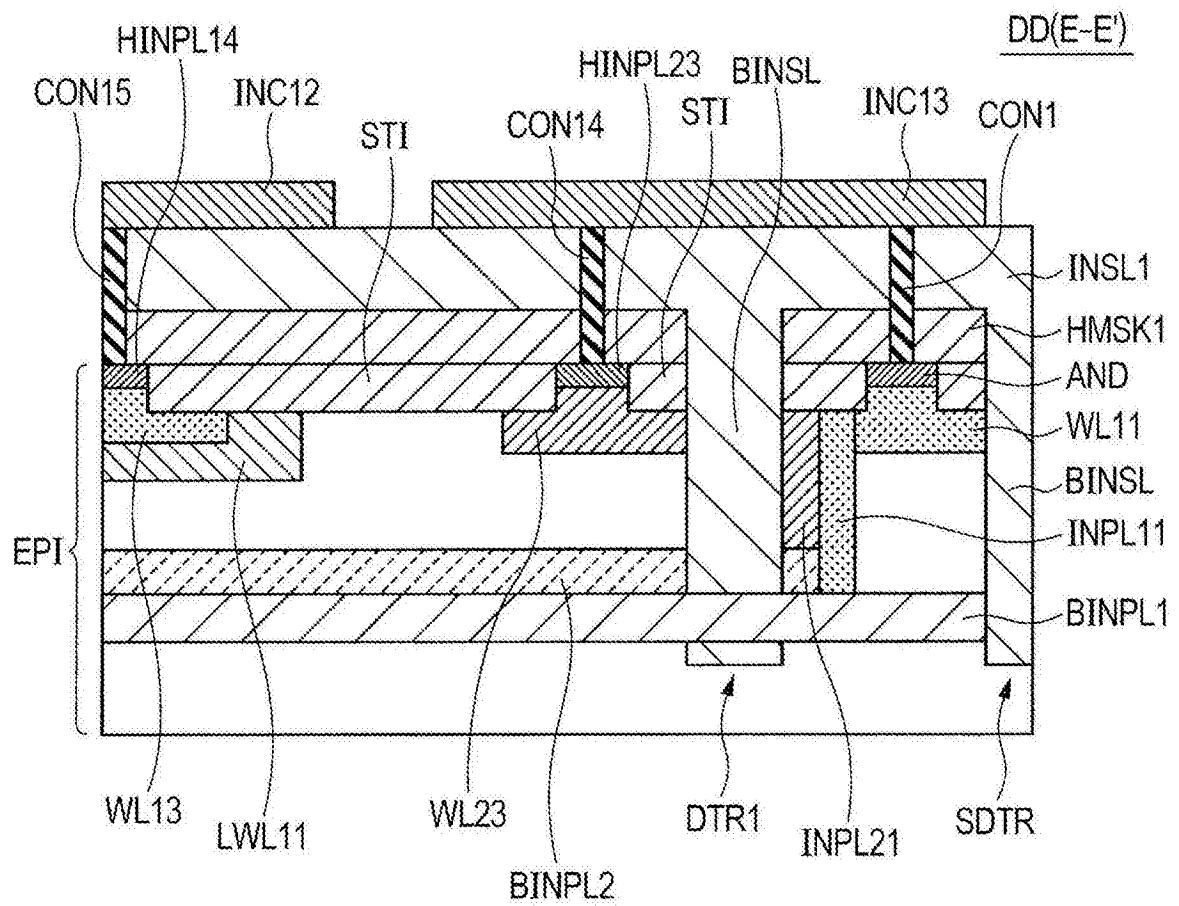


图 21

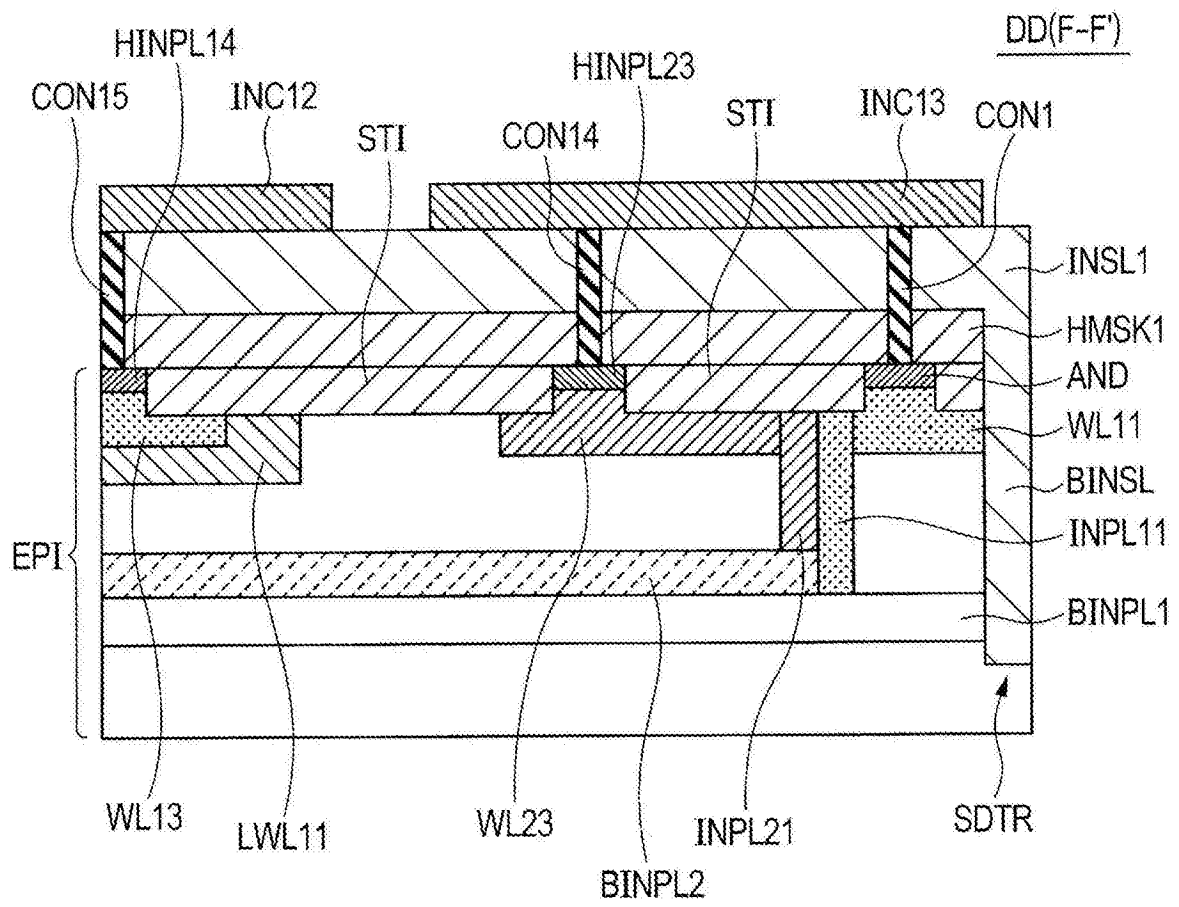


图 22

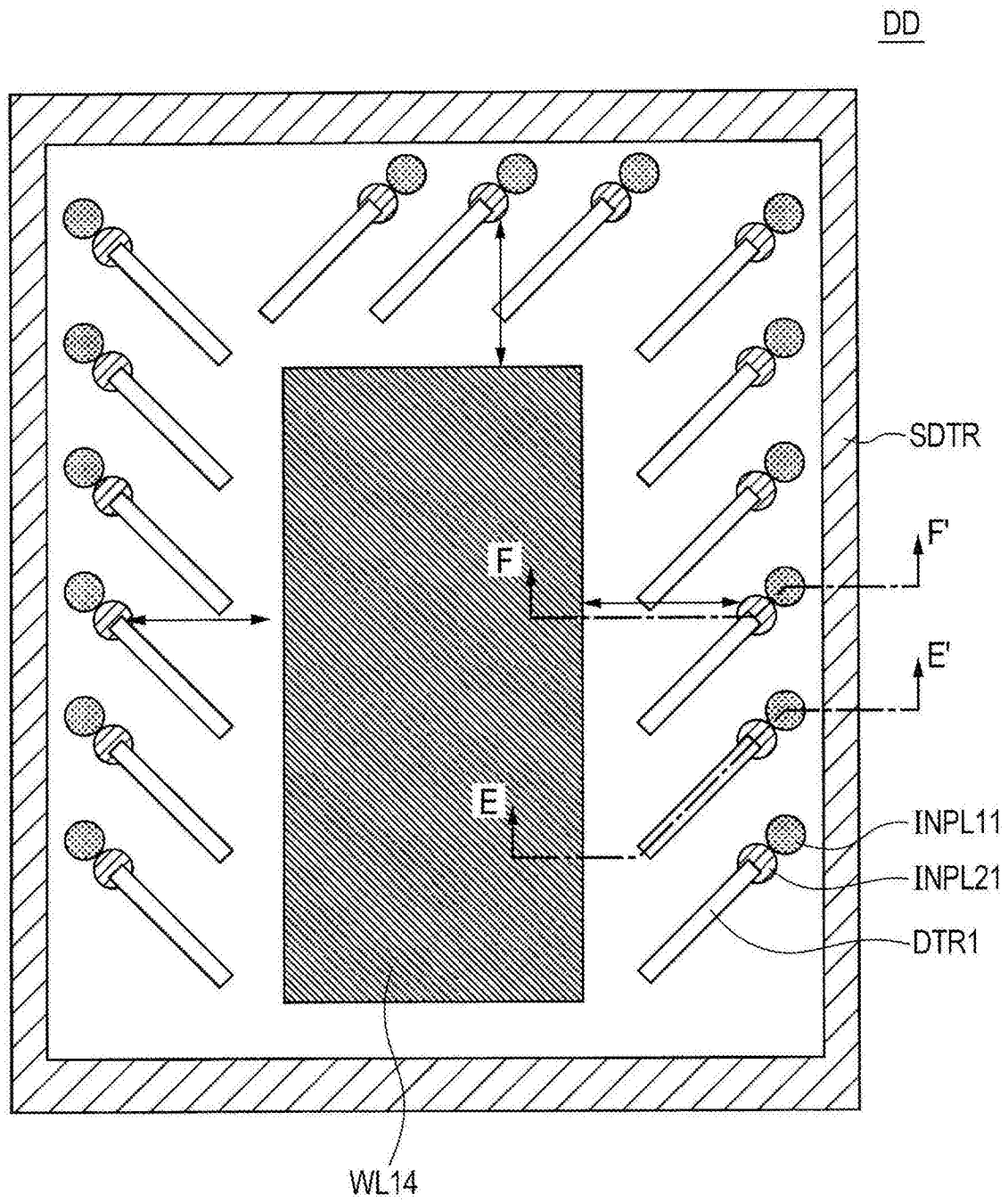


图 23

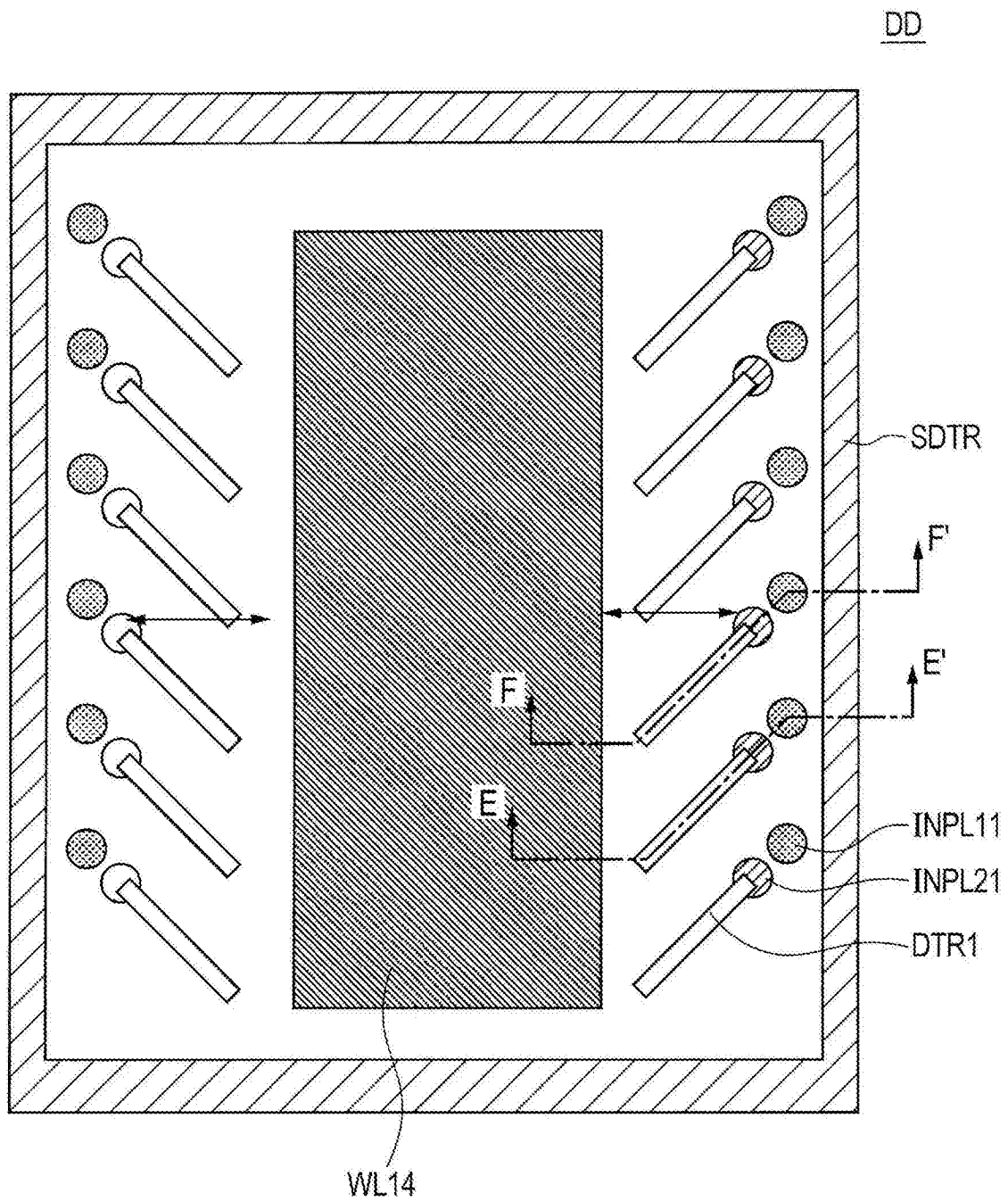


图 24