

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4288229号
(P4288229)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl. F I
HO 1 L 21/301 (2006.01) HO 1 L 21/78 S
 HO 1 L 21/78 P

請求項の数 9 (全 18 頁)

(21) 出願番号	特願2004-373022 (P2004-373022)	(73) 特許権者	000005821
(22) 出願日	平成16年12月24日(2004.12.24)		パナソニック株式会社
(65) 公開番号	特開2006-179768 (P2006-179768A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年7月6日(2006.7.6)	(74) 代理人	100081422
審査請求日	平成18年9月8日(2006.9.8)		弁理士 田中 光雄
		(74) 代理人	100091524
			弁理士 和田 充夫
		(72) 発明者	有田 潔
			大阪府門真市松葉町2番7号 パナソニック ファクトリーソリューションズ株式会 社内
		(72) 発明者	中川 顕
			大阪府門真市松葉町2番7号 パナソニック ファクトリーソリューションズ株式会 社内

最終頁に続く

(54) 【発明の名称】 半導体チップの製造方法

(57) 【特許請求の範囲】

【請求項1】

分割領域により画定される複数の素子形成領域内に配置された半導体素子と、上記分割領域内に配置されたTEG(テスト・エレメント・グループ)とが、その第1の面において形成された半導体ウェハに対して、上記分割領域において上記各々の素子形成領域を個別に分割して、個片化された上記半導体素子を含む半導体チップを製造する方法であって、

上記半導体ウェハの上記第1の面において、上記TEGと接触するように保護シートを貼り付ける保護シート貼付工程と、

上記第1の面とは反対側の面である第2の面に、上記分割領域を画定するためのマスクを配置するマスク配置工程と、

上記保護シートが貼り付けられかつ上記マスクが配置された上記半導体ウェハにおける上記第2の面よりプラズマエッチングを施して、上記分割領域に該当する部分を除去することにより、上記各々の素子形成領域を上記個々の半導体チップとして分割するプラズマエッチング工程と、

上記プラズマエッチング工程にて分割された上記それぞれの半導体チップから、上記保護シートを剥がすことで、上記分割領域内に残存しかつ上記保護シートに貼り付けられた状態の上記TEGの残部を、当該保護シートとともに除去するTEG除去工程と、を含むことを特徴とする半導体チップの製造方法。

【請求項2】

上記プラズマエッチング工程実施の後、上記ＴＥＧ除去工程実施の前に、上記それぞれの半導体チップにおける上記第２の面から、上記マスクを除去するマスク除去工程を行う請求項１に記載の半導体チップの製造方法。

【請求項３】

上記プラズマエッチング工程において、上記それぞれの半導体チップが個片に分割されるとともに、当該それぞれの半導体チップから上記ＴＥＧが個片に分離される請求項１又は２に記載の半導体チップの製造方法。

【請求項４】

上記半導体ウェハは、シリコン基板と、当該シリコン基板の上記第１の面に形成された上記それぞれの半導体素子と上記ＴＥＧとを有し、

上記プラズマエッチング工程において、当該プラズマエッチングを施すことにより、上記分割領域に相当する上記シリコン基板を除去して、隣接する上記それぞれの半導体素子を互いに分離させるとともに、上記ＴＥＧを上記シリコン基板から分離させる請求項１から３のいずれか１つに記載の半導体チップの製造方法。

【請求項５】

上記マスク配置工程において、上記シリコン基板の上記第１の面における上記ＴＥＧの固着部分が上記プラズマエッチング工程にて除去可能に、上記マスクが配置される請求項４に記載の半導体チップの製造方法。

【請求項６】

分割領域により画定される複数の素子形成領域内に配置された半導体素子と、上記分割領域内に配置されたＴＥＧとが、その第１の面において形成された半導体ウェハに対して、上記分割領域において上記各々の素子形成領域を個別に分割して、個片化された上記半導体素子を含む半導体チップを製造する方法であって、

上記半導体ウェハの上記第１の面において、上記ＴＥＧと接触するように保護シートを貼り付ける保護シート貼付工程と、

上記第１の面とは反対側の面である第２の面において、上記分割領域に相当する部分に当該分割領域に沿って、当該半導体ウェハの厚み寸法よりも浅い深さの溝部を形成する溝部形成工程と、

当該溝部が形成された上記半導体ウェハの上記第２の面に対してプラズマエッチングを施して、上記溝部の底部の除去を行うことにより、上記各々の素子形成領域を上記個々の半導体チップとして分割するプラズマエッチング工程と、

上記プラズマエッチング工程にて分割された上記それぞれの半導体チップから、上記保護シートを剥がすことで、上記分割領域内に残存しかつ上記保護シートに貼り付けられた状態の上記ＴＥＧの残部を、当該保護シートとともに除去するＴＥＧ除去工程と、を含むことを特徴とする半導体チップの製造方法。

【請求項７】

上記プラズマエッチング工程において、上記それぞれの半導体チップが個片に分割されるとともに、当該それぞれの半導体チップから上記ＴＥＧが個片に分離される請求項６に記載の半導体チップの製造方法。

【請求項８】

上記半導体ウェハは、シリコン基板と、当該シリコン基板の上記第１の面に形成された上記それぞれの半導体素子と上記ＴＥＧとを有し、

上記プラズマエッチング工程において、当該プラズマエッチングを施すことにより、上記分割領域に相当する上記シリコン基板を除去して、隣接する上記それぞれの半導体素子を互いに分離させるとともに、上記ＴＥＧを上記シリコン基板から分離させる請求項６又は７に記載の半導体チップの製造方法。

【請求項９】

上記溝部形成工程において、上記シリコン基板の上記第１の面における上記ＴＥＧの固着部分が上記プラズマエッチング工程にて除去可能に、当該固着部分の幅寸法以上の幅寸法を有する上記溝部が形成される請求項８に記載の半導体チップの製造方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、分割領域により画定される複数の素子形成領域内に配置された半導体素子と、上記分割領域内に配置されたＴＥＧとがその第１の面において形成された半導体ウェハに対して、上記分割領域において上記各々の素子形成領域を個別に分割して、個片化された上記半導体素子を含む半導体チップの製造方法に関する。

【背景技術】

【0002】

従来、このような半導体ウェハを分割することで、複数の半導体チップを製造する方法としては、様々なものが知られている。例えば、単結晶シリコン等のウェハに設けられた複数の素子形成領域に半導体素子を一括して形成し、隣接する素子形成領域間に配置される分割領域においてウェハを機械的に切断して（すなわちダイシングを行って）、それぞれの素子形成領域を個片化された半導体チップとして製造するような方法が知られている。

10

【0003】

また、このようなウェハにおいては、ＴＥＧ（Test Element Group：テスト・エレメント・グループ）と呼ばれる評価デバイス（テストデバイス）が分割領域内に形成されている。半導体チップの製造過程における様々な工程においては、このように形成されたＴＥＧを用いて種々の特性調査を行って、実際のデバイス特性のモニタリングが行われている。

20

【0004】

また、このようなＴＥＧは一般的にウェハの主要材料であるシリコンやシリコン酸化物以外にも、様々な金属や無機物を含む材料により形成されることが多い。また、形成されたＴＥＧは、上記各種特性調査を行った後は不要となり、分割領域におけるウェハのダイシングの際に当該ＴＥＧが切削除去される。

【0005】

近年においては、ウェハ当たりの半導体チップの取得数を増加させるために分割領域の縮小（狭小）化が進められているが、各種電氣的測定を確実に行うという観点からＴＥＧの形成領域の幅を狭くするには限界がある。そのため、ＴＥＧの形成領域の端部と分割領域の端部との間を狭くすることで、上記分割領域の狭小化が図られている。

30

【0006】

一方、ウェハのダイシングにおいては、ブレードによる切削の際の衝撃によって微細な破片を生じるチップングあるいは微細な亀裂を生じるマイクロクラックが生じ易いため、素子形成領域からある程度離れた位置でブレードによる切断を行う必要がある。そのため、上述のような分割領域の狭小化が進行すると、上記切削によりＴＥＧを完全に除去することができない場合が生じる。このようにＴＥＧの一部が残ったままの状態となると、半導体チップを実装した際に、ＴＥＧと配線パターンとの接触により短絡等が生じ、回路不良の問題が生じるおそれがある。

【0007】

このような問題の発生を抑制するため、例えば、特許文献１や特許文献２に開示されているように、ＴＥＧの切削による除去を行う方法として種々の方法が考え出されている。

40

【0008】

【特許文献１】特開２００２－２３１６５９号公報

【特許文献２】特開２００１－６０５６８号公報

【特許文献３】特開２００４－１７２３６５号公報

【特許文献４】特開２００３－１９７５６９号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

近年、ウェハの分割のための新しいダイシングの技術として、プラズマエッチングを用いたプラズマダイシングが注目されている（例えば、特許文献3、4参照）。しかしながら、TEGは、シリコンやシリコン酸化物とは異なり、様々な金属や無機物により形成されていることが多いため、シリコン系材料をエッチングするためのガスが用いられるプラズマダイシング（例えば、フッ素系プラズマを用いたプラズマダイシング）においては、当該エッチングによりTEGを完全に除去することができず、そのまま残ってしまうという問題がある。

【0010】

そのため、プラズマダイシングにおいては、使用するガスの種類を変えてエッチングを行うことで、TEGのエッチングによる除去を行うことが考えられる。しかしながら、このような場合にあっては、エッチングのガス種を切り換えるという手間を要し、半導体チップの製造工程における効率性が阻害されるという問題がある。

10

【0011】

従って、本発明の目的は、上記問題を解決することによって、TEGが形成されたウェハを、プラズマダイシングを用いて半導体チップの個片へと分割するとともに、効率的にTEGの除去を行うことができる半導体チップの製造方法を提供することにある。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明は以下のように構成する。

【0013】

20

本発明の第1態様によれば、分割領域により画定される複数の素子形成領域内に配置された半導体素子と、上記分割領域内に配置されたTEGとが、その第1の面において形成された半導体ウェハに対して、上記分割領域において上記各々の素子形成領域を個別に分割して、個片化された上記半導体素子を含む半導体チップを製造する方法であって、

上記半導体ウェハの上記第1の面において、上記TEGと接触するように保護シートを貼り付ける保護シート貼付工程と、

上記第1の面とは反対側の面である第2の面に、上記分割領域を画定するためのマスクを配置するマスク配置工程と、

上記保護シートが貼り付けられかつ上記マスクが配置された上記半導体ウェハにおける上記第2の面よりプラズマエッチングを施して、上記分割領域に該当する部分を除去することにより、上記各々の素子形成領域を上記個々の半導体チップとして分割するプラズマエッチング工程と、

30

上記プラズマエッチング工程にて分割された上記それぞれの半導体チップから、上記保護シートを剥がすことで、上記分割領域内に残存しかつ上記保護シートに貼り付けられた状態の上記TEGの残部を、当該保護シートとともに除去するTEG除去工程と、を含むことを特徴とする半導体チップの製造方法を提供する。

また、上記それぞれの半導体素子とTEGとは互いに直接的に連結されることなく、切り離された状態にて形成される。

【0014】

本発明の第2態様によれば、上記プラズマエッチング工程実施の後、上記TEG除去工程実施の前に、上記それぞれの半導体チップにおける上記第2の面から、上記マスクを除去するマスク除去工程を行う第1態様に記載の半導体チップの製造方法を提供する。

40

【0015】

本発明の第3態様によれば、上記プラズマエッチング工程において、上記それぞれの半導体チップが個片に分割されるとともに、当該それぞれの半導体チップから上記TEGが個片に分離される第1態様又は第2態様に記載の半導体チップの製造方法を提供する。

【0016】

本発明の第4態様によれば、上記半導体ウェハは、シリコン基板と、当該シリコン基板の上記第1の面に形成された上記それぞれの半導体素子と上記TEGとを有し、

上記プラズマエッチング工程において、当該プラズマエッチングを施すことにより、上

50

記分割領域に相当する上記シリコン基板を除去して、隣接する上記それぞれの半導体素子を互いに分離させるとともに、上記ＴＥＧを上記シリコン基板から分離させる第１態様から第３態様のいずれか１つに記載の半導体チップの製造方法を提供する。

【００１７】

本発明の第５態様によれば、上記マスク配置工程において、上記シリコン基板の上記第１の面における上記ＴＥＧの固着部分が上記プラズマエッチング工程にて除去可能に、上記マスクが配置される第４態様に記載の半導体チップの製造方法を提供する。

【００１８】

本発明の第６態様によれば、分割領域により画定される複数の素子形成領域内に配置された半導体素子と、上記分割領域内に配置されたＴＥＧとが、その第１の面において形成された半導体ウェハに対して、上記分割領域において上記各々の素子形成領域を個別に分割して、個片化された上記半導体素子を含む半導体チップを製造する方法であって、

上記半導体ウェハの上記第１の面において、上記ＴＥＧと接触するように保護シートを貼り付ける保護シート貼付工程と、

上記第１の面とは反対側の面である第２の面において、上記分割領域に相当する部分に当該分割領域に沿って、当該半導体ウェハの厚み寸法よりも浅い深さの溝部を形成する溝部形成工程と、

当該溝部が形成された上記半導体ウェハの上記第２の面に対してプラズマエッチングを施して、上記溝部の底部の除去を行うことにより、上記各々の素子形成領域を上記個々の半導体チップとして分割するプラズマエッチング工程と、

上記プラズマエッチング工程にて分割された上記それぞれの半導体チップから、上記保護シートを剥がすことで、上記分割領域内に残存しかつ上記保護シートに貼り付けられた状態の上記ＴＥＧの残部を、当該保護シートとともに除去するＴＥＧ除去工程と、を含むことを特徴とする半導体チップの製造方法を提供する。

【００１９】

本発明の第７態様によれば、上記プラズマエッチング工程において、上記それぞれの半導体チップが個片に分割されるとともに、当該それぞれの半導体チップから上記ＴＥＧが個片に分離される第６態様に記載の半導体チップの製造方法を提供する。

【００２０】

本発明の第８態様によれば、上記半導体ウェハは、シリコン基板と、当該シリコン基板の上記第１の面に形成された上記それぞれの半導体素子と上記ＴＥＧとを有し、

上記プラズマエッチング工程において、当該プラズマエッチングを施すことにより、上記分割領域に相当する上記シリコン基板を除去して、隣接する上記それぞれの半導体素子を互いに分離させるとともに、上記ＴＥＧを上記シリコン基板から分離させる第６態様又は第７態様に記載の半導体チップの製造方法を提供する。

【００２１】

本発明の第９態様によれば、上記溝部形成工程において、上記シリコン基板の上記第１の面における上記ＴＥＧの固着部分が上記プラズマエッチング工程にて除去可能に、当該固着部分の幅寸法以上の幅寸法を有する上記溝部が形成される第８態様に記載の半導体チップの製造方法を提供する。

【発明の効果】

【００２２】

本発明の上記態様によれば、その特性調査のために半導体チップの製造過程において分割領域内に形成されたそれぞれのＴＥＧが、プラズマエッチングによるエッチング対象材料であるシリコンやシリコン酸化物以外にも、それらとは異なる材料、例えば、金属や無機物を含む材料により形成されているため、上記半導体チップの個片化のためのプラズマエッチングによっては、除去することができないという従来における問題に対して、当該プラズマエッチングを施すことにより、それぞれのＴＥＧが上記それぞれの半導体チップから分離された状態とさせ、その後、上記半導体ウェハにおける第１の面を保護するために貼着された保護シートを、当該表面から引き剥がすことで、上記保護シートと接触して

10

20

30

40

50

貼着状態にある上記それぞれのTEGを当該それぞれの半導体チップの間の上記分割領域から取り除くことができる。

【0023】

従って、プラズマエッチングを用いて上記半導体ウェハの分割処理を行うような場合であっても、ガスの種類をわざわざ変更して上記TEGの除去のためのプラズマエッチングを行う必要を無くすことができるとともに、単に上記保護シートを剥離するという作業を行うだけで上記それぞれのTEGの除去を行うことができ、効率的な作業をもってTEGの除去を実現することができる。

【0024】

また、本発明の他の態様によれば、プラズマエッチングを行う際に、マスクを用いることなく、分割領域に沿って形成された溝部を用いることで、マスクレスダイシングを実現することができる。このようなマスクレスダイシングを用いることで、製造された半導体チップの角部に湾曲凸部を形成されることができ、抗折強度の高い半導体チップを製造することができる。

10

【0025】

また、このようなマスクレスダイシングが用いられるような場合であっても、保護シートの剥離作業を行うことで、それぞれの分割領域に個片化された状態にて残存しているTEGの除去を行うことができ、効率的な作業をもってTEGの除去を実現することができる。

【発明を実施するための最良の形態】

20

【0026】

以下に、本発明にかかる実施の形態を図面に基づいて詳細に説明する。

【0027】

本発明の第1の実施形態にかかる半導体チップの製造方法の説明を行うにあたって、まず、これらの製造方法において用いられる装置の構成についての説明を行う。

【0028】

本第1実施形態の製造方法においては、半導体ウェハを複数の半導体チップに分割することで、当該半導体チップの製造を行う半導体チップ製造装置の一例であるプラズマ処理装置101が用いられる。このプラズマ処理装置101の構成を模式的に示す模式構成図を図1に示す。このプラズマ処理装置101は、複数の素子形成領域において半導体素子が形成された半導体ウェハに対して、プラズマエッチングを施すことにより、それぞれの素子形成領域を分割して半導体素子を含む半導体チップの個片への分割処理（プラズマダイシング処理）を行う装置である。まず、このプラズマ処理装置101の概略構成について図1を用いて以下に説明する。

30

【0029】

図1に示すように、プラズマ処理装置101は、半導体ウェハ1に対してプラズマ処理を行うための密閉された空間である処理室12をその内部に形成する真空容器11を備えている。この真空容器11の内部には、下部電極（第1の電極）13と上部電極（第2の電極）14とが互いに対向して平行に配置されている。また、下部電極13の図示上面には、略円盤状の半導体ウェハ1を載置可能な載置面13aが形成されている。また、この載置面13aは、真空吸引又は静電吸引によって当該載置された半導体ウェハ1を解除可能に吸引保持する機能を有している。なお、下部電極13は、絶縁体を介して真空容器11内に配置されており、下部電極13と真空容器12とは上記絶縁体により電氣的に絶縁されている。

40

【0030】

また、上部電極14には、この上部電極14と下部電極13との間に形成された空間（放電空間）内にプラズマ発生用ガスを供給するための通路であるガス供給孔14aが上部電極14の内部を貫通するように形成されている。また、上部電極14において、真空容器11の外部に連通するように形成されたガス供給孔14aの一端は、真空容器11の外部に備えられたプラズマ発生用ガス供給部17と接続されており、プラズマ発生用ガス供

50

給部 17 より例えば四フッ化炭素 (CF_4) や六フッ化硫黄 (SF_6) 等を含むフッ素系のプラズマ発生用ガスを、ガス供給孔 14 a を通して処理室 12 内へ供給することが可能となっている。なお、プラズマ発生用ガス供給部 17 とガス供給孔 14 a の上記一端との間のガス供給用通路の途中には、当該供給されるガス流量を所望の流量に調整するガス流量調整部 (図示しない) が備えられている。さらに、上部電極 14 の図示下面には多孔質プレート 15 が装備されており、ガス供給孔 14 a を通じて供給されたプラズマ発生用ガスが、この多孔質プレート 15 を介して、下部電極 13 の載置面 13 a に載置された半導体ウェハ 1 に対して均一に吹き付けるように、処理室 12 内に供給することが可能となっている。

【0031】

また、プラズマ処理装置 101 には、処理室 12 内を排気することで、処理室 12 内を所望の圧力に減圧する (すなわち真空化する) 真空排気装置の一例である排気ポンプ 19 が備えられている。また、下部電極 13 には高周波電源部 20 が電氣的に接続されており、高周波電源部 20 により下部電極 13 に高周波電圧を印加することが可能となっている。

【0032】

このような構成のプラズマ処理装置 101 においては、下部電極 13 の載置面 13 a に半導体ウェハ 1 を載置して真空容器 11 を密閉した後、排気ポンプ 19 により処理室 12 内を排気して真空化するとともに、プラズマ発生用ガス供給部 17 より所定の量のプラズマ発生用ガスを処理室 12 内に供給した状態で、高周波電源部 20 を駆動して下部電極 13 に高周波電圧を印加することにより、上部電極 14 と下部電極 13 との間の放電空間にフッ素系のプラズマを発生させることができる。このように発生されたプラズマを半導体ウェハ 1 の表面に対して照射することにより、当該照射された表面をエッチング (すなわち、プラズマエッチング) することができる。

【0033】

次に、このようなプラズマ処理装置 101 においてプラズマダイシング処理等が施される半導体ウェハ 1 について説明する。当該説明を行うにあたって、半導体ウェハ 1 におけるそれぞれの半導体素子が形成される回路形成面 (第 1 の面) 1 a の模式平面図を図 2 に示す。

【0034】

図 2 に示すように、半導体ウェハ 1 の回路形成面 1 a においては、複数の素子形成領域 R1 が格子状に配列されている。それぞれの素子形成領域 R1 は、製造される半導体チップの大きさに応じてその大きさが決定されており、例えば方形状の領域として配置されている。ここで、半導体ウェハ 1 の回路形成面 1 a における部分拡大模式平面図を図 3 に示し、図 3 の半導体ウェハ 1 における A - A 線模式断面図を図 4 に示す。

【0035】

図 3 に示すように、互いに隣接する素子形成領域 R1 の間には、所定の幅寸法を有する略線状の領域 (すなわちその長手方向に比して十分に小さな幅寸法を有する領域) である分割領域 R2 が配置されている。この分割領域 R2 は、半導体ウェハ 1 の回路形成面 1 a において略格子状に配列されているとともに、それぞれの素子形成領域 R1 を画定する領域となっており、1 つの素子形成領域 R1 との関係では、当該素子形成領域 R1 の外周に配置された枠形状の領域となっている。さらに、この分割領域 R2 は、後述するプラズマダイシング工程において、それぞれの素子形成領域 R1 を個別に分割するための分割位置となっている。また、それぞれの素子形成領域 R1 内には、半導体素子 2 が形成されている。

【0036】

具体的には、図 4 に示すように、半導体ウェハ 1 は、円板形状を有するシリコン基板 51 により形成されており、その回路形成面 1 a において、それぞれの素子形成領域 R1 に相当する部分に、シリコン酸化膜 52 を介してデバイス層 53 が形成されることで半導体素子 2 が形成されている。また、半導体ウェハ 1 の回路形成面 1 a において、隣接するそ

10

20

30

40

50

それぞれの素子形成領域 R 1 の間に配置される分割領域 R 2 に相当する部分には、シリコン酸化膜 5 4 を介して T E G (テ ス ト ・ エ レ メ ン ト ・ グ ル ー プ) 3 が形成されている。ここで T E G とは実際のデバイスのパターンではテストが困難な場合に、デバイスパターンとは別の場所に、テストに必要な特性や形状を評価できるように設計したテストパターンであり、用途に合わせて単数もしくは複数のパターンを形成したものである。また、この T E G は、半導体チップの製造過程で形成される評価デバイスであり、シリコンやシリコン酸化物以外にも、それらとは異なる材質である金属や無機物を含む材料により形成されている。

【 0 0 3 7 】

また、図 3 及び図 4 に示すように、それぞれの素子形成領域 R 1 におけるシリコン酸化膜 5 2 と、それぞれの分割領域 R 2 におけるシリコン酸化膜 5 4 とは互いに切り離された状態で形成されている。すなわち、それぞれの半導体素子 2 と T E G 3 とは、互いに分離するように形成されており、例えば、両者の間にはシリコン酸化膜が存在しない微小な隙間が存在している。また、このように形成される T E G 3 には様々な形状のものがあり、例えば、図 3 に示すように、略正形状の平面形状を有するものや、分割領域 R 2 の長手方向に沿って延在するように長形状の平面形状を有するものがある。なお、図 4 において、例えば、素子形成領域 R 1 はその幅寸法が 1 ~ 2 0 m m の範囲にて形成され、分割領域 R 2 はその幅寸法が 5 0 μ m 程度にて形成され、T E G 3 はその幅寸法が 3 0 μ m 程度にて形成される。

【 0 0 3 8 】

次に、このような構成のプラズマ処理装置 1 0 1 を用いて行われる半導体ウェハ 1 の分割処理を含むそれぞれの半導体チップの一連の製造工程について、以下に説明する。当該説明にあたって、この半導体チップの製造工程の手順を示すフローチャートを図 5 に示すとともに、当該手順を説明するための模式説明図を図 6 (A) ~ (D) 及び図 7 (A) ~ (C) に示す。

【 0 0 3 9 】

まず、図 5 のフローチャートのステップ S 1 において、図 4 に示すように半導体ウェハ 1 における回路形成面 1 a に対して、成膜、露光、エッチング等の処理を施すことにより、それぞれの素子形成領域 R 1 内に半導体素子 2 の形成を行う (半導体素子形成工程) 。また、この半導体素子形成工程の過程において、分割領域 R 2 内に T E G 3 が形成される。なお、このような半導体素子形成工程の過程においては、T E G 3 を用いて、形成された半導体素子 2 の各種特性の検査が行われる (検査工程) 。

【 0 0 4 0 】

次に、図 6 (A) に示すように、上記検査工程が完了した半導体ウェハ 1 が以降において行われるそれぞれの処理の際に回路形成面 1 a が損傷を受けることがないように、回路形成面 1 a に保護シート 4 が粘着剤を介して剥離可能に貼着される (保護シート貼り付け工程、ステップ S 2) 。回路形成面 1 a にはそれぞれの半導体素子 2 や T E G 3 が形成されていることにより、保護シート 4 は、それぞれの半導体素子 2 及び T E G 3 の図示上面に貼着されることとなる。なお、この保護シート 4 は、回路形成面 1 a の全面を覆いかつ半導体ウェハ 1 の端部から外側にはみ出すことがないように半導体ウェハ 1 の外形形状と略同じ形状に整形したものが用いられる。このような形状の保護シート 4 が用いられることにより、その後の処理、例えばプラズマ処理において、半導体ウェハ 1 からはみ出した保護シート 4 がプラズマによって焼損するというダメージの発生を防止することができる。

【 0 0 4 1 】

次に、図 5 のステップ S 3 において、半導体ウェハ 1 における回路形成面 1 a とは反対側の表面 (第 2 の面) である被処理面 1 b にマスク層 5 が形成される (マスク層形成工程、ステップ S 3) 。マスク層 5 は、後述するプラズマダイシング工程において用いられるマスクパターンを形成するためのものであり、フッ素系ガスを用いたプラズマに対して耐性を有する材質、例えばアルミニウムや樹脂 (例えば、感光性レジスト) で形成される。

なお、図6(B)においては、図6(A)に示す半導体ウェハ1からその回路形成面1aと被処理面1bとが反転された状態を示している。また、本実施形態においては、保護シート貼付工程の後に、マスク層形成工程が行われるような場合について説明するが、このような場合に代えて、両工程の間に、半導体ウェハ1の厚みを薄くする薄化工程が行われるような場合であってもよい。

【0042】

アルミニウムを用いる場合には、蒸着処理によってアルミニウム薄膜を被処理面1bに形成する方法や、箔状のアルミニウム薄膜を貼り付ける方法などが用いられる。また、樹脂を使用する場合には、膜状に形成された樹脂を貼り付ける方法や、液状の樹脂をスピコートなどの方法で被処理面1b上に塗布した後、ベーク処理も行ってマスク層を形成する

10

【0043】

次に、図6(C)に示すように、レーザ加工によるマスク層5の部分的な除去が行われて所望のマスクパターンが形成される(マスクパターン形成工程、ステップS4)。このようなマスク層5の部分的な除去は、例えばレーザ光を用いて、予め設定された所望のパターンに基づいてマスク層5に対して当該レーザ光を照射することで行うことができる。また、このような所望のパターンとしては、半導体ウェハ1における分割領域R2に相当する部分に配置されているマスク層5が除去されるようなパターンが形成される。また、このようなマスクパターン形成工程の実施により、図6(C)に示すようにそれぞれの分割領域R2に相当する部分、すなわちそれぞれの半導体素子2の分割位置において、マスク層5が部分的に除去された分割線用マスク除去部5aが形成される。また、マスク除去部5aが除去された残りのマスク層5によりマスク5bとなっており、それぞれのマスク5bとマスク除去部5aとによりマスクパターン5cが形成されている。このようなステップS3のマスク層形成工程とステップS4のマスクパターン形成工程とを合わせた工程がマスク形成工程(S9)となっている。なお、感光性の樹脂でマスク層5を形成した場合には、露光、現像を経てマスクパターンを形成する方法も適用できる。

20

【0044】

次に、このようにマスクパターン5cが形成された半導体ウェハ1に対してプラズマエッチングを行うことにより、それぞれの素子形成領域R1を個別に分割して、半導体素子2を含む半導体チップ10の個片を形成する方法について説明する(プラズマダイシング工程(あるいはプラズマエッチング工程)、ステップS5)。

30

【0045】

具体的には、図1に示すプラズマ処理装置101において、下部電極13の載置面13aに、マスクパターン5cが形成された被処理面1bを上面として、保護シート4を介して半導体ウェハ1を載置する。その後、真空容器11を密閉し、排気ポンプ19を駆動して処理室12内を真空化(例えば、約100Pa)するとともに、プラズマ発生用ガス供給部17より調整された流量のガスを、ガス供給孔14a及び多孔質プレート15を通して処理室12内に供給する。このような状態にて高周波電源部20により下部電極13に高周波電圧を印加することで、上部電極14と下部電極13との間の放電空間にプラズマを発生させることができる。

40

【0046】

当該放電空間にて発生されたプラズマは、下部電極13の載置面13aに載置された状態の半導体ウェハ1の被処理面1bに形成されたマスクパターン5cに対して照射される。このようなプラズマの照射により、マスク5bが配置されていない露出表面である分割線用マスク除去部5aに相当する被処理面1bの表面に対してプラズマが照射される。このようにプラズマが照射されることで、被処理面1bの露出表面に対してエッチングが施されることとなる。

【0047】

半導体ウェハ1の被処理面1bの露出表面に対してプラズマエッチングが施されることにより、当該露出表面に相当する部分の半導体ウェハ1の厚みが薄化され、最終的には当

50

該部分が除去される。これにより、図6(D)に示すように、半導体ウェハ1は、分割領域R2に沿ってそれぞれの半導体素子2を含む半導体チップ10の個片に分割される。

【0048】

このプラズマエッチングは、シリコン及びシリコン酸化物を除去する目的として、例えばフッ素系プラズマが用いられることとなるが、このようなフッ素系プラズマを用いたエッチングでは、金属や無機物を含む材料を主材料として形成されているTEG3に対してはエッチングレートが低下するため、TEG3は除去されず残存することとなる(あるいは、TEG3の一部が除去されて他部が残部として残ることとなる)。そのため、このようなプラズマエッチングが施された後においては、図6(D)に示すように、個片に分割されたそれぞれの半導体チップ10の間、すなわち、分割領域R2に相当する部分において、TEG3のみがそれぞれの半導体チップ10とは切り離された状態にて残存することとなる。つまり、このプラズマエッチングが行われることにより、それぞれの素子形成領域R1が分割されるとともに、シリコン基板51の表面に形成されていたTEG3が、当該シリコン基板51への固着部分が除去されることによりシリコン基板51から分離されて個片化されることとなる。従って、このような半導体チップ10の分割と、TEG3の個片化を同時に実施可能に形成されたマスクパターン5cを用いて、プラズマダイシング工程が行われることとなる。なお、図6(D)において、例えば、半導体チップ10の幅寸法が1~20mm、厚さ寸法が50μm、TEG3の幅寸法が30μm、厚さ寸法が3μm程度となっている。

10

【0049】

その後、図7(A)に示すように、分割されたそれぞれの半導体チップ10の被処理面1bに残存しているマスク5bを、例えばアッシング処理を施すことで除去する(マスク層除去工程、ステップS6)。なお、TEG3は一般的に複数の種類の材料で形成されているため、このマスク層除去工程が施されることによっても、TEG3は除去されることなく、残存することとなる。

20

【0050】

その後、図7(B)に示すように、半導体ウェハ1の被処理面1bに粘着シート(ダイシングシート)6を貼り付ける(ダイシングシート貼付工程、ステップS7)。この粘着シート6は、半導体ウェハ1よりも大きなサイズを有しており、さらにその周囲に図示しないウェハリング(治具)によって固定されて、このウェハリングを把持することで半導体ウェハ1のハンドリングを行うことが可能となっている。

30

【0051】

さらにその後、半導体ウェハ1の回路形成面1aを保護していた保護シート4が剥離される。この剥離の際に、分割領域R2に相当する部分に個別に残存しているTEG3が、保護シート4のみによって支持されている状態、すなわち、保護シート4の表面に貼着された状態とされているため、保護シート4の剥離とともに、それぞれの分割領域R2からTEG3が除去されることとなる。なお、このような保護シート4の剥離によるTEG3の除去を行うような工程は、保護シート除去工程あるいはTEG除去工程とすることができる(ステップS8)。また、このような保護シート4の剥離作業は、作業者による手作業にて行われるような場合であってもよく、あるいは、ロボット等の装置を用いて機械的に行われるような場合であってもよい。

40

【0052】

これにより、それぞれの半導体チップ10が個片に分割され、かつ、TEG3が存在しない状態で粘着シート6上に配置された状態とされることとなる。以上で半導体チップの製造工程が完了する。

【0053】

このようなTEG3を効率的に除去することができる半導体チップ10の製造方法について、上述のようにマスクパターン5cが形成された半導体ウェハ1に対してプラズマダイシングが施されるような場合について説明したが、本実施形態はこのような場合についてのみ限定されるものではない。このような場合に代えて、例えば、マスクパターンを用

50

いることなく、プラズマダイシングが行われるような場合であってもよい。このような場合について、本実施形態の変形例として以下に説明する。

【0054】

このような変形例にかかる半導体チップの製造工程の一連の手順を示すフローチャートを図8に示すとともに、当該それぞれの手順を説明するための模式説明図を図9(A)~(E)に示す。

【0055】

まず、図8のフローチャートのステップS1において、半導体ウェハ1の回路形成面1aに対して、それぞれの半導体素子2とTEG3が形成され、その後、回路形成面1aを保護すべく、保護シート4が貼着される(ステップS2)。このような状態が図9(A)に示す半導体ウェハ1の状態である。

10

【0056】

次に、半導体ウェハ1の被処理面1bに、それぞれの半導体素子の分割位置(すなわち、分割領域R2)に合わせて分割用溝部61を形成する(溝形成工程(ハーフカットダイシング)、ステップS11)。このような溝部の形成は、例えば、半導体ウェハ1の被処理面1bに対して、円盤型回転刃(ブレード)を用いて当該表面を部分的に削り取ることにより分割用溝部61を形成することができる。半導体ウェハ1においては、それぞれの素子形成領域R1が格子状に配列されており、それぞれの素子形成領域R1を個別に分割できるようにその分割領域R2が格子状に定められている。

【0057】

20

また、図9(B)に示すように、分割用溝部61はその底面が回路形成面1aに到達しないようにその深さ寸法が決定されて形成されている(すなわち、ハーフカットが行われている)。このように形成することで、この分割用溝部61の形成によりそれぞれの半導体素子が個片に分割されてしまうことが防止されている。ここで、「分割用溝部」とは、半導体ウェハ1(すなわち、シリコン基板51)の被処理面1bに形成された凹部であって、その底面が回路形成面1aに到達していないものをいう。すなわち、このような凹部の底面が回路形成面1aに到達(すなわち貫通)しているようなものは、本明細書においては分割用溝部61とは言わない。

【0058】

また、この分割用溝部61の深さ寸法は、最終的に形成されるそれぞれの半導体チップの厚さ寸法以上となるように決定される。本実施形態においては、薄化された半導体ウェハ1の厚さ寸法が、例えば50 μm に対して、分割用溝部61の深さ寸法が25 μm とされており、最終的に形成される半導体チップの厚さ寸法が25 μm となっている。また、この場合、分割用溝部61の底面と回路形成面1aとの間の距離寸法は、分割用溝部61としてその形状が保持できる最小限の距離寸法を考慮して、例えば5~25 μm の範囲で決定することができる。また、溝形成工程(ステップS11)のような機械的加工が施されることにより、半導体ウェハ1の被処理面1bと分割用溝部61の内表面の近傍には、付加された応力が残留するダメージ層が形成されることとなる。

30

【0059】

このように分割用溝部61の底面と回路形成面1aとの間の距離寸法の下限が5 μm として規定していることに対する第1の理由は、上記ハーフカットダイシングの後の半導体ウェハ1の強度を確保するためであり、第2の理由は、保護シート4がプラズマに曝される時間を少なくするためである。半導体ウェハ1の被処理面1bに形成されたダメージ層を除去するためには、被処理面1bをその表面より少なくとも5 μm の厚さ除去する必要がある。しかしながら、分割用溝部61の底面と回路形成面1aとの間の距離寸法が5 μm 未満であれば、被処理面1bに形成されたダメージ層が除去される前に分割用溝部61が除去されてしまうこととなり、被処理面1bのダメージ層を完全に除去するまで、分割用溝部61が形成されていた部分に相当する保護シート4が高温のプラズマにさらされることとなる。そのため、被処理面1bのダメージ層の除去完了前に、分割用溝部61が除去されないようにすることで、このような問題の発生を未然に防止可能とし、分割用溝部

40

50

61の底面と回路形成面1aとの間の距離寸法の下限を5 μ m以上として規定している。

【0060】

次に、このように分割用溝部61が形成された半導体ウェハ1に対して、プラズマエッチングを行って、それぞれの半導体チップの個片への分割、すなわちプラズマダイシングを行う(プラズマダイシング工程、ステップS12)。本変形例においては、半導体ウェハ1の表面にマスク層を形成することなく、このプラズマダイシングが行われる。

【0061】

このようにマスク層が形成されていない場合のプラズマダイシングは、図1に示すプラズマ処理装置101において、上述したマスク層が形成されている場合のプラズマダイシングと同様な方法で行うことができる。

【0062】

プラズマ処理装置101において、発生されたプラズマは、下部電極13の載置面13aに載置された状態の半導体ウェハ1の被処理面1bの全体とそれぞれの分割用溝部61の内表面に対して照射される。このようにプラズマが照射されることで、被処理面1bの全体と分割用溝部61の内表面のそれぞれに対してエッチングが施されることとなる。

【0063】

半導体ウェハ1の被処理面1bの全体に対してプラズマエッチングが施されることにより、半導体ウェハ1の厚みが薄化され、それとともに、それぞれの分割用溝部61の内表面に対してプラズマエッチングが施されることにより、それぞれの分割用溝部61が除去される。このようにそれぞれの分割用溝部61が除去されることで、図9(C)に示すように、半導体ウェハ1は、上記分割位置(すなわち、分割領域)に沿ってそれぞれの半導体素子2を含む半導体チップ30の個片に分割されることとなる。ここで「分割用溝部61が除去される」とは、分割用溝部61の底面に対してエッチングが施されることで当該底面が回路形成面1aに近づけられ、最終的に当該底面が回路形成面1aと合致されることで当該底面が消滅状態とされることをいう。すなわち、分割用溝部61が除去されることで、半導体ウェハ1において分割領域に沿って、被処理面1bと回路形成面1aとが貫通された状態とされることとなる。

【0064】

また、図9(C)に示すように、プラズマエッチングが施されることにより、被処理面1bとともに分割用溝部61の内表面もエッチングされることとなるが、従来のプラズマエッチングのように被処理面1bにマスク層が配置されていないため、分割用溝部61の入り口端部の形成される角部(エッジ部)も同様にエッチングが施されることとなり、その結果、当該角部が除去されて、半導体チップ30の被処理面1b側の端部には、湾曲凸面部の一例であるR(アール)部30aが形成されることとなる。また、プラズマエッチング後のそれぞれの半導体チップ30は、その平面的に大略方形の四隅部分に位置される角部に対してもこのようなエッジ除去が行われR部30aが形成されることとなる。なお、分割用溝部61に対するプラズマエッチングにより、半導体ウェハ1の厚み方向を主としてエッチングが行われるが、そのエッチング特性により半導体ウェハ1の表面沿いの方向にも僅かにエッチングが行われることとなる。このようなエッチング特性は、それぞれのR部30の形成に寄与することとなるが、分割用溝部61の幅寸法が当該エッチングにより拡大されることを考慮して、予め分割用溝部61の幅寸法を決定しておくことが望ましい。

【0065】

また、半導体ウェハ1の被処理面1bとそれぞれの分割用溝部61の内表面に対して、プラズマエッチングが施されることで、それぞれの半導体チップ30への分割処理が行われるとともに、上記機械的加工により生じたダメージ層を除去することができる。また、図9(C)に示すように、このプラズマエッチングにより分割領域R2に相当する部分に形成されていたそれぞれのTEG3が当該領域において除去されたシリコン基板51から分離された状態とされて、それぞれの分割領域R2において個別に残存することとなる。すなわち、シリコン基板51へのTEG3の固着部分が、プラズマエッチングにより除去

10

20

30

40

50

されることで、TEG3が個片化されることとなる。このようなTEG3の確実な個片化を考慮すれば、それぞれの分割用溝部61の幅寸法は、TEG3の固着部分の幅寸法以上の寸法となるように形成されることが好ましい。

【0066】

プラズマ処理装置101においてこのようなプラズマダイシングが完了すると、高周波電源部20による高周波電圧の印加、プラズマ発生用ガス供給部17よりのガスの供給、及び排気ポンプ19の駆動が停止され、その後、真空チャンバ11が開放されて、半導体ウェハ1が取り出される。

【0067】

プラズマ処理装置101から取り出された半導体ウェハ1に対して、図9(D)に示すように、被処理面1bに粘着シート(ダイシングシート)6を貼り付ける(ダイシングシート貼付工程、ステップS13)。その後、図9(E)に示すように、半導体ウェハ1の回路形成面1aを保護していた保護シート4が剥離される(保護シート除去工程、ステップS14)。この保護シート4の剥離の際に、保護シート4に貼着された状態にあるそれぞれのTEG3が、分割領域R2から除去されることとなる。

【0068】

これにより、TEG3付きの半導体ウェハ1をそれぞれの半導体チップ30の個片へと分割することができるとともに、分割領域R2において形成されていたそれぞれのTEG3を除去することができる。さらに、プラズマエッチングにより分割されたそれぞれの半導体チップ30は、その角部にR部30aが形成されることとなるため、形成された半導体チップの抗折強度を向上させることができる。また、プラズマダイシングにより分割を行う際に、マスク層の形成及び当該形成に伴うマスク層の除去を必要としないため、効率的なプラズマダイシングを行うことができる。

【0069】

上記実施形態によれば、その特性調査のために半導体チップ10の製造過程において分割領域R2内に形成されたそれぞれのTEG3が、プラズマエッチングによるエッチング対象材料であるシリコンやシリコン酸化物以外にも、それらとは異なる材料、例えば、金属や無機物を含む材料により形成されているため、半導体チップ10の個片化のためのプラズマエッチングによっては、除去できないという従来における問題に対して、当該プラズマエッチングを施すことにより、それぞれのTEG3がそれぞれの半導体チップ10から分離された状態とさせ、その後、半導体ウェハ1における回路形成面1aを保護するために貼着された保護シート4を、当該表面から引き剥がすことで、保護シート4と接触して貼着状態にあるそれぞれのTEG3をそれぞれの半導体チップ10の間の分割領域R2から取り除くことができる。

【0070】

従って、プラズマダイシングを用いて半導体ウェハ1の分割処理を行うような場合であっても、ガスの種類をわざわざ変更してTEG3の除去のためのプラズマエッチングを行う必要を無くすことができるとともに、単に保護シート4を剥離するという作業を行うだけでそれぞれのTEG3の除去を行うことができ、効率的な作業でもってTEGの除去を実現することができる。

【0071】

また、TEG3の除去がこのような手法により実現可能となることにより、半導体ウェハ1において、シリコン基板51上にそれぞれの半導体素子2と切り離されてTEG3が形成されることで、プラズマエッチングによりそれぞれの半導体チップ10を分割するための分割領域R2におけるシリコン基板51をエッチング除去して、TEG3が独立して保護シート4上に貼着された状態とすることができる。従って、TEG3と半導体素子2とを切り離した状態にて形成すれば、分割領域R2の幅をTEG3の幅近くまで狭小化することができ、半導体ウェハ1における半導体チップ10の取得数を増大することができる。

【0072】

なお、上記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようすることができる。

【図面の簡単な説明】

【0073】

【図1】本発明の一の実施形態にかかるプラズマ処理装置の構成を示す模式図である。

【図2】上記実施形態において取り扱われる半導体ウェハの模式平面図である。

【図3】図2の半導体ウェハにおける部分拡大模式平面図である。

【図4】図3の半導体ウェハにおけるA - A線矢視断面図である。

【図5】上記実施形態における半導体チップの製造方法の工程を示すフローチャートである。

10

【図6】図5のフローチャートのそれぞれの工程を説明するための模式説明図であり、(A)は半導体ウェハに保護シートが貼着された状態を示す図であり、(B)は半導体ウェハにマスク層が形成された状態を示す図であり、(C)は形成されたマスク層が加工されてマスクパターンが形成された状態を示す図であり、(D)はプラズマダイシングが施された状態を示す図である。

【図7】図5のフローチャートのそれぞれの工程を説明するための図6に続く模式説明図であり、(A)はマスクパターンの除去が行われた状態を示す図であり、(B)は粘着シートが貼着された状態を示す図であり、(C)は保護シートが除去されるとともにTEGの除去が行われている状態を示す図である。

【図8】上記実施形態の変形例にかかる半導体チップの製造方法の工程を示すフローチャートである。

20

【図9】図8のフローチャートのそれぞれの工程を説明するための模式説明図であり、(A)は半導体ウェハに保護シートが貼着された状態を示す図であり、(B)は分割領域に合わせて分割用溝部が形成された状態を示す図であり、(C)はプラズマダイシングが行われた状態を示す図であり、(D)は粘着シートが貼着された状態を示す図であり、(E)は保護シートが除去されるとともにTEGの除去が行われている状態を示す図である。

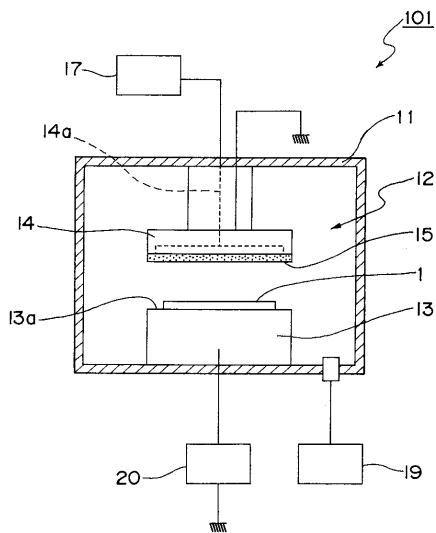
【符号の説明】

【0074】

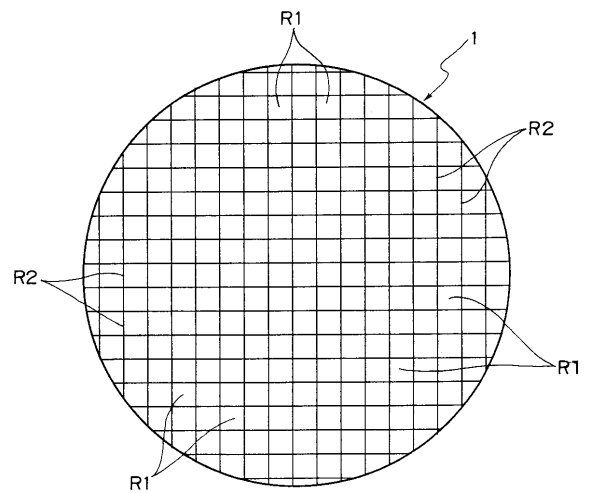
- | | | |
|------|--------------|----|
| 1 | 半導体ウェハ | |
| 1 a | 回路形成面 | 30 |
| 1 b | 被処理面 | |
| 2 | 半導体素子 | |
| 3 | TEG | |
| 4 | 保護シート | |
| 5 | マスク層 | |
| 5 a | 分割線用マスク除去部 | |
| 5 b | マスク | |
| 5 c | マスクパターン | |
| 6 | 粘着シート | |
| 10 | 半導体チップ | 40 |
| 11 | 真空容器 | |
| 12 | 処理室 | |
| 13 | 下部電極 | |
| 14 | 上部電極 | |
| 15 | 多孔質プレート | |
| 17 | プラズマ発生用ガス供給部 | |
| 19 | 排気ポンプ | |
| 20 | 高周波電源部 | |
| 30 | 半導体チップ | |
| 30 a | R部 | 50 |

- 5 1 シリコン基板
- 5 2 シリコン酸化膜
- 5 3 デバイス層
- 5 4 シリコン酸化膜
- 6 1 分割用溝部
- 1 0 1 プラズマ処理装置
- R 1 素子形成領域
- R 2 分割領域

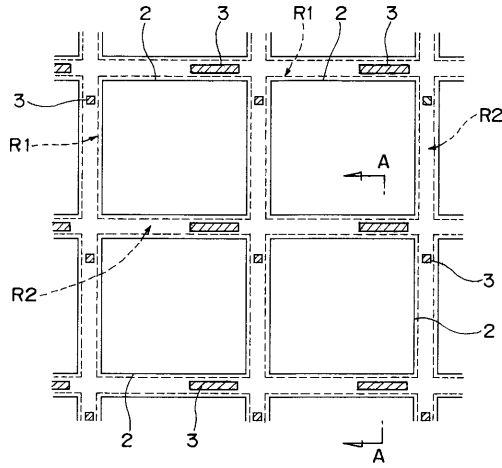
【図1】



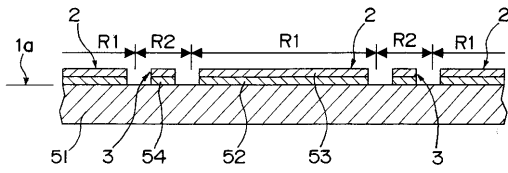
【図2】



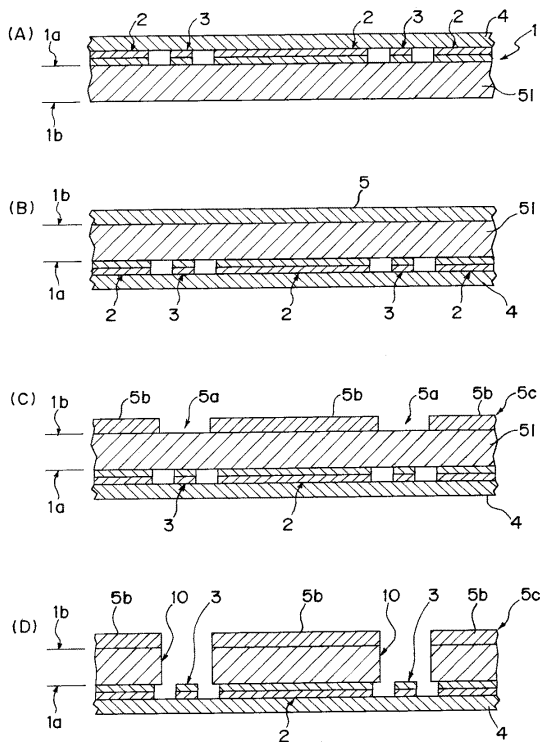
【図3】



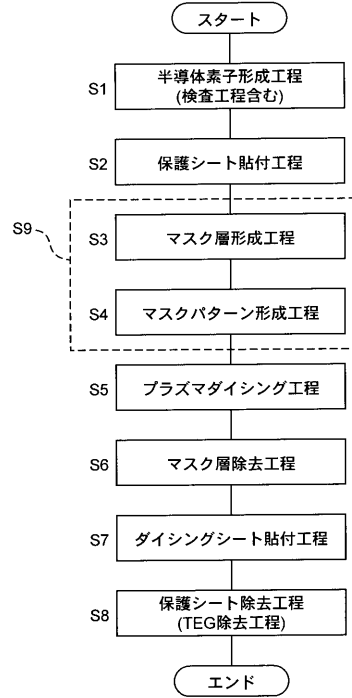
【図4】



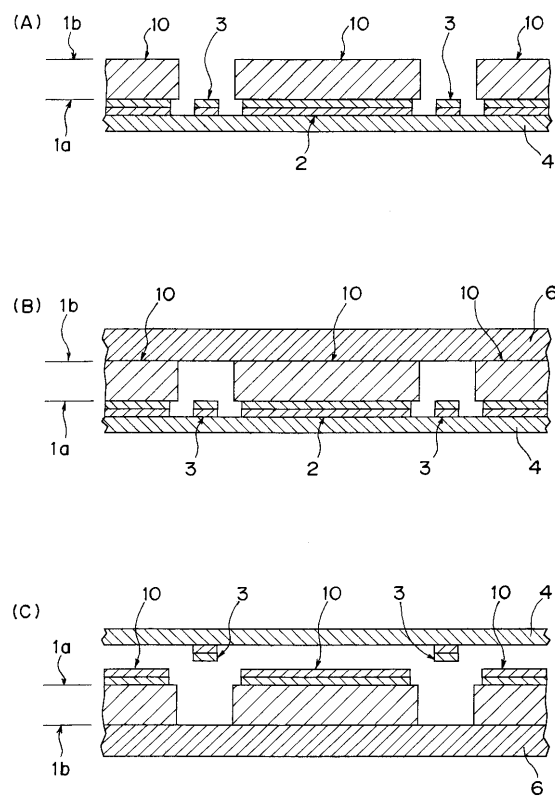
【図6】



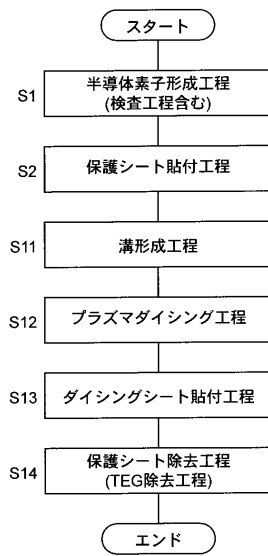
【図5】



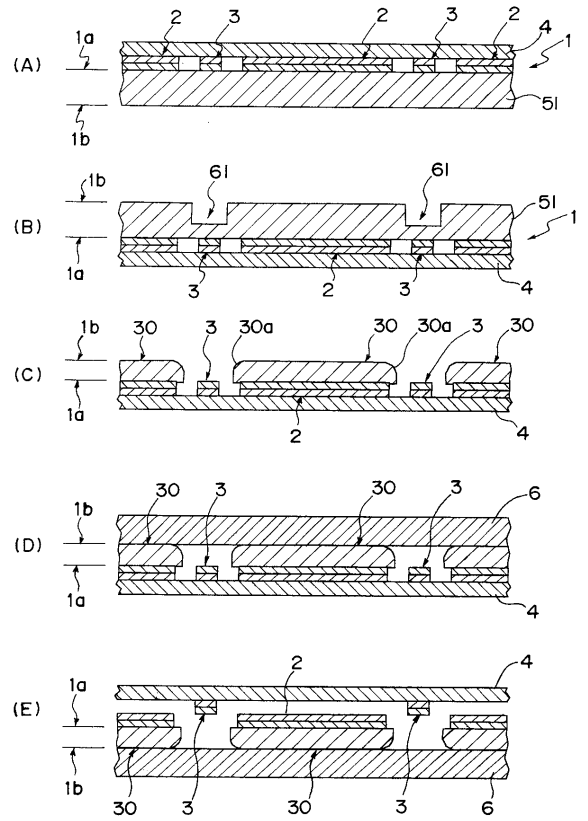
【図7】



【図8】



【図9】



フロントページの続き

審査官 太田 良隆

- (56)参考文献 特開2004 - 265902 (JP, A)
特開2003 - 197569 (JP, A)
特開2002 - 373869 (JP, A)
特開平06 - 021188 (JP, A)
特開2002 - 246281 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L21/301